

POPIS VYNÁLEZU K PATENTU

255857

(11) (B2)



ÚŘAD PRO VYNÁLEZY
A OBJEVY

(22) Přihlášeno 20 02 84
(21) PV 1178-84
(32) (31)(33) Právo přednosti od 21 02 83
(585/83) Maďarská lidová republika

(51) Int. Cl.⁴
A 61 B 5/04

(40) Zveřejněno 16 07 87

(45) Vydáno 16 01 89

(72) Autor vynálezu

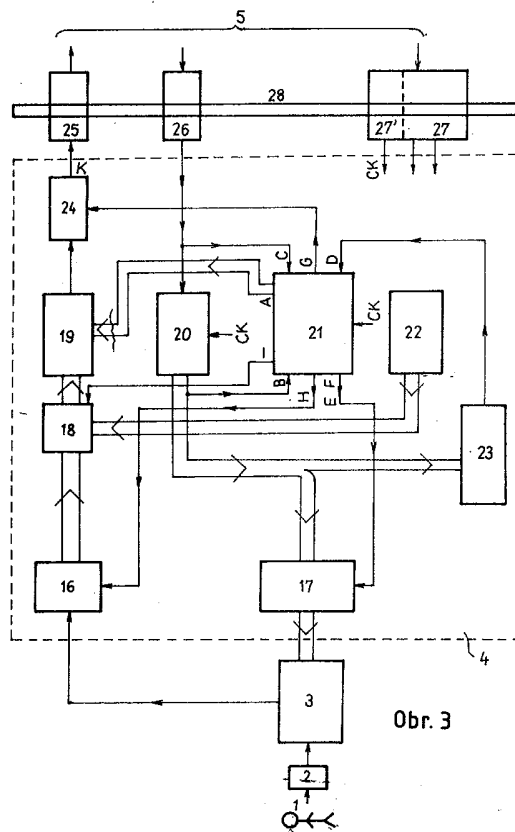
MESTER LAJOS ing., GABRIEL JÓZSEF ing., DARNÓCZI FERENC ing.,
SZABÓ ZOLTÁN ing., MÁRTON ANDRÁS ing., VÁRI ISTVÁN, BUDAPEŠT (MLR)

(73) Majitel patentu

MEDICOR MŮVEK, BUDAPEŠT (MLR)

(54) Přístroj ke vstupnímu zpracování biologických signálů

Řešení se týká přístroje ke vstupnímu zpracování biologických signálů, který sestává z měřicích modulů připojených na modulovou sběrnici. Přístroj je vybaven galvanickým oddělením podle bezpečnostních předpisů. Biologické signály přicházejí z čidla po příslušném tvarování v jednotce vstupního zpracování na analogově - číslicový převodník. Digitalizovaný signál je veden spolu se stavovými informacemi měřicího modulu společně přes galvanickou oddělovací jednotku na modulovou sběrnici, která tyto informace vede do počítače v případě, jestliže číslicová povelová slova zadána počítači, která rovněž přicházejí přes galvanickou oddělovací jednotku do měřicího modulu, obsahují adresu příslušného měřicího modulu.



Obr. 3

Vynález se týká přístroje ke vstupnímu zpracování biologických signálů, zejména pro vícekanálové lékařské mikropočítačem opatřené měřicí systémy, který je galvanicky oddělen a opatřen měřicími moduly složenými ze standardních součástek a připojenými na čidla a standardním stykovým obvodem.

Známy přístroj tohoto druhu sestává z modulů vstupního zpracování pro biologické signály - měřicích jednotek - a z modulové sběrnice. Moduly vstupního zpracování obsahují mimo část pro úpravu signálu také speciální technické vybavení - část pro číslicové vstupní zpracování. Toto speciální technické vybavení je vhodné pro organizování spolupráce modulů jednoduchým způsobem a pro zajištění zpracování takových informací, které souvisejí s operacemi prováděnými na biologickém signálu, s úpravou signálu, jako blokování, kalibrování, změna zesílení, posouvání nulové úrovně, a s ostatními stavy modulu. Přístroj je dále vybaven standardním rozhraním a obvyklým ochranným zařízením pro galvanické oddělení pacienta.

Dosavadní řešení používají, co se týče vstupního zpracování biologických signálů, přenosu nosného kmitočtu analogového signálu přes místo galvanického oddělení na zpracování stranu.

U známého řešení se měřený analogový signál přenáší pomocí kmitočtové nebo impulsové modulační vlny přes galvanický oddělovač. Toto řešení vůbec neumožňuje jednoduchou organizaci spolupráce měřicích jednotek, měřicích biologických signálů. Přenos informací spojených s biologickými signály je v důsledku použití jazyčkového relé omezený. Nadto se v měřeném analogovém signálu vyskytují v závislosti na druhu modulační různá zkreslení a odposlechové jevy.

K odstranění těchto jevů slouží řešení, u něhož je přenos signálu realizován galvanickým oddělením, provedeným ve dvou směrech. Tím je zkreslení kanálu značně sníženo. Ale organizace spolupráce měřicích jednotek a zpracování informací spojených se stavy měřicích jednotek není ani u tohoto řešení zajištěna.

Tyto nevýhody jsou odstraněny u přístroje ke vstupnímu zpracování biologických signálů podle vynálezu, jehož podstatou je, že měřicí moduly jsou přes galvanickou oddělovací jednotku prostřednictvím vstupního stykového obvodu připojeny k modulové sběrnici uzpůsobené pro jednotlivé měřicí moduly, která má standardní výstupní stykový obvod, jednotka úpravy signálu měřicích modulů, opatřená říditelnými analogovými spínači a zesilovači, je přes číslicovou jednotku vstupního zpracování připojena ke galvanické oddělovací jednotce, jednotka vstupního zpracování spojena se vstupním oddělovačem a výstupním oddělovačem galvanické oddělovací jednotky a s napájecí jednotkou poskytující také hodinový signál, vstupní oddělovač je spojen jednak s řídicím vstupem řídicího obvodu, jednak se vstupem sériově paralelního převodníku, jehož výstup je spojen jednak s první paměťovou jednotkou, jednak se spouštěcím vstupem řídicího obvodu, jakož i s jednotkou identifikace adres, přičemž výstup jednotky identifikace adres je připojen k připouštěcímu vstupu řídicího obvodu, dále výstupy první paměťové jednotky jsou spojeny s řídicími vstupy jednotky úpravy signálu, dále výstup jednotky úpravy signálu je připojen k analogově číslicovému převodníku, jehož paralelní výstupy jsou připojeny přes selektor ovládacího orgánu dat, paralelně - sériový převodník a připouštěcí obvod k výstupnímu oddělovači, dále první a druhý výstup pro vysílání zápisového povelu řídicího obvodu je spojen s první paměťovou jednotkou, výstup řízení analogově - číslicového převodu řídicího obvodu je spojen s analogově - číslicovým převodníkem, výstup přepínání datového stavu řídicího obvodu je spojen se selektorem ovládacího orgánu dat, výstup řízení paralelně - sériového převodu řídicího obvodu je spojen s paralelně-sériovým převodníkem a připouštěcí výstup řídicího obvodu je spojen s připouštěcím obvodem, přičemž vstupy příjmu stavové informace selektoru ovládacího orgánu dat jsou připojeny k ovládacím orgánům.

Přístroj podle vynálezu je s výhodou použitelný tam, kde je nutno měřit a zpracovávat více biologických parametrů současně.

Takovou oblastí použití tohoto přístroje je například intenzivní péče o pacienta. Přístroj je použitelný u víceúčelových lékařských měřicích systémů, vybavených mikropočítačem, a má modulovou konstrukci.

Příklad provedení přístroje ke vstupnímu zpracování biologických signálů podle vynálezu je zobrazen na výkresech, na nichž znázorňuje obr. 1 blokové schéma přístroje, obr. 2 uspořádání jeho měřicího modulu, obr. 3 podrobnější blokové schéma měřicího modulu, obr. 4 blokové schéma jednoho provedení řídicího obvodu přístroje a obr. 5 časový diagram funkce řídicího obvodu přístroje.

Jak je patrné z obr. 1, je přístroj opatřen měřicími moduly 8, připojenými přes čidla 2 na pacienta 1 a přes galvanicky oddělovací jednotku 28 pomocí rozhraní 5 na modulovou sběrnici 6, společnou pro všechny měřicí moduly 8. Modulová sběrnice 6 je opatřena standardním stykovým obvodem 7 a má napájecí jednotky a obvody pro přizpůsobení jednotlivých měřicích modulů 8 na stykový obvod 7. Měřicí modul 8 je opatřen analogovou jednotkou 3 úpravy signálu a číslicovou jednotkou 4 vstupního zpracování, provádějící analogově číslicový převod, které jsou spolu ve spojení. Galvanická oddělovací jednotka 28 je připojena k jednotce 4 vstupního zpracování a čidlo 2 je připojeno k jednotce 3 úpravy signálu.

Přístroj znázorněný na obr. 1 pracuje následovně:

Signál získaný čidlem 2 od pacienta 1 se jednotkou 3 úpravy signálu zesílí v závislosti na signálech přivedených na její vstup, jeho stejnosměrná napěťová úroveň se jí posune a popřípadě vytvoří se kalibrační signál nebo se jednotka 3 úpravy signálu zablokuje. Všechny tyto operace se provádějí pomocí analogových spínačů a operačních zesilovačů. Signály přicházející z jednotky 3 úpravy signálu se jednotkou 4 vstupního zpracování přemění na číslicové signály a v případě dotazu přicházejícího z rozhraní 5 se vyšlou.

Tyto signály se dostanou za spolupůsobení modulové sběrnice 6 na stykový obvod 7, na který je připojitelný kterýkoliv známý počítač. Tento počítač aktivuje dotaz údajem adresy žádaného měřicího modulu 8 a operací, které má jednotka 3 úpravy signálu provést. Jednotlivým měřicím modulům 8 jsou přiřazeny různé adresy.

Přístroj vytvořený nahoře popsaným způsobem může být s výhodou uspořádán způsobem znázorněným na obr. 2. Podle tohoto uspořádání může být modulová sběrnice 6 umístěna v krytu 9, zatímco o jednotlivé měřicí moduly 8 mohou být jako samostatné skříně 12 opatřeny čelní deskou 13 a vedeny na svých hranách 11 pomocí kolejnic 10 na místo vytvořené v krytu 9 a mohou tam být uvolnitelně připojeny připojením k přidržovacímu prvku 15, upevněném na krytu 9 pomocí upevňovacího prvku 14, ovládaného skrze čelní desku 13. Připoje čidel 2 mohou být vytvořeny dvojitým zásuvkovým spojem uspořádaným na čelní desce 13, přičemž rozhraní 5 je umístitelné na zadní desce skříně 12.

Na obr. 3 jsou podrobněji zobrazeny měřicí modul 8 a spojení a rozhraní 5. Řídicí vstupy jednotky 3 úpravy signálu, jdoucí přes čidlo 2 ve spojení s pacientem 1, jsou připojeny na první paměťovou jednotku 17, zatímco výstup jednotky 3 úpravy signálu je spojen s analogově-číslíkovým převodníkem 16, jehož paralelní výstupy jsou spojeny přes selektro 18 ovládacího orgánu dat, paralelně-sériový převodník 19 a přípouštěcí obvod 24 s výstupním oddělovačem 25.

Výstupní oddělovač 25 tvoří spolu se vstupním oddělovačem 26 a napájecí jednotkou 27 část galvanické oddělovací jednotky 28, připojené na rozhraní 5. Vstupní oddělovač 26 a výstupní oddělovač 25 jsou tvořeny každý rozdělovacím vazebním členem, kdežto napájecí jednotka 27 je opatřena transformátorem pracujícím na kmitočtu hodinových impulsů, takže část napájecí jednotky 27 tvoří generátor 27' hodinových impulsů, který je připojen k vedení CK hodinových impulsů. Vstupní oddělovač 26 je spojen jednak řídicím vstupem C řídicího obvodu 21, jednak se vstupem sériově-paralelního převodníku 20, jehož výstup je připojen

k první paměťové jednotce 17, k spouštěcímu výstupu B řídicího obvodu 21 a k jednotce 23 identifikace adres. První výstup E pro vysílání zápisového povelu a druhý výstup F pro vysílání zápisového povelu řídicího obvodu 21 jsou připojeny k první paměťové jednotce 17, kdežto výstup H řízení analogově-číslíkového převodu řídicího obvodu 21 je připojen k analogově-číslíkovému převodníku 16, a to k jeho vstupu připouštěcího a výstupního signálu.

Výstup I přepínání datového stavu řídicího obvodu 21 je spojen se selektorem 18 ovládacího orgánu dat, zatímco výstup A řízení paralelně-sériového převodu řídicího obvodu 21 je připojen k paralelně-sériovému převodníku 19. Připouštěcí výstup G řídicího obvodu 21 je spojen s připouštěcím obvodem 24. Vstupy pro příjem stavové informace selektoru 18 ovládacího orgánu dat jsou spojeny s ovládacími orgány 22. U tohoto příkladu provedení byl použit analogově-číslíkový převodník 16 typu postupné aproximace, který je opatřen výstupy přepínatelnými do vysokoimpedančního stavu.

Proto může být selektor 18 ovládacího orgánu dat vytvořen jednoduchým způsobem tak, že se výstupy spojí s ovládacími orgány odporovou sítí. Tak určuje logický stav výstupů analogově-číslíkový převodník 16, ve vysokoimpedančním stavu naproti tomu postavení ovládacích orgánů 22. Jako paralelně-sériový převodník 19 byl použit osmikanálový selektor, obsahující současně připouštěcí obvod 24. Jednotka 23 identifikace adres je tvořena číslíkovým komparátorem, ke kterému je připojen obvod reprodukcující vlastní adresu měřicího modulu 8, popřípadě také vnitřní ovládací orgán. Vedení CK hodinových impulsů, spojené s generátorem 27 hodinových impulsů, je spojeno rovněž se sériově-paralelním převodníkem 20 a s řídicím obvodem 21.

Na obr. 4. je znázorněno provedení řídicího obvodu 21 podrobněji pro případ, že počítač připojený ke stykovému obvodu 7 přivádí na modulovou sběrnici 6 sériovou slabiku s osmi bity, vloženou mezi startovacím bitem a zastavovacím bitem. První čtyři bity první slabiky nejsou informací o adrese volaného měřicího modulu, 8, zatímco zbývající čtyři bity obsahují příkaz předaný na jednotku 3 úpravy signálu měřicího modulu 8. Řídicí obvod 8 sestává z desítkového dekodéru IC1, kódovaného v dvojkově-desítkovém kódu z dvojitého čítače IC2, z dvojitého klopného obvodu IC3, z prvního a druhého obvodu IC4/1, IC4/2 negace disjunkce se čtyřmi vstupy, z prvního, druhého a třetího střídače IC5/1, IC5/2, IC5/3, z prvního a druhého obvodu IC6/1, IC6/2 logického součinu se dvěma vstupy, z prvního a druhého derivačního obvodu diff1, diff2 a ze zpožďovacího členu A_t.

V řídicím obvodu 21 jsou jednak první vstup E₁ hodinových impulsů dvojitého čítače IC2, jednak první vstup druhého obvodu IC6/2 logického součinu připojeny na vedení CK hodinových impulsů. Na druhý vstup druhého obvodu IC6/2 logického součinu je přes druhý derivační obvod diff2, sestávající z kondenzátoru sériově zapojeného v signálové cestě a z odporu připojeného k zemi, připojen druhý výstup Q₂ dvojitého klopného obvodu IC3. Výstup H řízení analogově-číslíkového převodu řídicího obvodu 21 je spojen s druhým obvodem IC6/2 logického součinu.

Na první zapisovací vstup S₁ dvojitého klopného obvodu IC3, který je totožný se spouštěcím vstupem B řídicího obvodu 21, je přiveden výstup bitu nejvyššího řádu sériově-paralelního převodníku 20. První výstup Q₁ dvojitého klopného obvodu IC3 je spojen s prvním a druhým nulovacím vstupem R₁, R₂ dvojitého čítače IC2. První, druhý, třetí, čtvrtý výstup Q₁₁, Q₁₂, Q₁₃, Q₁₄ dvojitého čítače IC2 jsou spojeny s jednotlivými vstupy desítkového dekodéru IC1, to jest jeho první, druhý, třetí a čtvrtý vstup a, b, c, d.

Čtvrtý výstup Q₁₄ dvojitého čítače IC2 je současně spojen s druhým vstupem E₂ hodinových impulsů dvojitého čítače IC2. Pátý výstup Q₂₁ dvojitého čítače IC2 je spojen s prvním vstupem prvního obvodu IC6/1 logického součinu, zatímco šestý výstup Q₂₂ dvojitého čítače IC2 je přes zpožďovací člen A_t, který sestává z odporu spojeného v sérii s kondenzátorem připojeným k zemi, spojen s druhým vstupem prvního obvodu IC6/1 logického součinu.

Výstup prvního obvodu IC6/1 logického součinu a první a druhý vymazávací vstup C₁, C₂ dvojitého klopného obvodu IC3 jsou spolu spojeny. První, druhý a třetí výstup Q₁₁, Q₁₂, Q₁₃ dvojitého čítače IC2 tvoří první část výstupů řídicích paralelně-sériový převodník 19, zatímco jeho druhá část A', řídicí rovněž paralelně-sériový převodník 19, to jest přesněji řečeno, sloužící k vytváření startovacích a zastavovacích bitů, je tvořena prvním a druhým výstupem Q₀, Q₉ desítkového dekodéru IC1.

Výstup prvního obvodu IC4/1 negace disjunkce je tvořen prvním pro vysílání zápisového povelu výstupem E řídicího obvodu 21 a výstup druhého obvodu IC4/2 negace disjunkce je tvořen druhým výstupem F pro vysílání zápisového povelu řídicího obvodu 21. Vstupy prvního obvodu IC4/1 negace disjunkce jsou přes první střídač IC5/1 a první derivační obvod di1, který sestává ze sériově v signálové cestě zapojeného kondenzátoru a odporu připojeného na zdroj napájecího napětí spojeny s druhým výstupem Q₉ desítkového dekodéru IC1, s výstupem vstupního oddělovače 26, s výstupem jednotky 23 identifikace adres přes druhý střídač IC3/2 a s pátým výstupem Q₂₁ dvojitého čítače IC2.

Vstupy druhého obvodu IC4/2 negace disjunkce jsou spojeny rovněž s výstupem vstupního oddělovače 26, s pátým výstupem Q₂₁ dvojitého čítače IC2 přes třetí střídač IC5/3, s druhým výstupem Q₉ desítkového dekodéru IC1 přes první střídač IC5/1 a s třetím výstupem Q₂ dvojitého klopného obvodu IC3. Vstupy prvního a druhého obvodu IC4/1, IC4/2 negace disjunkce, které jsou spojeny s výstupem vstupního oddělovače 26, tvoří řídicí vstup C řídicího obvodu 21. Druhý výstup Q₂ dvojitého klopného obvodu IC3 tvoří připouštěcí výstup Q řídicího obvodu 21, zatímco šestý výstup Q₂₂ dvojitého čítače IC2 tvoří výstup I přepínání datového stavu řídicího obvodu 21.

Nahoře popsaný řídicí obvod 21 je zabudován do takového měřicího modulu 8, jehož jednotlivé součásti - viz obr. 3 - jsou vytvořeny následovně. Jednotka 23 identifikace adres obsahuje čtyřbitový číslicový komparátor, který má výstup indikace rovnosti, a čtyři spínače, které jsou schopny přenášet na číslicový komparátor logickou úroveň "ANO" - a v dalším logickou úroveň "H" - a logickou úroveň "NE" - v dalším úroveň "L" - jako srovnávací vzory. První paměťová jednotka 17 je s výhodou tvořena dvakrát osmibitovými fixovacími bistabilními obvody. Analogově - číslicový převodník 16 je integrovaný obvod s dvojkovými postupně aproximovanými výstupy se třemi stavy a se spouštěcím vstupem. Sériově-paralelní převodník 20 je krokový registr se sériovým vstupem a vstupem hodinových impulsů. Paralelně - sériový převodník 19 je osmikanálový selektor se třemi řídicími vstupy, s jehož pomocí může být uvedených osm vstupů zvoleno v patřičném sledu. Výstup paralelně - sériového převodníku 19 je přes odpor připojen ke zdroji napájecího napětí. Přepouštěcí obvod 24 je tvořen součinným obvodem.

Na obr. 5 lze sledovat funkci přístroje zobrazeného na obr. 3 a 4 pomocí časových diagramů.

Na obr. 5 jsou signály vyskytující se na prvním výstupu Q₁₁, druhém výstupu Q₁₂ a třetím výstupu Q₁₃, dvojitého čítače IC2 a na prvním výstupu Q₀ desítkového dekodéru IC1 vlastně signály vyskytující se na výstupu A řízení paralelně-sériového převodu řídicího obvodu 21, přičemž první výstup Q₀ a druhý výstup Q₉ desítkového dekodéru IC1 jsou charakteristické pro druhou část A' výstupů řídicích paralelně - sériový převodník 19. Druhý výstup Q₂ dvojitého klopného obvodu IC3 je totožný s připouštěcím výstupem C řídicího obvodu 21 a šestý výstup Q₂₂ dvojitého čítače IC2 je totožný s výstupem I přepínání datového stavu řídicího obvodu 21.

Nahoře uvedeným způsobem se dostávají počítačem dodávané dvouslabikové informace na všechny měřicí moduly 8 připojené k modulové sběrnici 6. První slabika aktivuje řídicí obvod 21 pomocí jeho spouštěcího vstupu B. Modulová odpověď vznikne pak, když jednotka 23 identifikace adres uvolní připouštěcí vstup D řídicího obvodu 21. Na řídicí vstup C řídicího obvodu 21 se vedou sériové bity přicházející ze vstupního oddělovače 26. Řídicí obvod 21 dostává hodinové impulsy z vedení CK hodinových impulsů.

Povelové bity se z prvního a druhého výstupu E, F pro vysílání zápisového povelu dvojitého čítače IC2 z první paměťové jednotky 17 zapíší. První slabika obsahuje stavové informace týkající se skříně 12 - postavení ovládacích orgánů 22, zatímco druhá slabika obsahuje digitalizovaný analogový signál.

Výstup I přepínání datového stavu řídicího obvodu 21 odděluje data od stavových informací. Výstup H řízení analogově - číslicového převodu řídicího obvodu 21 uvádí v chod analogově-číslcový převod. Výstup A paralelně-sériového převodu řídicího obvodu 21 sériově-paralelně převod, zatímco druhá část A' výstupů řídicích paralelně-sériový převodník 19 slouží pro vytváření startovacích a zastavovacích bitů. Připouštěcí výstup G řídicího obvodu 21 uvolní při platném dotazu připouštěcí obvod 24. Signál objevující se na spouštěcím vstupu B překlopí první klopný obvod dvojitého klopného obvodu IC3, čímž se na prvním výstupu Q₁ dvojitého klopného obvodu IC3 objeví logická úroveň L, zatímco na druhém výstupu Q₂ dvojitého klopného obvodu IC3 se objeví logická úroveň "H".

Tím se uvolní dvojitý čítač IC2, který počne počítat, ježto na svém prvním vstupu E₁ hodinových impulsů dostává hodinové impulsy z vedení CK hodinových impulsů. Dvojitý čítač IC2 počítá do deseti, jeho první, druhý a třetí výstup Q₁₁, Q₁₂, Q₁₃ řídí paralelně-sériový převodník 19, tím se vždy zařadí odpovídající bit na výstup paralelně-sériového převodníku 19, viz. obr. 5, signály na prvním, druhém a třetím výstupu dvojitého čítače IC2. Startovací a zastavovací bity jsou vytvářeny desítkovým dekodérem IC1, to jest na jeho prvním výstupu Q₀ a druhém výstupu Q₉.

Když se první výstup Q₀ desítkového dekodéru IC1 přivede na logickou úroveň "H" a jeho druhý výstup Q₉ na logickou úroveň "L", je sice paralelně-sériový převodník 19 vybrán, ale jeho výstup není uvolněn a dostane se do stavu s vysokou impedancí, tím se tento výstup dostane na logickou úroveň "H" působením odporu přiloženého na napájecí napětí. Je-li jeho první výstup Q₀ na logické úrovni L a jeho druhý výstup Q₉ se dostane na logickou úroveň H, dostane se výstup paralelně sériového převodníku 19 na logickou úroveň L, čímž se obvod neuvolní.

Perioda signálu objevujícího se na čtvrtém výstupu Q₁₄ dvojitého čítače IC2 se rovná deseti impulsům hodinového signálu. Tento výstup vytváří hodinový signál druhé poloviny dvojitého čítače IC2. Pátý výstup Q₂₁ a šestý výstup Q₂₂ druhé poloviny dvojitého čítače IC2 jsou přes zpožďovací člen A_t v relaci logického součinu pomocí prvního obvodu IC6/1 logického součinu, jehož výstupní signál vynuluje první a druhý klopný obvod dvojitého klopného obvodu IC3. Pak se třikrát desetibitová sekvence ukončí a proces může začít od začátku.

První klopný obvod, jak již uvedeno, se překlopí signálem přicházejícím na spouštěcí vstup B řídicího obvodu 21, zatímco se druhý klopný obvod překlopí zápisovým signálem prvního výstupu E pro vysílání zápisového povelu řídicího obvodu 21.

Tento signál zapíše bity objevující se na výstupu sériově-paralelního převodníku 20 do první osmibitové části první paměťové jednotky 17. Signál prvního výstupu E pro vysílání zápisového povelu řídicího obvodu 21 vznikne při současné existenci logické úrovně L následujících signálů:

- signálu invertovaného prvním střídačem IC5/1 a odvozeného prvním derivačním obvodem diff1 z druhého výstupu Q₉ desítkového dekodéru IC1,
- signálu řídicího vstupu C řídicího obvodu 21
- signálu pátého výstupu Q₂₁ dvojitého čítače IC2.

Když zápisovací signál prvního výstupu E pro vysílání zápisového povelu řídicího obvodu 21 překlopí druhý klopný obvod dvojitého klopného obvodu IC3, přejde druhý výstup Q₂ dvojitého klopného obvodu IC3 na logickou úroveň H a ježto je tento totožný s připouštěcím výstupem G řídicího obvodu 21, uvolní se signál druhého výstupu E pro vysílání zápisového povelu řídicího obvodu 21.

Zápisový signál druhého vstupu F pro vysílání zápisového povelu řídicího obvodu 21 způsobí zápis druhé slabiky signálu sériově došlého na spouštěcí vstup B řídicího obvodu 21 do druhé osmibitové části paměti první paměťové jednotky, 17. Zápisový signál výstupu F pro vysílání zápisového signálu řídicího obvodu 21 vzniká při současné existenci logické úrovně L následujících signálů:

signálu na řídicí vstupu C řídicího obvodu 21,
signálu pátého výstupu Q₂₁ dvojitého čítače IC2 invertovaného třetím střídačem IC5/3.
signálu druhého výstupu Q₉ desítkového dekodéru IC1 invertovaného prvním střídačem IC5/1,
výstupního signálu druhého klopného obvodu dvojitého klopného obvodu IC3 na jeho třetím výstupu Q₂.

Výstup I přepínání datového stavu řídicího obvodu 21 uvolní výstup analogově-číslicového převodníku 16. Signál výstupu I přepínání datového stavu řídicího obvodu 21 je během vydávání datových bitů na logické úrovni H, jak je to patrné z časového diagramu. Signál výstupu H řízení analogově-číslicového převodu řídicího obvodu 21 uvede v činnost analogově-číslicový převodník 16. Tento signál se vytvoří z připouštěcího signálu připouštěcího výstupu G řídicího obvodu 21 synchronně s hodinovým signálem objevujícím se na vedení CK hodinových impulsů pomocí derivování.

Z hořejších vývodů plyne, že při dotazování každého z měřicích modulů 8 začíná čítací sekvence, ale odpověď z ní vznikne jen tehdy, když měřicí modul 8 rozpozná svou vlastní adresu, to jest v signálu objevujícím se na připouštěcím vstupu D řídicího obvodu. Při identifikaci dochází k zápisu povelových bitů do první paměťové jednotky 17, k odevzdání stavových informací, k uvedení analogově-číslicového převádění v činnost a k odevzdání převedené informace.

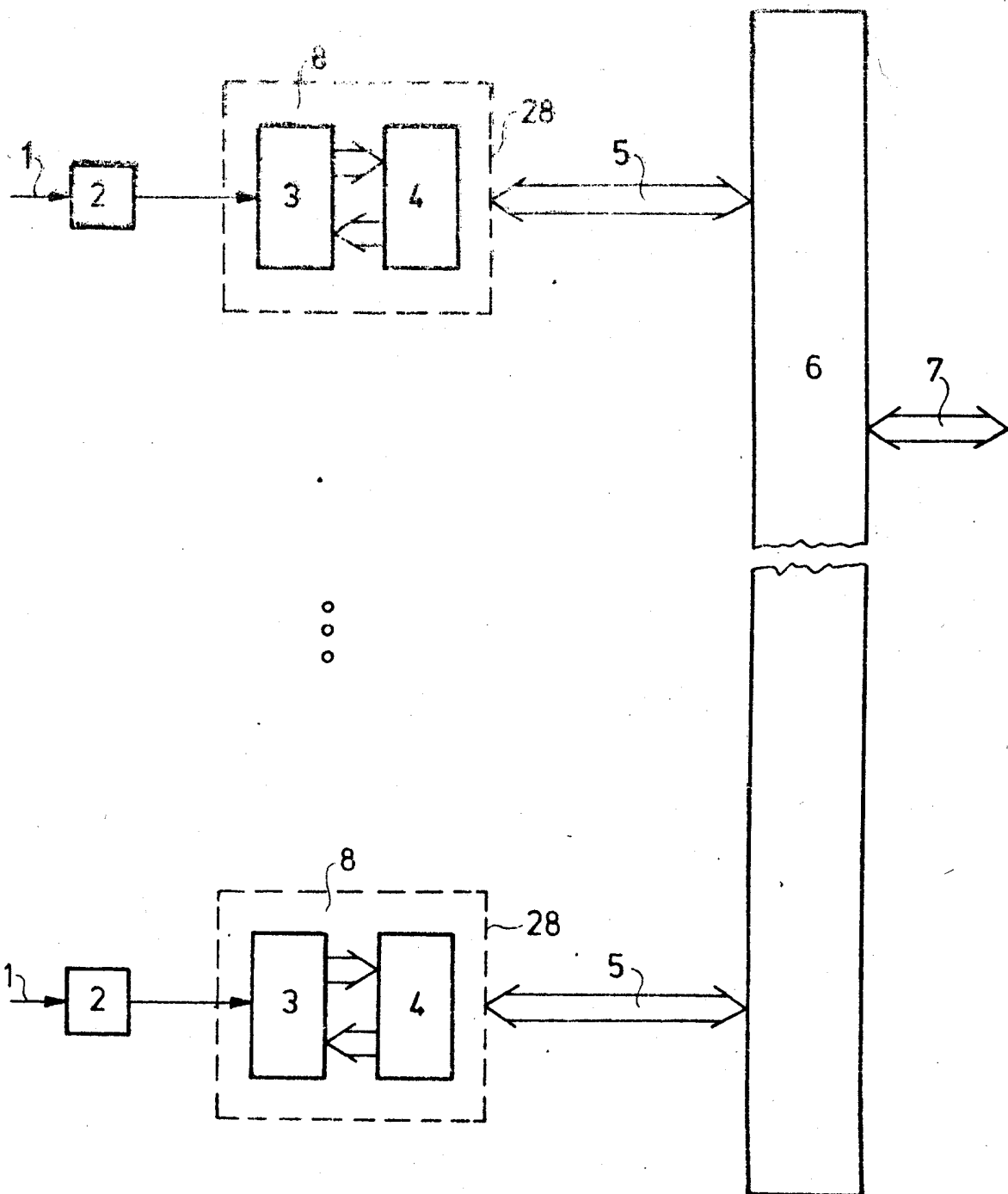
P Ř E D M Ě T V Y N Á L E Z U

1. Přístroj ke vstupnímu zpracování biologických signálů, zejména pro vícekanálové lékařské mikropočítačem opatřené měřicí systémy, kterými je galvanicky oddělen a opatřen měřicími moduly složenými ze standardních součástek a připojenými na čidla a standardním stykovým obvodem, vyznačující se tím, že měřicí moduly (8) jsou přes galvanickou oddělovací jednotku (28) prostřednictvím vstupního stykového obvodu (5) připojeny k modulové sběrnici (6) uzpůsobené pro jednotlivé měřicí moduly (8), která má standardní výstupní stykový obvod (7), jednotka (3) úpravy signálu měřicích modulů (8), opatřená říditelnými analogovými spínači a zesilovači, je přes číslicovou jednotku (4) vstupního zpracování připojena ke galvanické oddělovací jednotce (28), jednotka (4) vstupního zpracování je spojena se vstupním zesilovačem (26) a výstupním oddělovačem (25) galvanické oddělovací jednotky (28) a s napájecí jednotkou (27) poskytující také hodinový signál, vstupní oddělovač (26) je spojen jednak s řídicím vstupem (C) řídicího obvodu (21), jednak se vstupem sériově-paralelního převodníku (20), jehož výstup je spojen jednak s první paměťovou jednotkou (17), jednak se spouštěcím vstupem (B) řídicího obvodu (21), jakož i s jednotkou (23) identifikace adres, přičemž výstup jednotky (23) identifikace adres je připojen k připouštěcímu vstupu (D) řídicího obvodu (21), dále výstupy první paměťové jednotky (17) jsou spojeny s řídicími vstupy jednotky (3) úpravy signálu, dále výstup jednotky (3) úpravy signálu je připojen k analogově-číslicovému převodníku (16), jehož paralelní výstupy jsou připojeny přes selektor (18) ovládacího orgánu dat, paralelně-sériový převodník (19) a připouštěcí obvod (24) k výstupnímu oddělovači (25), dále první a druhý výstup (E, F) pro vysílání zápisového povelu řídicího obvodu (21) je spojen s první paměťovou jednotkou (17), výstup (H) řízení analogově-číslicového převodu řídicího obvodu je spojen s analogově-číslicovým převodníkem (16), výstup (I) přepínání datového stavu řídicího obvodu (21) je spojen se selektorem (18) ovládacího orgánu dat, výstup (A) řízení paralelně-sériového převodu řídicího obvodu (21) je spojen s paralelně-sériovým převodníkem (19) a připouštěcí výstup (G) řídicího obvodu (21) je spojen s připouštěcím obvodem (24), přičemž vstupy příjmu stavové informace selektoru (18) ovládacího orgánu dat jsou připojeny k ovládacím orgánům (22).

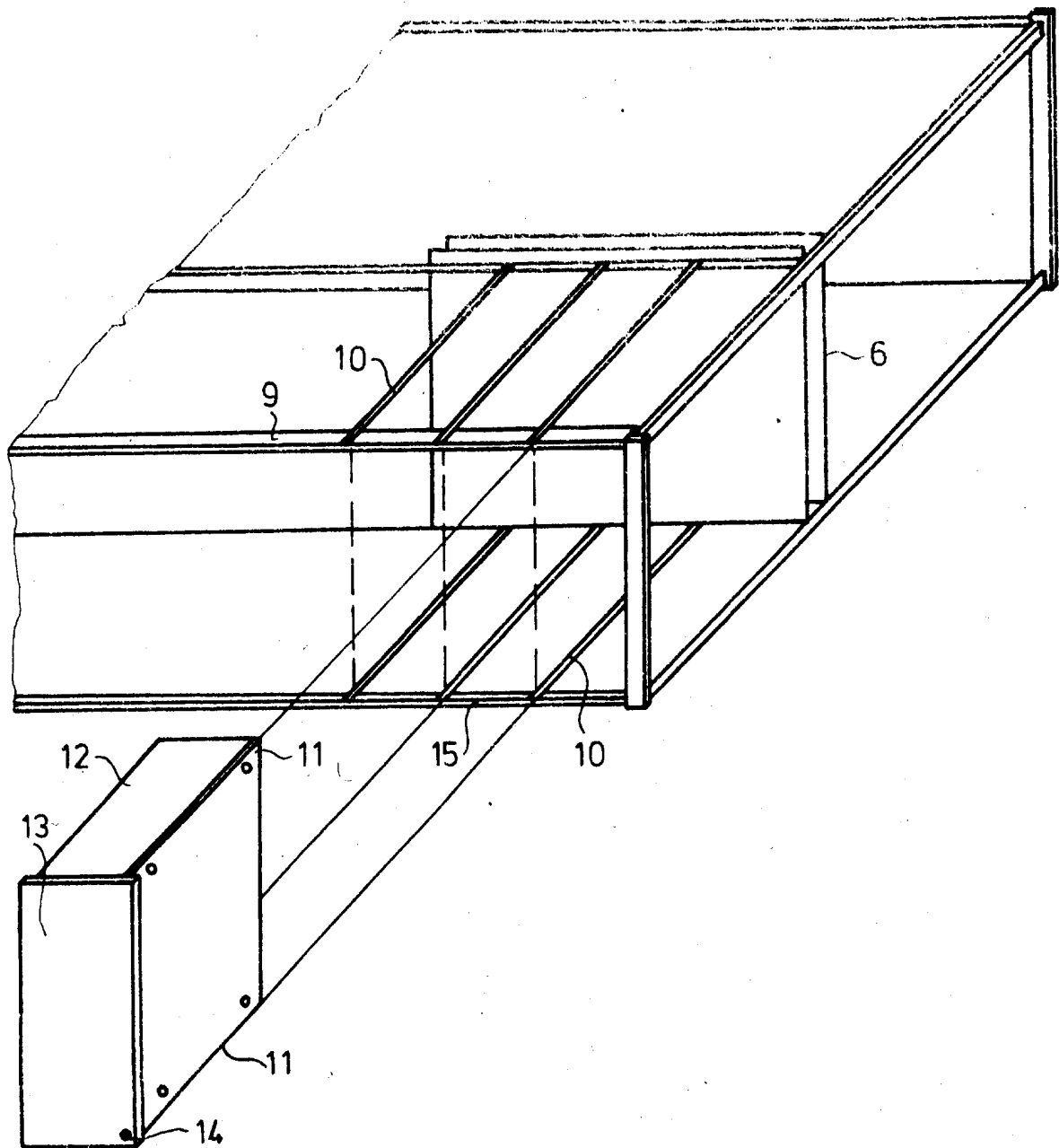
2. Přístroj podle bodu 1, vyznačující se tím, že jednotka (3) úpravy signálu je opatřena analogovými spínači CMOS a její zesilovač je malopříkonový operační zesilovač.

3. Přístroj podle bodu 1 nebo 2, vyznačující se tím, že měřicí modul (8) je samostatná, uvolnitelně na modulovanou sběrnici (6) připojitelná jednotka.

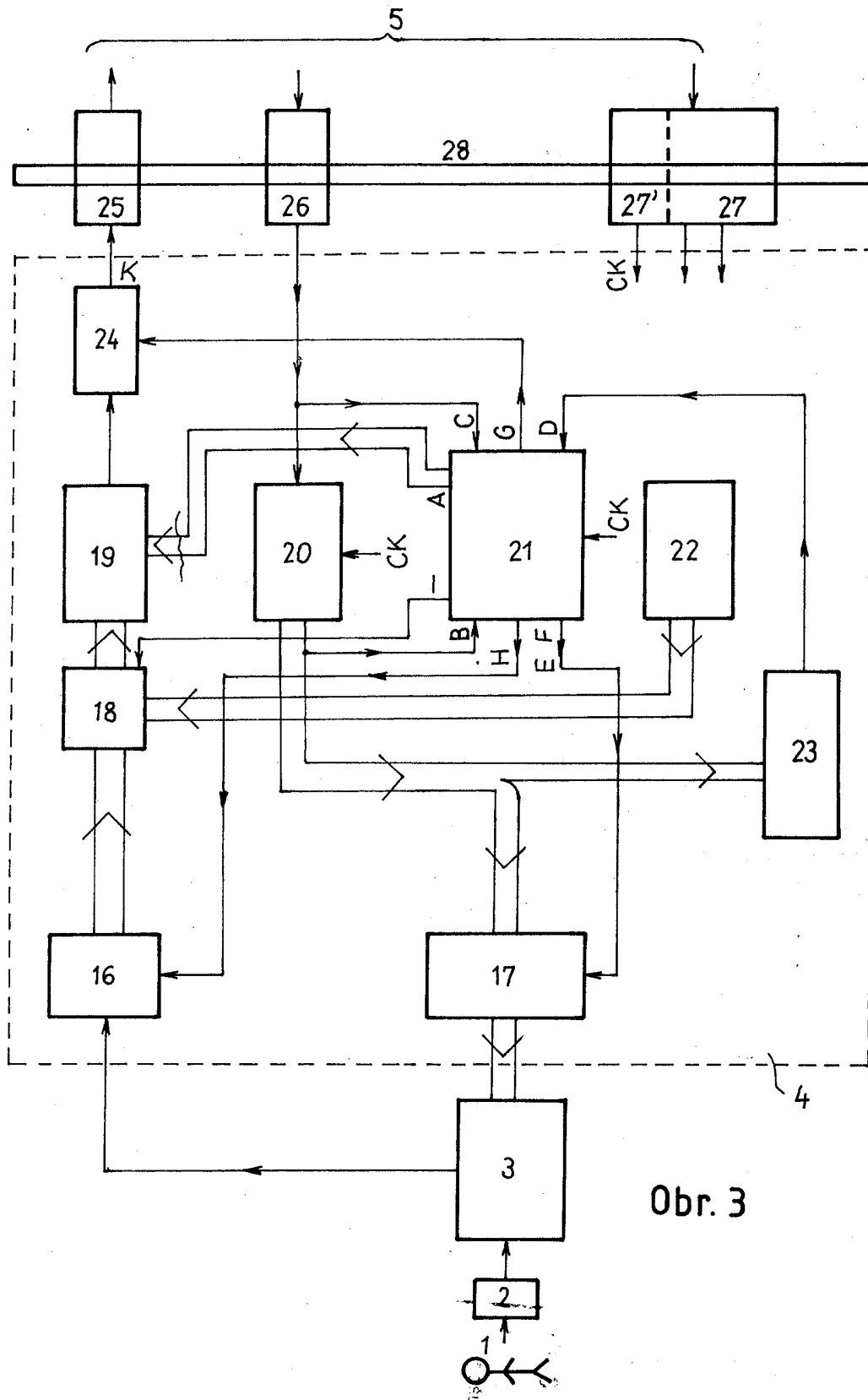
5 výkresů



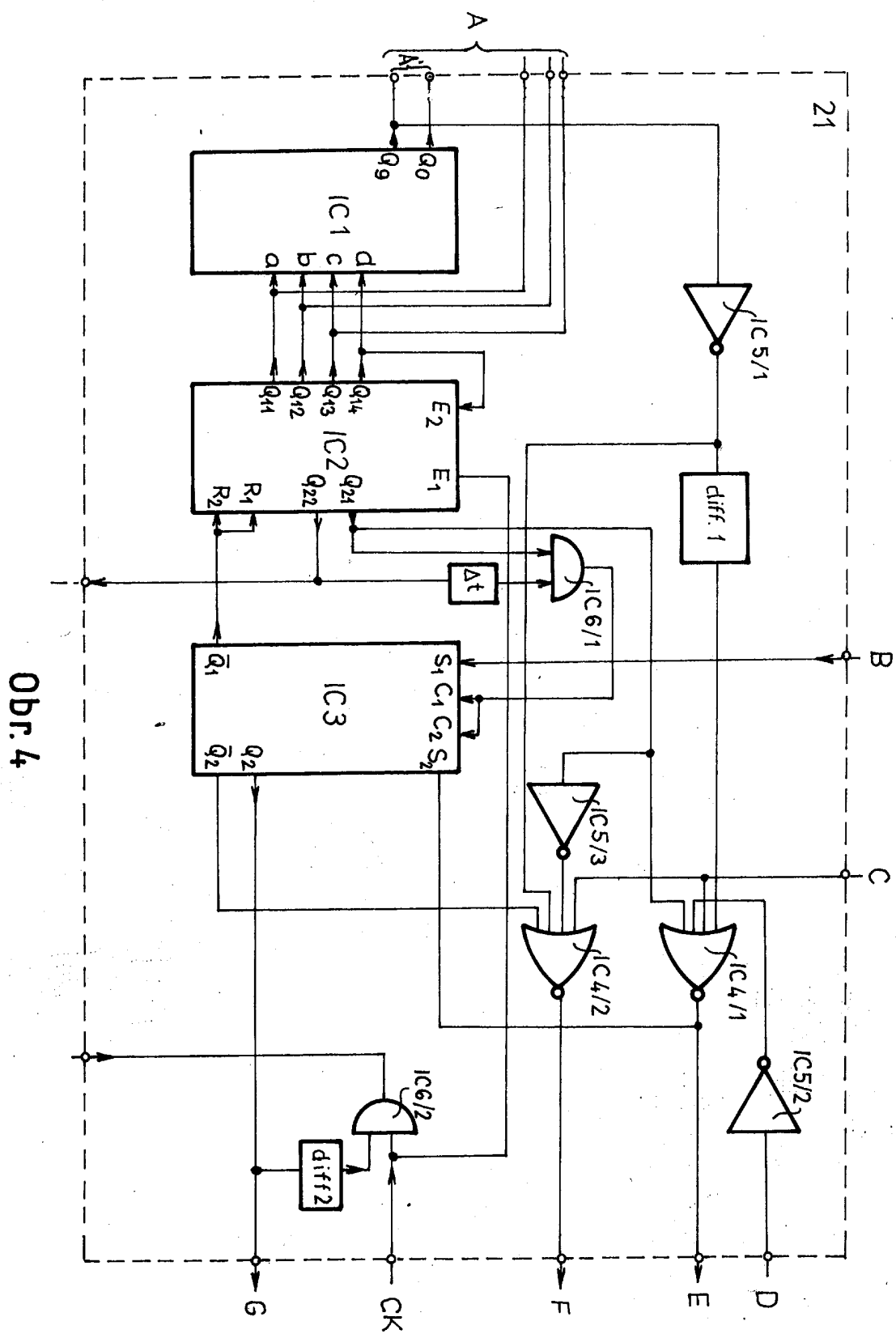
Obr. 1

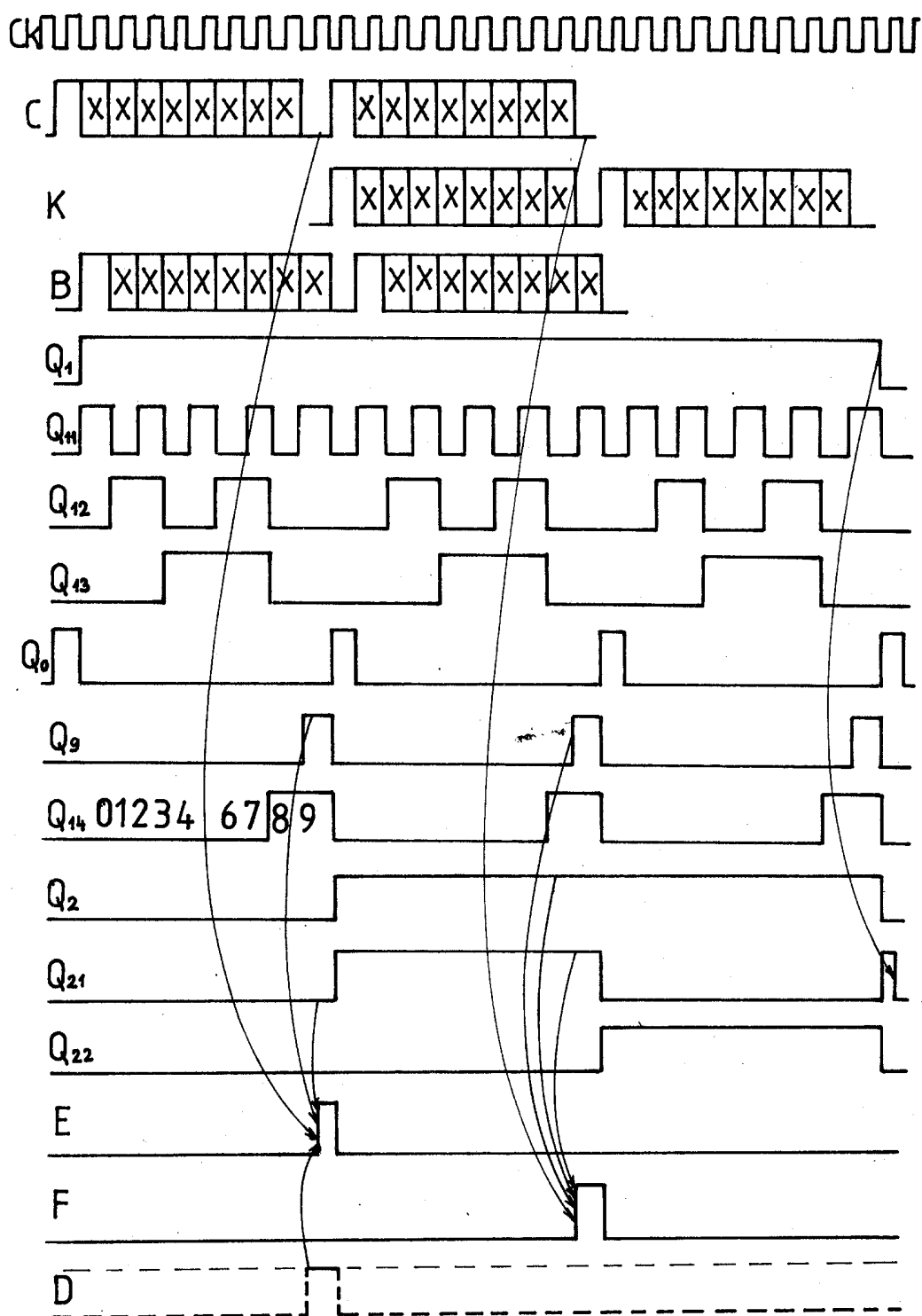


Обр. 2



Obr. 3





Obr. 5