



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0076668  
(43) 공개일자 2016년07월01일

(51) 국제특허분류(Int. Cl.)  
G06F 13/14 (2006.01) G06F 12/00 (2016.01)  
(21) 출원번호 10-2014-0186967  
(22) 출원일자 2014년12월23일  
심사청구일자 없음

(71) 출원인  
삼성전자주식회사  
경기도 수원시 영통구 삼성로 129 (매탄동)  
(72) 발명자  
이동환  
경기도 남양주시 평내로 113, 1508동 805호 (평내동, 대주1차아파트)  
공준진  
경기도 용인시 수지구 진산로34번길 27, 704동 304호 (풍덕천동, 진산마을삼성래미안7차아파트)  
(74) 대리인  
윤재석, 한지희, 권영규

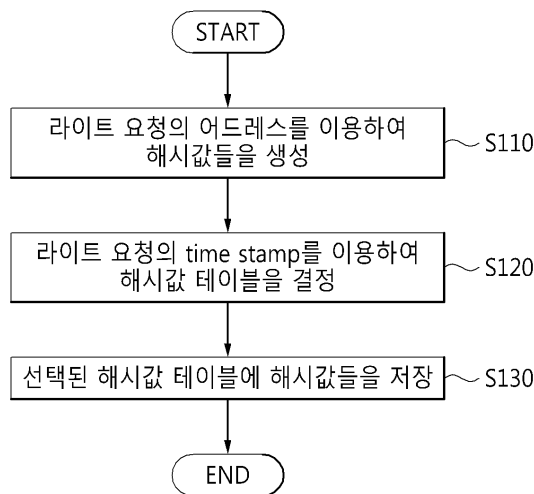
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 초기 문턱 전압 분포 변화를 보상할 수 있는 데이터 저장 장치, 이의 작동 방법, 및 이를 포함하는 데이터 처리 시스템

(57) 요약

복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 데이터 저장 장치의 작동 방법은 서로 다른 시간 구간들 중에서 제1시간 구간에 입력되는 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하는 단계와, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 단계를 포함한다.

대표도 - 도12



(72) 발명자

**설창규**

경기도 오산시 수목원로 430, 1306동 901호 (수청  
동, 물향기마을휴먼시아꿈에그린)

**손홍락**

경기도 안양시 동안구 시민대로159번길 62, 201동  
604호 (비산동, 은하수벽산아파트)

---

## 명세서

### 청구범위

#### 청구항 1

복수의 메모리 셀들에 대한 초기 문턱 전압 변화(initial threshold voltage shift)를 보상할 수 있는 데이터 저장 장치의 작동 방법에 있어서,

서로 다른 시간 구간들 중에서 제1시간 구간에 입력되는 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하는 단계; 및

생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 단계를 포함하는 데이터 저장 장치의 작동 방법.

#### 청구항 2

제1항에 있어서, 상기 제1테이블에 저장하는 단계는,

상기 제1라이트 요청에 대한 제1시간 스텝프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하는 단계; 및

상기 생성된 제1압축 값을 선택된 제1테이블에 저장하는 단계를 포함하는 데이터 저장 장치의 작동 방법.

#### 청구항 3

제1항에 있어서,

상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하는 단계;

상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색하는 단계;

상기 제1테이블의 인덱스에 기초하여 상기 복수의 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하는 단계; 및

보상된 초기 문턱 전압 변화를 이용하여, 상기 리드 요청에 상응하는 리드 작동을 수행하는 단계를 더 포함하는 데이터 저장 장치의 작동 방법.

#### 청구항 4

제3항에 있어서, 상기 초기 문턱 전압 변화를 보상하는 단계는,

상기 리드 요청에 대한 제2시간 스텝프와 상기 제1테이블의 인덱스에 기초하여, 상기 초기 문턱 전압 변화를 보상하는 데이터 저장 장치의 작동 방법.

#### 청구항 5

제4항에 있어서, 상기 초기 문턱 전압 변화를 보상하는 단계는,

상기 제2시간 스텝프와 상기 제1테이블의 인덱스에 기초하여, 제어 코드를 생성하는 단계;

상기 제어 코드를 상기 복수의 메모리 셀들을 포함하는 메모리에 저장하는 단계; 및

상기 메모리에 저장된 상기 제어 코드를 이용하여, 상기 복수의 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하는 단계를 포함하는 데이터 저장 장치의 작동 방법.

#### 청구항 6

제3항에 있어서,

상기 제1압축 값과 상기 제2압축 값 각각은, 동일한 하나의 해시 값 생성기를 이용하여 생성되는 데이터 저장 장치의 작동 방법.

**청구항 7**

제3항에 있어서,

상기 제1압축 값과 상기 제2압축 값 각각은, 서로 다른 복수의 해시 값 생성기들로부터 출력된 해시 값들을 포함하는 데이터 저장 장치의 작동 방법.

**청구항 8**

제1항에 있어서,

상기 복수의 테이블들 각각을 주기적으로 초기화하는 단계를 더 포함하는 데이터 저장 장치의 작동 방법.

**청구항 9**

제1항에 있어서,

상기 데이터 저장 장치가 상기 복수의 메모리 셀들을 포함하는 3차원 플래시 메모리를 포함할 때,

상기 제1라이트 요청에 상응하는 제1라이트 데이터를 상기 3차원 플래시 메모리에 라이트하는 단계를 더 포함하는 데이터 저장 장치의 작동 방법.

**청구항 10**

제1항에 있어서,

상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응되는 데이터 저장 장치의 작동 방법.

**청구항 11**

복수의 메모리 셀들을 포함하는 메모리; 및

상기 복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 컨트롤러를 포함하고,

상기 컨트롤러는,

서로 다른 시간 구간들 중에서 제1시간 구간에 입력되는 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하고, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 보상 회로를 포함하는 데이터 저장 장치.

**청구항 12**

제11항에 있어서, 상기 보상 회로는,

상기 제1라이트 어드레스에 대한 상기 제1압축 값을 생성하는 압축 값 생성 회로; 및

상기 제1라이트 요청에 대한 제1시간 스탬프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하고, 생성된 제1압축 값을 선택된 상기 제1테이블에 저장하는 검색 회로를 포함하고,

상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응되는 데이터 저장 장치.

**청구항 13**

제12항에 있어서,

상기 압축 값 생성 회로는,

상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하고,

상기 검색 회로는,

상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색하는 데이터 저장 장치.

**청구항 14**

제13항에 있어서,

상기 압축 값 생성 회로는 적어도 하나의 해시 값 생성기를 이용하여 적어도 하나의 제1해시 값을 포함하는 상기 제1압축 값과 적어도 하나의 제2해시 값을 포함하는 상기 제2압축 값을 생성하는 데이터 저장 장치.

**청구항 15**

제13항에 있어서,

상기 검색 회로는 상기 검색의 결과로서 상기 제1테이블의 인덱스를 출력하고,

상기 컨트롤러는,

상기 리드 요청에 상응하는 제2시간 스탬프와 상기 제1테이블의 인덱스를 이용하여 제어 코드를 생성하는 결정 회로; 및

상기 제어 코드에 응답하여 상기 초기 문턱 전압 변화를 보상하기 위한 보상 코드를 출력하는 CPU를 더 포함하고,

상기 메모리는 상기 CPU로부터 출력된 상기 보상 코드를 이용하여 상기 메모리 셀들의 상기 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 상기 메모리 셀들로부터 상기 리드 명령에 상응하는 데이터를 리드하고, 리드된 데이터를 상기 컨트롤러로 출력하는 데이터 저장 장치.

**청구항 16**

제11항에 있어서,

상기 컨트롤러는 상기 복수의 테이블들을 저장하는 내부 메모리를 더 포함하고,

상기 컨트롤러는 상기 복수의 테이블들 각각을 주기적으로 초기화하는 데이터 저장 장치.

**청구항 17**

데이터 저장 장치; 및

상기 데이터 저장 장치의 작동을 제어하는 호스트를 포함하고,

상기 데이터 저장 장치는,

복수의 메모리 셀들을 포함하는 메모리; 및

상기 복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 컨트롤러를 포함하고,

상기 컨트롤러는,

서로 다른 시간 구간들 중에서 제1시간 구간에 상기 호스트로부터 수신된 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하고, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 보상 회로를 포함하는 데이터 처리 시스템.

**청구항 18**

제17항에 있어서, 상기 보상 회로는,

상기 제1라이트 어드레스에 대한 상기 제1압축 값을 생성하는 압축 값 생성 회로; 및

상기 제1라이트 요청에 대한 제1시간 스탬프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하고, 생성된 제1압축 값을 선택된 상기 제1테이블에 저장하는 검색 회로를 포함하고,

상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응되는 데이터 처리 시스템.

**청구항 19**

제18항에 있어서,

상기 압축 값 생성 회로는,

상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2 압축 값을 생성하고,

상기 검색 회로는,

상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색하는 데이터 처리 시스템.

**청구항 20**

제19항에 있어서,

상기 검색 회로는 상기 검색의 결과로서 상기 제1테이블의 인덱스를 출력하고,

상기 컨트롤러는,

상기 리드 요청에 상응하는 제2시간 스탬프와 상기 제1테이블의 인덱스를 이용하여 제어 코드를 생성하는 결정 회로; 및

상기 제어 코드에 응답하여 상기 초기 문턱 전압 변화를 보상하기 위한 보상 코드를 출력하는 CPU를 더 포함하고,

상기 메모리는 상기 CPU로부터 출력된 상기 보상 코드를 이용하여 상기 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 상기 메모리 셀들로부터 상기 리드 명령에 상응하는 데이터를 리드하고, 리드된 데이터를 상기 컨트롤러로 출력하는 데이터 처리 시스템.

**발명의 설명**

**기술 분야**

[0001] 본 발명의 개념에 따른 실시 예는 데이터 저장 장치에 관한 것으로, 특히 특정한 시간 구간 동안에 입력된 어드레스들에 대한 압축 값들을 초기 문턱 전압 변화를 보상하기 위한 값들로서 저장할 수 있는 테이블을 포함하는 데이터 저장 장치, 이의 작동 방법, 및 이를 포함하는 데이터 처리 시스템에 관한 것이다.

**배경 기술**

[0002] 메모리 장치는 데이터를 저장하는데 사용되고, 상기 메모리 장치는 휘발성 메모리 장치와 불휘발성 메모리 장치로 구분된다. 상기 메모리 장치의 특성은 사용 환경, 사용 횟수, 또는 사용 시간의 경과에 따라 변화될 수 있다.

[0003] 플래시 메모리 장치는 복수의 메모리 셀들이 한 번의 프로그램 작동으로 소거(erase) 또는 프로그램(program)되는 EEPROM의 일 예이다.

[0004] 플로팅 게이트(floating gate) 기술을 이용하는 플래시 메모리 장치에서, 데이터 보유 특성(data-retention characteristics)과 질적 저하 없는 프로그램-소거 사이클들(program-erase(P/E) cycles)의 횟수, 즉 내구성(endurance)은 상기 플래시 메모리 장치에서 가장 중요한 신뢰성(reliability) 관심사이다.

[0005] 플래시 메모리 장치에 포함된 플래시 메모리 셀에 저장된 전하들(또는 전자들)은 결함 인터폴리 절연막(defective interpoly insulation film)을 통한 열 이온 방출, 전하 확산, 이온 불순물, 또는 프로그램 디스터브 스트레스(program disturb stress)와 같은 다양한 페일 메카니즘들(fail mechanisms)을 통해 플로팅 게이트로부터 누설될 수 있다. 이는 문턱 전압(threshold voltage)의 감소를 야기할 것이다.

[0006] 플래시 메모리 셀들에 대한 반복적인 P/E 사이클들은 상기 플래시 메모리 셀들의 메모리 트랜지스터 산화막들에 스트레스를 주고, 상기 스트레스는 상기 플래시 메모리 셀들에 대한 페일(failure)을 야기할 수 있다. 플래시 메모리 셀들의 문턱 전압은 이러한 스트레스로 인해 변경(감소 또는 증가)될 수 있다. 예컨대, 프로그램된 플래

시 메모리 셀들의 플로팅 게이트들로부터 전자들은 누설될 수 있다. 따라서, 프로그램된 플래시 메모리 셀들의 문턱 전압 분포(threshold voltage distribution)는 낮은 전압 쪽으로 이동될 수 있다.

- [0007] 플래시 메모리 셀들의 초기 문턱 전압들은 공정 및 설계 타겟을 기준으로 유한한 분포를 가질 수 있다. 그러나, 상기 초기 문턱 전압들에 대한 상기 분포는 사용 환경, 사용 횟수, 또는 사용 시간의 경과에 따라 변화될 수 있다.
- [0008] 플래시 메모리 셀들을 포함하는 메모리 장치에 대해 프로그램 작동 또는 리드 작동이 수행될 때, 초기 문턱 전압들에 대한 분포는 적절하게 조절되어야 한다. 만일, 상기 초기 문턱 전압들에 대한 상기 분포가 적절하게 조절되지 않으면, 상기 메모리 장치에 대해 상기 프로그램 작동 또는 상기 리드 작동은 적절하게 수행되지 않을 수 있다.

**발명의 내용**

**해결하려는 과제**

- [0009] 본 발명이 이루고자 하는 기술적인 과제는 적절한 작동을 보장하기 위해 특정한 시간 구간 동안에 입력된 어드레스들에 대한 압축 값들을 초기 문턱 전압 변화를 보상하기 위한 값들로서 저장할 수 있는 테이블을 포함하는 데이터 저장 장치, 이의 작동 방법, 및 이를 포함하는 데이터 처리 시스템을 제공하는 것이다.

**과제의 해결 수단**

- [0010] 본 발명의 실시 예에 따른 복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 데이터 저장 장치의 작동 방법은 서로 다른 시간 구간들 중에서 제1시간 구간에 입력되는 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하는 단계와, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 단계를 포함한다.
- [0011] 상기 제1테이블에 저장하는 단계는 상기 제1라이트 요청에 대한 제1시간 스템프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하는 단계와, 상기 생성된 제1압축 값을 선택된 제1테이블에 저장하는 단계를 포함한다.
- [0012] 상기 데이터 저장 장치의 작동 방법은 상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하는 단계와, 상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색하는 단계와, 상기 제1테이블의 인덱스에 기초하여 상기 복수의 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하는 단계와, 상기 보상된 초기 문턱 전압 변화를 이용하여, 상기 리드 요청에 상응하는 리드 작동을 수행하는 단계를 더 포함한다.
- [0013] 상기 초기 문턱 전압 변화를 보상하는 단계는, 상기 리드 요청에 대한 제2시간 스템프와 상기 제1테이블의 인덱스에 기초하여, 상기 초기 문턱 전압 변화를 보상한다.
- [0014] 상기 초기 문턱 전압 변화를 보상하는 단계는, 상기 제2시간 스템프와 상기 제1테이블의 인덱스에 기초하여, 제어 코드를 생성하는 단계와, 상기 제어 코드를 상기 복수의 메모리 셀들을 포함하는 메모리에 저장하는 단계와, 상기 메모리에 저장된 상기 제어 코드를 이용하여, 상기 복수의 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하는 단계를 포함한다.
- [0015] 실시 예에 따라, 상기 제1압축 값과 상기 제2압축 값 각각은, 동일한 하나의 해시 값 생성기를 이용하여 생성될 수 있다.
- [0016] 다른 실시 예에 따라, 상기 제1압축 값과 상기 제2압축 값 각각은, 서로 다른 복수의 해시 값 생성기들로부터 출력된 해시 값들을 포함할 수 있다.
- [0017] 상기 데이터 저장 장치의 작동 방법은 상기 복수의 테이블들 각각을 주기적으로 초기화하는 단계를 더 포함한다.
- [0018] 상기 데이터 저장 장치가 상기 복수의 메모리 셀들을 포함하는 3차원 플래시 메모리를 포함할 때, 상기 제1라이트 요청에 상응하는 제1라이트 데이터를 상기 3차원 플래시 메모리에 라이트하는 단계를 더 포함한다.
- [0019] 상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응된다.
- [0020] 본 발명의 실시 예에 따른 데이터 저장 장치는 복수의 메모리 셀들을 포함하는 메모리와, 상기 복수의 메모리

셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 컨트롤러를 포함하고, 상기 컨트롤러는 서로 다른 시간 구간들 중에서 제1시간 구간에 입력되는 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하고, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 보상 회로를 포함한다.

[0021] 상기 보상 회로는 상기 제1라이트 어드레스에 대한 상기 제1압축 값을 생성하는 압축 값 생성 회로와, 상기 제1라이트 요청에 대한 제1시간 스탬프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하고, 생성된 제1압축 값을 선택된 상기 제1테이블에 저장하는 검색 회로를 포함하고, 상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응된다.

[0022] 상기 압축 값 생성 회로는 상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하고, 상기 검색 회로는 상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색한다.

[0023] 상기 검색 회로는 상기 검색의 결과로서 상기 제1테이블의 인덱스를 출력하고, 상기 컨트롤러는 상기 리드 요청에 상응하는 제2시간 스탬프와 상기 제1테이블의 인덱스를 이용하여 제어 코드를 생성하는 결정 회로와, 상기 제어 코드에 응답하여 상기 초기 문턱 전압 변화를 보상하기 위한 보상 코드를 출력하는 CPU를 더 포함하고, 상기 메모리는 상기 CPU로부터 출력된 상기 보상 코드를 이용하여 상기 메모리 셀들의 상기 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 상기 메모리 셀들로부터 상기 리드 명령에 상응하는 데이터를 리드하고, 리드된 데이터를 상기 컨트롤러로 출력한다.

[0024] 상기 컨트롤러는 상기 복수의 테이블들을 저장하는 내부 메모리를 더 포함하고, 상기 컨트롤러는 상기 복수의 테이블들 각각을 주기적으로 초기화한다.

[0025] 본 발명의 실시 예에 따른 데이터 처리 시스템은 데이터 저장 장치와, 상기 데이터 저장 장치의 작동을 제어하는 호스트를 포함한다. 상기 데이터 저장 장치는 복수의 메모리 셀들을 포함하는 메모리와, 상기 복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상할 수 있는 컨트롤러를 포함한다. 상기 컨트롤러는 서로 다른 시간 구간들 중에서 제1시간 구간에 상기 호스트로부터 수신된 제1라이트 요청에 상응하는 제1라이트 어드레스에 대한 제1압축 값을 생성하고, 생성된 제1압축 값을 복수의 테이블들 중에서 제1테이블에 저장하는 보상 회로를 포함한다.

[0026] 상기 보상 회로는 상기 제1라이트 어드레스에 대한 상기 제1압축 값을 생성하는 압축 값 생성 회로와, 상기 제1라이트 요청에 대한 제1시간 스탬프를 이용하여 상기 복수의 테이블들 중에서 상기 제1테이블을 선택하고, 생성된 제1압축 값을 선택된 상기 제1테이블에 저장하는 검색 회로를 포함하고, 상기 서로 다른 시간 구간들 각각은 상기 복수의 테이블들 각각에 대응된다.

[0027] 상기 압축 값 생성 회로는 상기 서로 다른 시간 구간들 중에서 제2시간 구간에 입력되는 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하고, 상기 검색 회로는 상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색한다.

[0028] 상기 검색 회로는 상기 검색의 결과로서 상기 제1테이블의 인덱스를 출력하고, 상기 컨트롤러는 상기 리드 요청에 상응하는 제2시간 스탬프와 상기 제1테이블의 인덱스를 이용하여 제어 코드를 생성하는 결정 회로와, 상기 제어 코드에 응답하여 상기 초기 문턱 전압 변화를 보상하기 위한 보상 코드를 출력하는 CPU를 더 포함하고, 상기 메모리는 상기 CPU로부터 출력된 상기 보상 코드를 이용하여 상기 메모리 셀들에 대한 상기 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 상기 메모리 셀들로부터 상기 리드 명령에 상응하는 데이터를 리드하고, 리드된 데이터를 상기 컨트롤러로 출력한다.

### **발명의 효과**

[0029] 본 발명의 실시 예에 따른 데이터 저장 장치는 특정한 시간 구간 동안에 입력된 어드레스들에 대한 압축 값들을 초기 문턱 전압 변화를 보상하기 위한 값들로서 저장할 수 있는 테이블을 포함할 수 있는 효과가 있다.

[0030] 따라서, 상기 데이터 저장 장치는 적은 용량을 갖는 내부 메모리에 초기 문턱 전압 변화에 대한 보상을 필요로 하는 상기 어드레스들을 저장할 수 있는 효과가 있다.

### **도면의 간단한 설명**

[0031] 본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 상세한 설명이 제공된다.



- 도 1은 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.
- 도 2는 도 1에 도시된 보상 회로의 블록도를 나타낸다.
- 도 3은 제1라이트 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- 도 4는 제2라이트 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- 도 5는 리드 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- 도 6은 시간에 따른 초기 문턱 전압 분포의 변화를 설명하기 위한 개념도이다.
- 도 7은 각 해시 테이블에 저장된 라이트 어드레스에 대한 압축 값의 시간 구간을 설명하기 위한 개념도이다.
- 도 8은 초기 문턱 전압 분포의 변화를 보상할 수 있는 테이블의 개념도이다.
- 도 9는 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다.
- 도 10은 도 1의 CPU에서 실행되는 보상 모듈의 작동을 개념적으로 나타낸다.
- 도 11은 도 1 또는 도 9에 도시된 제2메모리의 블록도를 나타낸다.
- 도 12는 도 1 또는 도 9에 도시된 데이터 저장 장치에서 수행되는 라이트 작동의 플로우 차트를 나타낸다.
- 도 13은 도 1 또는 도 9에 도시된 데이터 저장 장치에서 수행되는 리드 작동의 플로우 차트를 나타낸다.
- 도 14는 종래의 방법과 본 발명의 실시 예에 따른 방법에 의해 사용되는 메모리 용량을 나타낸다.
- 도 15는 본 발명의 실시 예에 따른 어드레스의 정의를 나타낸다.
- 도 16은 도 1 또는 도 9에 도시된 데이터 저장 장치를 포함하는 데이터 센터의 블록도를 나타낸다.

**발명을 실시하기 위한 구체적인 내용**

- [0032] 본 명세서에 개시되어 있는 본 발명의 개념에 따른 실시 예들에 대해서 특정한 구조적 또는 기능적 설명은 단지 본 발명의 개념에 따른 실시 예들을 설명하기 위한 목적으로 예시된 것으로서, 본 발명의 개념에 따른 실시 예들은 다양한 형태로 실시될 수 있으며 본 명세서에 설명된 실시 예들에 한정되지 않는다.
- [0033] 본 발명의 개념에 따른 실시 예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시 예들을 도면에 예시하고 본 명세서에서 상세하게 설명하고자 한다. 그러나, 이는 본 발명의 개념에 따른 실시 예들을 특정한 개시 형태들에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물, 또는 대체물을 포함한다.
- [0034] 제1 또는 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 상기 구성 요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않은 채, 제1구성 요소는 제2구성 요소로 명명될 수 있고 유사하게 제2구성 요소는 제1구성 요소로도 명명될 수 있다.
- [0035] 어떤 구성 요소가 다른 구성 요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성 요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성 요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성 요소가 다른 구성 요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는 중간에 다른 구성 요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성 요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- [0036] 본 명세서에서 사용한 용어는 단지 특정한 실시 예를 설명하기 위해 사용된 것으로서, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 본 명세서에 기재된 특징, 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성 요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0037] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이

속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 나타낸다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

- [0038] 이하, 본 명세서에 첨부된 도면들을 참조하여 본 발명의 실시 예들을 상세히 설명한다.
- [0039] 도 1은 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다. 도 1을 참조하면, 데이터 처리 시스템(100A)은 인터페이스(110)를 통해 접속된 호스트(200)와 데이터 저장 장치(300A)를 포함할 수 있다.
- [0040] 본 명세서에서 설명될 데이터 처리 시스템(100A 또는 100B)은 서버 컴퓨터, PC (personal computer), 데스크 탑 컴퓨터, 랩-탑(lap-top) 컴퓨터, 워크스테이션 (workstation) 컴퓨터, NAS(network-attached storage), 데이터 센터(data center), 인터넷 데이터 센터(internet data center(IDC)) 또는 모바일 컴퓨팅 장치로 구현될 수 있다.
- [0041] 예컨대, 상기 모바일 컴퓨팅 장치는 이동 전화기, 스마트 폰(smart phone), 태블릿(tablet) PC, PDA(personal digital assistant), EDA(enterprise digital assistant), 디지털 스틸 카메라(digital still camera), 디지털 비디오 카메라 (digital video camera), PMP(portable multimedia player), PND(personal navigation device 또는 portable navigation device), 휴대용 게임 콘솔(handheld game console), 모바일 인터넷 장치(mobile internet device(MID)), 웨어러블 컴퓨터, 사물 인터넷(internet of things(IoT)) 장치, 만물 인터넷(internet of everything(IoE)) 장치, 또는 e-북(e-book)으로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0042] 인터페이스(110)는 SATA(Serial Advanced Technology Attachment), SATAe (SATA express), SAS(serial attached small computer system interface(SCSI)), 또는 PCIe(peripheral component interconnect express)를 지원할 수 있는 인터페이스로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0043] 호스트(200)는 데이터 저장 장치(300A)의 데이터 처리 작동(예컨대, 라이트 작동 또는 리드 작동)을 제어할 수 있다.
- [0044] 호스트(200)는 컨트롤러(210), 메모리(230), 및 디스플레이(250)를 포함할 수 있다. 도 1에 도시된 호스트(200)의 블록도는 설명의 편의를 위해 예시적으로 도시된 것으로서, 본 발명의 기술적 사상이 도 1에 도시된 블록도에 한정되는 것은 아니다.
- [0045] 실시 예에 따라, 컨트롤러(210)는 집적 회로(integrated circuit(IC)), 마더보드(motherboard), 또는 시스템 온 칩(system on chip(SoC))으로 구현될 수 있다. 다른 실시 예에 따라, 호스트(200)는 애플리케이션 프로세서(application processor) 또는 모바일(mobile) 애플리케이션 프로세서로 구현될 수 있다.
- [0046] 컨트롤러(210)는 메모리(230)와 디스플레이(250) 각각의 작동을 제어할 수 있다. 컨트롤러(210)는 버스 구조(211), CPU(central processing unit; 213), 메모리 컨트롤러(215), 디스플레이 컨트롤러(217), 및 제1인터페이스(219)를 포함할 수 있다.
- [0047] 버스 구조(211)를 통해, CPU(213)는 메모리 컨트롤러(215), 디스플레이 컨트롤러(217), 및 제1인터페이스(219)와 명령(command) 및/또는 데이터를 주거나 받을 수 있다. 상기 명령은 요청(request)을 의미할 수도 있다.
- [0048] 예컨대, 버스 구조(211)는 AMBA(Advanced Microcontroller Bus Architecture), AHB(Advanced High-performance Bus), APB(Advanced Peripheral Bus), AXI(Advanced eXtensible Interface) 또는 ASB(Advanced System Bus)로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0049] CPU(213)는 데이터 저장 장치(300A)의 라이트 작동(write operation)을 제어할 수 있는 라이트 요청 또는 데이터 저장 장치(300A)의 리드 작동(read operation)을 제어할 수 있는 리드 요청을 생성할 수 있다. 상기 라이트 요청은 라이트 어드레스를 포함할 수 있고, 상기 리드 요청은 리드 어드레스를 포함할 수 있다. 예컨대, CPU(213)는 하나 또는 그 이상의 코어들을 포함할 수 있다.
- [0050] 메모리 컨트롤러(215)는, CPU(213)의 제어에 따라, 메모리(230)에 데이터를 라이트하거나 메모리(230)에 저장된 데이터를 리드할 수 있다. 실시 예에 따라, 메모리 컨트롤러(215)는 DMA(direct memory access) 컨트롤러의 기능을 수행할 수 있다.
- [0051] 메모리(230)는 휘발성 메모리 및/또는 불휘발성 메모리로 구현될 수 있다. 상기 휘발성 메모리는 RAM(random access memory), SRAM(static RAM), 또는 DRAM (dynamic RAM)으로 구현될 수 있다. 상기 불휘발성 메모리는 하

드 디스크 드라이브 (hard disk drive(HDD), NAND 플래시 메모리, NOR 플래시 메모리, PRAM(phase change RAM), MRAM(magnetoresistive RAM), STT-MRAM(spin-transfer torque MRAM), FRAM(ferroelectric RAM) 또는 RRAM(resistive RAM)으로 구현될 수 있다.

- [0052] 도 1에는 하나의 메모리 컨트롤러(215)와 하나의 메모리(230)가 도시되어 있으나, 메모리 컨트롤러(215)는 복수의 메모리 컨트롤러들을 포함하는 집합적 의미로 사용될 수 있고, 메모리(230)는 복수의 메모리들을 포함하는 집합적 의미로 사용될 수 있다. 이때, 상기 복수의 메모리들은 서로 다른 종류의 메모리들을 의미할 수도 있다. 예컨대, 상기 복수의 메모리들이 DRAM과 NAND 플래시 메모리를 포함할 때, 상기 복수의 메모리 컨트롤러는 DRAM 컨트롤러와 NAND 플래시 메모리를 포함할 수 있다.
- [0053] 디스플레이 컨트롤러(217)는, CPU(213)의 제어에 따라, CPU(213) 또는 메모리 컨트롤러(215)로부터 출력된 데이터를 디스플레이(250)로 전송할 수 있다. 따라서, 디스플레이(250)는 상기 데이터를 디스플레이할 수 있다.
- [0054] 실시 예들에 따라, 디스플레이 컨트롤러(217)는 MIPI® 디스플레이 시리얼 인터페이스(display serial interface(DSI)), eDP(embedded DisplayPort), 또는 HDMI(High-Definition Multimedia Interface)를 통해 상기 데이터를 디스플레이 (250)로 전송할 수 있다. 실시 예들에 따라, 디스플레이(250)는 디스플레이 패널에 백라이트를 제공하는 백라이트 유닛(backlight unit)을 포함할 수도 있고 포함하지 않을 수도 있다.
- [0055] 제1인터페이스(219)는 데이터 저장 장치(300A)로 전송될 명령 및/또는 데이터의 포맷(format)을 변경하고, 변경된 포맷을 갖는 명령 및/또는 변경된 포맷을 갖는 데이터를 인터페이스(110)를 통해 데이터 저장 장치(300A)로 전송할 수 있다. 실시 예에 따라, 제1인터페이스(219)는 명령 및/또는 데이터를 송수신할 수 있는 송수신기를 포함할 수 있다.
- [0056] 데이터 저장 장치(300A)는 컨트롤러(310A), 제1메모리(370), 및 제2메모리 (380)를 포함할 수 있다.
- [0057] 데이터 저장 장치(300A)는 플래시-기반 메모리 장치로 구현될 수 있다. 예컨대, 데이터 저장 장치(300A)는 SSD(solid-state drive or solid-state disk), 임베디드 SSD(embedded SSD (eSSD)), 유니버설 플래시 스토리지 (universal flash storage(UFS)), 멀티미디어 카드(multimedia card(MMC)), 또는 임베디드 MMC (embedded MMC(eMMC))로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0058] 컨트롤러(310A)는 호스트(200), 제1메모리(370), 및 제2메모리(380) 사이에서 주거나 받는 명령 및/또는 데이터를 제어할 수 있다. 상기 명령은 요청으로 불릴 수도 있다.
- [0059] 컨트롤러(310A)는 집적 회로 또는 시스템 온 칩으로 구현될 수 있다.
- [0060] 컨트롤러(310A)는 버스 구조(311), 제2인터페이스(320), CPU(330), 보상 회로(340), 내부 메모리(343), 제1메모리 컨트롤러(350), 및 제2메모리 컨트롤러 (360)를 포함할 수 있다.
- [0061] 버스 구조(311)는 AMBA, AHB, APB, AXI 또는 ASB로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0062] 제2인터페이스(320)는 호스트(200)로 전송될 신호(또는 데이터)의 포맷을 변경하고, 변경된 포맷을 갖는 신호 (또는 변경된 포맷을 갖는 데이터)를 인터페이스 (110)를 통해 호스트(200)로 전송할 수 있다. 실시 예에 따라, 제2인터페이스 (320)는 신호 및/또는 데이터를 송수신할 수 있는 송수신기를 포함할 수 있다.
- [0063] CPU(330)는, 버스 구조(311)를 통해, 제2인터페이스(320), 보상 회로(340), 내부 메모리(343), 제1메모리 컨트롤러(350), 및/또는 제2메모리 컨트롤러(360)를 제어할 수 있다. CPU(330)는 하나 또는 그 이상의 코어들을 포함할 수 있다.
- [0064] 도 1에는 하나의 CPU(330)가 도시되어 있으나, CPU(330)는 호스트(200)와 상호 작동을 제어하는 제1CPU와, 제2 메모리(380)와 상호 작동을 제어하는 제2CPU를 포함하는 CPU 세트를 의미할 수도 있다. 이때, 제1CPU는 제2인터 페이스(320)의 작동을 제어할 수 있고, 제2CPU는 메모리 컨트롤러(360)의 작동을 제어할 수 있다.
- [0065] CPU(330)는, 호스트(200)로부터 출력된 요청(예컨대, 라이트 요청 또는 리드 요청)에 응답하여, 제2메모리 컨트롤러(360)의 작동을 제어할 수 있다. 또한, CPU (330)는, 제2메모리 컨트롤러(360)를 이용하여, 제2메모리(380)의 작동들에 필요한 데이터를 제2메모리(380)에 설정할 수 있다.
- [0066] 호스트(200)로부터 출력된 라이트 요청(또는 라이트 명령)에 따라 수행되는 라이트 동작 동안, 보상 회로(340)는 서로 다른 시간 구간들 중에서 어느 하나의 시간 구간에 입력되는 상기 라이트 요청에 상응하는 라이트 어드레스에 대한 압축 값을 생성하고, 상기 라이트 요청에 대한 제1시간 스탬프(time stamp)에 기초하여 복수의 테

이들들 중에서 어느 하나의 테이블을 선택하고, 생성된 압축 값을 상기 선택된 테이블에 저장할 수 있다.

- [0067] 실시 예에 따라, 상기 복수의 테이블들은 내부 메모리(343)에 저장될 수 있고, 상기 복수의 테이블들 각각은 상기 서로 다른 시간 구간들 각각에 대응될 수 있다. 내부 메모리(343)는 특정한 시간 구간 동안에 입력된 라이트 어드레스들에 대한 압축 값을 초기 문턱 전압 변화(initial threshold voltage shift)를 보상(또는 조절)하기 위한 값들로서 저장할 수 있다. 상기 초기 문턱 전압 변화는 초기 문턱 전압 분포 변화(initial threshold voltage distribution shift)를 의미할 수 있다.
- [0068] 호스트(200)로부터 출력된 리드 요청(또는 리드 명령)에 따라 수행되는 리드 동작 동안, 보상 회로(340)는 상기 서로 다른 시간 구간들 중에서 다른 하나의 시간 구간에 입력되는 상기 리드 요청에 상응하는 리드 어드레스에 대한 제2압축 값을 생성하고, 상기 복수의 테이블들 중에서 상기 제2압축 값과 동일한 상기 제1압축 값을 저장하는 상기 제1테이블을 검색하고, 상기 리드 요청에 대한 제2시간 스탬프와 상기 제1테이블의 인덱스(index)에 기초하여, 제2메모리(380)에 포함된 복수의 메모리 셀들에 대한 초기 문턱 전압 변화를 보상(또는 조절)할 수 있는 제어 코드를 생성할 수 있다.
- [0069] 보상 회로(340)의 구조와 작동은 도 2부터 도 8을 참조하여 상세히 설명될 것이다.
- [0070] CPU(330)에 의해 액세스될 수 있는 내부 메모리(343)는 각각이 서로 다른 시간 구간들 각각에 대응하는 테이블들을 저장할 수 있다. 즉, 내부 메모리(343)는 시간 구간별로 할당된 테이블을 저장할 수 있다.
- [0071] 실시 예에 따라, 내부 메모리(343)는 SRAM, 버퍼(buffer), 버퍼 메모리, 또는 캐시(cache)로 구현될 수 있으나 이에 한정되는 것은 아니다. 다른 실시 예에 따라, 내부 메모리(343)는 강하게 결합된 메모리(Tightly Coupled Memory (TCM))으로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0072] 제1메모리 컨트롤러(350)는, CPU(330)의 제어에 따라, 제1메모리(370)에 데이터를 라이트하거나 제1메모리(370)에 저장된 데이터를 리드할 수 있다. 실시 예에 따라, 제1메모리 컨트롤러(350)는 DMA 컨트롤러의 기능을 포함할 수 있다.
- [0073] 실시 예에 따라, 제1메모리(370)는 버퍼 또는 DRAM으로 구현될 수 있다.
- [0074] 도 1에서는 내부 메모리(343)와 제1메모리(370)가 분리된 구조로 도시되어 있으나, 실시 예들에 따라 내부 메모리(343)와 제1메모리(370)는 하나의 메모리로 구현되고, 상기 하나의 메모리는 컨트롤러(310A)의 내부 또는 외부에 배치될 수 있다.
- [0075] 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, 제2메모리(380)에 대한 데이터 처리 작동들(예컨대, 라이트 작동들 또는 리드 작동들)을 제어할 수 있다. 예컨대, 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, 제2메모리(380)에 대한 데이터 처리 작동들에 필요한 정보 또는 데이터를 제2메모리(380)에 포함된 환경 설정 레지스터(configuration register, 예컨대, 도 11의 387)에 설정할 수 있다. 상기 라이트 작동들은 프로그램 작동들을 의미할 수 있다.
- [0076] 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, CPU(330) 또는 제1메모리 컨트롤러(350)로부터 출력된 데이터를 제2메모리(380)에 라이트할 수 있다. 또한, 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, 제2메모리(380)로부터 출력된 데이터를 버스 구조(311)로 전송할 수 있다.
- [0077] 제2메모리(380)는 플래시-기반 메모리 셀들을 포함할 수 있다. 상기 플래시-기반 메모리 셀들 각각은 NAND-타입 플래시 메모리 셀 또는 NOR-타입 플래시 메모리 셀을 의미할 수 있다. 상기 플래시-기반 메모리 셀들 각각은 1-비트에 해당하는 정보를 저장할 수 있는 싱글-레벨 셀(single-level cell(SLC)) 또는 2-비트 이상에 해당하는 정보를 저장할 수 있는 멀티-레벨 셀(multi-level cell(MLC))을 포함할 수 있다.
- [0078] 실시 예에 따라, 제2메모리(380)는 2차원적으로 배열된 NAND-타입 플래시 메모리 셀들을 포함할 수 있다. 다른 실시 예에 따라, 제2메모리(380)는 3차원적인 수직(three-dimensional Vertical) NAND-타입 플래시 메모리 셀들을 포함할 수 있다.
- [0079] 하나 또는 그 이상의 채널들(channel)은 제2메모리 컨트롤러(360)와 제2메모리(380) 사이에 구현될 수 있다. 여기서, 제2메모리(380)는 하나 또는 그 이상의 메모리들을 의미할 수 있다. 이때, 채널은 제2메모리 컨트롤러(360)와 하나 또는 그 이상의 메모리들 사이에 존재하는 독립적인 데이터 패스를 의미할 수 있다. 웨이(way)는 동일한 채널을 공유하는 하나 또는 그 이상의 메모리들의 그룹을 의미할 수 있다. 따라서, 하나의 채널에는 복수의 웨이들이 접속될 수 있다.

- [0080] CPU(330)는, 보상 회로(340)로부터 출력된 제어 코드를 이용하여, 제2메모리 (380)에 포함된 플래시-기반 메모리 셀들에 대한 초기 문턱 전압 변화를 보상을 위한 보상 코드를 생성하고, 생성된 보상 코드를 제2메모리 컨트롤러(360)로 출력할 수 있다.
- [0081] 제2메모리 컨트롤러(360)는 상기 보상 코드를 제2메모리(380)에 포함된 환경 설정 레지스터(예컨대, 도 11의 387)에 설정 또는 프로그램할 수 있다. 따라서, 제2메모리(380)는 상기 보상 코드를 이용하여 플래시-기반 메모리 셀들에 대한 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 데이터 처리 작동을 수행할 수 있다.
- [0082] 본 명세서에서 초기 문턱 전압은 프로그램 전압, 프로그램 검증(program verify) 전압, 리드 전압, 이레이즈(erase) 전압, 또는 이레이즈 검증 전압을 의미할 수 있으나 이에 한정되는 것은 아니다.
- [0083] 상기 제어 코드와 상기 보상 코드는 서로 다른 명칭으로 사용되었으나, 실시 예들에 따라, 상기 제어 코드와 상기 보상 코드는 동일한 코드를 의미할 수도 있다.
- [0084] 도 2는 도 1에 도시된 보상 회로의 블록도를 나타낸다.
- [0085] 도 2에서는 설명의 편의를 위해, 보상 회로(340)와 내부 메모리(343)가 함께 도시된다.
- [0086] 데이터 저장 장치(300A)가 최근의 일정 시간 동안에 라이트 작동을 수행할 때, 데이터 저장 장치(300A)는 상기 라이트 작동에 필요한 라이트 어드레스를 압축하고(compress), 압축 결과에 상응하는 제1압축 값을 적어도 하나의 테이블에 저장할 수 있다.
- [0087] 데이터 저장 장치(300A)가 리드 작동을 수행할 때, 데이터 저장 장치(300A)는 상기 리드 작동에 필요한 리드 어드레스를 압축하고, 압축 결과에 상응하는 제2압축 값과 동일한 상기 제1압축 값을 포함하는 적어도 하나의 테이블을 검출하고, 검출된 적어도 하나의 테이블의 인덱스를 이용하여 제2메모리(380)에 포함된 플래시-기반 메모리 셀들에 대한 초기 문턱 전압 변화를 보상하고, 보상된 초기 문턱 전압 변화를 이용하여 상기 리드 작동을 수행할 수 있다.
- [0088] 이때, 압축은 해싱(hashing)을 의미할 수 있으나 이에 한정되는 것은 아니다. 여기서, 보상은 초기 문턱 전압(예컨대, 리드 전압)의 증가 또는 감소를 의미할 수 있다.
- [0089] 그러나, 압축 결과에 상응하는 제2압축 값과 동일한 상기 제1압축 값을 갖는 테이블이 검출되지 않으면, 데이터 저장 장치(300A)는 정상 리드 작동(normal read operation)을 수행할 수 있다. 여기서, 정상적인 리드 작동은 디폴트(default) 리드 레벨로 수행되는 리드 작동을 의미할 수 있다. 여기서, 디폴트 리드 레벨(예컨대, 도 6의 Vdef)은 데이터가 제2메모리(380)에 라이트된 후 오랜 기간이 경과한 후 수행되는 리드 작동에서 사용되는 리드 전압을 의미할 수 있다.
- [0090] 보상 회로(340)는 압축 값 생성 회로(341), 검색 회로(345), 및 결정 회로 (347)를 포함할 수 있다.
- [0091] 압축 값 생성 회로(341)는, 라이트 작동 시에 또는 리드 작동 시에, 입력 어드레스(ADD)에 상응하는 압축 값(HV)을 생성(또는 계산)할 수 있다. 입력 어드레스 (ADD)는 라이트 어드레스 또는 리드 어드레스를 의미할 수 있다.
- [0092] 라이트 작동시에 생성된 압축 값(HV)은 내부 메모리(343)에 포함된 하나 또는 그 이상의 테이블들(343-1~343-m)에 저장될 수 있다. 이하, 설명의 편의를 위해, 압축 값(HV)은 내부 메모리(343)에 포함된 테이블들(343-1~343-m) 중에서 어느 하나의 테이블에 저장된다고 가정한다.
- [0093] 실시 예에 따라, 압축 값 생성 회로(341)는 해시 값 생성 회로(341)로 구현될 수 있다. 이때, 해시 값 생성 회로(341)는 라이트 어드레스(ADD)를 이용하여 해시 값(HV)을 생성(또는 계산)하고, 생성된 해시 값(HV)을 내부 메모리(343)에 포함된 테이블들(343-1~343-m) 중에서 어느 하나의 테이블에 저장할 수 있다.
- [0094] 데이터 저장 장치(300A)가 라이트 작동을 수행할 때, 검색 회로(345)는, 라이트 요청에 대한 시간 스탬프(TSwr; 이하 '라이트 시간 스탬프'라 한다)를 이용하여, 라이트 어드레스(ADD)를 이용하여 생성된 해시 값(HV)을 복수의 테이블들(343-1~343-m) 중에서 어느 테이블(들)에 저장할지를 결정하고, 해시 값(HV)을 결정된 테이블(들)에 저장할 수 있다. 이때, 검색 회로(345)는 라이트 컨트롤러의 기능을 수행할 수 있다.
- [0095] 여기서, 라이트 시간 스탬프(TSwr)는 상기 라이트 요청이 데이터 저장 장치 (300A)에서 수신된 시간에 대한 정보를 포함할 수 있다. 상술한 바와 같이, 라이트 작동에 관련된 상기 라이트 요청은 라이트 어드레스를 포함할

수 있다.

- [0096] 데이터 저장 장치(300A)가 리드 작동을 수행할 때, 검색 회로(345)는 리드 어드레스(ADD)를 이용하여 생성된 해시 값(HV)과 동일한 해시 값(HV)을 저장하는 테이블을 복수의 테이블들(343-1~343-m)로부터 검색하고, 검색된 테이블의 인덱스 (Table\_i)를 결정 회로(347)로 출력할 수 있다. 이때, 검색 회로(345)는 리드 컨트롤러의 기능을 수행할 수 있다.
- [0097] 실시 예에 따라, 결정 회로(347)는, 검색 회로(345)로부터 출력된 테이블의 인덱스(Table\_i)와 리드 요청에 대한 시간 스탬프(TSrr; 이하 '리드 시간 스탬프'라 한다)를 이용하여, 라이트 어드레스(ADD)를 이용하여 생성된 해시 값(HV)이 상기 테이블에 저장된 시간을 계산(또는 예측)하고, 계산 결과에 따라 초기 문턱 전압 변화의 보상 여부와 보상 정도를 나타내는 제어 코드(CODEi)를 생성할 수 있다.
- [0098] 여기서, 리드 시간 스탬프(TSrr)는 상기 리드 요청이 데이터 저장 장치 (300A)에서 수신된 시간에 대한 정보를 포함할 수 있다. 상술한 바와 같이, 리드 작동에 관련된 상기 리드 요청은 리드 어드레스를 포함할 수 있다. 여기서, 보상 정도는 초기 문턱 전압 변화를 얼마만큼 보상(예컨대, 증가 또는 감소)할지를 나타낼 수 있다.
- [0099] 다른 실시 예에 따라, 결정 회로(347)는, 테이블의 인덱스(Table\_i)와 리드 시간 스탬프(TSrr)를 이용하여, 라이트 어드레스를 이용하여 생성된 해시 값(HV)이 상기 테이블에 저장된 시간을 계산(또는 예측)하고, 코드 테이블(344)로부터, 계산된 시간에 상응하는 코드(CODEi)를 검색하고, 검색된 코드(CODEi)를 출력할 수 있다. 코드 (CODEi)를 검색하는 과정은 도 8을 참조하여 상세히 설명될 것이다.
- [0100] 도 2에 도시된 바와 같이, 내부 메모리(343)는 복수의 테이블들(343-1~343-m), 즉, 해시 값 테이블들을 저장할 수 있다. 실시 예에 따라, 내부 메모리(343)에는 초기 문턱 전압 변화의 보상 정보를 나타내는 복수의 코드들을 포함하는 코드 테이블(344)이 저장될 수 있다. 실시 예에 따라, 코드 테이블(344)은 제2메모리 (380)로부터 내부 메모리(343)로 로드될 수 있다.
- [0101] 도 3은 제1라이트 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- [0102] 도 1부터 도 3을 참조하면, 해시 값 생성 회로(341)는 복수의 해시 값 생성기들(341-1~341-k, k는 2 이상의 자연수)을 포함하고, 내부 메모리(343)는 복수의 해시 값 테이블들(343-1~343-m, m은 2 이상의 자연수)을 저장 또는 포함할 수 있다. 복수의 해시 값 테이블들(343-1~343-m) 각각은 간단히 '해시 테이블'로 불릴 수 있다.
- [0103] 복수의 해시 값 생성기들(341-1~341-k)의 개수와 복수의 해시 값 테이블들 (343-1~343-m)의 개수는 실시 예들에 따라 다양하게 변경될 수 있다. 예컨대, k=m 또는 k≠m일 수 있다.
- [0104] 복수의 해시 값 생성기들(341-1~341-k) 각각은, 제1시간 구간(TI1)에 입력되는 제1라이트 요청에 관련된 제1라이트 어드레스(WADD1)를 이용하여, 서로 다른 해시 값(HV11~HV1k)을 계산할 수 있다. 제1시간 구간(TI1)은 시점들(0과 T1)에 의해 결정될 수 있다. 각 해시 값(HV11~HV1k)은 하나 또는 그 이상의 값들을 포함할 수 있다.
- [0105] 실시 예들에 따라, 각 해시 값 생성기(341-1~341-k)의 시드 값(seed value)은 서로 다를 수 있다. 상기 시드 값은 고정된 값(fixed value)이거나 CPU(330)의 제어에 따라 변경가능한 값일 수 있다.
- [0106] 다른 실시 예들에 따라, 각 해시 값 생성기(341-1~341-k)에 의해 사용되는 해시 함수(hash function)는 서로 다를 수 있다. 해시 함수는 임의의 크기 (arbitrary size)의 디지털 데이터를 고정된 크기(fixed size)의 디지털 데이터로 맵(map)하는데 사용될 수 있는 함수를 의미할 수 있다.
- [0107] 제1시간 구간(TI1) 동안, 복수의 서로 다른 라이트 어드레스들이 입력될 수 있으나, 설명의 편의를 위해, 제1시간 구간(TI1) 동안에 입력된 제1라이트 어드레스(WADD1)에 대한 해시 값들을 처리하는 보상 회로(340)의 작동이 설명된다.
- [0108] 각 해시 값 생성기(341-1~341-k)는, 제1라이트 어드레스(WADD1)를 이용하여, 서로 다른 해시 값(HV11~HV1k)을 생성할 수 있다. 예컨대, 복수의 해시 값 생성기들(341-1~341-k) 각각은 서로 다른 라이트 어드레스를 이용하여 서로 다른 해시 값을 생성할 수 있다. 각 해시 값 생성기(341-1~341-k)는 라이트 어드레스마다 서로 다른 해시 값을 생성할 수 있다.
- [0109] 검색 회로(345)는, 제1라이트 어드레스(WADD1)의 제1시간 스탬프(TSwr)를 이용하여, 서로 다른 해시 값들 (HV11~HV1k)을 복수의 해시 값 테이블들(343-1~343-m) 중에서 어떤 해시 값 테이블에 저장할지를 결정할 수 있다. 즉, 검색 회로(345)는 해시 값들(HV11~HV1k)이 저장될 제1해시 값 테이블(343-1)을 선택할 수 있다. 예컨대, 제1시간 구간(TI1)은 제1해시 값 테이블(343-1)에 대응될 수 있다.

- [0110] 제1시간 구간(TI1)에 입력되는 각 라이트 어드레스에 해당하는 해시 값들 (HV11~HV1k)은 제1해시 값 테이블(343-1)에 저장될 수 있다.
- [0111] 제1해시 값 생성기(341-1)에 의해 생성된 해시 값(HV11)은 제1해시 값 테이블(343-1)의 엔트리(ENT8)에 저장될 수 있다. 제2해시 값 생성기(341-2)에 의해 생성된 해시 값(HV12)은 제1해시 값 테이블(343-1)의 엔트리(ENT5)에 저장될 수 있다. 유사하게, 제k해시 값 생성기(341-k)에 의해 생성된 해시 값(HV1k)은 제1해시 값 테이블(343-1)의 엔트리(ENT2)에 저장될 수 있다.
- [0112] 제1인덱스(Table\_1)를 갖는 제1해시 값 테이블(343-1)의 각 엔트리 (ENT1~ENTs; s는 2 이상의 자연수)는 내부 메모리(343)의 크기(또는 데이터 저장 용량)를 줄이기 위해 1-비트로 표현될 수 있으나 이에 한정되는 것은 아니다.
- [0113] 예컨대, 각 엔트리(ENT1~ENTs)에 포함된 로직 0(또는 데이터 0)은 해당하는 해시 값이 저장되어 있지 않음을 나타낼 수 있고, 각 엔트리(ENT1~ENTs)에 포함된 로직 1(또는 데이터 1)은 해당하는 해시 값이 저장되어 있음을 나타낼 수 있다.
- [0114] 시점(T1)이 되면, 검색 회로(345)는 제1해시 값 테이블(343-1)에 라이트 어드레스에 대한 해시 값들(HV11~HV1k)을 저장하는 것을 중지하고, 제2해시 값 테이블(343-2)을 초기화하고, 제2시간 구간(TI1) 동안에 입력될 각 라이트 어드레스에 대한 해시 값들을 제2해시 값 테이블(343-2)에 저장할 준비를 할 수 있다.
- [0115] 도 4는 제2라이트 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- [0116] 제1시간 구간(TI1)의 다음 시간 구간, 예컨대 제2시간 구간(TI2) 동안, 복수의 서로 다른 라이트 어드레스들이 입력될 수 있으나, 설명의 편의를 위해, 제2시간 구간(TI2) 동안에 입력된 제2라이트 어드레스(WADD2)에 대한 해시 값들을 처리하는 보상 회로(340)의 작동이 설명된다.
- [0117] 각 해시 값 생성기(341-1~341-k)는, 제2라이트 어드레스(WADD2)를 이용하여, 서로 다른 해시 값(HV21~HV2k)을 생성할 수 있다. 즉, 복수의 해시 값 생성기들 (341-1~341-k) 각각은 서로 다른 라이트 어드레스를 이용하여 서로 다른 해시 값을 생성할 수 있다.
- [0118] 검색 회로(345)는, 제2라이트 어드레스(WADD2)의 제2시간 스탬프(TSwr)를 이용하여, 서로 다른 해시 값들 (HV21~HV2k)을 복수의 해시 값 테이블들(343-1~343-m) 중에서 어떤 해시 값 테이블에 저장할지를 결정할 수 있다. 즉, 검색 회로(345)는 해시 값들(HV21~HV2k)이 저장될 제2해시 값 테이블(343-2)을 선택할 수 있다. 예컨대, 제2시간 구간(TI2)은 제2해시 값 테이블(343-2)에 대응될 수 있다.
- [0119] 시점들(T1과 T2)에 의해 결정되는 제2시간 구간(TI2)에 입력되는 각 라이트 어드레스에 해당하는 해시 값들 (HV21~HV2k)은 제2해시 값 테이블(343-2)에 저장될 수 있다.
- [0120] 제1해시 값 생성기(341-1)에 의해 생성된 해시 값(HV21)은 제2해시 값 테이블(343-2)의 엔트리(ENT5)에 저장될 수 있다. 제2해시 값 생성기(341-2)에 의해 생성된 해시 값(HV22)은 제2해시 값 테이블(343-2)의 엔트리(ENTs)에 저장될 수 있다. 유사하게, 제k해시 값 생성기(341-k)에 의해 생성된 해시 값(HV2k)은 제2해시 값 테이블(343-2)의 엔트리(ENT1)에 저장될 수 있다.
- [0121] 제2인덱스(Table\_2)를 갖는 제2해시 값 테이블(343-2)의 각 엔트리 (ENT1~ENTs)는 내부 메모리(343)의 크기(또는 데이터 저장 용량)를 줄이기 위해 1-비트로 표현될 수 있으나 이에 한정되는 것은 아니다.
- [0122] 시점(T2)이 되면, 검색 회로(345)는 제2해시 값 테이블(343-2)에 라이트 어드레스에 대한 해시 값들(HV21~HV2k)을 저장하는 것을 중지하고, 제3해시 값 테이블을 초기화하고, 시점들(T2와 T3)에 의해 결정된 제3시간 구간 동안에 입력될 각 라이트 어드레스에 대한 해시 값들을 제3해시 값 테이블에 저장할 준비를 할 수 있다.
- [0123] 제3라이트 어드레스(WADD3)에 대한 해시 값들의 처리는 제2라이트 어드레스 (WADD2)에 대한 해시 값들의 처리와 실질적으로 동일 또는 유사하다.
- [0124] 상술한 방법에 따라, 서로 다른 시간 구간에 입력되는 라이트 어드레스에 대한 해시 값들은 서로 다른 해시 값 테이블에 저장될 수 있다.
- [0125] 예컨대, 제1인덱스(Table\_1)를 갖는 제1해시 값 테이블(343-1)은 제1시간 구간(TI1)에 대한 정보(또는 데이터)를 포함할 수 있다. 따라서, 제1해시 값 테이블 (343-1)은 제1시간 구간(TI1)에 해당하는 각 라이트 어드레스에 대한 해시 값들 (HV11~HV1k)을 저장할 수 있다.

- [0126] 제2인덱스(Table<sub>2</sub>)를 갖는 제2해시 값 테이블(343-2)은 제2시간 구간(TI<sub>2</sub>)에 대한 정보(또는 데이터)를 포함할 수 있다. 따라서, 제2해시 값 테이블(343-2)은 제2시간 구간(TI<sub>2</sub>)에 해당하는 각 라이트 어드레스에 대한 해시 값들 (HV<sub>21</sub>~HV<sub>2k</sub>)을 저장할 수 있다.
- [0127] 동일 또는 유사하게, 제<sub>m</sub>인덱스(Table<sub>m</sub>)를 갖는 제<sub>m</sub>해시 값 테이블(343-<sub>m</sub>)은 제<sub>m</sub>시간 구간에 대한 정보(또는 데이터)를 포함할 수 있다. 따라서, 제<sub>m</sub>해시 값 테이블(343-<sub>m</sub>)은 제<sub>m</sub>시간 구간에 해당하는 각 라이트 어드레스에 대한 해시 값들을 저장할 수 있다.
- [0128] 도 5는 리드 어드레스를 처리하는 도 2에 도시된 해시 값 생성 회로의 작동을 설명하는 개념도이다.
- [0129] 시점들(T6과 T7)에 의해 결정되는 시간 구간 동안, 복수의 서로 다른 리드 어드레스들이 입력될 수 있으나, 설명의 편의를 위해, 상기 시간 구간 동안에 입력된 리드 어드레스(RADD1)에 대한 해시 값들을 처리하는 보상 회로(340)의 작동이 설명된다.
- [0130] 각 해시 값 생성기(341-1~341-<sub>k</sub>)는, 리드 어드레스(RADD1)를 이용하여, 서로 다른 해시 값을 생성할 수 있다.
- [0131] 실시 예에 따라, 리드 어드레스(RADD1)와 제1라이트 어드레스(WADD1)가 서로 동일하다고 가정한다.
- [0132] 각 해시 값 생성기(341-1~341-<sub>k</sub>)는, 리드 어드레스(RADD1=WADD1)를 이용하여, 서로 다른 해시 값들(HV<sub>11</sub>~HV<sub>1k</sub>)을 생성할 수 있다.
- [0133] 검색 회로(345)는 복수의 해시 값 테이블들(343-1~343-<sub>m</sub>)로부터 리드 어드레스(RADD1=WADD1)에 상응하는 해시 값들(HV<sub>11</sub>~HV<sub>1k</sub>)과 동일한 해시 값들 (HV<sub>11</sub>~HV<sub>1k</sub>)을 저장하는 해시 값 테이블을 검색할 수 있다.
- [0134] 즉, 검색 회로(345)는 복수의 해시 값 테이블들(343-1~343-<sub>m</sub>)로부터 제1해시 값 테이블(343-1)을 검색(또는 선택)하고, 검색의 결과로서 제1해시 값 테이블 (343-1)에 대한 제1인덱스(Table<sub>i</sub>=Table<sub>1</sub>)를 출력할 수 있다.
- [0135] 도 3을 참조하여 설명한 바와 같이, 해시 값(HV<sub>11</sub>)은 제1해시 값 테이블 (343-1)의 엔트리(ENT<sub>8</sub>)에 대응되고, 해시 값(HV<sub>12</sub>)은 제1해시 값 테이블(343-1)의 엔트리(ENT<sub>5</sub>)에 대응되고, 해시 값(HV<sub>1k</sub>)은 제1해시 값 테이블 (343-1)의 엔트리 (ENT<sub>2</sub>)에 대응된다.
- [0136] 검색 회로(345)는, 검색 속도를 빠르게 하기 위해, 해시 값 테이블들(343-1~343-<sub>m</sub>) 각각이 엔트리들 중에서 해시 값(HV<sub>11</sub>)에 해당하는 엔트리(ENT<sub>8</sub>)와, 해시 값(HV<sub>12</sub>)에 해당하는 엔트리(ENT<sub>5</sub>)와, 해시 값(HV<sub>1k</sub>)에 해당하는 엔트리(ENT<sub>2</sub>)만을 검색할 수 있다.
- [0137] 검색 회로(345)는, 리드 어드레스(RADD1=WADD1)에 해당하는 해시 값들 (HV<sub>11</sub>~HV<sub>1k</sub>)과 동일한 해시 값들 (HV<sub>11</sub>~HV<sub>1k</sub>)을 저장하는 제1해시 값 테이블(343-1)을 검색하고, 제1해시 값 테이블(343-1)에 대한 제1인덱스 (Table<sub>i</sub>=Table<sub>1</sub>)를 결정 회로(347)로 출력할 수 있다.
- [0138] 결정 회로(347)는, 리드 어드레스(RADD1)에 대한 리드 시간 스탬프(TS<sub>rr</sub>)와 제1인덱스(Table<sub>i</sub>=Table<sub>1</sub>)를 이용하여, 초기 문턱 전압 변화의 보상 여부와 보상 정도를 결정하고, 결정의 결과에 해당하는 제어 코드(CODE<sub>i</sub>)를 생성하고, 생성된 제어 코드(CODE<sub>i</sub>)를 CPU(330)로 전송할 수 있다.
- [0139] 다른 실시 예에 따라, 리드 어드레스(RADD1)와 제2라이트 어드레스(WADD2)가 서로 동일하다고 가정한다.
- [0140] 각 해시 값 생성기(341-1~341-<sub>k</sub>)는, 리드 어드레스(RADD1=WADD2)를 이용하여, 서로 다른 해시 값들(HV<sub>21</sub>~HV<sub>2k</sub>)을 생성할 수 있다.
- [0141] 검색 회로(345)는 복수의 해시 값 테이블들(343-1~343-<sub>m</sub>)로부터 리드 어드레스(RADD1=WADD2)에 상응하는 해시 값들(HV<sub>21</sub>~HV<sub>2k</sub>)과 동일한 해시 값들 (HV<sub>21</sub>~HV<sub>2k</sub>)을 저장하는 해시 값 테이블을 검색할 수 있다. 즉, 검색 회로 (345)는 복수의 해시 값 테이블들(343-1~343-<sub>m</sub>)로부터 제2해시 값 테이블(343-2)을 검색(또는 선택)하고, 검색의 결과로서 제2해시 값 테이블(343-2)에 대한 제2인덱스 (Table<sub>i</sub>=Table<sub>2</sub>)를 결정 회로(347)로 출력할 수 있다.
- [0142] 도 4를 참조하여 설명한 바와 같이, 해시 값(HV<sub>21</sub>)은 제2해시 값 테이블 (343-2)의 엔트리(ENT<sub>5</sub>)에 해당하고, 해시 값(HV<sub>22</sub>)은 제2해시 값 테이블(343-2)의 엔트리(ENT<sub>s</sub>)에 해당하고, 해시 값(HV<sub>2k</sub>)은 제2해시 값 테이블 (343-2)의 엔트리 (ENT<sub>1</sub>)에 해당한다.
- [0143] 검색 회로(345)는, 검색 속도를 빠르게 하기 위해, 해시 값 테이블들(343-1~343-<sub>m</sub>) 각각이 엔트리들 중에서 해시 값(HV<sub>21</sub>)에 해당하는 엔트리(ENT<sub>5</sub>)와, 해시 값(HV<sub>22</sub>)에 해당하는 엔트리(ENT<sub>s</sub>)와, 해시 값(HV<sub>2k</sub>)에 해당하는



엔트리(ENT1)만을 검색할 수 있다.

- [0144] 검색 회로(345)는, 리드 어드레스(RADD1=WADD2)에 해당하는 해시 값들 (HV21~HV2k)과 동일한 해시 값들 (HV21~HV2k)을 저장하는 제2해시 값 테이블(343-2)을 검색하고, 제2해시 값 테이블(343-2)의 제2인덱스 (Table\_i=Table\_2)를 결정 회로(347)로 출력할 수 있다.
- [0145] 결정 회로(347)는, 리드 어드레스(RADD1)에 대한 리드 시간 스탬프(TSrr)와 제2인덱스(Table\_i=Table\_2)를 이용하여, 초기 문턱 전압 변화의 보상 여부와 보상 정도를 결정하고, 결정의 결과에 해당하는 제어 코드(CODEi)를 생성하고, 생성된 제어 코드(CODEi)를 CPU(330)로 전송할 수 있다.
- [0146] 도 6은 시간에 따른 초기 문턱 전압 분포의 변화를 설명하기 위한 개념도이다.
- [0147] 도 6의 (a)부터 (g)를 참조하면, 제2메모리(380)에 포함된 플래시-기반 메모리 셀들에 대한 초기 문턱 전압 분포(initial threshold voltage distribution; ITVD)는 여러 가지 요인들에 의해 변할(shift) 수 있다. 예컨대, ITVD는 P/E 사이클들의 회수, 리드 카운트 또는 사용 시간의 경과에 따라 변할 수 있다.
- [0148] 예컨대, Vread0는 ITVD에 대한 제1리드 전압 레벨을 의미할 수 있다. 예컨대, 제1리드 전압 레벨(Vread0)을 중심으로 왼쪽은 온-셀(ON-CELL)에 대한 초기 문턱 전압 분포를 의미할 수 있고, 제1리드 전압 레벨(Vread0)을 중심으로 오른쪽은 오프-셀(OFF-CELL)에 대한 초기 문턱 전압 분포를 의미할 수 있다. 예컨대, 상기 제1리드 전압 레벨은 초기 리드 전압 레벨을 의미할 수 있다.
- [0149] 예컨대, P/E 사이클들의 회수, 리드 카운트 또는 사용 시간의 경과에 따라, 초기 문턱 전압 분포는 도 6의 (a)부터 (g)로 변할 수 있다.
- [0150] 도 6의 (a)부터 (g)에서는 리드 전압들(Vread0~Vread6) 각각이 서로 다르게 도시되어 있으나 이는 예시적인 것으로서, 리드 전압들(Vread0~Vread6) 각각은 서로 동일할 수도 있다. 또한, 리드 전압들(Vread0~Vread6) 각각의 전압 차이는 서로 동일할 수도 있고 서로 다를 수도 있다. Vdef는 디폴트 리드 전압을 의미할 수 있다.
- [0151] 도 7은 각 해시 테이블에 저장된 라이트 어드레스에 대한 압축 값의 시간 구간을 설명하기 위한 개념도이다. 우선, 설명의 편의를 위해, 도 2의 해시 값 테이블들(343-1~343-m)의 개수는 6개라고 가정한다.
- [0152] 도 2부터 도 5, 및 도 7을 참조하면, "HVS"는 시간 구간별로 정의된 각 해시 값 테이블(343-1~343-6)에 해당하는 라이트 어드레스에 대한 해시 값들을 저장하는 시간 구간을 의미할 수 있고, "HVM"은 상기 시간 구간별로 정의된 각 해시 값 테이블(343-1~343-6)에 새로운 해시 값들을 저장하지 않고 HVS에서 저장된 상기 해시 값들을 유지하는 시간 구간을 의미할 수 있다.
- [0153] "ERASE"는 각 해시 값 테이블(343-1~343-6)에 대한 삭제 작동(erase operation) 또는 초기화(initialization) 작동을 의미할 수 있다. 각 해시 값 테이블(343-1~343-6)에 저장된 해시 값들은 일정한 주기로 초기화될 수 있다. 따라서, 각 해시 값 테이블(343-1~343-6)은 최근에 입력된 라이트 어드레스에 해당하는 해시 값들만을 저장할 수 있다.
- [0154] 실시 예들에 따라, 대응되는 두 시점들(0과 T1, T1과 T2, T2와 T3, ...) 사이의 시간 구간들은 일정하게 설계될 수도 있고 서로 다르게 설계될 수도 있다.
- [0155] 도 8은 초기 문턱 전압 변화를 보상할 수 있는 테이블의 개념도이고, 도 11은 도 1 또는 도 9에 도시된 제2메모리의 블록도를 나타낸다.
- [0156] 도 1부터 도 8, 및 도 11을 참조하면, 시점들(T6과 T7)에 의해 정의된 시간 구간에서 데이터 저장 장치(300A)가 호스트(200)로부터 전송된 리드 요청(Read Request)을 수신하면, CPU(330)는 상기 리드 요청에 대한 리드 시간 스탬프(TSrr)를 생성하고, 생성된 리드 시간 스탬프(TSrr)를 보상 회로(340), 예컨대 결정 회로 (347)로 출력할 수 있다. 또한, CPU(330)는 라이트 요청에 대한 라이트 시간 스탬프(TSwr)를 생성하고, 라이트 시간 스탬프(TSwr)를 보상 회로(340), 예컨대 검색 회로(345)로 출력할 수 있다.
- [0157] 도 5를 참조하여 설명한 바와 같이, 리드 어드레스(RADD1)와 제1라이트 어드레스(WADD1)가 서로 동일할 때, 검색 회로(345)는 제1해시 값 테이블(343-1)의 제1인덱스(Table\_i=Table\_1)를 결정 회로(347)로 출력할 수 있다.
- [0158] 결정 회로(347)는, 리드 시간 스탬프(TSrr)와 제1인덱스(Table\_1)를 이용하여, 제1라이트 어드레스(WADD1)에 해당하는 해시 값들이 제1해시 값 테이블(343-1)에 저장된 시점을 추정할 수 있다. 상기 시점은 제1라이트 어드레스(WADD1)에 상응하는 제1라이트 데이터(WDATA)가 제2메모리(380)의 메모리 셀 어레이(381)에 라이트된 시점과

실질적으로 동일하거나 유사할 수 있다.

- [0159] 예컨대, 리드 시간 스탬프(TSrr)에 의해 정의된 시점이 Tread일 때, 결정 회로(347)는 제1라이트 어드레스(WADD1)에 해당하는 제1라이트 데이터(WDATA)가 Tread 초(second) 이전부터 (Tread-T1) 초 이전 사이에 제2메모리(380)의 메모리 셀 어레이(381)에 프로그램되었다고 추정(또는 판단)할 수 있다.
- [0160] 따라서, 결정 회로(347)는 디폴트 리드 전압(Vdef)보다 높은 제7리드 전압 (Vread6)으로 변경을 지시하는 제1코드(CODE1)를 제어 코드(CODEi)로서 CPU(330)로 전송할 수 있다.
- [0161] CPU(330)는 제어 코드(CODEi=CODE1)에 상응하는 보상 코드(CCi)를 생성하고, 생성된 보상 코드(CCi)를 제2메모리 컨트롤러(360)를 이용하여 제2메모리(380)의 레지스터(387)에 설정 또는 프로그램할 수 있다. 상술한 바와 같이, 제어 코드 (CODEi=CODE1)와 보상 코드(CCi)는 서로 동일한 코드를 의미할 수 있다.
- [0162] 제2메모리(380)는 메모리 셀 어레이(381), 액세스 제어 회로(383), 및 레지스터(387)를 포함할 수 있다.
- [0163] 메모리 셀 어레이(381)는 복수의 메모리 셀들을 포함할 수 있다. 상기 복수의 메모리 셀들은 플래시-기반 메모리 셀들을 포함할 수 있다. 상기 플래시-기반 메모리 셀들 각각은 NAND-타입 플래시 메모리 셀 또는 NOR-타입 플래시 메모리 셀을 의미할 수 있다. 상기 플래시-기반 메모리 셀들 각각은 1-비트에 해당하는 정보를 저장할 수 있는 싱글-레벨 셀(single-level cell(SLC)) 또는 2-비트 이상에 해당하는 정보를 저장할 수 있는 멀티-레벨 셀(multi-level cell(MLC))을 포함할 수 있다.
- [0164] 실시 예에 따라, 메모리 셀 어레이(381)는 2차원적으로 배열된 NAND-타입 플래시 메모리 셀들을 포함할 수 있다. 다른 실시 예에 따라, 메모리 셀 어레이(381)는 3차원적인 수직(three-dimensional Vertical) NAND-타입 플래시 메모리 셀들을 포함할 수 있다.
- [0165] 액세스 제어 회로(383)는, 제2메모리 컨트롤러(360)의 제어에 따라, 메모리 셀 어레이(381)에 대한 프로그램 작동, 리드 작동, 또는 이레이즈 작동을 제어할 수 있다. CPU(330)는, 호스트(200)로부터 전송된 요청(예컨대, 라이트 요청 또는 리드 요청)에 응답하여, 제2메모리 컨트롤러(360)의 작동을 제어할 수 있는 명령(예컨대, 라이트 명령(WCMD) 또는 리드 명령(RCMD))을 생성할 수 있다.
- [0166] 액세스 제어 회로(383)는 프로그램 작동, 리드 작동, 또는 이레이즈 작동에 필요한 전압들을 생성할 수 있는 전압 생성기(385)를 포함할 수 있다. 전압 생성기 (385)는, 레지스터(387)에 저장된 보상 코드(CCi)를 이용하여, 리드 작동에 필요한 전압들을 보상(예컨대, 증가 또는 감소)할 수 있다. 여기서, 보상(compensation)은 조절 또는 변경을 의미할 수 있다.
- [0167] 보상 코드(CCi)에 해당하는 디지털 신호들이 레지스터(387)에 설정되면, 전압 생성기(385)는 제어 코드 (CODEi=CODE1)에 상응하는 제7리드 전압(Vread6)을 생성할 수 있다.
- [0168] 액세스 제어 회로(383)는, 전압 생성기(385)에 의해 생성된 제7리드 전압 (Vread6)을 이용하여, 메모리 셀 어레이(381)에 포함된 메모리 영역들 중에서 제1리드 어드레스(RADD1=WADD1)에 해당하는 메모리 영역에 저장된 데이터를 리드하고, 리드 데이터(RDATA)를 제2메모리 컨트롤러(360)로 전송할 수 있다. 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, 리드 데이터(RDATA)를 구성 요소들(311, 320, 및 110)을 통해 호스트(200)로 전송할 수 있다.
- [0169] 다른 실시 예에 따라, 리드 어드레스(RADD1)와 제2라이트 어드레스(WADD2)가 서로 동일할 때, 검색 회로(345)는 제2해시 값 테이블(343-2)의 제2인덱스 (Table\_i=Table\_2)를 결정 회로(347)로 출력할 수 있다.
- [0170] 결정 회로(347)는, 리드 시간 스탬프(TSrr)와 제2인덱스(Table\_2)를 이용하여, 제2라이트 어드레스(WADD2)에 해당하는 해시 값들이 제2해시 값 테이블(343-2)에 저장된 시점을 추정할 수 있다. 상기 시점은 제2라이트 어드레스(WADD2)에 상응하는 제2라이트 데이터(WDATA)가 제2메모리(380)의 메모리 셀 어레이(381)에 라이트된 시점과 실질적으로 동일하거나 유사할 수 있다.
- [0171] 예컨대, 리드 시간 스탬프(TSrr)에 의해 정의된 시점이 Tread일 때, 결정 회로(347)는 제2라이트 어드레스(WADD2)에 해당하는 제2라이트 데이터(WDATA)가 (Tread-T1) 초 이전부터 (Tread-T2) 초 이전 사이에 제2메모리(380)의 메모리 셀 어레이(381)에 프로그램되었다고 판단할 수 있다.
- [0172] 따라서, 결정 회로(347)는 디폴트 리드 전압(Vdef)보다 높은 제6리드 전압 (Vread5)으로 변경을 지시하는 제2코드(CODE2)를 제어 코드(CODEi)로서 CPU(330)로 전송할 수 있다.

- [0173] CPU(330)는 제어 코드(CODE<sub>i</sub>=CODE<sub>2</sub>)에 상응하는 보상 코드(CC<sub>i</sub>)를 생성하고, 생성된 보상 코드(CC<sub>i</sub>)를 제2메모리 컨트롤러(360)를 이용하여 제2메모리(380)의 레지스터(387)에 설정 또는 프로그램할 수 있다. 상술한 바와 같이, 제어 코드 (CODE<sub>i</sub>=CODE<sub>2</sub>)와 보상 코드(CC<sub>i</sub>)는 서로 동일한 코드를 의미할 수 있다.
- [0174] 전압 생성기(385)는, 레지스터(387)에 저장된 보상 코드(CC<sub>i</sub>)를 이용하여, 리드 작동에 필요한 전압들을 보상 (예컨대, 증가 또는 감소)할 수 있다. 레지스터 (387)는 보상 코드(CC<sub>i</sub>)를 저장할 수 있는 저장 장치의 일 예이다. 실시 예에 따라, 레지스터(387)는 SFR(special function register)로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0175] 보상 코드(CC<sub>i</sub>)에 해당하는 디지털 신호들이 레지스터(387)에 설정되면, 전압 생성기(385)는 제어 코드 (CODE<sub>i</sub>=CODE<sub>2</sub>)에 상응하는 제6리드 전압(Vread<sub>5</sub>)을 생성할 수 있다.
- [0176] 액세스 제어 회로(383)는, 전압 생성기(385)에 의해 생성된 제6리드 전압 (Vread<sub>5</sub>)을 이용하여, 메모리 셀 어레이(381)에 포함된 메모리 영역들 중에서 리드 어드레스(RADD<sub>1</sub>=WADD<sub>2</sub>)에 해당하는 메모리 영역에 저장된 데이터를 리드하고, 리드 데이터(RDATA)를 제2메모리 컨트롤러(360)로 전송할 수 있다. 제2메모리 컨트롤러 (360)는, CPU(330)의 제어에 따라, 리드 데이터(RDATA)를 구성 요소들(311, 320, 및 110)을 통해 호스트(200)로 전송할 수 있다.
- [0177] 또 다른 실시 예에 따라, 검색 회로(345)는 제3해시 값 테이블의 제3인덱스 (Table<sub>i</sub>=Table<sub>3</sub>)를 결정 회로 (347)로 출력하면, 결정 회로(347)는, 리드 시간 스탬프(TSrr)와 제3인덱스(Table<sub>3</sub>)를 이용하여, 디폴트 리드 전압(Vdef)보다 높은 제5리드 전압(Vread<sub>4</sub>)으로 변경을 지시하는 제3코드(CODE<sub>3</sub>)를 제어 코드(CODE<sub>i</sub>)로서 CPU(330)로 전송할 수 있다.
- [0178] 예컨대, 리드 시간 스탬프(TSrr)에 의해 정의된 시점이 Tread일 때, 결정 회로(347)는 라이트 어드레스에 해당하는 라이트 데이터가 (Tread-T<sub>2</sub>)초 이전부터 (Tread-T<sub>3</sub>) 초 이전 사이에 제2메모리(380)의 메모리 셀 어레이 (381)에 프로그램되었다고 판단할 수 있다.
- [0179] CPU(330)는 제어 코드(CODE<sub>i</sub>=CODE<sub>3</sub>)에 상응하는 보상 코드(CC<sub>i</sub>)를 제2메모리 컨트롤러(360)를 이용하여 제2메모리(380)의 레지스터(387)에 설정 또는 프로그램할 수 있다.
- [0180] 전압 생성기(385)는, 레지스터(387)에 저장된 보상 코드(CC<sub>i</sub>)를 이용하여, 리드 작동에 필요한 전압들을 보상 (예컨대, 증가 또는 감소)할 수 있다.
- [0181] 보상 코드(CC<sub>i</sub>)에 해당하는 디지털 신호들이 레지스터(387)에 설정되면, 전압 생성기(385)는 제어 코드 (CODE<sub>i</sub>=CODE<sub>3</sub>)에 상응하는 제5리드 전압(Vread<sub>4</sub>)을 생성할 수 있다. 액세스 제어 회로(383)는, 전압 생성기 (385)에 의해 생성된 제5리드 전압(Vread<sub>4</sub>)을 이용하여, 호스트(200)로부터 출력된 리드 요청(Read Request)에 상응하는 리드 작동을 수행할 수 있다.
- [0182] 또 다른 실시 예에 따라, 검색 회로(345)는 제6해시 값 테이블의 제6인덱스 (Table<sub>i</sub>=Table<sub>6</sub>)를 결정 회로 (347)로 출력하면, 결정 회로(347)는, 리드 시간 스탬프(TSrr)와 제6인덱스(Table<sub>6</sub>)를 이용하여, 디폴트 리드 전압(Vdef)보다 높은 제2리드 전압(Vread<sub>1</sub>)으로 변경을 지시하는 제6코드(CODE<sub>6</sub>)를 제어 코드(CODE<sub>i</sub>)로서 CPU(330)로 전송할 수 있다.
- [0183] 예컨대, 리드 시간 스탬프(TSrr)에 의해 정의된 시점이 Tread일 때, 결정 회로(347)는 라이트 어드레스에 해당하는 라이트 데이터가 (Tread-T<sub>5</sub>)초 이전부터 (Tread-T<sub>6</sub>) 초 이전 사이에 제2메모리(380)의 메모리 셀 어레이 (381)에 프로그램되었다고 판단할 수 있다.
- [0184] CPU(330)는 제어 코드(CODE<sub>i</sub>=CODE<sub>6</sub>)에 상응하는 보상 코드(CC<sub>i</sub>)를 제2메모리 컨트롤러(360)를 이용하여 제2메모리(380)의 레지스터(387)에 설정 또는 프로그램할 수 있다.
- [0185] 전압 생성기(385)는, 레지스터(387)에 저장된 보상 코드(CC<sub>i</sub>)를 이용하여, 리드 작동에 필요한 전압들을 보상 (예컨대, 증가 또는 감소)할 수 있다.
- [0186] 보상 코드(CC<sub>i</sub>)에 해당하는 디지털 신호들이 레지스터(387)에 설정되면, 전압 생성기(385)는 제어 코드 (CODE<sub>i</sub>=CODE<sub>6</sub>)에 상응하는 제2리드 전압(Vread<sub>1</sub>)을 생성할 수 있다. 액세스 제어 회로(383)는, 전압 생성기 (385)에 의해 생성된 제2리드 전압(Vread<sub>1</sub>)을 이용하여, 호스트(200)로부터 출력된 리드 요청에 상응하는 리드 작동을 수행할 수 있다.
- [0187] 그러나, 검색 회로(345)가, 검색 결과에 따라, 디폴트로 설정된 인덱스 (Table<sub>0</sub>)를 결정 회로(347)로

출력하면, 즉, 리드 어드레스(RADD1)에 해당하는 해시 값들과 동일한 해시 값들을 포함하는 해시 테이블이 검색되지 않을 때, 결정 회로(347)는, 리드 시간 스탬프(Tsrr)와 디폴트 인덱스(Table\_0)를 이용하여, 제1리드 전압(Vread0)의 유지를 지시하는 제7코드(CODE7)를 제어 코드(CODEi)로서 CPU (330)로 전송할 수 있다.

- [0188] CPU(330)는 제어 코드(CODEi=CODE7)에 상응하는 보상 코드(CCi)를 제2메모리 컨트롤러(360)를 이용하여 제2메모리(380)의 레지스터(387)에 설정 또는 프로그램할 수 있다.
- [0189] 전압 생성기(385)는, 레지스터(387)에 저장된 보상 코드(CCi)를 이용하여, 리드 작동에 필요한 전압들을 보상(예컨대, 증가 또는 감소)하지 않는다.
- [0190] 보상 코드(CCi)에 해당하는 디지털 신호들이 레지스터(387)에 설정되면, 전압 생성기(385)는 제어 코드(CODEi=CODE7)에 상응하는 제1리드 전압(Vread0)을 생성할 수 있다. 액세스 제어 회로(383)는, 전압 생성기(385)에 의해 생성된 제1리드 전압(Vread0)을 이용하여, 호스트(200)로부터 출력된 리드 요청(Read Request)에 상응하는 리드 작동을 수행할 수 있다.
- [0191] 도 9는 본 발명의 일 실시 예에 따른 데이터 처리 시스템의 블록도를 나타낸다. 도 9를 참조하면, 데이터 처리 시스템(100B)은 인터페이스(110)를 통해 접속된 호스트(200)와 데이터 저장 장치(300B)를 포함할 수 있다.
- [0192] 도 9에 도시된 호스트(200)의 구조와 작동은 도 1에 도시된 호스트(200)의 구조와 작동과 실질적으로 동일 또는 유사하므로, 도 9에 도시된 호스트(200)의 구조와 작동에 대한 설명은 생략한다.
- [0193] 데이터 저장 장치(300B)는 컨트롤러(310B), 제1메모리(370), 및 제2메모리 (380)를 포함할 수 있다. 데이터 저장 장치(300B)는 플래시-기반 메모리 장치로 구현될 수 있다. 예컨대, 데이터 저장 장치(300A)는 SSD, eSSD, UFS, MMC, 또는 eMMC로 구현될 수 있으나 이에 한정되는 것은 아니다.
- [0194] 컨트롤러(310B)는 호스트(200), 제1메모리(370), 및 제2메모리(380) 사이에서 주거나 받는 명령 및/또는 데이터를 제어할 수 있다. 상기 명령은 요청으로 불릴 수도 있다.
- [0195] 하드웨어로 구현된 보상 회로(340)를 제외하고, 도 9의 컨트롤러(310B)의 구조와 작동은 도 1의 컨트롤러(310A)의 구조와 작동과 실질적으로 동일 또는 유사하다. 보상 회로(340)의 기능은 CPU(330)에 의해 실행되는 프로그램 또는 소프트웨어에 의해 수행될 수 있다.
- [0196] 도 10은 도 1의 CPU에서 실행되는 보상 모듈의 작동을 개념적으로 나타낸다.
- [0197] 도 1, 도 2, 도 9, 및 10을 참조하면, 도 2에 도시된 해시 값 생성 회로 (341)의 기능은 CPU(330)에서 실행되는 해시 값 생성 모듈(330-1)에 의해 수행될 수 있고, 도 2에 도시된 검색 회로(345)의 기능은 CPU(330)에서 실행되는 검색 엔진(330-2)에 의해 실행될 수 있고, 도 2에 도시된 결정 회로(347)의 기능은 CPU (330)에서 실행되는 결정 모듈(330-3)에 의해 실행될 수 있다.
- [0198] 본 명세서에서의 모듈(module)이라 함은, 본 명세서에서 설명되는 각각의 명칭에 따른 기능과 동작을 수행할 수 있는 컴퓨터 프로그램 코드를 의미할 수도 있다.
- [0199] 압축 값 생성 모듈의 실시 예에 따른 해시 값 생성 모듈(330-1)은, 라이트 작동 시에 또는 리드 작동 시에, 입력 어드레스(ADD)에 상응하는 압축 값(HV)을 생성 또는 계산할 수 있다. 라이트 작동시에 생성된 압축 값(HV)은 내부 메모리(343)에 포함된 테이블들(343-1~343-m) 중에서 어느 하나의 테이블에 저장될 수 있다.
- [0200] 데이터 저장 장치(300A)가 라이트 작동을 수행할 때, 검색 엔진(330-2)은, CPU(330)에 의해 생성된 라이트 시간 스탬프(TSwr)를 이용하여, 라이트 어드레스 (ADD)를 이용하여 생성된 해시 값들(HV)을 복수의 테이블들(343-1~343-m) 중에서 어느 테이블에 저장할지를 결정하고, 해시 값들(HV)을 결정된 테이블에 저장할 수 있다.
- [0201] 데이터 저장 장치(300B)가 리드 작동을 수행할 때, 검색 엔진(330-2)은 리드 어드레스(ADD)를 이용하여 생성된 해시 값들(HV)과 동일한 해시 값들(HV)을 저장하는 테이블을 복수의 테이블들(343-1~343-m)로부터 검색하고, 검색된 테이블의 인덱스(Table\_i)를 결정 모듈(330-3)로 출력할 수 있다.
- [0202] 결정 모듈(330-3)은, 검색 모듈(330-2)로부터 출력된 테이블의 인덱스 (Table\_i)와 CPU(330)에 의해 생성된 리드 시간 스탬프(Tsrr)를 이용하여, 라이트 어드레스를 이용하여 생성된 해시 값들(HV)이 상기 테이블에 저장된 시간을 계산(또는 예측)하고, 계산 결과에 따라 초기 문턱 전압 변화의 보상 여부와 보상 정도를 나타내는 제어 코드(CODEi)를 생성할 수 있다.
- [0203] 도 12는 도 1 또는 도 9에 도시된 데이터 저장 장치에서 수행되는 라이트 작동의 플로우 차트를 나타낸다.

- [0204] 도 1부터 도 12를 참조하면, 라이트 작동 시에, 해시 값 생성 회로(341) 또는 해시 값 생성 모듈(330-1)은 라이트 요청에 대한 라이트 어드레스(ADD)를 이용하여 해시 값들(HV)을 생성할 수 있다(S110).
- [0205] 검색 회로(345) 또는 검색 모듈(330-2)은, 상기 라이트 요청의 라이트 시간 스탬프(TSwr)를 이용하여, 해시 값들(HV)을 복수의 해시 값 테이블들(343-1~343-m) 중에서 어느 해시 값 테이블에 저장할지를 결정할 수 있다(S120). 검색 회로(345) 또는 검색 모듈(330-2)은 결정(또는 선택)된 해시 값 테이블에 해시 값들(HV)을 저장할 수 있다(S130).
- [0206] 제2메모리 컨트롤러(360)는, CPU(330)의 제어에 따라, 상기 라이트 요청에 상응하는 라이트 명령(WCMD)과, 라이트 어드레스(ADD)에 상응하는 라이트 데이터(WDATA)를 제2메모리(380)로 전송할 수 있다. 제2메모리(380)의 액세스 제어 회로(383)는, 라이트 명령(WCMD)에 응답하여, 라이트 데이터(WDATA)를 상기 라이트 어드레스에 해당하는 제2메모리(380)의 메모리 영역에 라이트할 수 있다.
- [0207] 도 13은 도 1 또는 도 9에 도시된 데이터 저장 장치에서 수행되는 리드 작동의 플로우 차트를 나타낸다.
- [0208] 도 1부터 도 13을 참조하면, 리드 작동 시에, 해시 값 생성 회로(341) 또는 해시 값 생성 모듈(330-1)은 리드 요청에 대한 리드 어드레스(ADD)를 이용하여 해시 값들(HV)을 생성할 수 있다(S210).
- [0209] 검색 회로(345) 또는 검색 모듈(330-2)은 리드 어드레스(ADD)에 상응하는 해시 값들(HV)과 동일한 해시 값들을 저장하는 해시 값 테이블을 복수의 해시 값 테이블들(343-1~343-m)로부터 검색하고, 검색의 결과에 따라 선택된 해시 값 테이블의 인덱스(Table\_i)를 결정 회로(347) 또는 결정 모듈(330-3)로 전송할 수 있다(S220).
- [0210] 도 2의 결정 회로(347)는, 선택된 해시 값 테이블의 인덱스(Table\_i)와 리드 시간 스탬프(TSrr)를 이용하여, 제어 코드(CODEi)를 생성하고 생성된 제어 코드(CODEi)를 CPU(330)로 전송할 수 있다. 다른 실시 예에 따라, 결정 회로(347)는 제어 코드(CODEi)를 생성하기 위해 코드 테이블(344)을 참조할 수 있다. 실시 예에 따라, CPU(330)는 제어 코드(CODEi)에 상응하는 보상 코드(CCi)를 생성할 수 있다.
- [0211] 도 10의 결정 모듈(330-3)은, 선택된 해시 값 테이블의 인덱스(Table\_i)와 리드 시간 스탬프(TSrr)를 이용하여, 보상 코드(CCi)를 생성할 수 있다. 다른 실시 예에 따라, 결정 모듈(330-3)은 보상 코드(CCi)를 생성하기 위해 코드 테이블(344)을 참조할 수 있다.
- [0212] 보상 코드(CCi)는, 제2메모리 컨트롤러(360)의 제어에 따라, 제2메모리(380)의 레지스터(387)에 저장될 수 있다. 전압 생성기(385)는 레지스터(387)에 저장된 보상 코드(CCi)에 포함된 디지털 신호들을 이용하여 초기 문턱 전압 변화를 보상 또는 초기 문턱 전압 분포 변화를 보상하기 위한 전압을 생성할 수 있다(S230). 상기 보상은 증가 또는 감소를 의미할 수 있다.
- [0213] 액세스 제어 회로(383)는, 리드 요청에 해당하는 리드 명령(RCMD)에 응답하여, 보상된 전압 레벨을 이용하여 메모리 셀 어레이(381)로부터 데이터를 리드하는 리드 작동을 수행할 수 있다(S240).
- [0214] 도 14는 종래의 방법과 본 발명의 실시 예에 따른 방법에 의해 사용되는 메모리 용량을 나타낸다.
- [0215] MAP1은 종래의 방법에 따라 블록(block)별로 또는 워드 라인(word line)별로 할당된 시간 스탬프를 저장하는 시간 스탬프 테이블을 포함하는 메모리 용량을 나타낸다. 즉, 종래의 방법은 블록별로 또는 워드 라인별로 시간 스탬프를 할당한다. 상기 시간 스탬프는 복수의 비트들을 포함한다.
- [0216] 메모리 셀 어레이(381)의 용량이 증가할수록, 메모리 셀 어레이(381)에 포함되는 블록들의 개수 또는 워드 라인들의 개수가 증가한다. 따라서, 블록들의 개수 또는 워드 라인들의 개수가 증가할수록, 시간 스탬프들의 개수가 증가하고, 상기 시간 스탬프들을 저장하는 시간 스탬프 테이블의 용량도 증가한다.
- [0217] MAP2는 본 발명의 일 실시 예에 따라, 특정한 시간 구간 동안에 입력된 어드레스들에 대한 시간 스탬프들만을 저장하는 시간 스탬프 테이블을 포함하는 메모리 용량을 나타낸다. 특정한 시간 구간 동안에 입력된 어드레스들의 개수는 메모리 셀 어레이(381)에 포함된 전체 워드 라인들에 대한 어드레스들의 개수보다 적다. 도 14에 도시된 바와 같이, MAP2는 MAP1보다 작다.
- [0218] MAP3는 본 발명의 다른 실시 예에 따라, 특정한 시간 구간 동안에 입력된 어드레스들에 대한 압축 값들(예컨대, 해시 값들)만을 저장하는 해시 값 테이블을 포함하는 메모리 용량을 나타낸다. 도 14에 도시된 바와 같이, MAP3는 MAP1과 MAP2에 비해 상당히 작음을 알 수 있다.
- [0219] 즉, 어드레스마다 일정한 개수의 비트들을 할당하는 종래의 방법에 비해, 본 발명의 다른 실시 예에 따른 방법

은 특정한 시간 구간 동안에 입력된 어드레스들에 대한 압축 값들(예컨대, 해시 값들)만을 내부 메모리(343)에 저장할 수 있다.

- [0220] 따라서, 데이터 저장 장치(300A 또는 300B)는 특정한 시간 구간 동안에 입력된 라이트 어드레스들에 대한 압축 값들(예컨대, 해시 값들)만을 저장하는 해시 값 테이블들을 포함하므로, 데이터 저장 장치(300A 또는 300B)는 적은 용량을 갖는 내부 메모리(343)를 이용하여 초기 문턱 전압 변화에 대한 보상이 필요한 상기 라이트 어드레스들을 저장할 수 있다.
- [0221] 도 15는 본 발명의 실시 예에 따른 어드레스의 정의를 나타낸다.
- [0222] 도 15를 참조하면, 페이지에 상응하는 페이지 어드레스의 크기는 워드 라인에 상응하는 어드레스의 크기보다 크고, 상기 워드 라인 어드레스의 크기는 블록에 상응하는 블록 어드레스의 크기보다 크다. 플래시-기반 메모리는 페이지 단위로 프로그램 작동과 리드 작동을 수행할 수 있고 블록 단위로 이레이즈 작동을 수행할 수 있다. 블록은 복수의 페이지들의 집합을 의미할 수 있다.
- [0223] 예컨대, 제2메모리(380)에 포함된 MLC들이 2-비트 정보를 포함할 때, 페이지 어드레스는 LSB(least significant bit)와 MSB(most significant bit) 중에서 어느 하나를 나타내는 어드레스와 워드 라인 어드레스를 포함할 수 있다.
- [0224] 실시 예들에 따라, 해시 값 생성 회로(341) 또는 해시 값 생성 모듈(330-1)은 페이지 어드레스, 워드 라인 어드레스, 또는 블록 어드레스를 이용하여 해시 값들을 생성할 수 있다.
- [0225] 도 16은 도 1 또는 도 9에 도시된 데이터 저장 장치를 포함하는 데이터 센터의 블록도를 나타낸다. 도 1부터 도 16을 참조하면, 데이터 센터(400)는 복수의 클라이언트 컴퓨터들(410-1~410-3), 제1네트워크(420), 서버(또는 웹 서버; 430), 제2네트워크(440), 및 데이터 처리 시스템(100)을 포함할 수 있다.
- [0226] 데이터 처리 시스템(100A 또는 100B, 집합적으로 '100')은 호스트(200)와 데이터 저장 장치(300A 또는 300B, 집합적으로 '300')를 포함할 수 있다.
- [0227] 예컨대, 데이터 센터(400)는 서치 포털(search portal) 또는 인터넷 데이터 센터(internet data center(IDC))를 의미할 수 있다.
- [0228] 각 클라이언트 컴퓨터(410-1~410-3)는 네트워크(420)를 통해 서버(430)와 통신할 수 있다. 각 클라이언트 컴퓨터(410-1~410-3)는 PC, 랩-탑 컴퓨터, 스마트폰, 태블릿 PC, PDA, MID, 웨어러블 컴퓨터, IoT 장치, 또는 IoE 장치로 구현될 수 있다.
- [0229] 서버(430)는 네트워크(440)를 통해 호스트(200)와 데이터를 주거나 받을 수 있다. 데이터 저장 장치(300)가 데이터베이스의 기능을 수행할 때, 호스트(200)는 상기 데이터베이스의 작동들을 제어할 수 있는 데이터베이스 서버의 기능을 수행할 수 있다.
- [0230] 호스트(200)는 데이터 저장 장치(300)의 동작을 제어할 수 있다. 각 네트워크(420 또는 440)는 유선 네트워크, 무선 네트워크, 인터넷, Wi-Fi, 또는 이동 전화 네트워크를 의미할 수 있다.
- [0231] 본 명세서에서는 복수의 해시 값 생성기들과 복수의 해시 값 테이블들을 이용하여 초기 문턱 전압 변화(또는 초기 문턱 전압 분포 변화)를 보상하는 장치와 방법이 설명되었으나 본 발명의 기술적 사상은 다음 실시 예들에 적용될 수 있다.
- [0232] (1) 하나의 해시 값 생성기와 하나의 해시 값 테이블을 이용하여, 초기 문턱 전압 변화(또는 초기 문턱 전압 분포 변화)를 보상하는 장치와 방법.
- [0233] (2) 복수의 해시 값 생성기들과 하나의 해시 값 테이블을 이용하여, 초기 문턱 전압 변화(또는 초기 문턱 전압 분포 변화)를 보상하는 장치와 방법.
- [0234] (3) 하나의 해시 값 생성기와 복수의 해시 값 테이블들을 이용하여, 초기 문턱 전압 변화(또는 초기 문턱 전압 분포 변화)를 보상하는 장치와 방법.
- [0235] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

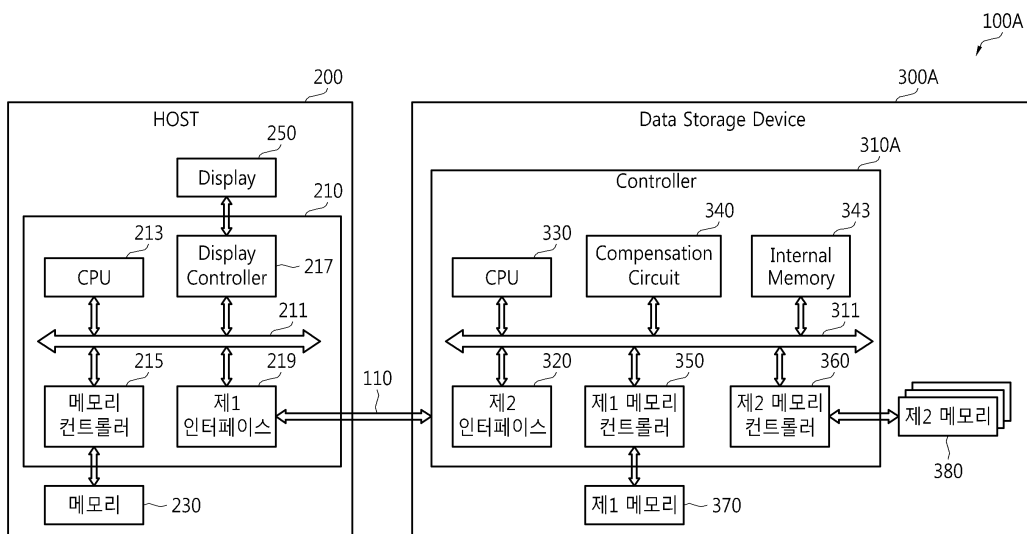
**부호의 설명**

[0236]

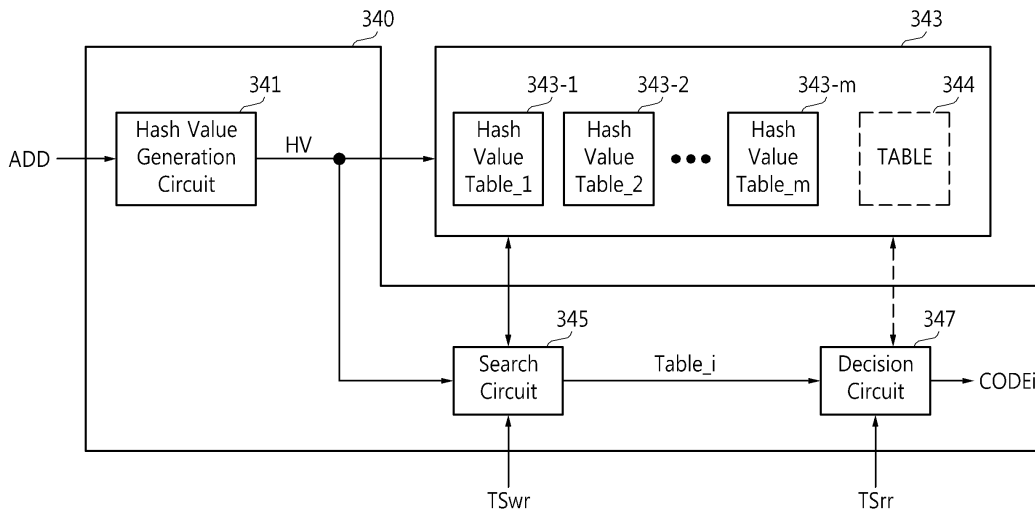
- 100A, 100B: 데이터 처리 시스템
- 200: 호스트
- 300A, 300B: 데이터 저장 장치
- 310A, 310B: 컨트롤러
- 330: CPU
- 330-1: 압축 값 생성 모듈 또는 해시 값 생성 모듈
- 330-2: 서치 엔진
- 330-3: 결정 모듈
- 340: 보상 회로
- 341: 압축 값 생성 회로 또는 해시 값 생성 회로
- 341-1~341-k: 해시 값 생성기
- 345: 검색 회로
- 347: 결정 회로
- 360: 제2메모리 컨트롤러
- 380: 제2메모리
- 381: 메모리 셀 어레이
- 383: 액세스 제어 회로
- 385: 전압 생성기
- 387: 레지스터

**도면**

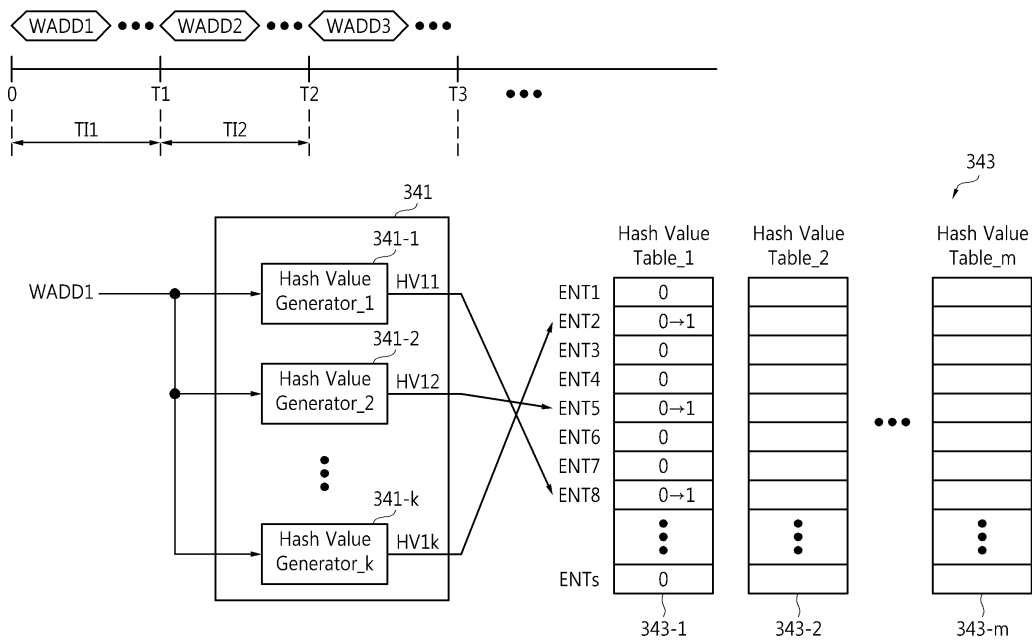
**도면1**



도면2

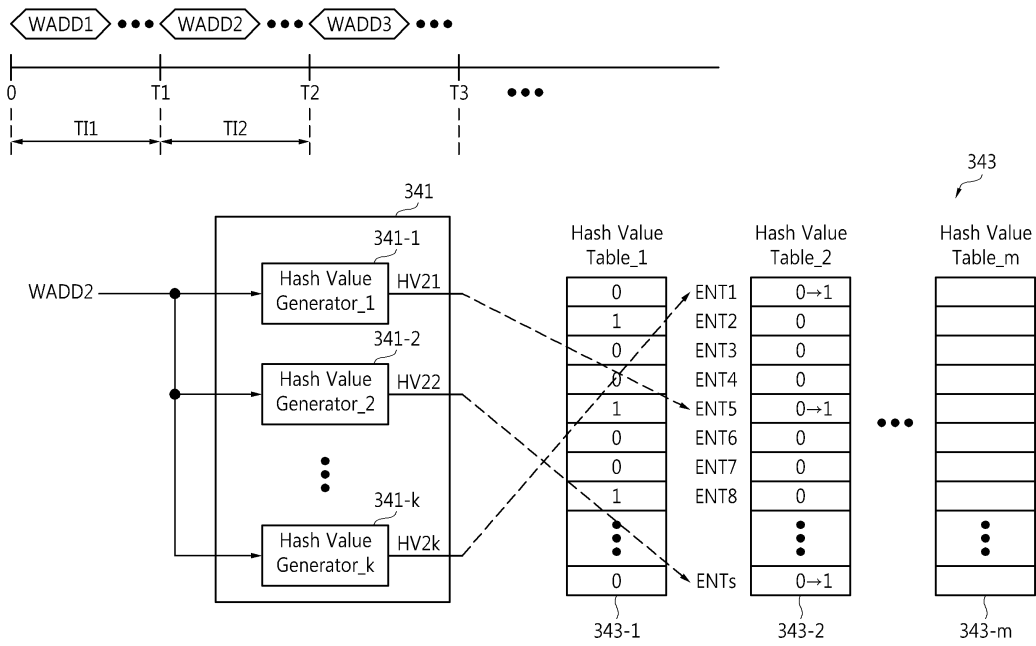


도면3

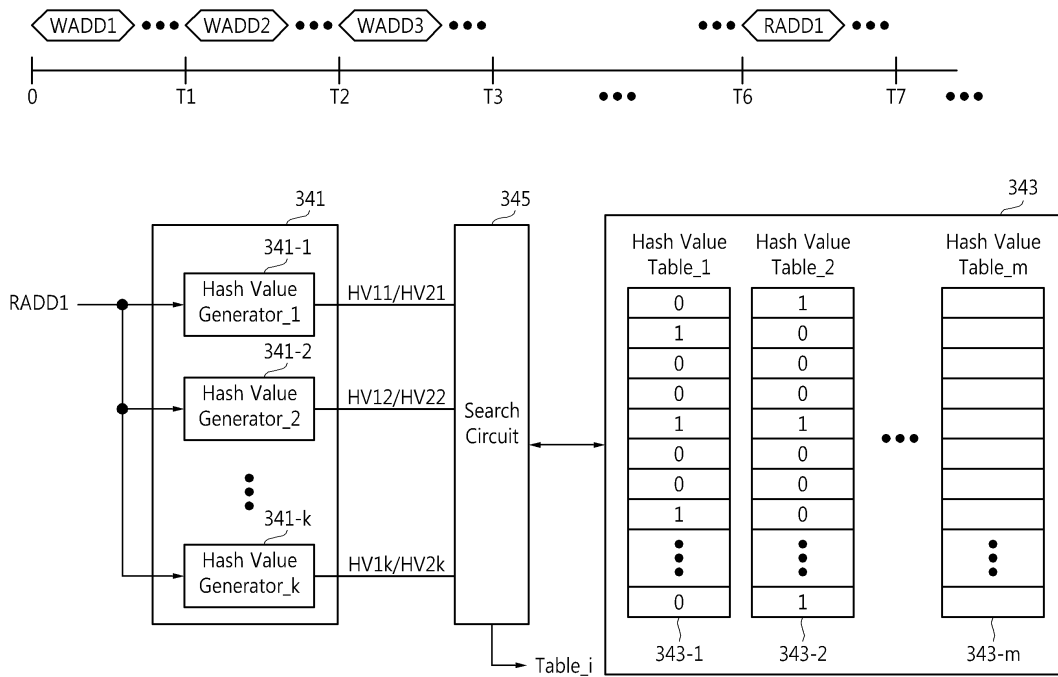




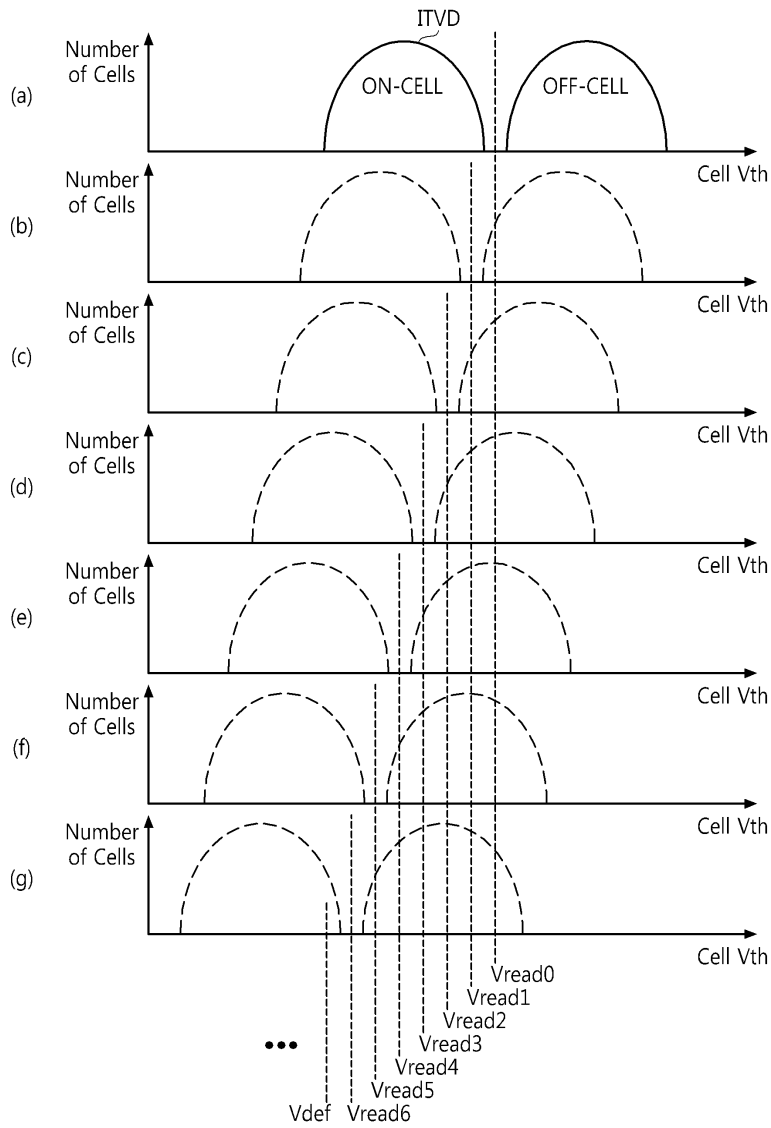
도면4



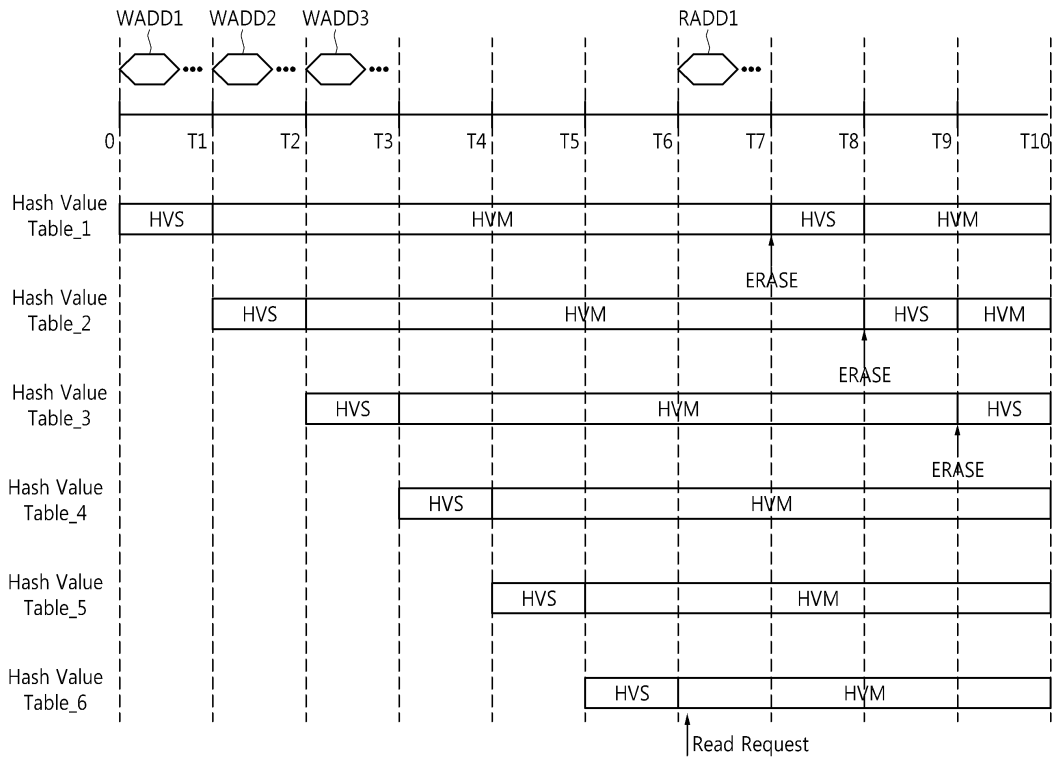
도면5



도면6



도면7

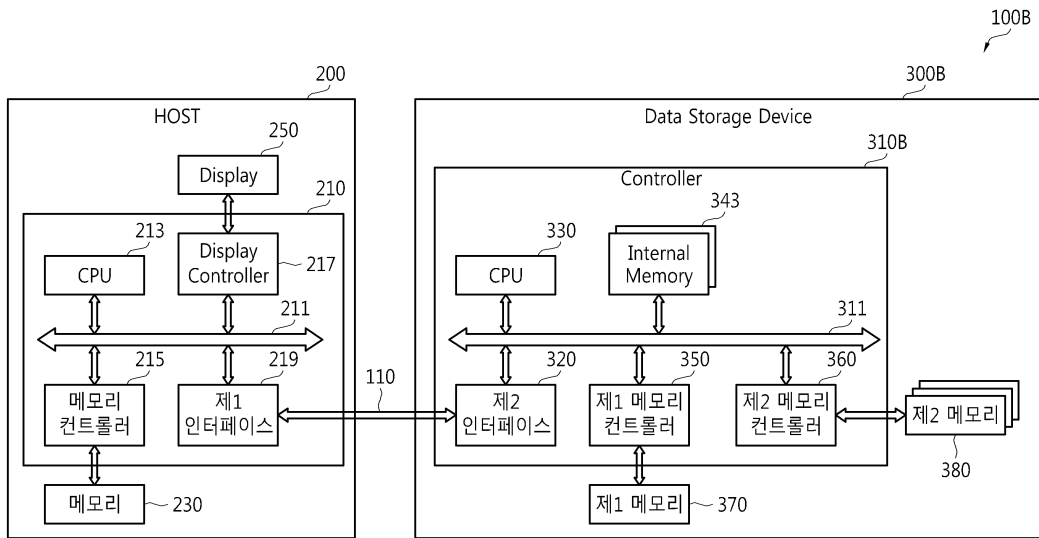


도면8

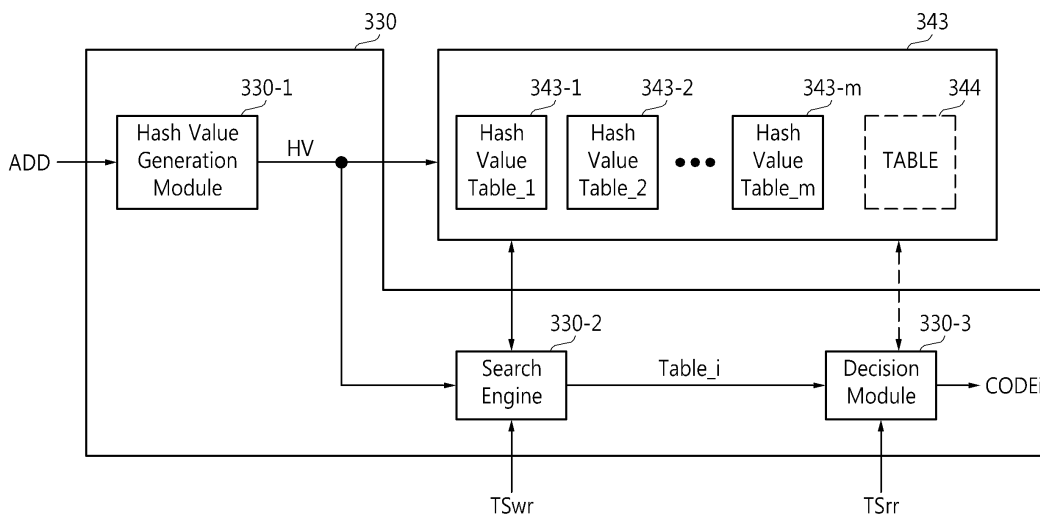
344

Table <sub>i</sub>	CODE <sub>i</sub>	Read Voltage
Table <sub>1</sub>	CODE1	Vread6
Table <sub>2</sub>	CODE2	Vread5
Table <sub>3</sub>	CODE3	Vread4
Table <sub>4</sub>	CODE4	Vread3
Table <sub>5</sub>	CODE5	Vread2
Table <sub>6</sub>	CODE6	Vread1
Table <sub>0</sub>	CODE7	Vread0

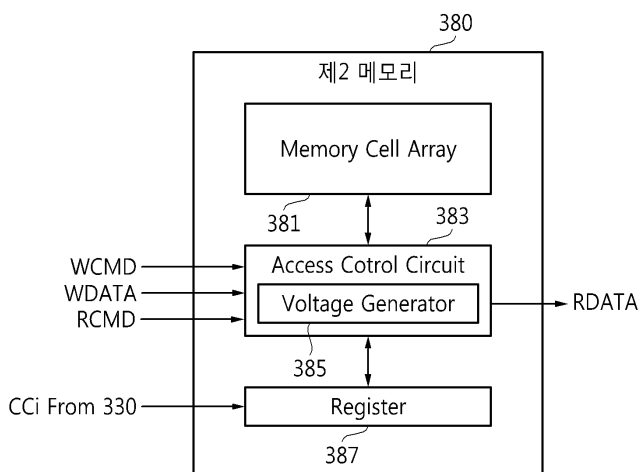
도면9



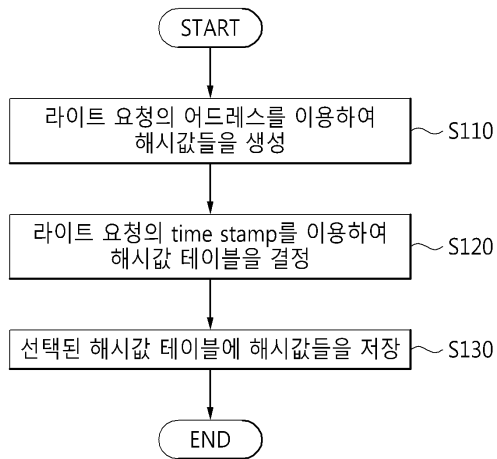
도면10



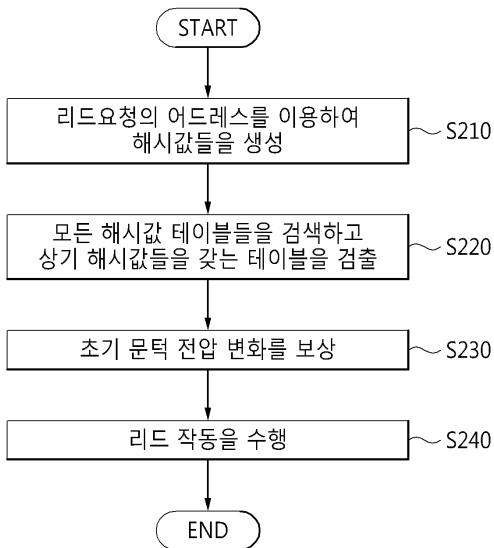
도면11



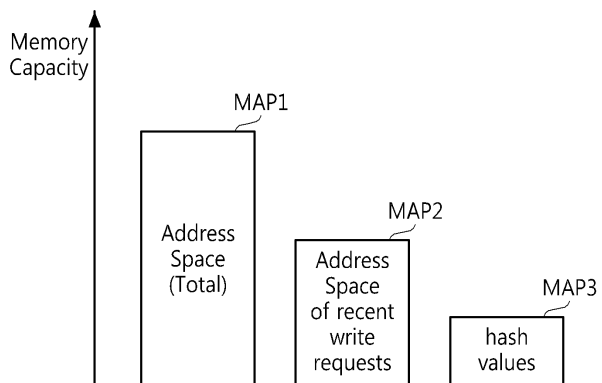
도면12



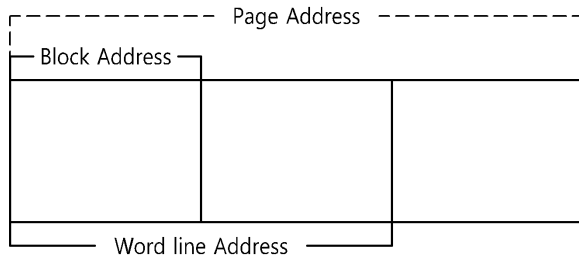
도면13



도면14



도면15



도면16

