

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410048866.6

[51] Int. Cl.

H01L 27/10 (2006.01)

H01L 27/105 (2006.01)

H01L 29/788 (2006.01)

[45] 授权公告日 2007 年 5 月 2 日

[11] 授权公告号 CN 1314122C

[22] 申请日 2004.6.4

[21] 申请号 200410048866.6

[30] 优先权

[32] 2003.6.4 [33] JP [31] 2003-158735

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 川崎利昭

[56] 参考文献

US 6222764B1 2001.4.24

JP 6-334190A 1994.12.2

JP 6-53521A 1994.2.25

US 4649520 A 1987.3.10

审查员 陶应磊

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 沈昭坤

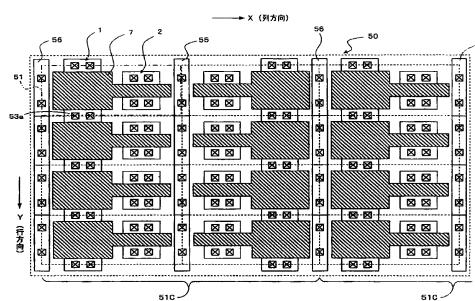
权利要求书 7 页 说明书 19 页 附图 19 页

[54] 发明名称

非易失性半导体存储器件

[57] 摘要

本发明有关非易失性半导体存储器件，具体为在存储单元中，NMOS 晶体管的衬底接触区及 PMOS 晶体管的阱接触区沿与浮栅垂直的方向配置，单元阵列是这样构成，它沿列方向(X)交替地配置存储单元和与所述存储单元线对称配置的存储单元，构成子阵列，再沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。由此，能在相邻的存储单元间公用衬底接触区、阱接触区、及 PMOS 晶体管的扩散区，所以单元阵列的面积可望减小。



1. 一种非易失性半导体存储器件，其特征在于，

包括沿行方向(Y)及列方向(X)配置存储单元的单元阵列，

所述存储单元由形成于第一导电型的半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设置在所述半导体衬底上并起到作为控制栅极作用的第二导电型的阱及设在所述的阱上的所述第一导电型的有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极与所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与所述浮棚的长度方向分别垂直的方向，配置将电位赋予所述半导体衬底及第二 MOS 晶体管的所述阱的阱接触区。

2. 一种非易失性半导体存储器件，其特征在于，

包括沿行方向及列方向配置存储单元的单元阵列，

所述存储单元由形成于第一导电型半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极作用的所述第二导电型的阱及设在所述阱上的第一导电型有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极和所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与所述浮棚的长度方向分别平行的方向，配置将电位赋予所述第一 MOS 晶体管的衬底及第二 MOS 晶体管的阱的阱接触区。

3. 一种非易失性半导体存储器件，其特征在于，

包括沿行方向(Y)及列方向(X)配置存储单元的单元阵列，

所述存储单元由形成于第一导电型半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极作用的所述第二导电型的阱及设在所述阱上的所述第一导电型的有源区以及栅极电极的第二 MOS 晶体

管、

及公共连接所述第一 MOS 晶体管的栅极电极和所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与浮棚的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮棚的长度方向垂直的方向配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

4. 一种非易失性半导体存储器件，其特征在于，

包括沿行方向(Y)及列方向(X)配置存储单元的单元阵列，

所述存储单元由形成于第一导电型的半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极作用的所述第二导电型的阱及设在所述阱上的第一导电型的有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极与第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所示存储单元

沿与浮棚的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮棚的长度方向平行的方向配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

5. 如权利要求 1 至 4 中任一项所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为，沿列方向(X)平行配置或线对称配置存储单元，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

6. 如权利要求 1 至 4 中任一项所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为，沿列方向(X)用存储单元和与所述存储单元线对称配置的存储单元构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向配置的所述子阵列。

7. 如权利要求 5 所述的非易失性半导体存储器件，其特征在于，

在所述存储单元及子阵列的边界上，在相邻的存储单元及子阵列之间公用

---

重复的接触区及/或扩散区。

8. 如权利要求 6 所述的非易失性半导体存储器件，其特征在于，在所述存储单元及子阵列的边界上，在相邻的存储单元及子阵列之间公用重复的接触区及/或扩散区。

9. 如权利要求 7 所述的非易失性半导体存储器件，其特征在于，单元阵列由具有将电位赋予第一 MOS 晶体管的衬底的衬底接触区及将电位赋予第二 MOS 晶体管的阱的阱接触区的存储单元、以及不具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元构成，每隔多个存储单元配置所述衬底接触区及所述阱接触区。

10. 如权利要求 7 所述的非易失性半导体存储器件，其特征在于，单元阵列由具有将电位赋予第一 MOS 晶体管的衬底的衬底接触区及将电位赋予第二 MOS 晶体管的阱的阱接触区的存储单元、以及具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区但不具有将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元构成，每隔多个存储单元配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

11. 如权利要求 7 所述的非易失性半导体存储器件，其特征在于，单元阵列由具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元、以及具有将电位赋予所述第二 MOS 晶体管的阱的阱接触区但不具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区的存储单元构成，每隔多个存储单元配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区。

12. 一种非易失性半导体存储器件，其特征在于，包括将存储单元阵列配置在半导体衬底上的单元阵列，所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电

---

型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅等构成，通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向所述浮栅的载流子进行写入、读出、删除动作，

所述单元阵列

沿与所述浮栅的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与浮栅的长度方向垂直的方向配置将电位赋予所述第二、第三晶体管的阱的接触区。

13. 一种非易失性半导体存储器件，其特征在于，

包括将存储单元阵列配置在半导体衬底的单元阵列，

所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅等构成，并通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮栅的载流子进行写入、读出、删除动作，

所述单元阵列分别沿与所述浮栅的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管与第三 MOS 晶体管的阱的阱接触区。

14. 一种非易失性半导体存储器件，其特征在于，

包括将存储单元阵列配置在半导体衬底上的单元阵列，

所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型

的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮棚等构成，并通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮棚的载流子进行写入、读出、删除动作，

#### 所述单元阵列

分别沿与所述浮棚的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二、第三晶体管的阱的阱接触区。

15. 一种非易失性半导体存储器件，其特征在于，

包括将存储单元阵列配置在半导体衬底上的单元阵列，

所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮棚的载流子进行写入、读出、删除动作，

#### 所述单元阵列

沿与所述浮棚的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮棚的长度方向平行的方向配置将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区。

16. 如权利要求 12、13 或 14 所述的非易失性半导体存储器件，其特征在于，

构成存储单元的 MOS 晶体管的配置为，所述第一 MOS 晶体管配置在中间，而所述第二、第三 MOS 晶体管配置在其两侧。

17. 如权利要求 13 或 15 所述的非易失性半导体存储器件，其特征在于，

构成存储单元的 MOS 晶体管的配置为，所述第二 MOS 晶体管与所述第一 MOS 晶体管相邻配置，再有，所述第三 MOS 晶体管与第二 MOS 晶体管相邻配置。

18. 如权利要求 16 所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为，

沿列方向 (X) 平行配置存储单元，构成子阵列，沿行方向 (Y) 平行配置或线对称配置沿列方向 (X) 配置的所述子阵列。

19. 如权利要求 17 所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为，

沿列方向 (X) 平行配置存储单元，构成子阵列，沿行方向 (Y) 平行配置或线对称配置沿列方向 (X) 配置的所述子阵列。

20. 如权利要求 16 所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为

沿列方向 (X) 用存储单元和与所述存储单元点对称配置的存储单元构成子阵列，沿行方向 (Y) 平行配置或线对称配置沿列方向 (X) 配置的所述子阵列。

21. 如权利要求 17 所述的非易失性半导体存储器件，其特征在于，

单元阵列的构成为，

沿列方向 (X) 用存储单元和与所述存储单元点对称配置的存储单元构成子阵列，沿行方向 (Y) 平行配置或线对称配置沿列方向 (X) 配置的所述子阵列。

22. 如权利要求 12 至 15 中任一项所述的非易失性半导体存储器件，其特征在于，

在所述存储单元的边界上，在相邻的存储单元之间公用重复的接触区及扩散区。

23. 如权利要求 22 所述的非易失性半导体存储器件，其特征在于，

单元阵列由

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元、及

---

不具有将电位赋予所述第一 MOS 晶体管的衬底及第二、第三 MOS 晶体管的阱的阱接触区的存储单元等构成，每隔多个存储单元配置将电位赋予所述第一 MOS 晶体管的衬底及第二、第三晶体管的阱的接触区。

24. 如权利要求 22 所述的非易失性半导体存储器件，其特征在于，  
单元阵列由

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元、及

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区但不具有将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元等构成，

每隔多个存储单元配置将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区。

25. 一种非易失性半导体存储器件，其特征在于，

包括将存储单元阵列配置在半导体衬底上的单元阵列，而所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、及公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮棚等构成，通过将规定的电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流入所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列，

沿列方向(X)和行方向(Y)的一个方向配置所述第二、第三 MOS 晶体管，相对于所述第二、第三 MOS 晶体管的一个配置方向，沿列方向(X)和行方向(Y)的另一个方向相邻配置所述第一 MOS 晶体管，用所述浮棚连接所述第二、第三 MOS 晶体管的栅极电极，同时还将该所述浮棚从所述第二、第三 MOS 晶体管的所述一个晶体管附近起延长至所述第一 MOS 晶体管的栅极电极并与其连接，在与所述第一 MOS 晶体管相邻、并在所述第二、第三 MOS 晶体管的另一个晶体管一侧，配置将电位赋予所述第一 MOS 晶体管的衬底的接触区。

## 非易失性半导体存储器件

### 技术领域

本发明涉及半导体存储器件，尤其涉及用 CMOS 工艺制造的非易失性半导体存储器件的版面设计技巧。

### 背景技术

非易失性半导体存储器应用于各种各样的系统，若这种非易失性存储器和逻辑 LSI 能混合置于同一块半导体衬底上，则能力求降低生产成本，实现器件小型化。可是，由于制造工艺过程的差异，已往采用的是将非易失性存储器和逻辑 LSI 形成在各自的芯片上再混装的方法，或改变标准 CMOS 工艺过程将非易失性存储器和逻辑 LSI 混合置于同一块芯片上的方法，因而存在生产成本提高、器件变得复杂的问题。

作为解决该问题的手段，已知的有一种非易失性存储器，这种存储器能用 CMOS 工艺过程简单地制造，它用 NMOS 晶体管和 PMOS 晶体管的栅极形成浮栅，将 PMOS 的扩散区作为控制栅极使用。例如参照特开平 6-334190 号公报、特开平 6-53521 号公报。

另外，还有一种非易失性存储器，它是将第一 PMOS 的扩散区作为写入动作时、读出动作时的控制栅极使用，删除时使用第二 PMOS 的扩散区。例如参照 Richard J. McPartland and Ranbir Singh “1.25Volt, Low Cost, Embedded FLASH MemorY for Low Density AppliCations” 2000 SYmposium on VLSI CirCuits Digest of TeChniCal Papersl 2.2。

关于涉及能用 CMOS 工艺过程制造的非易失性半导体存储器，其单元结构或阵列形式的内部电路技术，虽通过上述文献等有所揭示，但在将存储单元进行阵列配置的情况下，关于实现减小单元阵列面积的版面设计技巧并没有叙述。

现在，这种非易失性半导体存储器适用于容量较小的系统，但是考虑到，今后随着容量不断的增大，阵列配置时的单元阵列面积从生产成本的角度来看，将会变成一个重要的因素。

本发明提出一种非易失性半导体存储器件的方案，该方案有关能用 CMOS 工艺过程制造的非易失性存储器，特别是有关将由 1 个 NMOS 晶体管和 PMOS 晶体管组成的存储单元、及具有两个不同的控制栅极并由一个 NMOS 晶体管和两个 PMOS 晶体管组成的存储单元作阵列配置时实现减小单元阵列面积的版面设计技巧。

### 发明内容

本发明的非易失性半导体存储器件，包括沿行方向及列方向配置存储单元的单元阵列，所述存储单元由形成于第一导电型的半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设置在所述半导体衬底上并起到作为控制栅极作用的第二导电型的阱及设在所述的阱上的所述第一导电型的有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极与所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与所述浮棚的长度方向分别垂直的方向，配置将电位赋予所述半导体衬底及第二 MOS 晶体管的所述阱的阱接触区。

另外，本发明的非易失性半导体器件装置，包括沿行方向及列方向配置存储单元的单元阵列，所述存储单元由形成于第一导电型半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极作用的第二导电型的阱及设在所述阱上的第一导电型有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极和所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与所述浮棚的长度方向分别平行的方向，配置将电位赋予所述第一 MOS 晶体管的衬底及第二 MOS 晶体管的阱的阱接触区。

另外，本发明的非易失性半导体存储器件，包括沿行方向 (Y) 及列方向 (X) 配置存储单元的单元阵列，所述存储单元由形成于第一导电型半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极动作的所述第二导电型的阱及设在所述阱上的所述第一导电型的有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极和所述第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列沿与浮棚的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮棚的长度方向垂直的方向配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

另外，本发明的非易失性半导体存储器件，包括沿行方向及列方向配置存储单元的单元阵列，所述存储单元由形成于第一导电型的半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上并起到作为控制栅极作用的所述第二导电型的阱及设在所述阱上的第一导电型的有源区以及栅极电极的第二 MOS 晶体管、

及公共连接所述第一 MOS 晶体管的栅极电极与第二 MOS 晶体管的栅极电极的浮棚等构成，通过将规定电压加在所述第一 MOS 的晶体管及第二 MOS 晶体管的各端子上，能对流向所述浮棚的载流子进行写入、读出、删除动作，

#### 所述存储单元

沿与浮棚的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮棚的长度方向平行的方向配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

所述单元阵列的构成为，沿列方向(X)平行配置或线对称配置存储单元，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

所述单元阵列的构成为，沿列方向(X)用存储单元和与所述存储单元线对称配置的存储单元构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向配置的所述子阵列。

另外，在所述存储单元及子阵列的边界上，在相邻的存储单元及子阵列之间公用重复的接触区及/或扩散区。

#### 所述单元阵列由

具有将电位赋予第一 MOS 晶体管的衬底的衬底接触区及将电位赋予第二

MOS 晶体管的阱的阱接触区的存储单元、以及

不具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元构成，

每隔多个存储单元配置所述衬底接触区及所述阱接触区。

所述单元阵列由

具有将电位赋予第一 MOS 晶体管的衬底的衬底接触区及将电位赋予第二 MOS 晶体管的阱的阱接触区的存储单元、以及

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区但不具有将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元构成，

每隔多个存储单元配置将电位赋予所述第二 MOS 晶体管的阱的阱接触区。

所述单元阵列由

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管的阱的阱接触区的存储单元、以及

具有将电位赋予所述第二 MOS 晶体管的阱的阱接触区但不具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区的存储单元构成，

每隔多个存储单元配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区。

另外，本发明的非易失性半导体存储器件，包括将存储单元阵列配置在半导体衬底上的单元阵列，所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅构成，通过将规格电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向所述浮栅的载流子进行写入。读出、删除动作，

所述单元阵列

沿与所述浮栅的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管

的衬底的衬底接触区，并沿与浮栅的长度方向垂直的方向配置将电位赋予所述第二、第三晶体管的阱的接触区。

另外，本发明的非易失性半导体存储器件，包括将存储单元阵列配置在半导体衬底上的单元阵列，所述存储单元由形成于第一导电型发所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅等构成，并通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮栅的载流子进行写入、读出、删除动作，

所述单元阵列分别沿与所述浮栅的长度方向平行的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二 MOS 晶体管与第三 MOS 晶体管的阱的阱接触区。

另外，本发明的非易失性半导体存储器件，包括将存储单元阵列配置在半导体衬底上的单元阵列，所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅等构成，并通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮栅的载流子进行写入、读出、删除动作，

所述单元阵列

分别沿与所述浮栅的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶

体管的衬底的衬底接触区及将电位赋予所述第二、第三晶体管的阱的阱接触区。

另外，本发明的非易失性半导体存储器件，包括将存储单元阵列配置在半导体衬底上的单元阵列，所述存储单元由形成于第一导电型的所述半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、

具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、

具有设在所述半导体衬底上起到作为第二控制栅极作用的第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、以及

公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮栅等构成，通过将规定电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流向浮栅的载流子进行写入、读出、删除动作，

#### 所述单元阵列

沿与所述浮栅的长度方向垂直的方向配置将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区，并沿与所述浮栅的长度方向平行的方向配置将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区。

关于构成所述存储单元的 MOS 晶体管的配置为，所述第一 MOS 晶体管配置在中间，而所述第二、第三 MOS 晶体管配置在其两侧。

关于构成所述存储单元的 MOS 晶体管的配置为，

所述第二 MOS 晶体管与所述第一 MOS 晶体管相邻配置，再有，所述第三 MOS 晶体管与第二 MOS 晶体管相邻配置。

所述单元阵列的构成为，

沿列方向(X)平行配置存储单元，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

所述单元阵列的构成为，

沿列方向(X)用存储单元和与所述存储单元点对称配置的存储单元构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

另外，在所述存储单元的边界上，在相邻的存储单元之间公用重复的接触区或扩散区。

所述单元阵列由

由具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元、及

不具有将电位赋予所述第一 MOS 晶体管的衬底及第二、第三 MOS 晶体管的阱的阱接触区的存储单元等构成，每隔多个存储单元配置将电位赋予所述第一 MOS 晶体管的衬底及第二、第三晶体管的阱的接触区。

单元阵列由

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区及将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元、及

具有将电位赋予所述第一 MOS 晶体管的衬底的衬底接触区但不具有将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区的存储单元等构成，

每隔多个存储单元配置将电位赋予所述第二、第三 MOS 晶体管的阱的阱接触区。

另外，本发明的非易失性半导体存储器件，

包括将存储单元阵列配置在半导体衬底上的单元阵列，而所述存储单元由形成于第一导电型的半导体衬底并具有第二导电型的有源区及栅极电极的第一 MOS 晶体管、具有设在所述半导体衬底上起到作为第一控制栅极作用的所述第二导电型的第一阱及设在所述第一阱上的所述第一导电型的有源区及栅极电极的第二 MOS 晶体管、具有设在所述半导体衬底上起到作为第二控制栅极作用的所述第二导电型的第二阱及设在所述第二阱上的所述第一导电型的有源区及栅极电极的第三 MOS 晶体管、及公共连接所述第一 MOS 晶体管的栅极电极和所述第二、第三 MOS 晶体管的栅极电极的浮棚等构成，通过将规定的电压加在所述第一、第二、第三 MOS 晶体管的各端子上，能对流入所述浮棚的载流子进行写入、读出、删除动作，

所述单元阵列，

沿列方向(X)和行方向(Y)的一个方向配置所述第二、第三 MOS 晶体管，相对于所述第二、第三 MOS 晶体管的一个配置方向，沿列方向(X)和行方向(Y)的另一个方向相邻配置所述第一 MOS 晶体管，用所述浮棚连接所述第二、第三 MOS 晶体管的栅极电极，同时还将该所述浮棚从所述第二、第三 MOS 晶体管的所述一个晶体管附近起延长至所述第一 MOS 晶体管的栅极电极并与其连接，在与所述第一 MOS 晶体管相邻、并在所述第二、第三 MOS 晶体管的另一个晶体管一侧，

配置将电位赋予所述第一 MOS 晶体管的衬底的接触区。

### 附图说明

图 1 为用一个 NMOS 晶体管和一个 PMOS 晶体管构成的存储单元电路图。

图 2 为图 1 示出的存储单元的工艺剖面图。

图 3 为用一个 NMOS 晶体管和两个 PMOS 晶体管构成的存储单元电路图。

图 4 为图 3 示出的存储单元的工艺剖面图。

图 5 为本发明(实施形态 1)的单元阵列配置图。

图 6 为图 5 的说明图。

图 7 为本发明(实施形态 1)的变形的单元阵列配置图。

图 8 为本发明(实施形态 2)的单元阵列配置图。

图 9 为本发明(实施形态 2)的变形的单元阵列配置图。

图 10 为本发明(实施形态 3)的单元阵列配置图。

图 11 为本发明(实施形态 3)的变形的单元阵列配置图。

图 12 为本发明(实施形态 4)的单元阵列配置图。

图 13 为本发明(实施形态 5)的单元阵列配置图。

图 14 为本发明(实施形态 5)的变形的单元阵列配置图。

图 15 为本发明(实施形态 6)的单元阵列配置图。

图 16 为本发明(实施形态 6)的变形的单元阵列配置图。

图 17 为图 16 的变形的单元阵列配置图。

图 18 为本发明(实施形态 7)的单元阵列配置图。

图 19 为本发明(实施形态 7)的变形的单元阵列配置图。

图 20 为本发明(实施形态 8)的单元阵列配置图。

图 21 为本发明(实施形态 9)的单元阵列配置图。

### 具体实施方式

以下依照图 1~图 12 说明本发明的各实施形态。

#### (实施形态 1)

图 1 表示由一个 NMOS 晶体管和一个 PMOS 晶体管构成的存储单元电路图、

图 2 表示图 1 示出的存储单元的工艺剖面图例子。

图 1 中, 1 为 PMOS 晶体管, 2 为 NMOS 晶体管, 3 为控制栅极, 4 为 NMOS

晶体管 2 的漏极，5 为 NMOS 晶体管 2 的源极，6 为 NMOS 晶体管 2 的衬底，7 为与 PMOS 晶体管 1 和 NMOS 晶体管 2 的栅极连接的浮栅。

如图 2 所示，作为第二导电型 MOS 晶体管的 NMOS 晶体管 2 在第一导电型的 P 型半导体衬底 11 上形成，具有第二导电型的 N 型有源区及栅极电极。作为第一导电型 MOS 晶体管的 PMOS 晶体管 1 具有设在半导体衬底 11 上作为控制栅极作用的所述第二导电型的阱 12 及设在所述阱 12 上的第一导电型的有源区及栅极电极。

用浮栅 7 连接该 NMOS 晶体管 2 的栅极电极和 PMOS 晶体管 1 的栅极电极，通过将规定电压加在各端子上，能对流向所述浮栅 7 的载流子进行写入、读出、删除动作，这样形成存储单元 51，将该存储单元 51 如图 5 所示沿行方向及列方向配置，从而构成单元阵列 50。

在说明图 5 的单元阵列的配置之前，先说明图 6 的参考图。

该图 6 表示图 1 及图 2 所示的非易失性半导体存储器件的版面。

50 为单元阵列，51 为存储单元，55 为赋予 NMOS 晶体管 2 的衬底电位的衬底接触区，56 为赋予 PMOS 晶体管 1 的阱电位的阱接触区。

存储单元 51 互相相邻并且由用浮栅 7 连接的 NMOS 晶体管 2 及 PMOS 晶体管 1 构成。单元阵列 50 是沿列方向(X)和行方向(Y)配置多个存储单元 51 而构成。阱接触区 56 靠布线层和 PMOS 晶体管 1 的源极及漏极电气连接，起到作为控制栅极的作用。

在存储单元 51 中，NMOS 晶体管 2 的衬底接触区 55 及 PMOS 晶体管 1 的阱接触区 56 沿与浮栅 7 的长度方向垂直的方向配置。

在该图 6 示出的单元阵列 50 的情况下是这样其构成的，它沿列方向(X)平行配置存储单元 51，构成子阵列 51B，沿行方向 Y 平行配置或线对称配置沿列方向(X)配置的所述于阵列 51B。

可是，若如此地沿列方向(X)平行配置存储单元 51，则在相邻的存储单元之间，必须确保衬底接触区 55 和阱接触区 56 隔离。

所以，如图 5 所示(实施形态 1)，当沿列方向(X)交替地配置存储单元 51 和与存储单元 51 线对称配置的存储单元 51A 构成子阵列 51C，并沿行方向(Y)，平行配置或线对称配置沿列方向(X)配置的所述子阵列，采用这样的阵列构成时，则由于所述衬底接触区 55 及阱接触区 56 在相邻的存储单元及子阵列的边界上能公用，在列方向(X)的版面区域可以缩小，所以单元阵列 50 的面积可望

减小。

还有，PMOS 晶体管 1 的源极及漏极，因为与阱电位连接，起到作为控制栅极的作用，故如图 7 所示，沿行方向(Y)相邻配置的存储单元之间的源极与漏极能象 53a 处示出的那样公用。由此，除了列方向(X)之外，行方向(Y)的版面也能缩小，所以单元阵列 50 的面积可望进一步减小。

### (实施形态 2)

图 8 表示本发明的(实施形态 2)。

该图 8 表示图 1 和图 2 示出的非易失性半导体存储器件的版面。

70 为单元阵列，71、71A 为存储单元。75 为赋予 NMOS 晶体管 2 的衬底电位的衬底接触区，76 为赋予 PMOS 晶体管 1 的阱电位的阱接触区。

存储单元 71 由互相相邻并且由与浮棚 7 连接的 NMOS 晶体管 2 及 PMOS 晶体管 1 组成。单元阵列 70 是沿行方向(Y)和列方向(X)配置多个存储单元 71 而构成。阱接触区 76 靠布线层和 PMOS 晶体管 1 的源极及漏极电气连接，起到作为控制栅极的作用。

在存储单元 71 中，NMOS 晶体管 2 的衬底接触区 75 和 PMOS 晶体管 1 的阱接触区 76 沿与浮棚 7 的长度方向平行的方向配置。再有，单元阵列 70 是这样构成的，它沿列方向(X)交替地配置存储单元 71 和与存储单元 71 线对称地配置的存储单元 71A，构成子阵列 71C，并沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

通过采用这种构成，因为在行方向(Y)上，衬底接触区 75 及阱接触区 76 在相邻的存储单元之间能公用，所以能缩小行方向(Y)的版面区域，单元阵列 70 的面积可望减小。

图 9 为表示(实施形态 2)的变形的单元阵列配置图。

这里，以两种存储单元 71、77 为基本单位，将其配置构成单元阵列 70。存储单元 71 具有衬底接触区 75 和阱接触区 76，存储单元 77 没有衬底接触区 75 和阱接触区 76。

PMOS 晶体管 1 的源极及漏极，由于与阱电位连接，起到作为接触栅极的作用，故如图 9 所示，在沿行方向(Y)相邻配置的存储单元之间的源极和漏极能够公用。由此，行方向(Y)的版面区域能进一步缩小，所以单元阵列 70 的面积可望更加减小。

还有，根据图 9，是变成每隔多个存储单元配置衬底及阱接触区，这只要

能根据单元阵列的规模或用途，将接触区配置在每一个最合适子阵列上即可。

还有，在图 8 及图 9 中沿列方向(X)线对称配置存储单元 71，构成子阵列 71C，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列 71C 而构成单元阵列，但是也可以沿列方向(X)平行配置存储单元 71，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列，而构成单元阵列。

### (实施形态 3)

图 10 示出本发明的(实施形态 3)。

该图 10 表示图 1 和图 2 示出的非易失性半导体存储器件的版面。

90 为单元阵列，91、91A 为存储单元。95 为赋予 NMOS 晶体管 2 的衬底电位的衬底接触区，96 为赋予 PMOS 晶体管 1 的阱电位的阱接触区。

存储单元 91 互相相邻并由与浮棚 7 连接的 NMOS 晶体管 2 和 PMOS 晶体管 1 组成。单元阵列 90 是为沿列方向(X)和行方向(Y)配置多个子阵列 91C 而构成。

阱接触区 96 靠布线层与 PMOS 晶体管 1 的源极及漏极电气连接，起到作为控制栅极的作用。

在存储单元 91 中，NMOS 晶体管 2 的衬底接触区 95 沿与浮棚 7 的长度方向平行的方向配置。PMOS 晶体管 1 的阱接触区 96 沿与浮棚 7 的长度方向垂直的方向配置。

单元阵列 90 是这样构成的，它沿列方向(X)交替地配置存储单元 91 和与所述存储单元 91 作线对称配置的存储单元 91A，构成子阵列 91C，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所示子阵列。

假设，在沿列方向(X)和行方向(Y)都平行配置存储单元 91，构成单元阵列 90 时，虽然要沿列方向(X)在每个存储单元 91 上都配置阱接触区 96，但若采用所述本发明的构成，则由于沿列方向(X)在相邻的存储单元之间能公用阱接触区 96，所以单元阵列的面积可望减小。

图 11 为表示(实施形态 3)的变形的单元阵列配置图。

因 PMOS 晶体管 1 的源极及漏极与阱电位连接，起到作为控制栅极的作用，故在行方向(Y)上，相邻配置的存储单元之间的源极和漏极能公用。这样，因除了列方向(X)外，行方向(Y)的版面区域也能缩小，故单元阵列的面积能更加减小。

还有，若采用图 11 的构成，则每个存储单元上都配置阱接触区，与此不同的是，衬底接触区不在每个存储单元上配置（因为至少每两个存储单元就配置一个，所以在特性上无问题），只要根据单元阵列的规模或用途，对每个最合适的子阵列配置接触区即可。

还有，图 10 和图 11 中是这样构成的，它沿列方向(X)线对称配置存储单元 91，构成子阵列 91C，沿行方向(Y)平行配置或线对称沿列方向(X)配置的所述子阵列 91C，但也可以是这样构成的，它沿列方向(X)平行配置存储单元 91，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

#### (实施形态 4)

图 12 表示本发明的(实施形态 4)。

该图 12 表示图 1 和图 2 示出的非易失性半导体存储器件的版面。

110 为单元阵列，111、117 为存储单元。115 为赋予 NMOS 晶体管 2 的衬底电位的衬底接触区，116 为赋予 PMOS 晶体管 1 的阱电位的阱接触区。

存储单元 111、117 互相相邻并由与浮棚 7 连接的 NMOS 晶体管 2 及 PMOS 晶体管 1 组成。

存储单元 111 与存储单元 117 相比，在存储单元 111 上衬底接触区 115 和阱接触区 116 这两个区都设置，与此不同的是，存储单元 117 上设置了衬底接触区 115，但没有设置阱接触区 116。

单元阵列 110 是这样构成的，它具有沿列方向(X)交替地配置存储单元 111 及与该存储单元 111 线对称的存储单元 111A 的列、及沿列方向(X)交替地配置存储单元 117 及与该存储单元 117 线对称的存储单元 117A 的列，并沿行方向(Y)将上述两列进行配置。

阱接触区 116 靠布线层与 PMOS 晶体管 1 的源极和漏极电气连接，起到作为控制栅极的作用。

如该图所示，存储单元 111 上，NMOS 晶体管 2 的衬底接触区 115 沿与浮棚 7 的长度方向垂直的方向配置，PMOS 晶体管 1 的阱接触区 116 沿与浮棚 7 的长度方向平行的方向配置，单元阵列 110 是这样构成的，它沿列方向(X)交替配置存储单元 111 和与所述存储单元 111 线对称配置的存储单元 111A，构成子阵列 111C，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列。

假设，若平行配置存储单元来构成单元阵列 110，则沿列方向(X)，要在每个存储单元上配置衬底接触区 115，但若如本发明那样，则采用以下的构成，即沿行方向(Y)配置沿列方向(X)按照线对称配置存储单元 111 的列、和沿列方向(X)按照线对称配置存储单元 117 的列。

根据这一排列，能在相邻的存储单元间公用衬底接触区 115。另外，因 PMOS 晶体管 1 的源极及漏极与阱电位连接，起到作为控制栅极的作用，故沿行方向(Y)，相邻配置的存储单元间能公用阱接触区 116。

于是，由于行方向(Y)及列方向(X)的版面区域能缩小，所以单元阵列的面积也可望减小。

再者，衬底接触区 115 配置在每个存储单元上，与此不同的是，阱接触区 116 不在每个存储单元上配置，但是，只要根据单元阵列 110 的规模或用途，在每个最适合的存储单元上配置阱接触区 116 即可。

还有，图 12 中，是沿列方向(X)线对称配置存储单元 111、111A，构成子阵列 111C，沿行方向(Y)平行或线对称配置沿列方向(X)配置的所述子阵列 111C，而构成单元阵列，但也能沿列方向(X)平行配置存储单元 111、111A，构成子阵列，沿行方向(Y)平行配置或线对称配置沿列方向(X)配置的所述子阵列，而构成单元阵列。

#### (实施形态 5)

图 3 表示具有不同的控制栅极、由一个 NMOS 晶体管和两个 PMOS 晶体管构成的存储单元的电路图，图 4 表示图 3 示出的存储单元的工艺剖面图。

图 3 中，20、21 为 PMOS 晶体管，22 为 NMOS 晶体管，23 为第一控制栅极，24 为第二控制栅极，25 为 NMOS 晶体管 22 的漏极，26 为 NMOS 晶体管 22 的源极，27 为 NMOS 晶体管 22 的衬底。28 为浮栅，连接 PMOS 晶体管 20、21 的栅极和 NMOS 晶体管 22 的栅极。

如图 4 所示，作为第二导电型 MOS 晶体管的 NMOS 晶体管 22 形成于第一导电型 P 型半导体衬底 30 上，具有第二导电型即 N 型的有源区及栅极电极。作为第一导电型 MOS 晶体管的 PMOS 晶体管 20、21 具有设在半导体衬底 30 上起到作为控制栅极作用的所述第二导电型的阱 31、32 及设在所述阱 31、32 上的第一导电型的有源区及栅极电极。

该 NMOS 晶体管 22 的栅极电极和 PMOS 晶体管 20、21 的栅极电极用浮栅 28 连接，通过将规定电压加在各端子上，能对流入所述浮栅 28 的载流子进行写

入、读出、删除动作等，这样形成存储单元 121，将该存储单元 121 如图 13 所示沿行方向 (Y) 及列方向 (X) 配置，从而构成单元阵列 120。

图 13 表示图 3 示出的存储单元的构成涉及的本发明的(实施形态 5)。

120 为单元阵列，121 为存储单元，121A 为与存储单元 121 线对称配置的存储单元，用存储单元 121、121A 构成子阵列 121C。

126 为赋予 NMOS 晶体管的衬底电位的衬底接触区，127 为赋予 PMOS 晶体管 20 的阱电位的阱接触区，128 为赋予 PMOS 晶体管 21 的阱电位的阱接触区，存储单元 121 互相相邻并由与浮棚 28 连接的 NMOS 晶体管 22 及 PMOS 晶体管 20、21 组成，单元阵列 120 由多个存储单元 121、121A 构成。

阱接触区 127 靠布线层与 PMOS 晶体管 20 的源极及漏极电气连接，起到作为第一控制栅极的作用，阱接触区 128 靠布线层与 PMOS 晶体管 21 的源极与漏极电气连接，起到作为第二控制栅极作用。

如图中所示，存储单元 121 中，NMOS 晶体管 22 的衬底接触区 126 沿与浮棚 28 的长度方向平行的方向配置。PMOS 晶体管 20、21 的阱接触区 127、128 沿与浮棚 28 的长度方向垂直的方向配置，PMOS 晶体管 20、21 将 NMOS 晶体管 22 放在中间，在与阱接触区 127 之间配置 PMOS 晶体管 20，在与阱接触区 128 之间配置 PMOS 晶体管 21。

单元阵列 120 是这样构成的，它在列方向 (X) 上，交替配置存储单元 121 和与该存储单元 121 线对称配置的存储单元 121A，构成子阵列 121C，在行方向 (Y) 上，平行配置或线对称配置沿列方向 (X) 配置的子阵列。

假定，若平行配置存储单元 121 来构成单元阵列 120，则在沿列方向 (X) 相邻的存储单元间，必须确保阱接触区 127、128 的阱隔离，但若采用本发明的构成，则由于在列方向 (X)，在相邻的存储单元间能分别公用阱接触区 127、128，所以通过缩小列方向 (X) 上的版面区域，单元阵列的面积可望减小。

图 14 为(实施形态 5)的变形的单元阵列配置图。

另外，由于 PMOS 晶体管 20、21 的源极及漏极连接阱电位，起到作为控制栅极的作用，故如图 14 所示，沿行方向 (Y) 相邻配置的存储单元间的 PMOS 晶体管源极和漏极能公用。由此，除列方向 (X) 外，因行方向 (Y) 的版面区域也能缩小，所以单元阵列的面积可望进一步减小。

还有，根据图 14，是衬底接触区每隔多个存储单元配置，这只要根据单元阵列的规模或用途，将接触区配置在每个最适合的子阵列 121C 上即可。

(实施形态 6)

图 15 表示本发明的(实施形态 6)。

该图 15 表示图 3 和图 4 示出的非易失性半导体存储器件的版面。

140 为单元阵列，141 为存储单元，141A 为与存储单元 141 线对称配置的存储单元，用存储单元 141、141A 构成子阵列 141C。

146 为赋予 NMOS 晶体管 22 的衬底电位的衬底接触区，147 为赋予 PMOS 晶体管 20 的阱电位的阱接触区，148 为赋予 PMOS 晶体管 21 的阱电位的阱接触区，存储单元 141 互相相邻并由与浮栅 28 连接的 NMOS 晶体管 22 及 PMOS 晶体管 20、21 组成，单元阵列 140 由多个存储单元 141、141A 构成。

阱接触区 147 靠布线层与 PMOS 晶体管 20 的源极及漏极电气连接，起到作为第一控制栅极的作用，阱接触区 148 靠布线层与 PMOS 晶体管 21 的源极及漏极电气连接，起到作为第二控制栅极的作用。

如图中所示，在存储单元 141 中，PMOS 晶体管 20、21 将 NMOS 晶体管 22 放在中间，分别配置在其两侧。NMOS 晶体管 22 的衬底接触区 146 及 PMOS 晶体管 20、21 的阱接触区 147、148 沿与浮栅 28 的长度方向平行的方向配置。

单元阵列 140 是这样构成的，它在列方向(X)，交替配置将多个存储单元 141、141A 作线对称配置的存储单元，构成子阵列 141C，在行方向(Y)，平行配置或线对称配置沿列方向(X)配置的子阵列 141C。

若采用这种构成，则因在行方向(Y)上，在相邻的存储单元间能公用衬底接触区 146 及阱接触区 147、148，能缩小行方向(Y)的版面区域，故单元阵列的面积可望减小。

图 16 表示(实施形态 6)的变形的单元阵列配置图。

另外，由于 PMOS 晶体管 20、21 的源极及漏极连接阱电位，起到作为控制栅极的作用，故如图 16 所示，通过设置公用沿行方向(Y)相邻配置的存储单元间 PMOS 晶体管的源极和漏极的存储单元 141B，从而由于能更加缩小行方向(Y)的版面区域，故单元阵列的面积可望能再减小。

具体为，图 16 的单元阵列 140 是这样构成的，它由具有衬底接触区 146 及阱接触区 147、148 的存储单元 141、及没有将电位赋予第一 MOS 晶体管的衬底及第二、第三 MOS 晶体管的阱的阱接触区的存储单元 141B 构成，并且，将电位赋予第一 MOS 晶体管的衬底及第二、第三 MOS 晶体管的阱的接触区 146、147、148 配置在多个存储单元的每个存储单元上。

还有，根据图 16，和图 15 不同，是每隔多个存储单元配置衬底及阱接触区，这只要根据单元阵列的规模或用途，将接触区配置在每个最适合的子阵列上即可。

另外，如图 17 所示，将 NMOS 晶体管 22 的衬底接触区 206 及 PMOS 晶体管 20、21 的阱接触器 207、208 沿与浮栅 28 垂直的方向配置而形成存储单元 201，在由该存储单元 201 构成的单元阵列 200 中，也通过沿列方向(X)设置与存储单元 201 线对称配置的存储单元 201A，在沿行方向(Y)平行配置或线对称配置并相邻的存储单元间公用阱接触区 207、208，从而能缩小列方向的版面区域。

#### (实施形态 7)

图 18 表示本发明的(实施形态 7)。

该图 18 表示图 3 示出的非易失性半导体存储器件的其它版面。

图中，160 为单元阵列，161 为存储单元，161A 为与存储单元 161 线对称配置的存储单元，用存储单元 161、161A 构成子阵列 161C。

166 为赋予 NMOS 晶体管 22 的衬底电位的衬底接触区，167 为赋予 PMOS 晶体管 20 的阱电位的阱接触区，168 为赋予 PMOS 晶体管 21 的阱电位的阱接触区，存储单元 161 互相相邻并由与浮栅 28 连接的 NMOS 晶体管 22、及 PMOS 晶体管 20、21 构成，单元阵列 160 由存储单元 161 构成。阱接触区 167 靠布线层和 PMOS 晶体管 20 的源极和漏极电气连接，起到作为第一控制栅极的作用，阱接触区 168 靠布线层和 PMOS 晶体管 21 的源极及漏极电气连接，起到作为第二控制栅极的作用。

如该图所示，在存储单元 161 中，PMOS 晶体管 20 与 NMOS 晶体管 22 相邻配置，PMOS 晶体管 21 与 PMOS 晶体管 20 相邻配置，NMOS 晶体管 22 的衬底接触区 166 及 PMOS 晶体管 20、21 的阱接触区 167、168 分别沿与浮栅 28 的长度方向平行的方向配置。

单元阵列 160 是这样构成的，它在列方向(X)上交替地配置将多个存储单元 161、161A 作线对称地配置的存储单元，构成子阵列 161C，在行方向(Y)上，平行配置或线对称配置所述子阵列。

若平行配置存储单元 161 来构成单元阵列，则必须确保在沿行方向(Y)相邻的存储单元间衬底接触区和阱接触区的隔离，但根据本发明的构成，由于在相邻的存储单元间衬底接触区 166 及阱接触区 167、168 能公用，故行方向(Y)的版面区域能缩小，单元阵列的面积可望减小。

图 19 表示(实施形态 7)的变形的单元阵列配置图。

再有，由于 PMOS 晶体管 20、21 的源极及漏极连接阱电位，起到作为控制栅极的作用，所以如图 19 所示，通过设置公用沿行方向(Y)相邻设置的存储单元间的 PMOS 晶体管的源极和漏极的存储单元 161B，从而能公用。通过这样，因能更加缩小行方向(Y)的版面区域，故单元阵列的面积可望再减小。

还有，根据图 19 的变形例，变成每隔多个存储单元配置衬底及阱的接触区，这只要根据单元阵列的规模或适用的用途，将接触区配置在每个最适合的子阵列上即可。

(实施形态 8)

图 20 表示本发明的(实施形态 8)。

该图 20 表示图 3 示出的非易失性半导体存储器件的其它的版面。

180 为单元阵列，181、189 为存储单元。186 为赋予 NMOS 晶体管 22 的衬底电位的衬底接触区，187 为赋予 PMOS 晶体管 20 的阱电位的阱接触区，188 为赋予 PMOS 晶体管 21 的阱电位的阱接触区。

存储单元 181、189 互相相邻并由与浮棚 28 连接的 NMOS 晶体管 22 及 PMOS 晶体管 20、21 组成，阱接触区 187 靠布线层与 PMOS 晶体管 20 的源极和漏极电气连接，起到作为第一控制栅极的作用，阱接触区 188 靠布线层与 PMOS 晶体管 21 的源极和漏极电气连接，起到作为第二控制栅极的作用。

存储单元 181 有衬底接触区 186 和阱接触区 187、188，存储单元 189 虽有衬底接触区 186，但无阱接触区 187、188。

如该图所示，在存储单元 181、189 中，PMOS 晶体管 20 与 NMOS 晶体管 22 相邻配置，PMOS 晶体管 21 与 PMOS 晶体管 20 相邻配置。

NMOS 晶体管 22 的衬底接触区 186 沿与浮棚 28 的长度方向垂直的方向配置，PMOS 晶体管 20、21 的阱接触区 187、188 沿与浮棚 28 的长度方向平行的方向配置。

单元阵列 180 是这样构成的，它在列方向(X)上，交替地配置将多个存储单元 181、189 线对称地配置的存储单元，构成子阵列，在行方向(Y)上，平行配置或线对称配置所述子阵列。

若平行配置存储单元 181，构成单元阵列 180，则在列方向(X)上，必须将衬底接触区配置在每个存储单元上，但若采用本发明的构成，由于在列方向(X)上相邻的存储单元间能公用衬底接触区 186，所以能缩小版面区域。

再有，由于 PMOS 晶体管 20、21 的源极漏极连接阱电位，起到作为控制栅极的作用，所以沿行方向(Y)相邻配置的存储单元间的 PMOS 晶体管源极和漏极能公用。由此，除了列方向(X)以外，行方向(Y)的版面区域也能缩小，所以单元阵列的面积也可望减小。

再有，根据本实施形态，与每个存储单元上配置阱接触区不同，变成每隔多个存储单元配置阱接触区，这只要根据单元阵列的规模或用途，将接触区配置在每个最适合的子阵列上即可。

### (实施形态 9)

图 21 表示本发明的(实施形态 9)。

该图 21 表示图 3 示出的非易失性半导体存储器件的其它版面。

190 为单元阵列，191、191A 为存储单元。196 为赋予 NMOS 晶体管 22 的衬底电位的衬底接触区，197 为赋予 PMOS 晶体管 20 的阱电位的阱接触区，198 为赋予 PMOS 晶体管 21 的阱电位的阱接触区。

存储单元 191 互相相邻并由与浮棚 28 连接的 NMOS 晶体管 22 及 PMOS 晶体管 20、21 组成，配置上述多个存储单元 191，构成单元阵列 190。

阱接触区 197 靠布线层与 PMOS 晶体管 20 的源极及漏极连接，起到作为第一控制栅极的作用，阱接触区 198 靠布线层与 PMOS 晶体管 21 的源极及漏极连接，起到作为第二控制栅极的作用。

在存储单元 191 中，沿方向(Y)配置 PMOS 晶体管 20 和 PMOS 晶体管 21，NMOS 晶体管 22 和 PMOS 晶体管 20 相邻配置。

NMOS 晶体管 22 的衬底接触区 196 及 PMOS 晶体管 20、21 的阱接触区 197、198 与连接 NMOS 晶体管 22 和 PMOS 晶体管 20 的浮棚 28 的方向(列方向(X))平行地配置。

单元阵列 190 是这样构成的，它用存储单元 191 和与该存储单元 191 点对称配置的存储单元 191A 构成子阵列 191C，沿列方向(X)交替地配置存储单元 191 和存储单元 191A，在行方向(Y)上，线对称地配置所述子阵列。

采用这一构成，因为沿行方向(Y)，在相邻的存储单元间能公用衬底接触区 196 及阱接触区 197、198，所以单元阵列的面积可望减小。另外，由于沿列方向(X)能用相同的布线层连接衬底接触区 196 及阱接触区 197、198，所以能进行高效的版面设计。

再者，上述为 PMOS 晶体管 20 及 21 都沿行方向(Y)配置，NMOS 晶体管 22

与 PMOS 晶体管 20 相邻配置，但也可以为 PMOS 晶体管 20 及 21 沿列方向 (X) 配置，NMOS 晶体管 22 与 PMOS 晶体管 20 或 21 相邻配置，可以说是下述的结构，即在沿列方向 (X) 和行方向 (Y) 中的一个方向配置 PMOS 晶体管 20、21，相对于 PMOS 晶体管 20、21 的一个配置方向，沿列方向 (X) 和行方向 (Y) 中的另一方向相邻配置 NMOS 晶体管 22，用所述浮栅 28 连接 PMOS 晶体管 20 的栅极电极和 PMOS 晶体管 21 的栅极电极，同时将该所述浮栅 28 从 PMOS 晶体管 20 和 PMOS 晶体管 21 中所述一个晶体管附近开始延长至 NMOS 晶体管 22 的栅极电极后与其进行连接，在与 NMOS 晶体管相邻、并在 PMOS 晶体管 20 和 PMOS 晶体管 21 中的另一个晶体管的一侧，配置将电位赋予 NMOS 晶体管 22 的衬底的衬底接触区 186。

如上所述，根据本发明的非易失性半导体存储器件，能根据单元阵列规模或所用的用途，优化配置将衬底电位或阱电位赋予 MOS 晶体管的接触区，通过力求公用重复的结点，从而能实现减小单元阵列的面积。

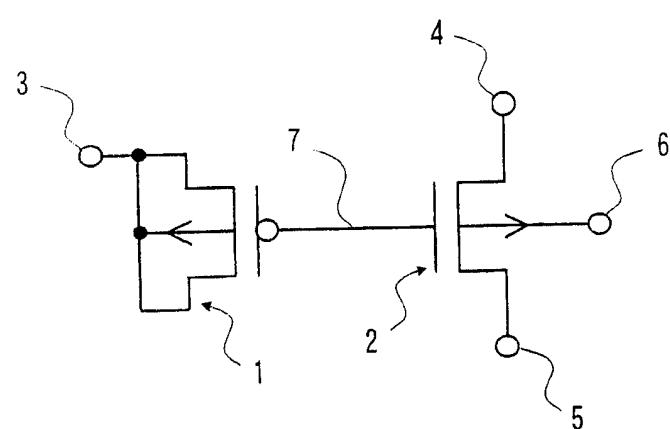


图 1

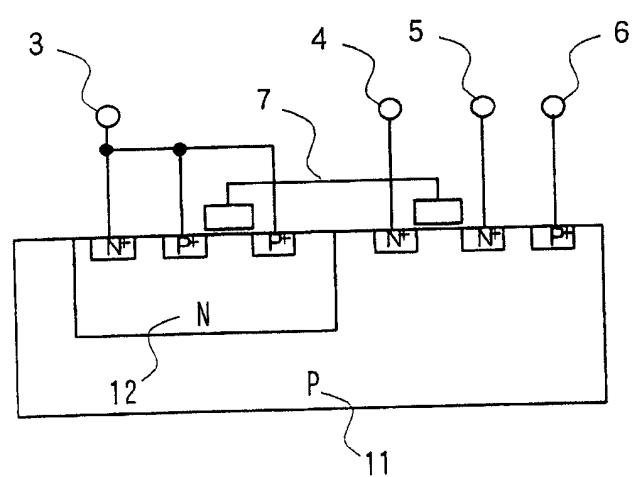


图 2

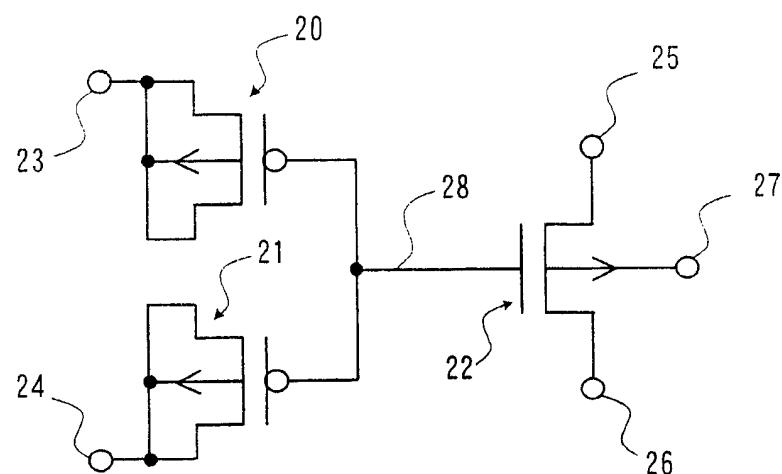


图 3

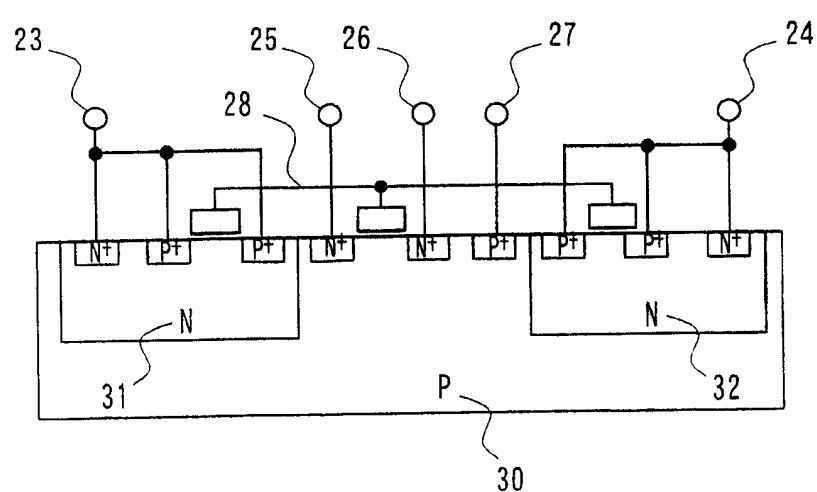
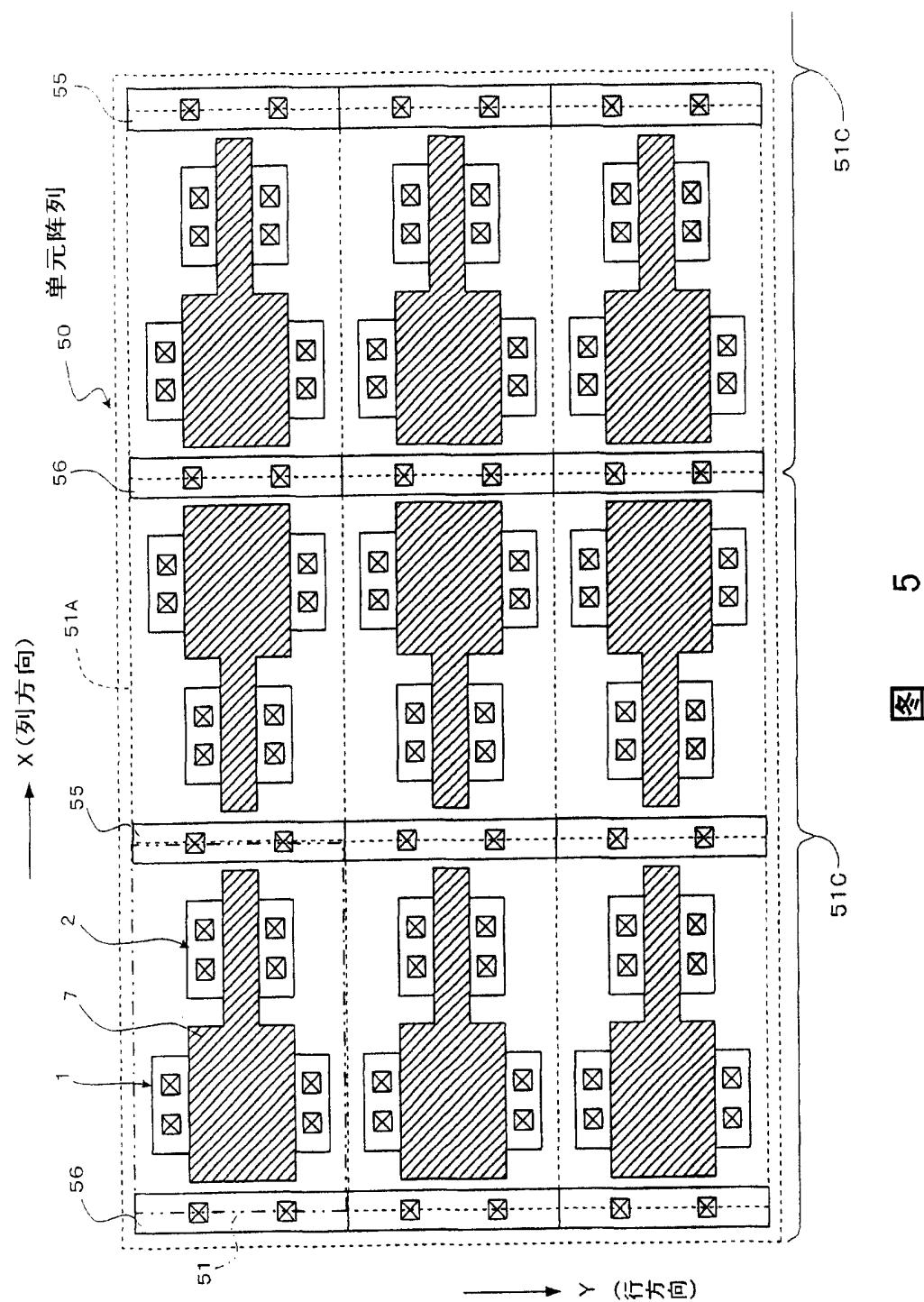
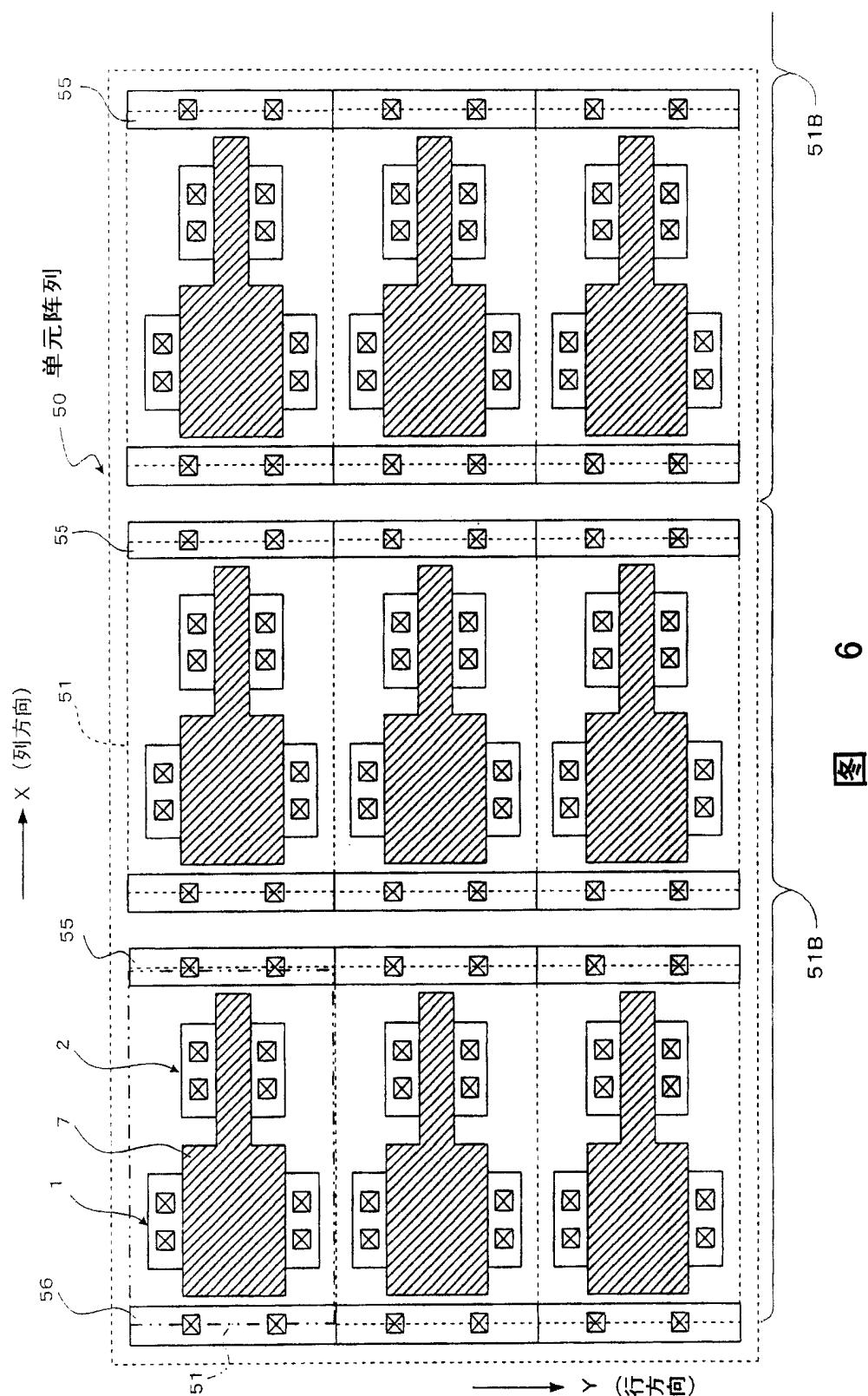
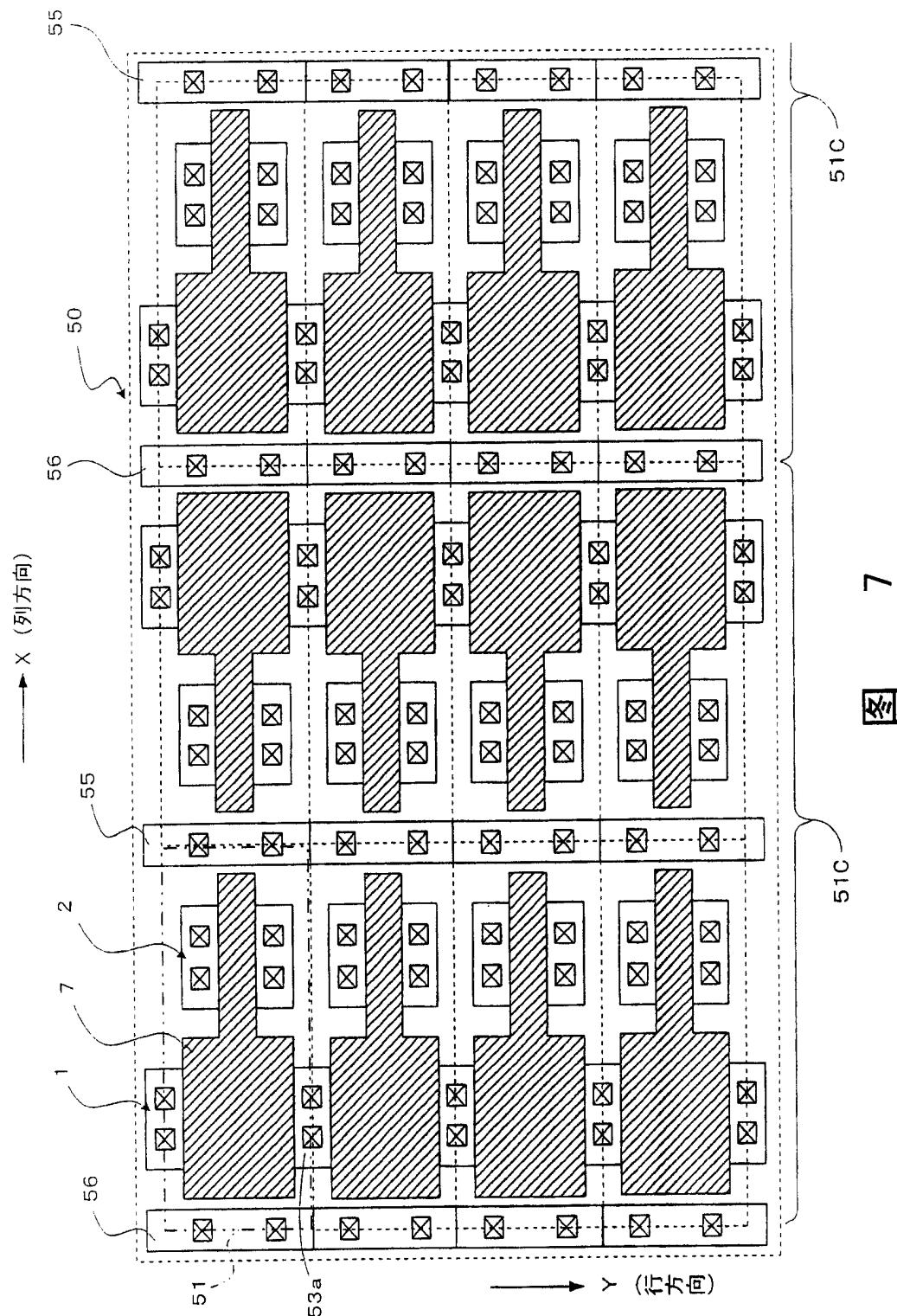


图 4







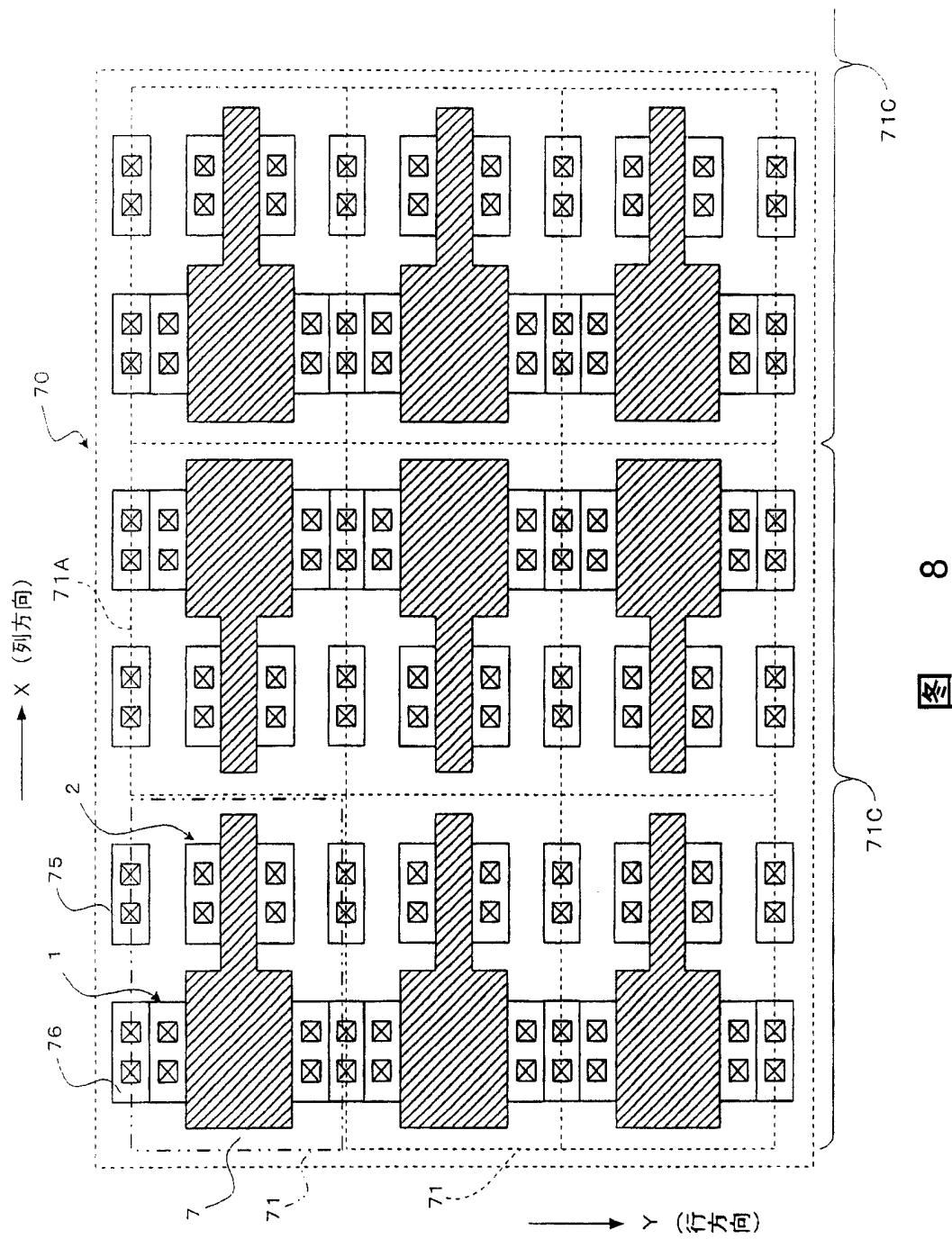
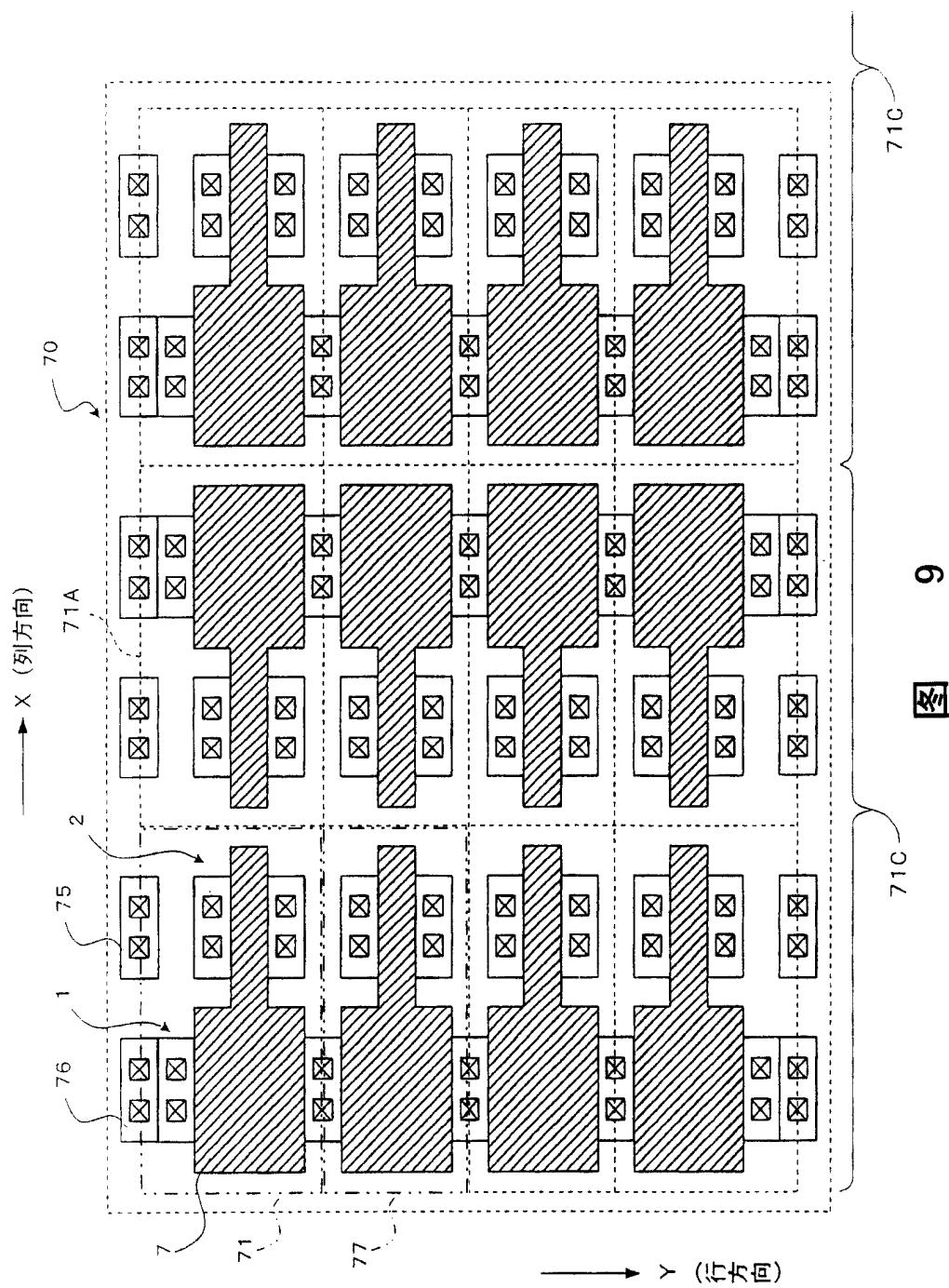
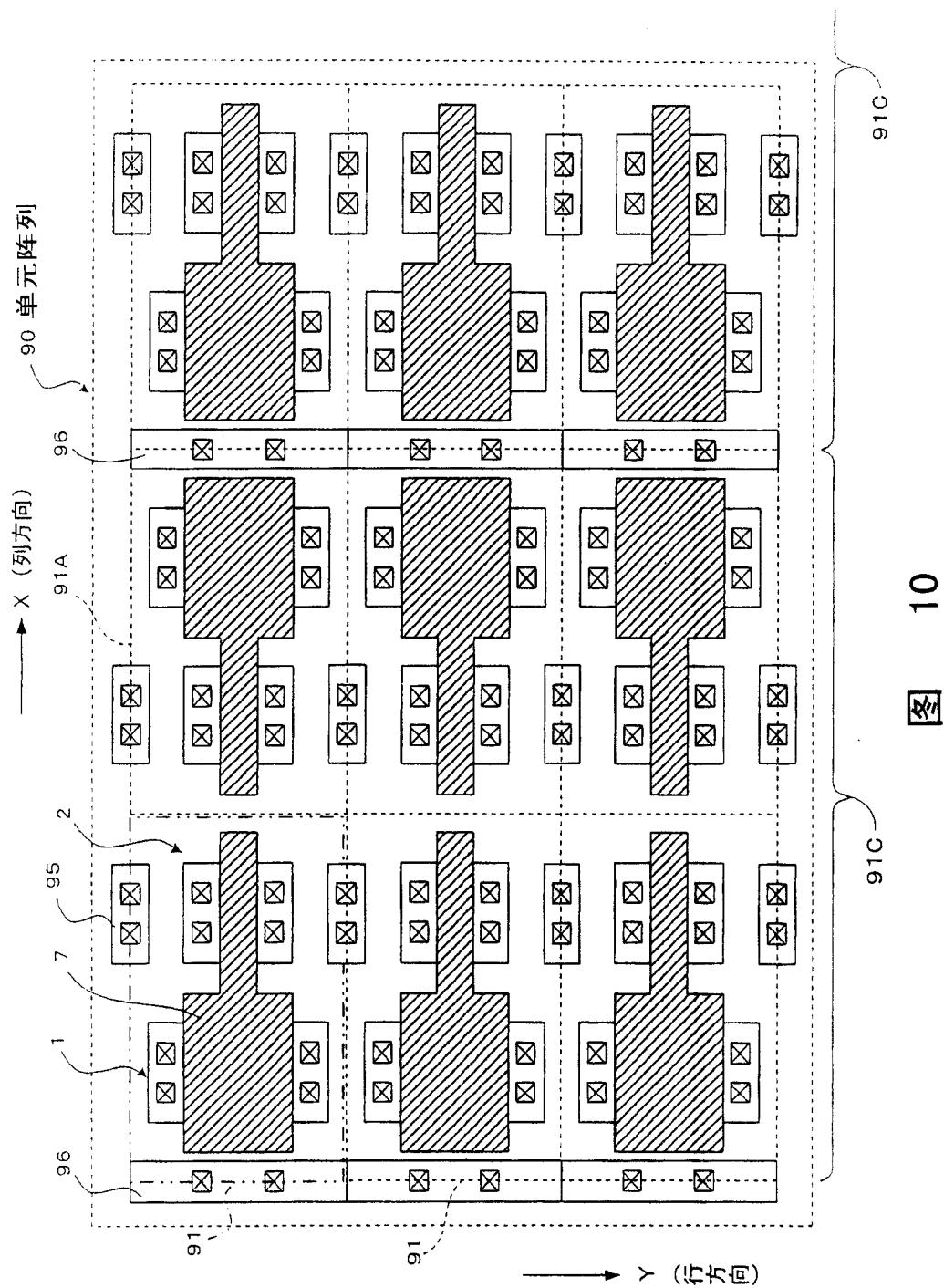


图 8





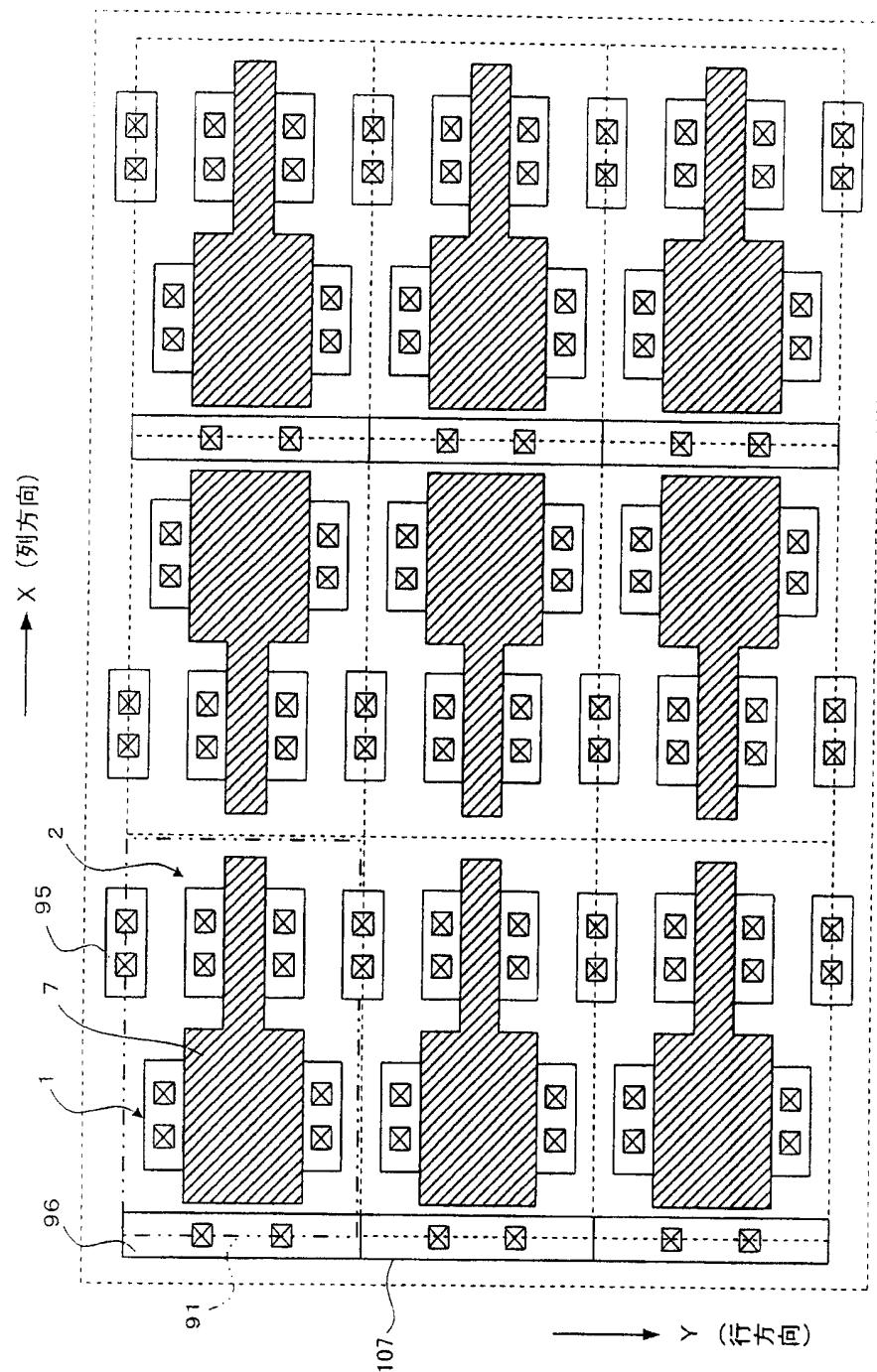


图 11

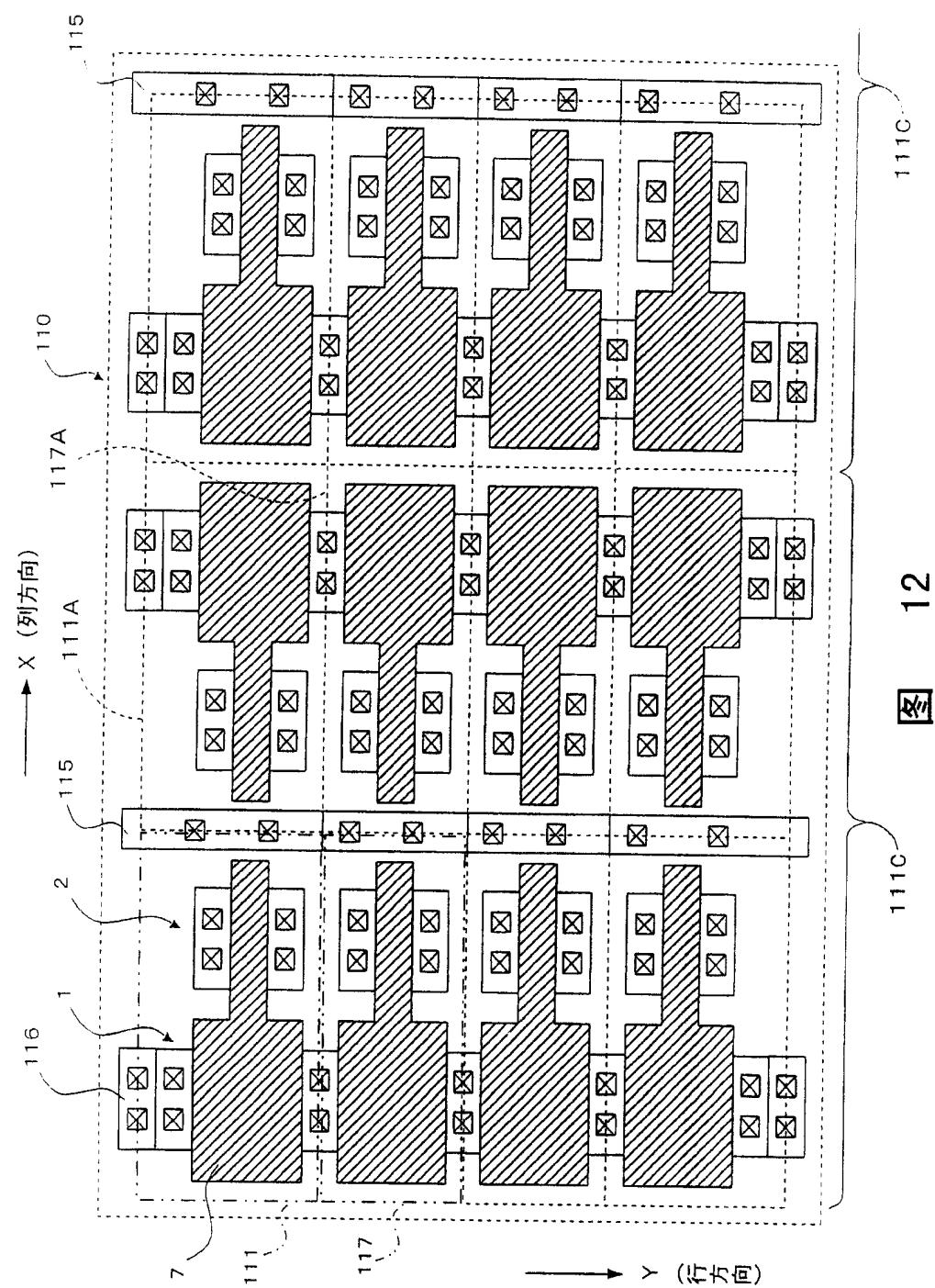
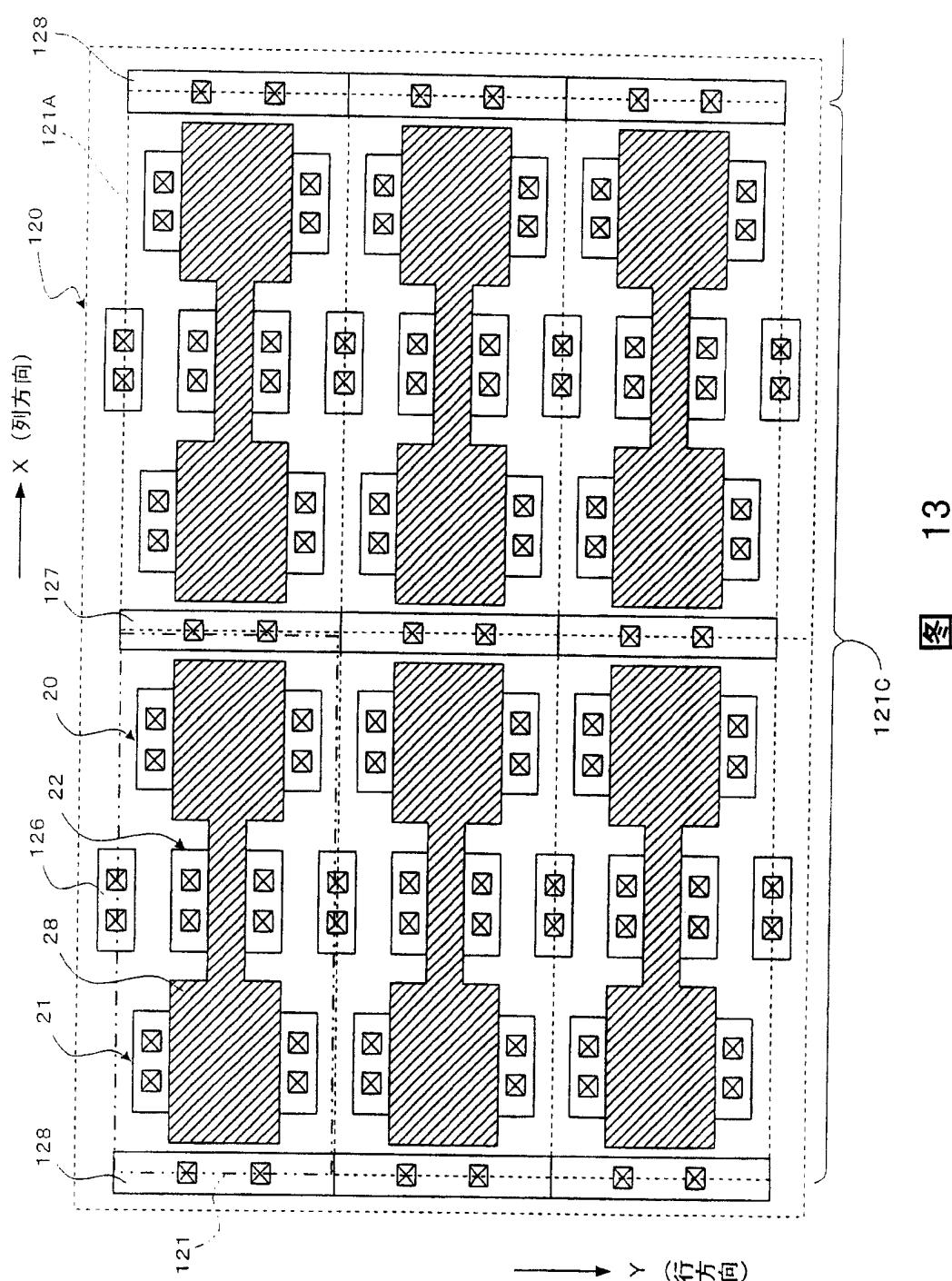
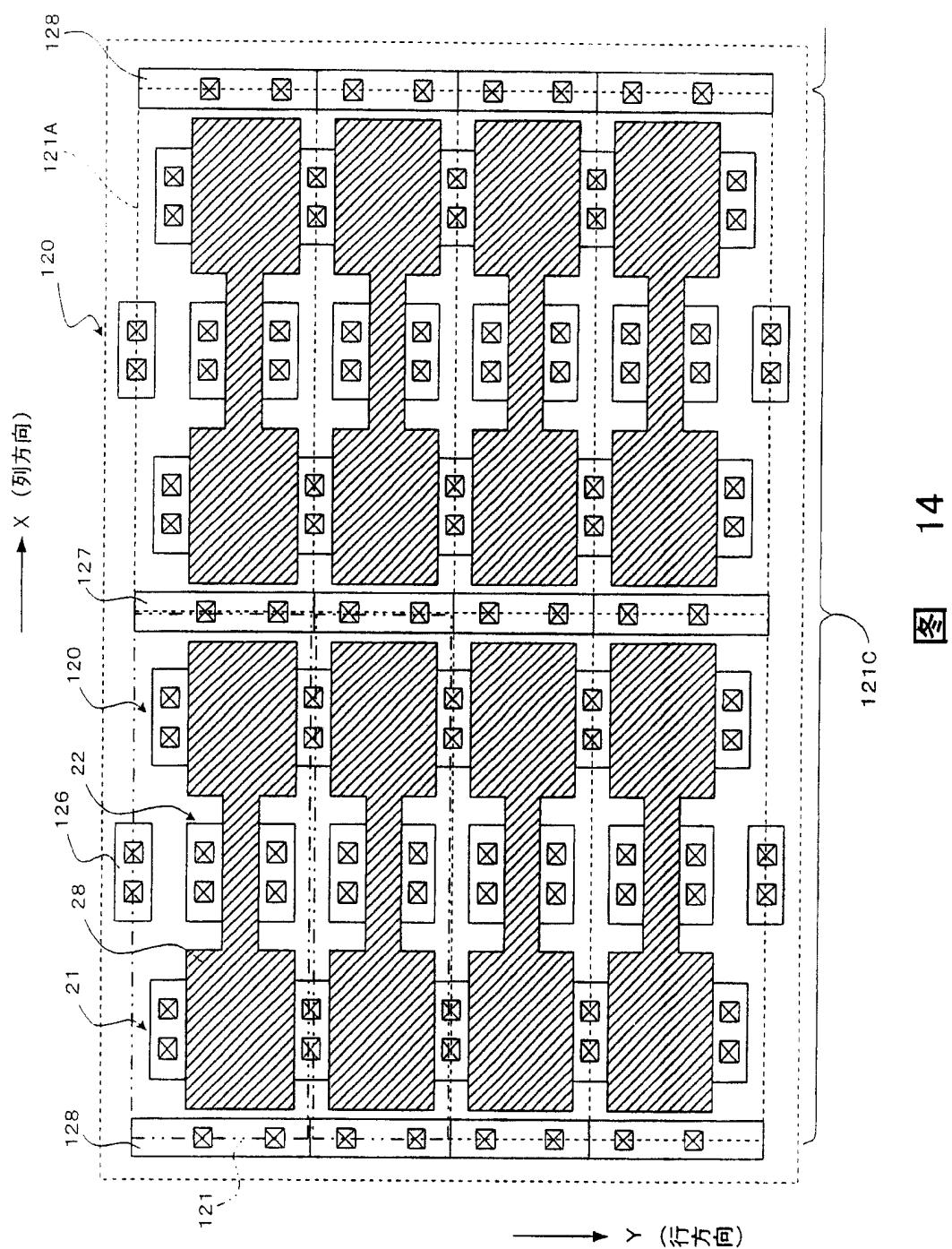


图 12





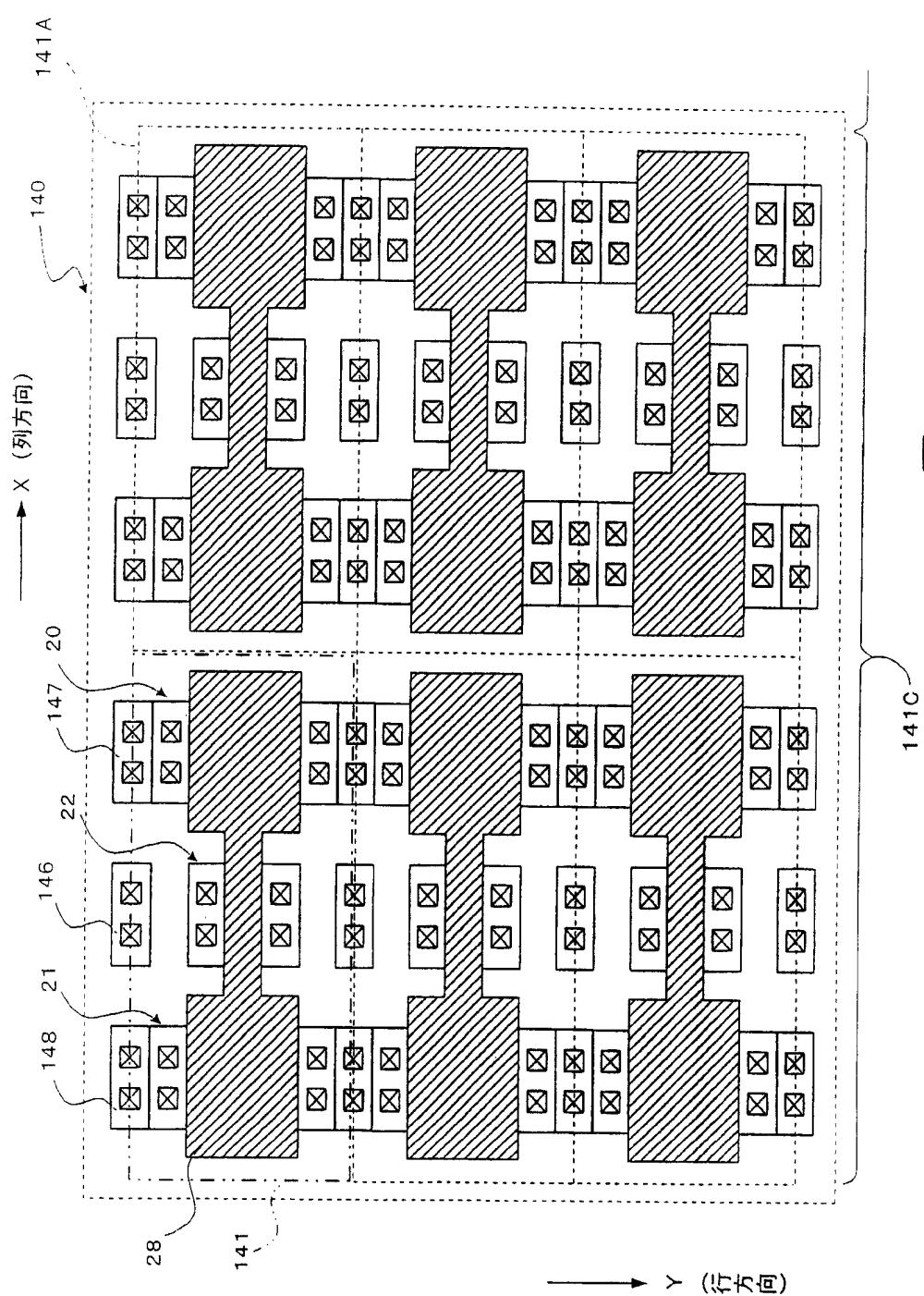
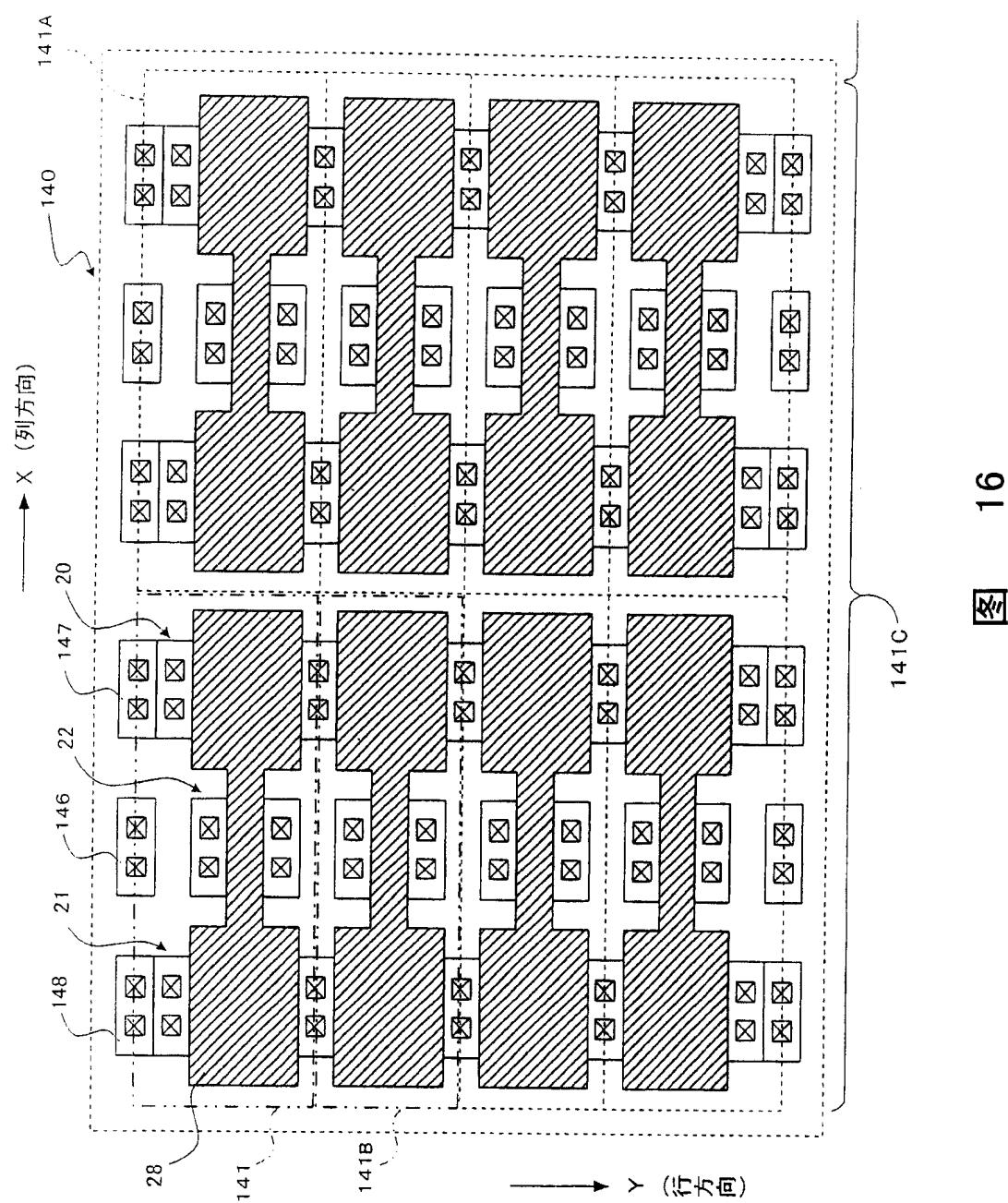


图 15



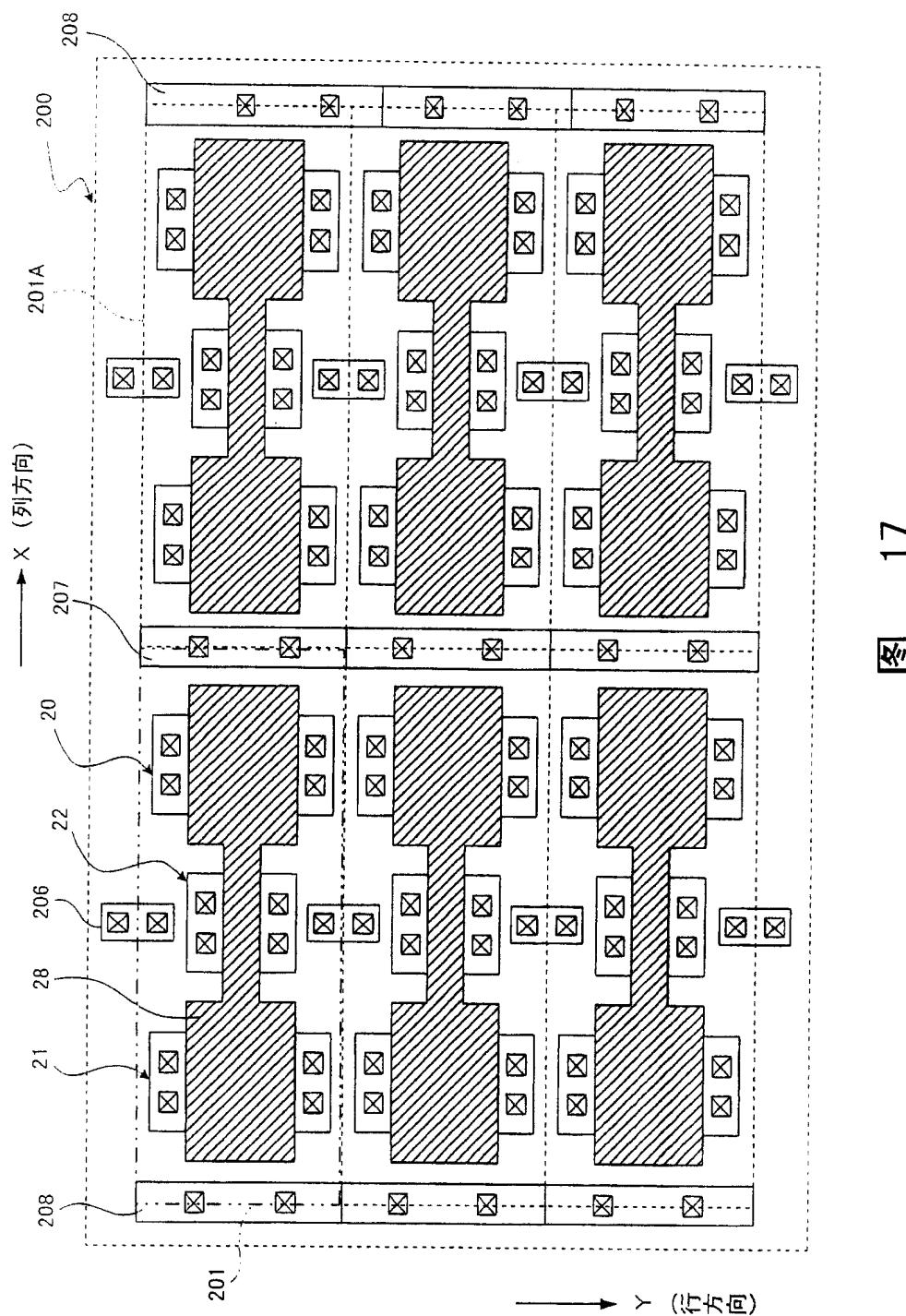


图 17

