

1. 一种电容器,包括:
衬底,具有第一侧和与第一侧相对的第二侧;
在所述衬底内的多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;
多个第一电导体,分别在所述多个沟槽的侧上;
多个电介质层,分别在所述多个第一电导体上;
多个第二电导体,分别在所述多个电介质层上,其中所述多个第一电导体与所述多个第二电导体电隔离;以及
其中所述多个第一电导体彼此电耦合,并且其中所述多个第二电导体彼此电耦合。
2. 根据权利要求1所述的电容器,其中所述衬底包括玻璃。
3. 根据权利要求1所述的电容器,其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面,所述横截面包括圆形、椭圆形、正方形、矩形或药丸形形状中的所选的一个或多个。
4. 根据权利要求1所述的电容器,其中所述多个沟槽中的一个的宽度的范围是从1-10 μ m,并且其中所述多个沟槽中的一个的深度的范围是从1-10 μ m。
5. 根据权利要求1所述的电容器,进一步包括在所述衬底的第一侧上的传导层,其中所述传导层将所述多个第一电导体电耦合。
6. 根据权利要求5所述的电容器,其中所述传导层是第一传导层,并且进一步包括:
在第一传导层的顶部上的绝缘层;
在所述绝缘层的顶部上的第二传导层,其中所述绝缘层将第一传导层和第二传导层电隔离;以及
其中第二传导层将所述多个第二电导体电耦合。
7. 根据权利要求6所述的电容器,其中所述绝缘层包括电介质材料。
8. 根据权利要求5所述的电容器,其中所述传导层是第一传导层,并且进一步包括在所述衬底的第二侧上的第二传导层,其中第二传导层将所述多个第二电导体电耦合。
9. 根据权利要求8所述的电容器,其中所述电导体包括铜。
10. 根据权利要求1所述的电容器,进一步包括在所述多个沟槽内的多个阻挡层,所述多个阻挡层分别在所述衬底与所述多个第一电导体之间。
11. 根据权利要求10所述的电容器,其中所述阻挡层包括钴、钽、氮或钌中的所选的一个或多个。
12. 根据权利要求1所述的电容器,进一步包括:
在所述衬底内的第一过孔和第二过孔,第一过孔和第二过孔从所述衬底的第一侧延伸到所述衬底的第二侧;
在第一过孔和第二过孔内的传导材料,用于将所述衬底的第一侧电耦合到所述衬底的第二侧;以及
其中第一过孔中的传导材料与所述多个第一电导体电耦合,并且其中第二过孔中的传导材料与所述多个第二电导体电耦合。
13. 根据权利要求12所述的电容器,其中第一过孔和第二过孔与Vdd或Vss耦合。
14. 根据权利要求1所述的电容器,进一步包括:

在玻璃衬底的第一侧上的电焊盘;以及

电耦合到所述玻璃衬底的第一侧的管芯,其中所述电焊盘与所述管芯电耦合,并且与所述多个第一电导体或所述多个第二电导体中的所选的一个电耦合。

15.一种方法,包括:

提供具有第一侧和与第一侧相对的第二侧的衬底;

在所述衬底内形成多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;

分别在所述多个沟槽的侧上形成多个第一电导体;

在所述多个第一电导体中的每一个上形成电介质层;

形成多个第二电导体;以及

将所述多个第一电导体电耦合,其中所述多个第一电导体与所述多个第二电导体电隔离。

16.根据权利要求15所述的方法,将所述多个第二电导体电耦合。

17.根据权利要求15所述的方法,其中所述衬底是玻璃或硅中的所选的一个或多个;以及

其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面,所述横截面包括圆形、椭圆形、正方形、矩形或药丸形状中的所选的一个或多个。

18.根据权利要求15所述的方法,其中在形成所述多个第一电导体之前,所述方法进一步包括分别在所述多个沟槽内形成多个阻挡层。

19.根据权利要求18所述的方法,其中所述多个阻挡层中的至少一个包括钴、钽、氮或钨中的所选的一个或多个。

20.根据权利要求15所述的方法,其中第一电导体或第二电导体包括铜、钛、铝、钨、氧、铌、铂和/或钯中的一个或多个。

21.根据权利要求15所述的方法,其中形成所述多个第一电导体或形成所述多个第二电导体进一步包括使用原子层沉积(ALD)来沉积传导金属。

22.一种封装,包括:

一个或多个管芯;

中介层,与所述一个或多个管芯电耦合和物理耦合,所述中介层包括:

衬底,具有第一侧和与第一侧相对的第二侧;

在所述衬底内的多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;

多个第一电导体,分别在所述多个沟槽的侧上;

多个电介质层,分别在所述多个第一电导体上;

多个第二电导体,分别在所述多个电介质层上,其中所述多个第一电导体与所述多个第二电导体电隔离,其中所述多个第一电导体彼此电耦合,并且其中所述多个第二电导体彼此电耦合;

第一组一个或多个导电焊盘,与所述多个第一电导体电耦合;以及

第二组一个或多个导电焊盘,与所述多个第二电导体电耦合;以及

其中第一组一个或多个导电焊盘和第二组一个或多个导电焊盘与所述一个或多个管

芯电耦合。

23. 根据权利要求22所述的封装, 其中第一组一个或多个导电焊盘在所述衬底的第一侧处, 或者第二组一个或多个导电焊盘在所述衬底的第二侧处。

24. 根据权利要求22所述的封装, 其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面, 所述横截面包括圆形、椭圆形、正方形、矩形或药丸形形状中的所选的一个或多个。

25. 根据权利要求22所述的封装, 其中所述衬底包括玻璃或硅中的所选的一个。

衬底内的电耦合沟槽电容器

技术领域

[0001] 本公开的实施例总体上涉及封装组装件领域，并且特别地涉及包括电容器的封装。

背景技术

[0002] 诸如智能电话和超极本之类的移动电子设备的大小的不断减小是缩小封装大小和增加封装内组件的速度的驱动力。

附图说明

[0003] 图1图示了根据各种实施例的包括电耦合沟槽电容器(trench capacitor)的衬底的横截面侧视图。

[0004] 图2图示了根据各种实施例的具有各种沟槽蚀刻的衬底的透视图。

[0005] 图3图示了根据各种实施例的单个沟槽内的层的横截面侧视图。

[0006] 图4图示了根据各种实施例的与电耦合沟槽电容器一起使用的电气耦合结构的横截面侧视图。

[0007] 图5图示了根据各种实施例的包括与传导层(conductive layer)耦合的沟槽电容器的衬底的横截面俯视图。

[0008] 图6图示了根据各种实施例的包括电耦合沟槽电容器的衬底的横截面俯视图。

[0009] 图7图示了根据各种实施例的用于制造中介层(interposer)的示例过程。

[0010] 图8图示了根据各种实施例的用于在中介层的衬底中制造沟槽电容器的示例过程。

[0011] 图9图示了根据各种实施例的玻璃互连激光辅助蚀刻过程的多个示例。

[0012] 图10图示了根据各种实施例的用于制造电耦合沟槽电容器的过程的示例。

[0013] 图11示意性地图示了根据实施例的计算设备。

具体实施方式

[0014] 本发明的实施例总体上可以涉及针对在衬底内创建电耦合沟槽电容器的系统、装置、技术和/或过程。在实施例中，可以是有机衬底或玻璃衬底的衬底可以是中介层的一部分。在实施例中，这些沟槽电容器可以递送非常高的电容密度，该非常高的电容密度在物理上靠近附接到衬底的一个或多个管芯。在实施例中，电耦合沟槽电容器的部分可以包括衬底表面处的薄膜电容器，其中薄膜电容器将多个沟槽电容器电耦合。在实施例中，构成沟槽电容器的沟槽从衬底的第一侧朝向衬底的与第一侧相对的第二侧延伸。

[0015] 在实施例中，与平面电容器相比，这种沟槽电容器配置提供了增强的电容密度。此外，用于电连接沟槽电容器的制造方法可以利用硅衬底以及玻璃衬底的可用制造过程。在其中使用玻璃衬底的实施例中，可以使用原子层沉积(ALD)以在沟槽内应用第一和第二传导层以及中间电介质层。使用玻璃衬底的实施例能够耐受较高温度，而较高温度对于有机

衬底或基于电介质的衬底来说可能是不太耐受的。此外,使用玻璃衬底的实施例可以实现在玻璃内产生高纵横比沟槽的沟槽创建和沉积技术。

[0016] 在其中电耦合沟槽电容器被用于功率递送应用的实施例中,可以使用高k电介质材料,诸如 HfO_2 、 HfZrO_2 。高k电介质材料的厚度可以以纳米精度来调整,这取决于沟槽的密度和/或击穿电压要求。在其中电耦合沟槽电容器被用于可能期望较低电容密度的射频(RF)或输入输出(I/O)应用的实施例中,可以使用较不昂贵的沉积材料和技术。这些包括但不限于 SiO_2 、 Si_3N_4 材料和等离子体增强化学气相沉积(PECVD)技术,以用于创建电耦合沟槽电容器。在实施例中,该沟槽架构允许最小化电容器的横向大小,而同时使用用于硅和玻璃的现有制造方法来确保具有高品质因子的这些电容器的高尺寸准确度和稳定性。

[0017] 电容的传统实现方式使用分立的陆侧(land side)电容器(LSC)或管芯侧电容器(DSC)以用于去耦和用于管理不同的电压降。在传统实施例中,分立电容器可以放置在芯(core)内,或者放置在围绕芯的积聚层(build-up layer)内。在传统实现方式中,电容器可以是电压调节器系统的一部分,以将高DC电压转换成低DC电压。这些传统电容器被单独地放置,并且然后例如经由批量回流过程(mass reflow process)而附接到衬底封装。一些实现方式可以使用可以有源地(on active)制造的衬底封装薄膜电容器,然而这些是平面电容器。

[0018] 这些传统实现方式具有缺点。例如,分立电容不能够靠近管芯放置。它们要么可以放置在衬底的底部处(LSC),在这种情况下,功率必须通过整个衬底到达管芯。对于放置在封装顶部上并且其中功率需要横向地流入管芯中的LSC而言,这产生了比针对LSC的情况更长的距管芯的物理距离。此外,分立电容器具有各种寄生元件,这些寄生元件可能具有对封装操作的不利影响。

[0019] 在以下详细描述中,参考了形成其一部分的附图,其中相似的附图标记始终表示相似的部分,并且其中通过说明实施例的方式示出了其中可以实践本公开的主题的实施例。要理解的是,在不脱离本公开的范围的情况下,可以利用其他实施例,并且可以做出结构或逻辑改变。因此,以下详细描述不应以限制性意义来看待,并且实施例的范围由所附权利要求及其等同物来限定。

[0020] 出于本公开的目的,短语“A和/或B”意指(A)、(B)或(A和B)。出于本公开的目的,短语“A、B和/或C”意指(A)、(B)、(C)、(A和B)、(A和C)、(B和C)或(A、B和C)。

[0021] 本描述可以使用基于视角的描述,诸如顶部/底部、内(in)/外(out)、上(over)/下(under)等等。这种描述仅用于便于讨论,而不是旨在将本文中描述的实施例的应用限制到任何特定取向。

[0022] 本描述可以使用短语“在一实施例中”或“在实施例中”,其可以各自指代相同或不同实施例中的一个或多个。此外,关于本公开的实施例使用的术语“包括”、“包含”、“具有”等是同义的。

[0023] 本文中可以使用术语“与……耦合”以及其派生词。“耦合”可以意指以下内容中的一个或多个。“耦合”可以意味着两个或更多个元件直接物理或电气接触。然而,“耦合”还可以意味着两个或更多个元件彼此间接接触,但是仍然彼此协作或交互,并且可以意味着一个或多个其他元件被耦合或连接在被称为彼此耦合的元件之间。术语“直接耦合”可以意味着两个或更多个元件直接接触。

[0024] 各种操作可以被描述为以最有助于理解所要求保护的主题的方式依次进行的多个分立的操作。然而,描述的次序不应被理解为暗示这些操作必然是依赖于次序的。

[0025] 如本文中所使用,术语“模块”可以指代ASIC、电子电路、执行一个或多个软件或固件程序的处理器(共享的、专用的或群组)和/或存储器(共享的、专用的或群组)、组合逻辑电路和/或提供所描述功能的其他合适的组件、或者是它们的一部分、或者包括它们的。

[0026] 本文中的各图可以描绘一个或多个封装组装件的一个或多个层。本文中描述的层被描述为不同封装组装件的层的相对位置的示例。出于解释的目的描绘了这些层,并且这些层不是按比例绘制的。因此,不应当从图中假定层的比较性大小,并且对于一些实施例,仅在特别指示或讨论的地方可以假定大小、厚度或尺寸。

[0027] 图1图示了根据各种实施例的包括电耦合沟槽电容器的衬底的横截面侧视图。中介层100示出了包括多个过孔104、106的衬底102,该多个过孔104、106被填充有诸如铜的传导材料。过孔104、106从衬底102的第一侧延伸到衬底102的与第一侧相对的第二侧,并且将衬底102的第一侧和第二侧电耦合。在实施例中,过孔104可以经过衬底102传导功率,并且过孔106可以经过衬底102传导RF或I/O信号。

[0028] 耦合沟槽电容器110至少部分地位于衬底102内,并且包括从衬底102的第一侧朝向衬底102的第二侧延伸但不完全到达衬底102的第二侧的多个沟槽120。在一些实施例中,沟槽120可以完全延伸穿过衬底102,以与衬底102的第二侧处的第一电压源和第一侧处的第二电压源耦合。

[0029] 沟槽电容器120可以包括第一电导体122、电介质层124和第二电导体126,如下面关于图3更详细讨论的。如中介层100所示,功率可以通过直通过孔(through via)104来供应并且与第一传导层132耦合,第一传导层132与第一电导体122电耦合。电介质层134可以放置在第一传导层132上,电介质层134将第一传导层132与第二传导层136电隔离。第二传导层136与焊盘140电耦合,焊盘140进而可以随后与管芯(未示出)物理耦合和电耦合。在实施例中,焊盘140可以实现为第一级互连(FLI)的一部分。在实施例中,过孔104可以在中介层100的底部处与衬底102的第二侧处的中级互连(MLI)焊盘105耦合。

[0030] 在实施例中,耦合的沟槽电容器110可以在创建中介层100后端(backend)(例如作为MLI 105)之前制造。在实施例中,沟槽电容器120可以具有高k或超高k电介质材料,并且达到~100nF/mm²范围内的电容密度,其值可以达到或超过200nF/mm²。这些值可能取决于各种因素,包括高k或超高k电介质材料的使用、电介质厚度和击穿电压要求。在实施例中,该器件的应用可能需要的总电容也可以决定电介质的厚度、材料的组成、以及对于电容器所需的总面积。

[0031] 因此,在实施例中,耦合沟槽电容器110可以用作针对LSC的完全替代,而同时被放置成紧邻可以连接到焊盘140的管芯(未示出)。在实施例中,耦合沟槽电容器110可以在有源或无源硅或玻璃中介层上实现,然而,在实施例中,在无源中介层上可以存在更多的空间或面积可用。此外,实现RF电容器的实施例可以使得需要许多电容器的复杂前端模块能够具有最小尺寸并实现最大系统密度。

[0032] 图2图示了根据各种实施例的具有各种沟槽蚀刻的衬底的透视图。衬底200(其可以类似于图1的衬底102)示出了用于沟槽(诸如,图1的沟槽120)的多个架构的可能配置中的仅少数配置。在实施例中,用于沟槽的各种架构可以使用下面关于图9描述的技术来设

计。

[0033] 沟槽示例250可以包括圆形过孔,例如群集在一起并且在个体圆形过孔之间具有所定义的间距的穿硅过孔(TGV)。沟槽示例252可以包括椭圆形过孔,这些椭圆形过孔同样可以群集在一起,其具有在它们之间的某个间距、以及相应过孔中的每一个的某个取向。沟槽示例254示出了全部基本上平行的平面集群,其中每一个平面之间具有所定义的间距。沟槽示例256示出了基本上平行的弯曲平面。沟槽示例258示出了嵌套的两个U形沟槽。沟槽示例260示出了具有圆形末端的两个平行平面,其也可以被称为“药丸形”。

[0034] 图3图示了根据各种实施例的单个沟槽内的层的横截面侧视图。中介层部分300(其可以类似于图1的中介层100)包括衬底302和沟槽320,衬底302和沟槽320可以类似于图1的衬底102和沟槽120。沟槽320包括第一电导体322、电介质层324和第二电导体326,它们可以类似于图1的第一电导体122、电介质层124和第二电导体126。

[0035] 在实施例中,第一电导体322可以与第一传导层332电耦合,第一传导层332可以类似于图1的第一传导层132。第二电导体326可以与第二传导层336电耦合,第二传导层336可以类似于图1的第二传导层136。电介质层334(其可以类似于图1的电介质层134)与电介质层324一起将第一电导体322和第二电导体326电隔离。

[0036] 在实施例中,阻挡层338可以放置在衬底302和第一电导体322之间。在实施例中,阻挡层338可以包括钴、钽、氮或钨。阻挡层338的厚度和组成可以被选择成使得第一电导体322内的任何金属(其可以包括铜)不会使金属分散(defuse)到衬底302中或者减少金属到衬底302中的扩散的量。在由制造过程导致的高温期间和/或在操作期间,铜例如可能扩散到玻璃或硅衬底302中。对于其中沟槽320之间的间距紧密(例如,小于 $5\mu\text{m}$)的实施例,阻挡层338可以用于防止扩散并且因此防止金属的传导性的降级,或者防止沟槽320与衬底302内的另一结构之间由于扩散的铜所致的电气短路。

[0037] 在其中包括沟槽320的电容器被用于功率递送的实施例中,则电介质层324和电介质层334可以使用高k电介质类材料,诸如 TiO_2 、 HfO_2 、 HfZrO_2 、 TaO_2Zr 或类似物。在实施例中,也可以使用超高k电介质类材料,包括 BaTiO_3 、 BaSrTiO_3 或类似物。对于第一电导体322或第二电导体326,如果存在良好的带对准(bank alignment),则可以使用铜。可以使用的其他传导材料包括Ir、Pt、Pd、 RuO_2 、 IrO_2 、Al、Ag、Ti和/或Mo。这些材料的选择可能取决于所使用的电介质材料。

[0038] 在其中包括沟槽320的电容器被用于RF或I/O递送的实施例中,则针对电介质层324和电介质层334可以使用低k、低损耗材料,诸如 SiO_2 、 Si_3N_4 和 Al_2O_3 。

[0039] 在实施例中,附加的电流泄漏阻挡物(未示出)可以放置在电介质层与电导体之间,例如电介质层324、334与电导体322、326之间。该电流泄漏阻挡物可以在10至20nm的数量级。取决于电介质的性质,电流泄漏阻挡物可以包括镭、铂、钷和/或 RuO_2 。给定在没有电流泄漏阻挡物的情况下将允许高电气泄漏率的某些电介质(诸如 TiO_2),电流泄漏阻挡物可以在较高的操作电压下特别有用。具有低泄漏的电容器能够在较高电压下操作。

[0040] 图4图示了根据各种实施例的与电耦合沟槽电容器一起使用的电气耦合结构的横截面侧视图。中介层部分400和400a(其可以类似于图1的中介层100)示出了耦合沟槽电容器的示例,其中两个电接触部都处于衬底402的一侧上。

[0041] 中介层部分400包括衬底402和沟槽420,衬底402和沟槽420可以类似于图3的衬底

302和沟槽320。沟槽420包括第一电导体422、电介质层424和第二电导体426,它们可以类似于图3的第一电导体322、电介质层324和第二电导体326。阻挡层438(其可以类似于图3的阻挡层338)可以定位在衬底402和第一电导体422之间。

[0042] 在实施例中,第一电导体422可以与第一传导层432电耦合,第一传导层432可以类似于图3的第一传导层332。第二电导体426可以与第二传导层436电耦合,第二传导层436可以类似于图3的第二传导层336。电介质层434(其可以类似于图3的电介质层334)与电介质层424一起将第一电导体422和第二电导体426电隔离。与第一传导层432电耦合的第一电连接器432a可以作为衬底402顶部上的积聚层的顶部上的焊盘而存在。第二电连接器436a与第二传导层436电耦合,并且可以作为衬底402顶部上的积聚层的顶部上的焊盘而存在。电连接器432a、436a可以是铜焊盘,该铜焊盘可以随后被混合结合到管芯(未示出),或者可以具有放置在其上的焊料以用于随后结合到管芯(未示出)。

[0043] 中介层部分400a可以类似于中介层部分400,然而,第一电导体422的电气耦合经过布线层433行进并且直到衬底402的一侧上的积聚部分内的第一平面437。第二电导体426的电气耦合经过第二平面437向上行进。以这种方式,两个分离的布线平面435、437与彼此电隔离,并且可以处于不同的电位。

[0044] 图5图示了根据各种实施例的包括与传导层耦合的沟槽电容器的衬底的横截面俯视图。中介层500示出了穿过第一传导层132的图1的位置A-A'处的横截面俯视图。第一传导层532可以类似于图1的第一传导层132。传导层532在这里示出为包括铜的金属层。电介质524(其可以类似于图1的电介质层124)围绕第二电导体526并且将第二电导体526与第一传导层532电隔离。过孔504(其可以类似于图1的过孔104)向第一传导层532提供功率。如所示出,I/O信号可以通过直通过孔506而到来,直通过孔506可以类似于图1的过孔106。区域557包括不与耦合沟槽电容器510直接相关联的一个或多个结构,例如迹线。

[0045] 在其他实施例(未示出)中,传导层532可以是以各种群组或模式将一个或多个沟槽电容器520电耦合的迹线,沟槽电容器520可以类似于图1的沟槽电容器120。这些群组或模式可以基于耦合沟槽电容器510的所需电容来选择。

[0046] 图6图示了根据各种实施例的包括电耦合沟槽电容器的衬底的横截面俯视图。中介层600示出了图1的在位置A-A'下方的位置B-B'处的横截面俯视图。在该横截面处,衬底602(其可以类似于图1的衬底102)围绕构成耦合沟槽电容器610的多个沟槽电容器620,耦合沟槽电容器610可以类似于图1的耦合沟槽电容器110。在该实施例中,个体沟槽电容器620是圆形过孔。然而,在其他实施例中,个体沟槽电容器620可以采用一些其他形状,诸如关于图2所示出的那些形状。

[0047] 关于图1-6的实施例可以基于电耦合沟槽电容器的使用而不同。例如,在功率应用的情况下,电耦合沟槽电容器可以显著比单个电容器更大,并且包括许多沟槽。在实施例中,可以使用若干个这样的电耦合沟槽电容器,例如,可以与中介层耦合的管芯的每个功能区域有一个电耦合沟槽电容器。在实施例中,管芯的这些功能区域可以包括芯、非芯(uncores)和图形(graphics)。

[0048] 在实施例中,沟槽(诸如图1的沟槽120)可以不直接延伸穿过衬底(诸如图1的衬底102)的厚度。在一些实施例中,沟槽的深度可以不超过衬底厚度的一半。在实施例中,可以通过改变沟槽的深度或沟槽的厚度、以及沟槽电容器内的任何电介质或电导体的厚度和组

成、或者通过将沟槽电容器电耦合以形成并且电耦合沟槽电容器，来调整电耦合沟槽电容器的总体电容。

电介质	k 值	厚度[nm]	沟槽直径[μm]	沟槽间距[μm]	纵横比	针对单个沟槽和连接到其他沟槽的平面区域的电容[nF]	在假定 TSV/TGV 使用了 50%面积的情况下的电容/面积[nF/mm ²]
HfZrO ₂	24	10	2	4	10	0.002925365	91.42
HfZrO ₂	24	20	2	4	10	0.001462682	45.71
TiO ₂	72-96	10	2	4	10	0.0088-0.0118	275-368.8
TiO ₂	72-96	20	2	4	10	0.0044-0.0059	137.5-184.4
TiO ₂	72-96	30	2	4	10	0.0029-0.0039	90.6-121.9
BaSrTiO ₃	1000	400	2	4	10	0.003047255	95.23

[0049] 表1:针对不同电介质材料和厚度的电容密度。

[0050] 表1说明了基于各种参数的各种实施例的各种电容密度。要注意的是，只要纵横比(AR——沟槽直径比沟槽高度)保持恒定，电容密度就不会随着各种沟槽的几何形状假定改变而改变。例如，如果直径从表中的2μm跳到10μm，但是间距以相同的值增加，例如在AR为10的情况下从4μm增加到20μm，则可以观察到相同的电容密度。

[0051] 在实施例中，对于诸如HfO₂、ZrO₂、HfZrO₂、TiO₂之类的材料的电介质厚度，击穿电压在1-3MV/cm范围内。10nm电介质可以支持~2V的击穿，而20nm和30nm电介质可以分别支持4V和6V范围内的电压。表1还说明了BaSrTiO₃和类似的超高k材料不具有显著的电容密度优势。然而，在400nm的电介质厚度下，击穿电压可能比针对TiO₂的击穿电压高得多。此外，高于1000的k值是可能的，因此更高的密度在这些材料的情况下是可能的。在实施例中，玻璃处理允许高得多的沉积温度和诸如ALD或外延(Epitaxy)之类的过程，这可以为超高k电介质材料创造必要的结晶度(crystallinity)。

[0052] 最后，该表中获得的值假定50%的中介层面积被不与功率相关联并且不能够用于电容器的TSV所使用。这些计算还说明了，电耦合沟槽电容器可以用于无源中介层中，其中最大量的中介层面积可以用于电容器。在有源中介层的情况下，只要大多数有源电路处于组装在中介层上的需要电容器的管芯的区域之外，就可以实现高密度。表1中的计算对于简单正方形沟槽图案是有效的。对于沟槽图案的其他实施例，诸如六边形封装布置(hex-pack arrangement)，电容密度将稍微更高。

图7图示了根据各种实施例的用于制造中介层的示例过程。过程700包括用于创建中介层的制造过程中的阶段，并且可以使用本文中描述的并且特别是关于图1-6描述的过程、技术、系统和/或装置来执行。

[0053] 在框702处，中介层制造过程流程可以开始。

[0054] 在框704处，该过程可以进一步包括制造一个或多个沟槽电容器。在实施例中，诸如图1的沟槽电容器120之类的一个或多个沟槽电容器可以形成在诸如图1的衬底102之类的衬底内。在实施例中，一个或多个沟槽电容器可以使用上面关于图1-6描述的技术被电耦合。下面关于图8描述了与框704相关的子过程的实施例。

[0055] 在框706处，该过程可以进一步包括制造中介层互连层。在实施例中，这可以包括：附接MLI焊盘，诸如图1的MLI焊盘105，或者附接FLI焊盘，诸如图1的焊盘140。

[0056] 要注意的是，在框702和704之间、以及在框706和708之间，可以存在关于制造包括

电耦合沟槽电容器的中介层的附加步骤(未示出)。

[0057] 图8图示了根据各种实施例的用于在中介层的衬底中制造沟槽电容器的示例过程。过程800包括用于创建并电耦合沟槽电容器的制造过程中的阶段,并且可以使用本文中描述的并且特别是关于图1-7描述的过程、技术、系统和/或装置来执行。

[0058] 在框802处,该过程可以包括在衬底上定义或图案化沟槽。在实施例中,衬底可以类似于图1的衬底102。在实施例中,这可以使用光刻技术来执行。

[0059] 在框804处,该过程可以进一步包括创建沟槽。在实施例中,沟槽可以类似于图1的沟槽120。在实施例中,可以使用图9中所描述的技术在玻璃衬底内创建沟槽。在其他实施例中,可以使用反应性离子蚀刻(RIE)技术。

[0060] 在框806处,该过程可以进一步包括在电容器电极与衬底之间形成阻挡层。在实施例中,该阻挡层可以类似于图3的阻挡层338。在实施例中,该阻挡层可以包括Ta₂N₅或Si₃N₄。

[0061] 在框808处,该过程可以进一步包括创建电极。在实施例中,电极可以类似于图3的第一电导体322,并且可以设置在阻挡层338上。在实施例中,可以使用ALD过程来沉积电极。电极可以包括铜、钛、铝、RuO₂、铱、铂和/或钯中的一个或多个。

[0062] 在框810处,该过程可以进一步包括增厚(thicken)电极以提供更高的电导率。在实施例中,该增厚可以使用电镀(plating)过程来执行。

[0063] 在框820处,该过程可以进一步包括沉积电介质。在实施例中,电介质可以类似于图3的电介质层324。在实施例中,可以使用ALD技术来沉积电介质。

[0064] 在框830处,该过程可以进一步包括创建第二电容器电极。在实施例中,第二电容器电极可以类似于图3的第二电导体326。在实施例中,该过程可以使用ALD技术和/或电镀技术。例如,ALD技术可以用于在顶部上镀有铜的情况下应用Ru、RuO₂、铂、钯和/或铱。

[0065] 在框840处,该过程可以进一步包括图案化电容器边界。在实施例中,这些边界用于形成图1的电耦合沟槽电容器110。在实施例中,这些边界可以通过应用第一传导层和/或第二传导层(诸如图1的第一传导层132和第二传导层136)来形成。在实施例中,这些边界可以使用光刻的一个或多个步骤结合RIE技术以应用电极和/或电介质来形成。

[0066] 图9图示了根据各种实施例的玻璃互连激光辅助蚀刻过程的多个示例。图9图示了根据实施例的玻璃互连激光辅助蚀刻过程(其在本文中可被称为“LEGIT”)的多个示例。LEGIT技术的一个用途是向传统覆铜层压板(CCL)芯提供替代的衬底芯材料,该覆铜层压板(CCL)芯用于半导体封装中,该半导体封装用于实现诸如服务器、图形、客户端、5G等之类的产品。通过使用激光辅助蚀刻、无裂痕(crack free)、高密度过孔钻孔,中空形状可以被形成到玻璃衬底中。在实施例中,可以调整不同的过程参数以实现各种形状和深度的钻孔,因此为玻璃中的创新性器件、架构、过程和设计打开了大门。诸如本文中讨论的桥的实施例也可以利用这些技术。

[0067] 示图900示出了使用LEGIT来创建直通过孔或盲过孔(blind via)的用于微电子封装衬底(例如,玻璃)中的直通过孔和盲过孔(或沟槽)的高级过程流程。具有激光诱发的形态改变的玻璃的所得到的体积/形状然后可以被选择性地蚀刻以形成沟槽、直通孔或空隙,该沟槽、直通孔或空隙可以被填充有传导材料。直通过孔912由来自玻璃晶圆906的相对侧上的两个激光源902、904的激光脉冲来创建。如本文中所使用,直通钻孔和直通过孔指代当该钻孔或过孔在玻璃/衬底的一侧上开始并且在另一侧上结束的时候。盲钻孔和盲过孔指

代当该钻孔或过孔在衬底的表面上开始并且在衬底内部中途停止的时候。在实施例中,来自两个激光源902、904的激光脉冲垂直于玻璃晶圆906被应用,以在遇到了该激光脉冲的玻璃中诱发形态改变908,其也可以被称为结构改变。该形态改变908包括玻璃的分子结构中的改变,以使其更容易被蚀刻掉(去除玻璃的一部分)。在实施例中,可以使用湿式蚀刻过程。

[0068] 示图920示出了用于双盲形状(double blind shape)的高级过程流程。双盲形状932、933可以由来自两个激光源922、924的激光脉冲来创建,这两个激光源922、924可以类似于处于玻璃晶圆926的相对侧上的激光源902、904,该玻璃晶圆926可以类似于玻璃晶圆906。在该示例中,可以在来自两个激光源922、924的激光脉冲能量和/或激光脉冲曝光时间中做出调整。因此,可以导致玻璃926中的形态改变928、929,其中这些改变使得更容易蚀刻掉该玻璃的部分。在实施例中,可以使用湿式蚀刻过程。

[0069] 示图940示出了用于单盲形状(也可以被称为沟槽)的高级过程流程。在该示例中,单个激光源942将激光脉冲递送到玻璃晶圆946以在玻璃946中产生形态改变948。如上所描述,这些形态改变使得更容易蚀刻掉玻璃952的一部分。在实施例中,可以使用湿式蚀刻过程。

[0070] 示图960示出了用于直通过孔形状的高级处理流程。在该示例中,单个激光源962向玻璃966应用激光脉冲,以在玻璃966中产生形态改变968,其中该改变使得更容易蚀刻掉玻璃972的一部分。如这里所示,来自激光源962的激光脉冲能量和/或激光脉冲曝光时间已经被调整,以产生完全延伸穿过玻璃966的被蚀刻掉的部分972。

[0071] 关于图9,尽管实施例将激光源902、904、922、924、942、962示出为垂直于玻璃906、926、946、966的表面,但是在实施例中,激光源可以被定位成与玻璃的表面成一定角度,这具有脉冲能量和/或脉冲曝光时间变化,以便产生对角过孔或沟槽,或者使过孔(诸如912、972)成形,例如以使其是圆柱形的、锥形的或者包括一些其他特征。此外,使玻璃类型变化也可以产生过孔或沟槽内的不同特征,这是因为玻璃的蚀刻强烈依赖于玻璃的化学组成。

[0072] 在使用关于图9描述的过程的实施例中,可以创建在直径上小于10 μm 的直通孔过孔912、972,并且该直通孔过孔912、972可以具有40:1至50:1的纵横比。因此,密度高得多的过孔可以被放置在玻璃内,并且以精细的间距彼此靠近地放置。在实施例中,该间距可以是50 μm 或更小。在创建过孔或沟槽之后,可以应用金属化过程,以便创建经过过孔或沟槽(例如,电镀直通孔(PTH))的传导路径。使用这些技术,更精细间距的过孔将导致更好的信号,从而允许更多的I/O信号通过玻璃晶圆并且到达其他耦合的组件,诸如衬底。

[0073] 图10图示了根据各种实施例的用于制造电耦合沟槽电容器的过程的示例。过程1000可以使用本文中描述的并且特别是关于图1-9描述的技术、过程、系统和/或装置来制造。

[0074] 在框1002处,该过程可以包括提供具有第一侧和与第一侧相对的第二侧的衬底。

[0075] 在框1004处,该过程可以进一步包括在衬底内形成多个沟槽,沟槽从衬底的第一侧朝向衬底的第二侧延伸。

[0076] 在框1006处,该过程可以进一步包括分别在该多个沟槽的侧(side)上形成多个第一电导体。

[0077] 在框1008处,该过程可以进一步包括在该多个第一电导体中的每一个上形成电介

质层。

[0078] 在框1010处,该过程可以进一步包括形成多个第二电导体。

[0079] 在框1012处,该过程可以进一步包括将该多个第一电导体电耦合,其中该多个第一电导体与该多个第二电导体电隔离。

[0080] 图11是根据本发明实施例的计算机系统1100的示意图。如所描绘的计算机系统1100(也被称为电子系统1100)可以根据若干个公开的实施例以及在本公开中阐述的其等同物中的任一个来体现衬底内的电耦合沟槽电容器。计算机系统1100可以是移动设备,诸如上网本计算机。计算机系统1100可以是移动设备,诸如无线智能电话。计算机系统1100可以是台式计算机。计算机系统1100可以是手持式阅读器。计算机系统1100可以是服务器系统。计算机系统1100可以是超级计算机或高性能计算系统。

[0081] 在一个实施例中,电子系统1100是包括系统总线1120以将电子系统1100的各种组件电耦合的计算机系统。根据各种实施例,系统总线1120是单个总线或总线的任何组合。电子系统1100包括向集成电路1110提供功率的电压源1130。在一些实施例中,电压源1130通过系统总线1120向集成电路1110供应电流。

[0082] 根据一实施例,集成电路1110电耦合到系统总线1120,并且包括任何电路或电路组合。在一实施例中,集成电路1110包括可以属于任何类型的处理器1112。如本文中所使用的,处理器1112可以意指任何类型的电路,诸如但不限于微处理器、微控制器、图形处理器、数字信号处理器或另一个处理器。在一实施例中,处理器1112包括如本文中所公开的衬底内的电耦合沟槽电容器、或者与其耦合。在一实施例中,SRAM实施例在处理器的存储器高速缓存中被找到。可以被包括在集成电路1110中的其他类型的电路是定制电路或专用集成电路(ASIC),诸如用于在无线设备中使用的通信电路1114,该无线设备诸如蜂窝电话、智能电话、寻呼机、便携式计算机、双向无线电和类似电子系统、或者用于服务器的通信电路。在一实施例中,集成电路1110包括管芯上存储器1116,诸如静态随机存取存储器(SRAM)。在一实施例中,集成电路1110包括嵌入式管芯上存储器1116,诸如嵌入式动态随机存取存储器(eDRAM)。

[0083] 在一实施例中,集成电路1110用随后的集成电路1111来补充。有用的实施例包括双处理器1113和双通信电路1115以及双管芯上存储器1117,诸如SRAM。在一实施例中,双集成电路1110包括嵌入式管芯上存储器1117,诸如eDRAM。

[0084] 在一实施例中,电子系统1100还包括外部存储器1140,该外部存储器1140进而可以包括适合于特定应用的一个或多个存储器元件,诸如以RAM形式的主存储器1142、一个或多个硬盘驱动器1144和/或处理可移除介质1146的一个或多个驱动器,该可移除介质1146诸如软盘、压缩盘(CD)、数字可变盘(DVD)、闪存驱动器以及本领域已知的其他可移除介质。根据一实施例,外部存储器1140也可以是嵌入式存储器1148,诸如管芯堆叠中的第一管芯。

[0085] 在一实施例中,电子系统1100还包括显示设备1150、音频输出1160。在一实施例中,电子系统1100包括输入设备,诸如控制器1170,该输入设备可以是键盘、鼠标、轨迹球、游戏控制器、麦克风、语音识别设备、或将信息输入到电子系统1100中的任何其他输入设备。在一实施例中,输入设备1170是相机。在一实施例中,输入设备1170是数字声音记录器。在一实施例中,输入设备1170是相机和数字声音记录器。

[0086] 如本文中所示,集成电路1110可以在许多不同的实施例中实现,包括根据若干个

公开的实施例以及其等同物中的任一个的在衬底内具有电耦合沟槽电容器的封装衬底、电子系统、计算机系统、制造集成电路的一个或多个方法、以及根据本文中在各种实施例中阐述的若干个公开的实施例以及其本领域公认的等同物中的任一个的用于制造包括在衬底内具有电耦合沟槽电容器的封装衬底的电子组装件的一个或多个方法。元件、材料、几何形状、尺寸和操作序列全部可以变化,以适合特定的I/O耦合要求,包括阵列接触计数、根据若干个公开的在衬底内具有电耦合沟槽电容器的封装衬底实施例以及其等同物中的任一个的用于嵌入在处理器安装衬底中的微电子管芯的阵列接触配置。可以包括基础(foundation)衬底,如图11的虚线所表示。也可以包括无源器件,也如图11中所描绘。

[0087] 示例

以下段落描述了各种实施例的示例。

[0088] 示例1是一种电容器,包括:衬底,具有第一侧和与第一侧相对的第二侧;在所述衬底内的多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;多个第一电导体,分别在所述多个沟槽的侧上;多个电介质层,分别在所述多个第一电导体上;多个第二电导体,分别在所述多个电介质层上,其中所述多个第一电导体与所述多个第二电导体电隔离;以及其中所述多个第一电导体彼此电耦合,并且其中所述多个第二电导体彼此电耦合。

[0089] 示例2可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述衬底包括玻璃。

[0090] 示例3可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面,所述横截面包括圆形、椭圆形、正方形、矩形或药丸形形状中的所选的一个或多个。

[0091] 示例4可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述多个沟槽中的一个的宽度的范围是从1-10 μm ,并且其中所述多个沟槽中的一个的深度的范围是从1-10 μm 。

[0092] 示例5可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,进一步包括在所述衬底的第一侧上的传导层,其中所述传导层将所述多个第一电导体电耦合。

[0093] 示例6可以包括示例5的电容器、或本文中所描述的任何示例或其他实施例的电容器,其中所述传导层是第一传导层,并且进一步包括:在第一传导层的顶部上的绝缘层;在第一传导层的顶部上的绝缘层;在所述绝缘层的顶部上的第二传导层,其中所述绝缘层将第一传导层和第二传导层电隔离;以及其中第二传导层将所述多个第二电导体电耦合。

[0094] 示例7可以包括示例6的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述绝缘层包括电介质材料。

[0095] 示例8可以包括示例5的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述传导层是第一传导层,并且进一步包括在所述衬底的第二侧上的第二传导层,其中第二传导层将所述多个第二电导体电耦合。

[0096] 示例9可以包括示例8的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述电导体包括铜。

[0097] 示例10可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电

容器,进一步包括在所述多个沟槽内的多个阻挡层,所述多个阻挡层分别在所述衬底与所述多个第一电导体之间。

[0098] 示例11可以包括示例10的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中所述阻挡层包括钴、钽、氮或钨中的所选的一个或多个。

[0099] 示例12可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,进一步包括:在所述衬底内的第一过孔和第二过孔,第一过孔和第二过孔从所述衬底的第一侧延伸到所述衬底的第二侧;在第一过孔和第二过孔内的传导材料,用于将所述衬底的第一侧电耦合到所述衬底的第二侧;以及其中第一过孔中的传导材料与所述多个第一电导体电耦合,并且其中第二过孔中的传导材料与所述多个第二电导体电耦合。

[0100] 示例13可以包括示例12的电容器、或本文中所描述的任何其他示例或实施例的电容器,其中第一过孔和第二过孔与Vdd或Vss耦合。

[0101] 示例14可以包括示例1的电容器、或本文中所描述的任何其他示例或实施例的电容器,进一步包括:在玻璃衬底的第一侧上的电焊盘;以及电耦合到所述玻璃衬底的第一侧的管芯,其中所述电焊盘与所述管芯电耦合,并且与所述多个第一电导体或所述多个第二电导体中的所选的一个电耦合。

[0102] 示例15可以包括一种方法,所述方法包括:提供具有第一侧和与第一侧相对的第二侧的衬底;在所述衬底内形成多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;分别在所述多个沟槽的侧上形成多个第一电导体;在所述多个第一电导体中的每一个上形成电介质层;形成多个第二电导体;以及将所述多个第一电导体电耦合,其中所述多个第一电导体与所述多个第二电导体电隔离。

[0103] 示例16可以包括示例15的方法、或本文中所描述的任何其他示例或实施例的方法,将所述多个第二电导体电耦合。

[0104] 示例17可以包括示例15的方法、或本文中所描述的任何其他示例或实施例的方法,其中所述衬底是玻璃或硅中的所选的一个或多个;以及其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面,所述横截面包括圆形、椭圆形、正方形、矩形或药丸形形状中的所选的一个或多个。

[0105] 示例18可以包括示例15的方法、或本文中所描述的任何其他示例或实施例的方法,其中在形成所述多个第一电导体之前,所述方法进一步包括分别在所述多个沟槽内形成多个阻挡层。

[0106] 示例19可以包括示例18的方法、或本文中所描述的任何其他示例或实施例的方法,其中所述多个阻挡层中的至少一个包括钴、钽、氮或钨中的所选的一个或多个。

[0107] 示例20可以包括示例15的方法、或本文中所描述的任何其他示例或实施例的方法,其中第一电导体或第二电导体包括铜、钛、铝、钨、氧、铌、钼和/或钇中的一个或多个。

[0108] 示例21可以包括示例15的方法、或本文中所描述的任何其他示例或实施例的方法,其中形成多个第一电导体或形成多个第二电导体进一步包括使用原子层沉积(ALD)来沉积传导金属。

[0109] 示例22可以包括一种封装,所述封装包括:一个或多个管芯;中介层,与所述一个或多个管芯电耦合和物理耦合,所述中介层包括:衬底,具有第一侧和与第一侧相对的第二侧;在所述衬底内的多个沟槽,所述沟槽从所述衬底的第一侧朝向所述衬底的第二侧延伸;

多个第一电导体,分别在所述多个沟槽的侧上;多个电介质层,分别在所述多个第一电导体上;多个第二电导体,分别在所述多个电介质层上,其中所述多个第一电导体与所述多个第二电导体电隔离,其中所述多个第一电导体彼此电耦合,并且其中所述多个第二电导体彼此电耦合;第一组一个或多个导电焊盘,与所述多个第一电导体电耦合;以及第二组一个或多个导电焊盘,与所述多个第二电导体电耦合;以及其中第一组一个或多个导电焊盘和第二组一个或多个导电焊盘与所述一个或多个管芯电耦合。

[0110] 示例23可以包括示例22的封装、或本文中所描述的任何其他示例或实施例的封装,其中第一组一个或多个导电焊盘在所述衬底的第一侧处,或者第二组一个或多个导电焊盘在所述衬底的第二侧处。

[0111] 示例24可以包括示例22的封装、或本文中所描述的任何其他示例或实施例的封装,其中所述多个沟槽中的至少一个在平行于所述衬底的第一侧的平面处具有横截面,所述横截面包括圆形、椭圆形、正方形、矩形或药丸形形状中的所选的一个或多个。

[0112] 示例25可以包括示例22的封装、或本文中所描述的任何其他示例或实施例的封装,其中所述衬底包括玻璃或硅中的所选的一个。

[0113] 各种实施例可以包括上述实施例的任何合适的组合,包括以上面的合取形式(和)描述的实施例的替代(或)实施例(例如,“和”可以是“和/或”)。此外,一些实施例可以包括其上存储有指令的一个或多个制品(例如,非暂时性计算机可读介质),这些指令当被执行时导致上述实施例中的任一个的动作。此外,一些实施例可以包括具有用于执行上述实施例的各种操作的任何合适的部件的装置或系统。

[0114] 对所说明的实施例的以上描述(包括在摘要中描述的内容)不旨在是详尽的或将实施例限制为所公开的精确形式。虽然本文中出于说明性目的描述了特定的实施例,但是在实施例的范围内,各种等效修改是可能的,如相关领域的技术人员将认识到的那样。根据以上详细描述,可以对实施例做出这些修改。以下权利要求中使用的术语不应被解释为将实施例限制于说明书和权利要求中公开的特定实现方式。而是,本发明的范围完全由以下权利要求来确定,这些权利要求应根据权利要求解释的既定原则来解释。

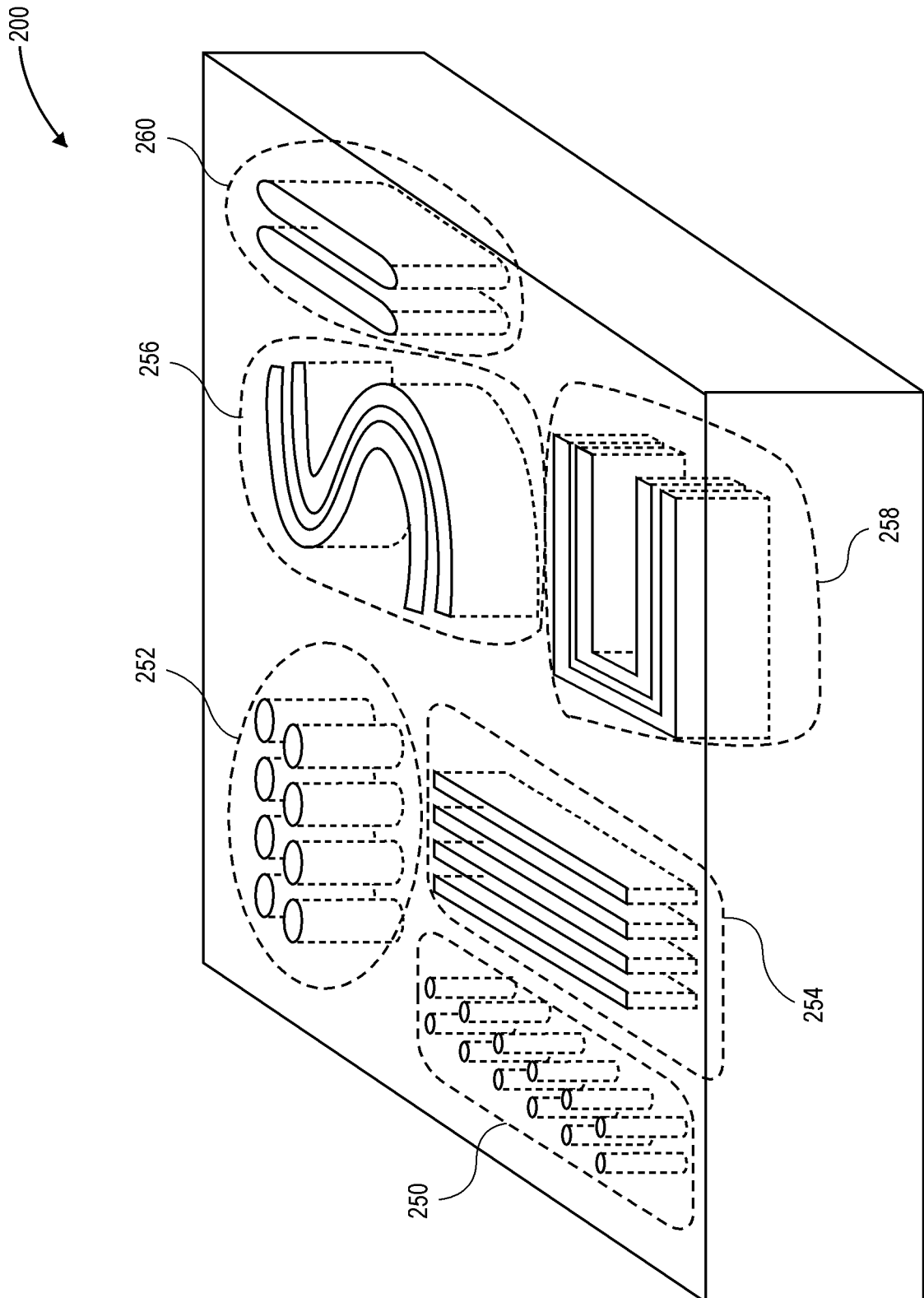


图 2

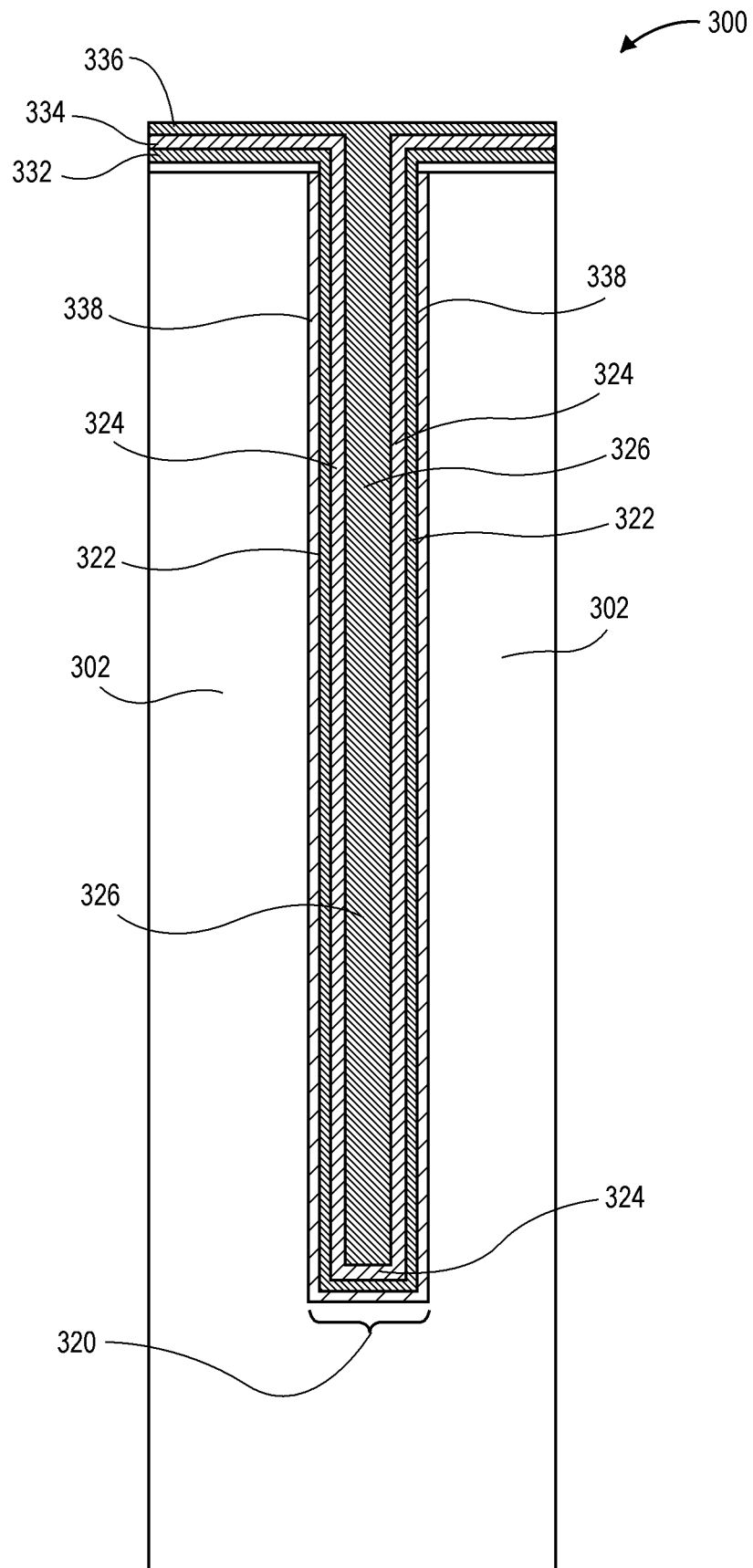


图 3

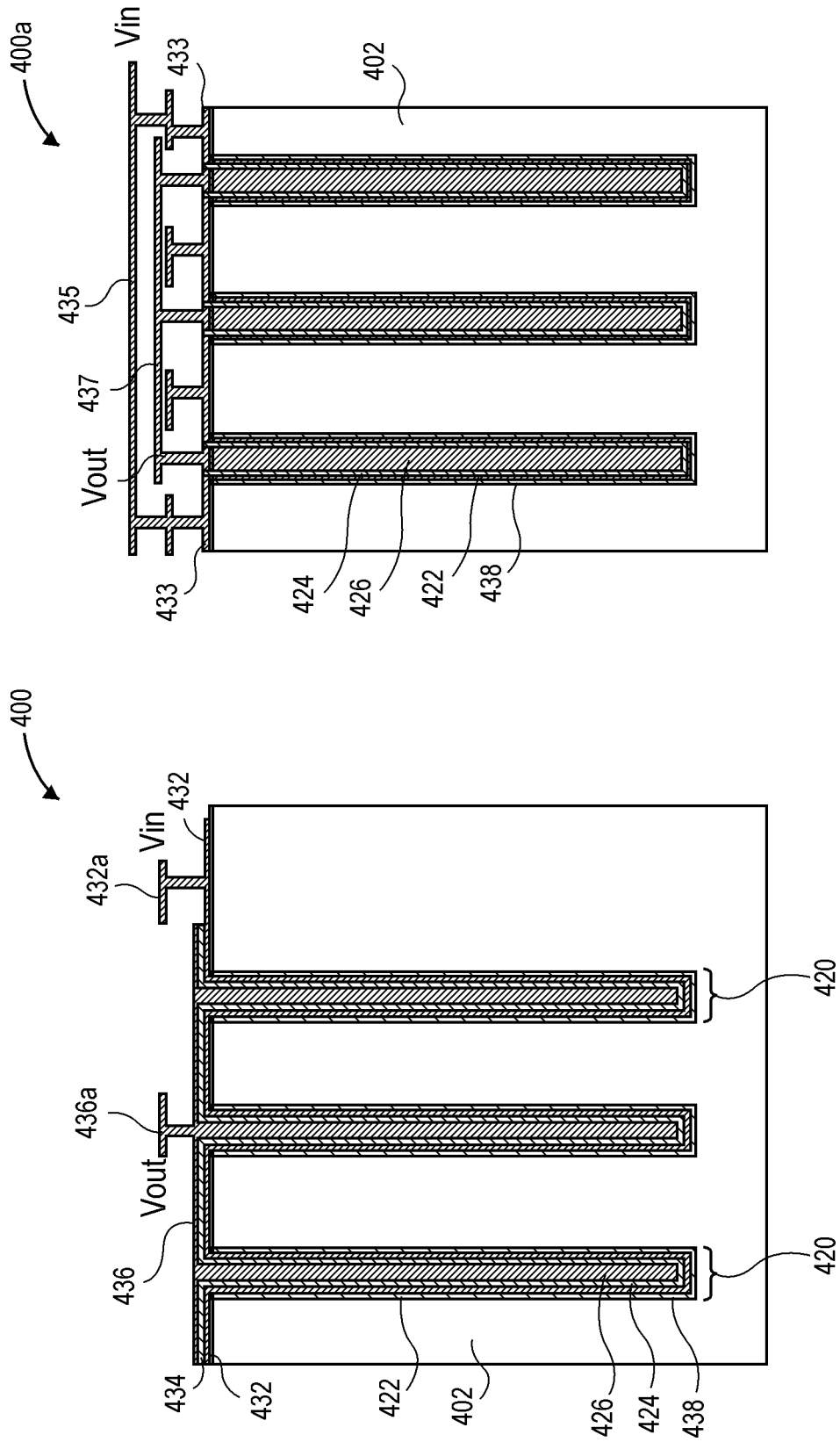


图 4

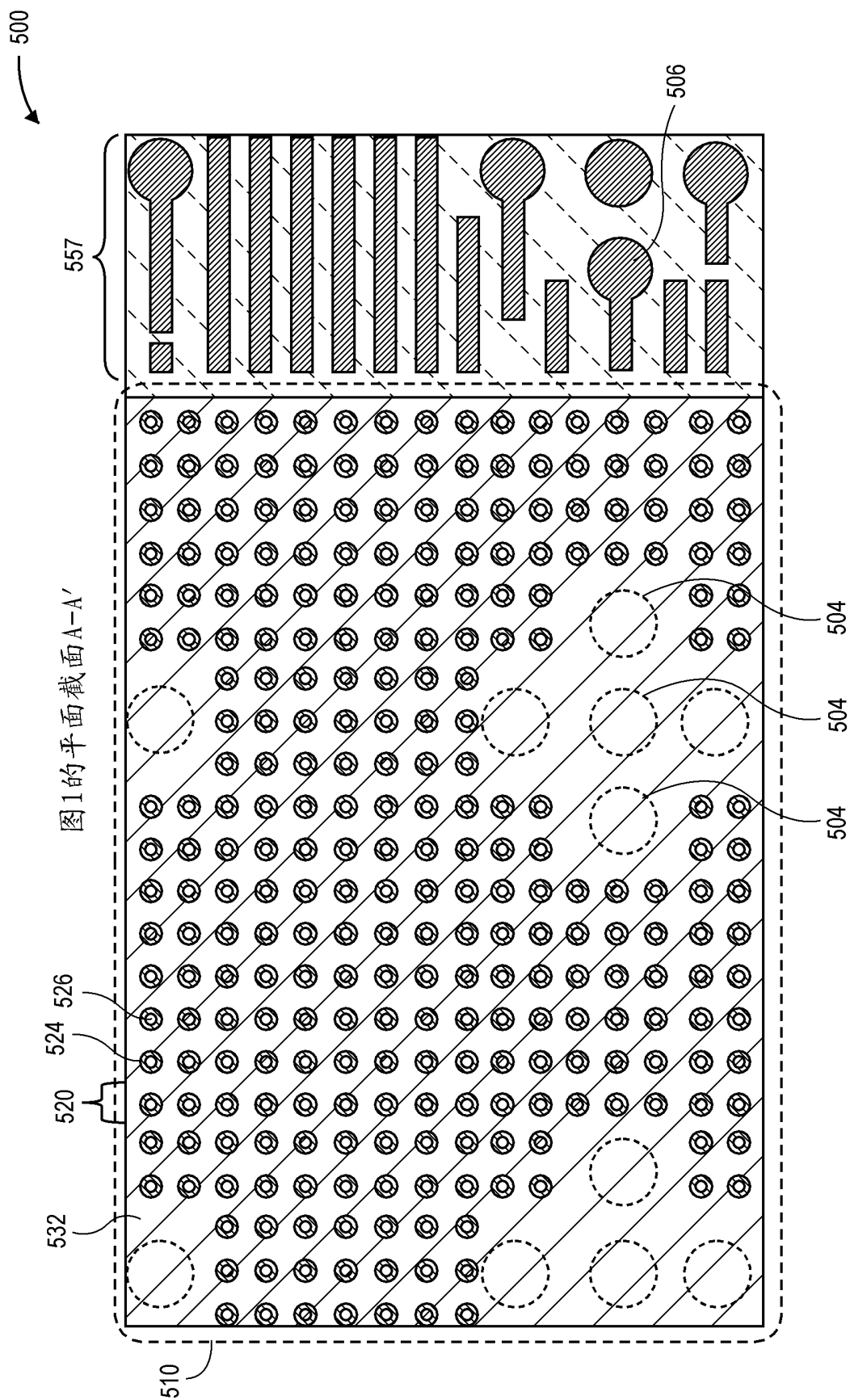


图 5

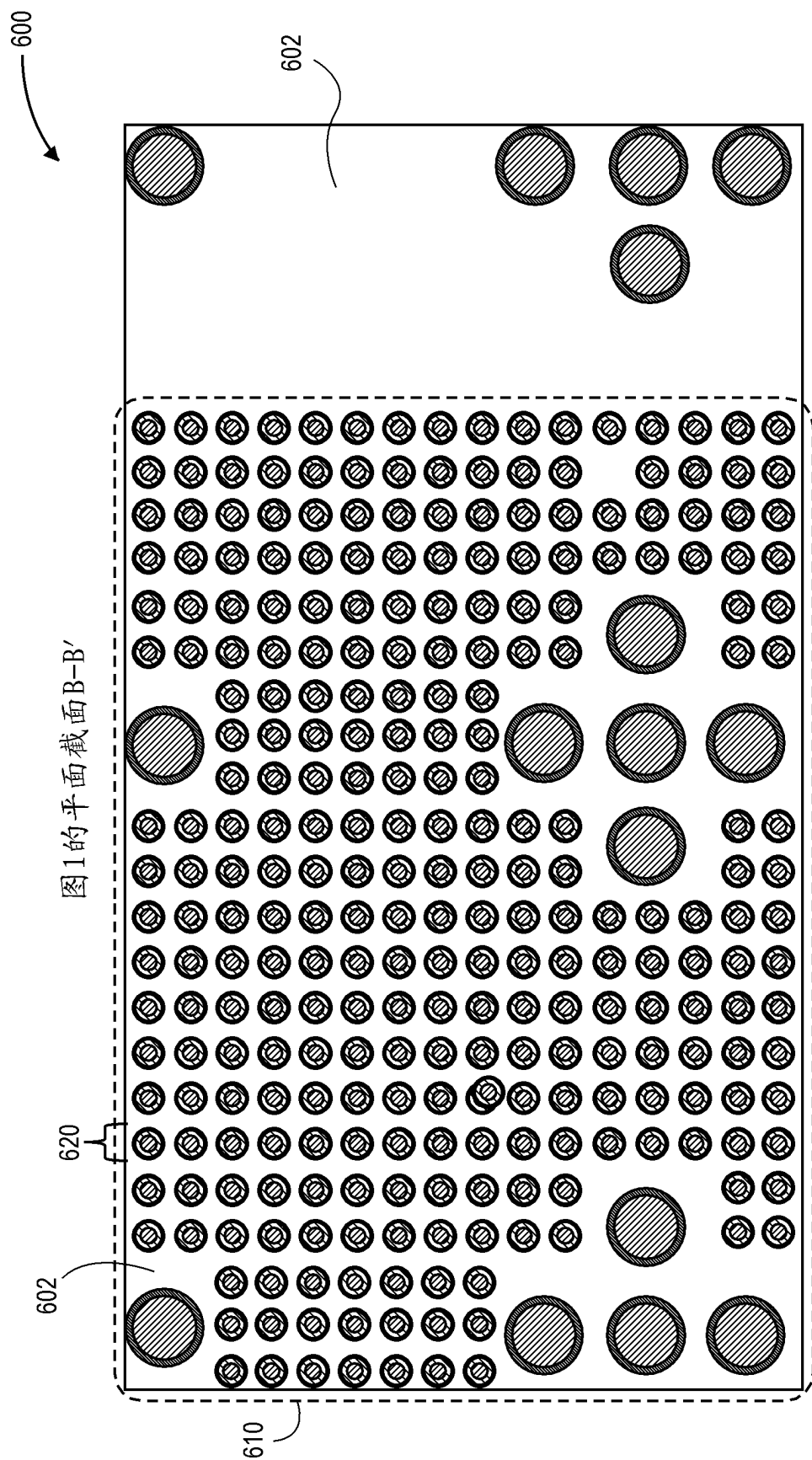


图 6

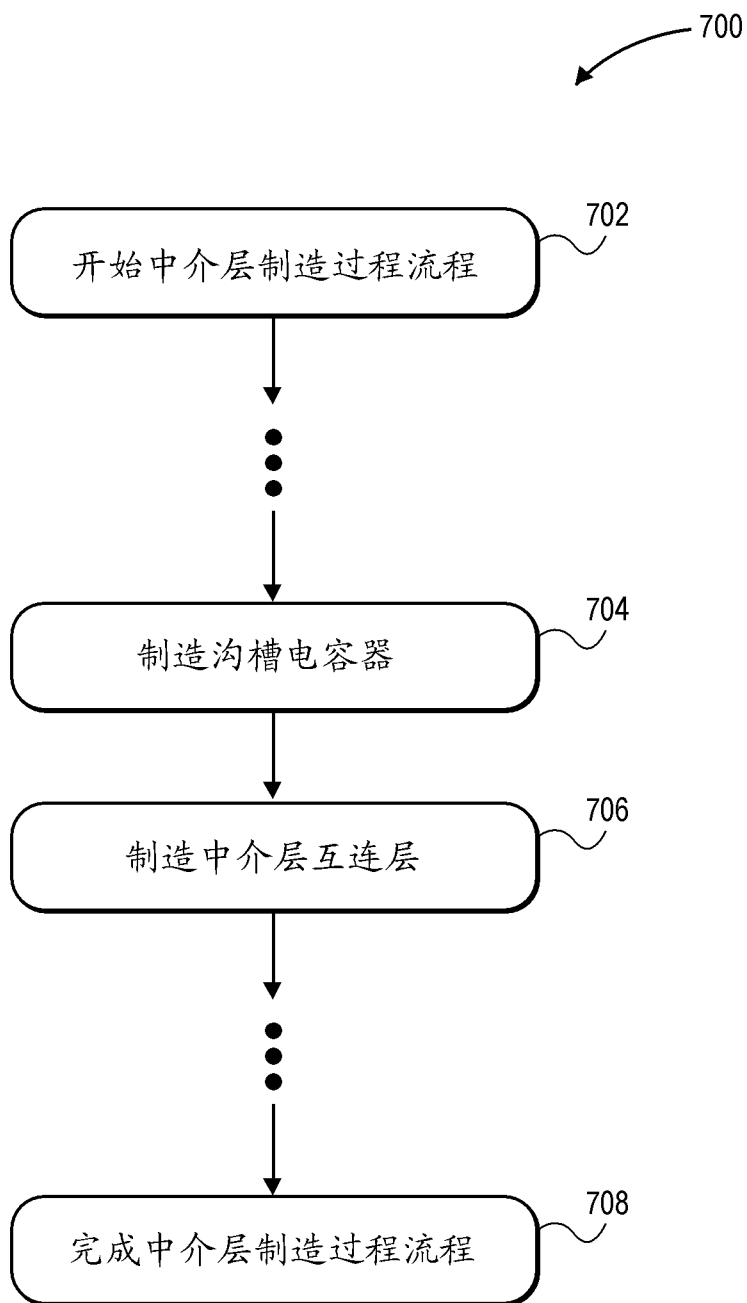


图 7

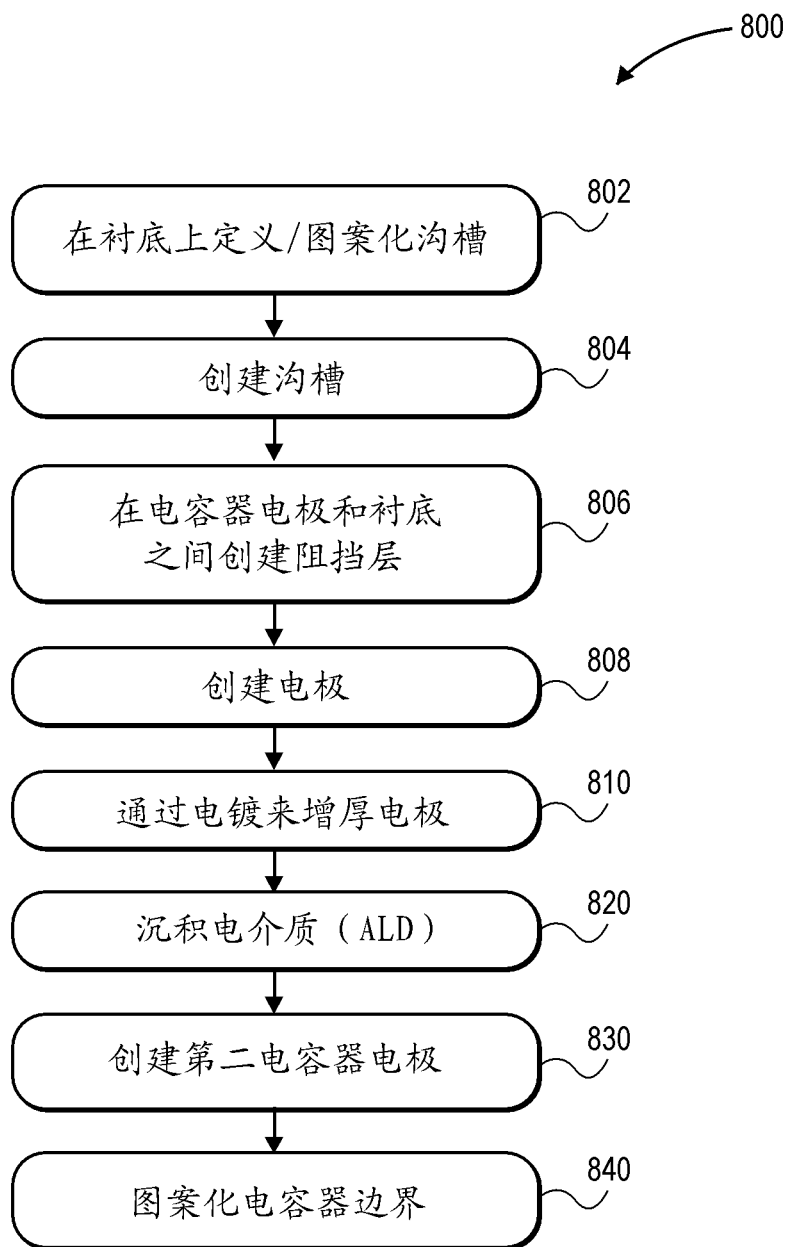


图 8

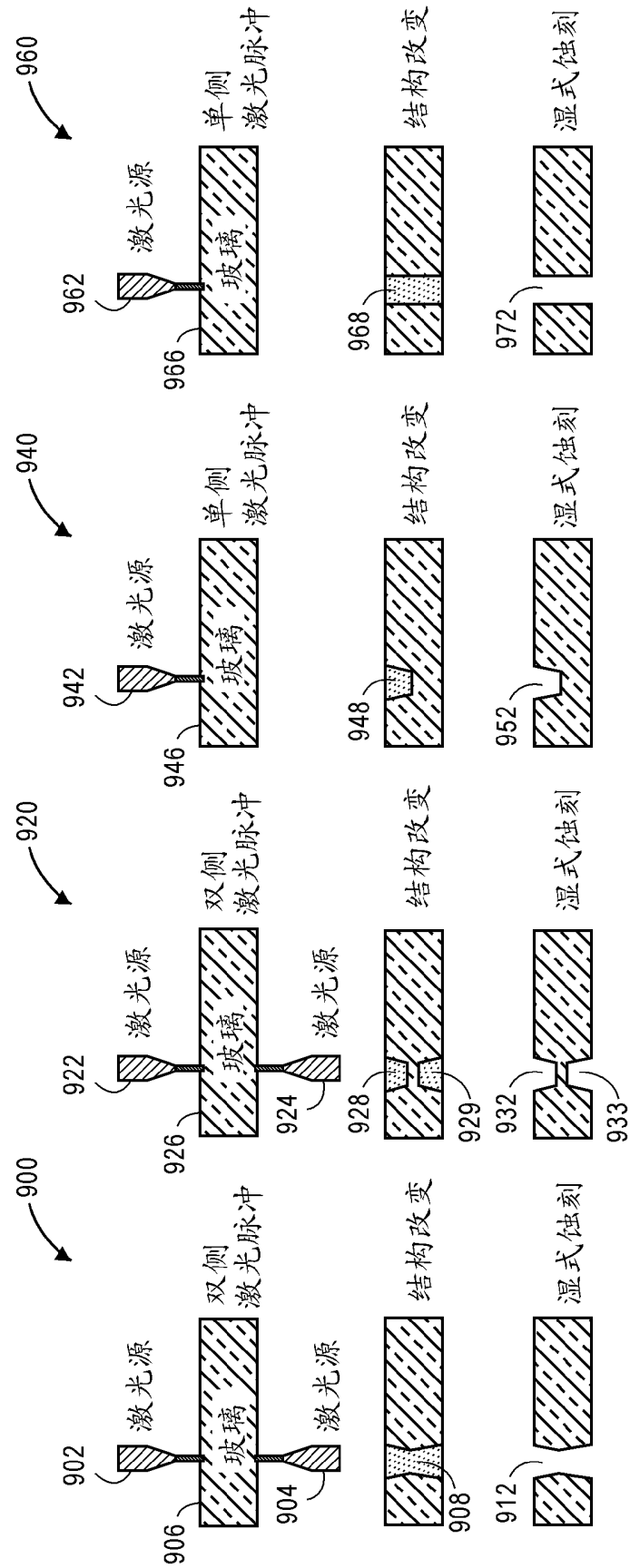


图 9

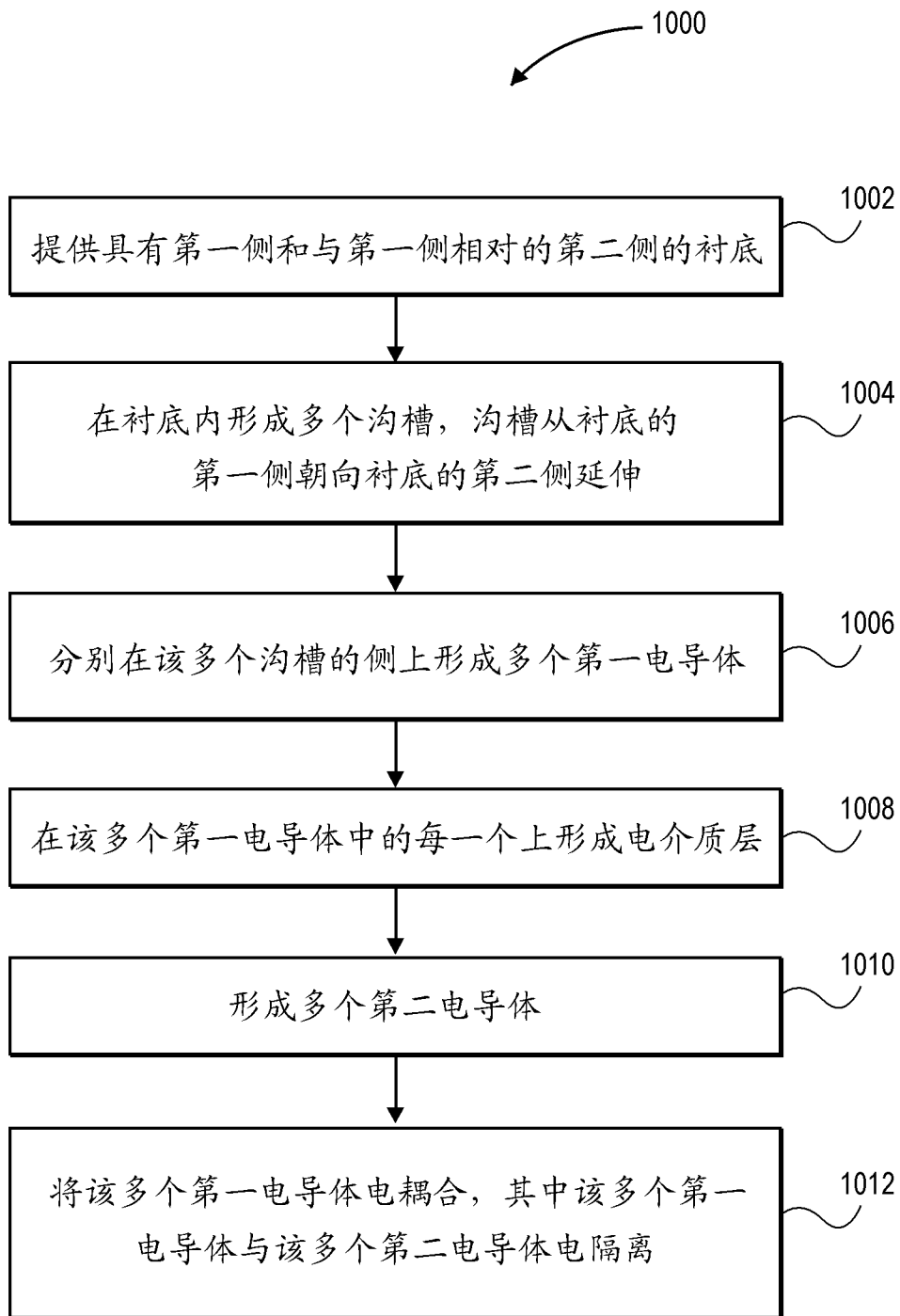


图 10

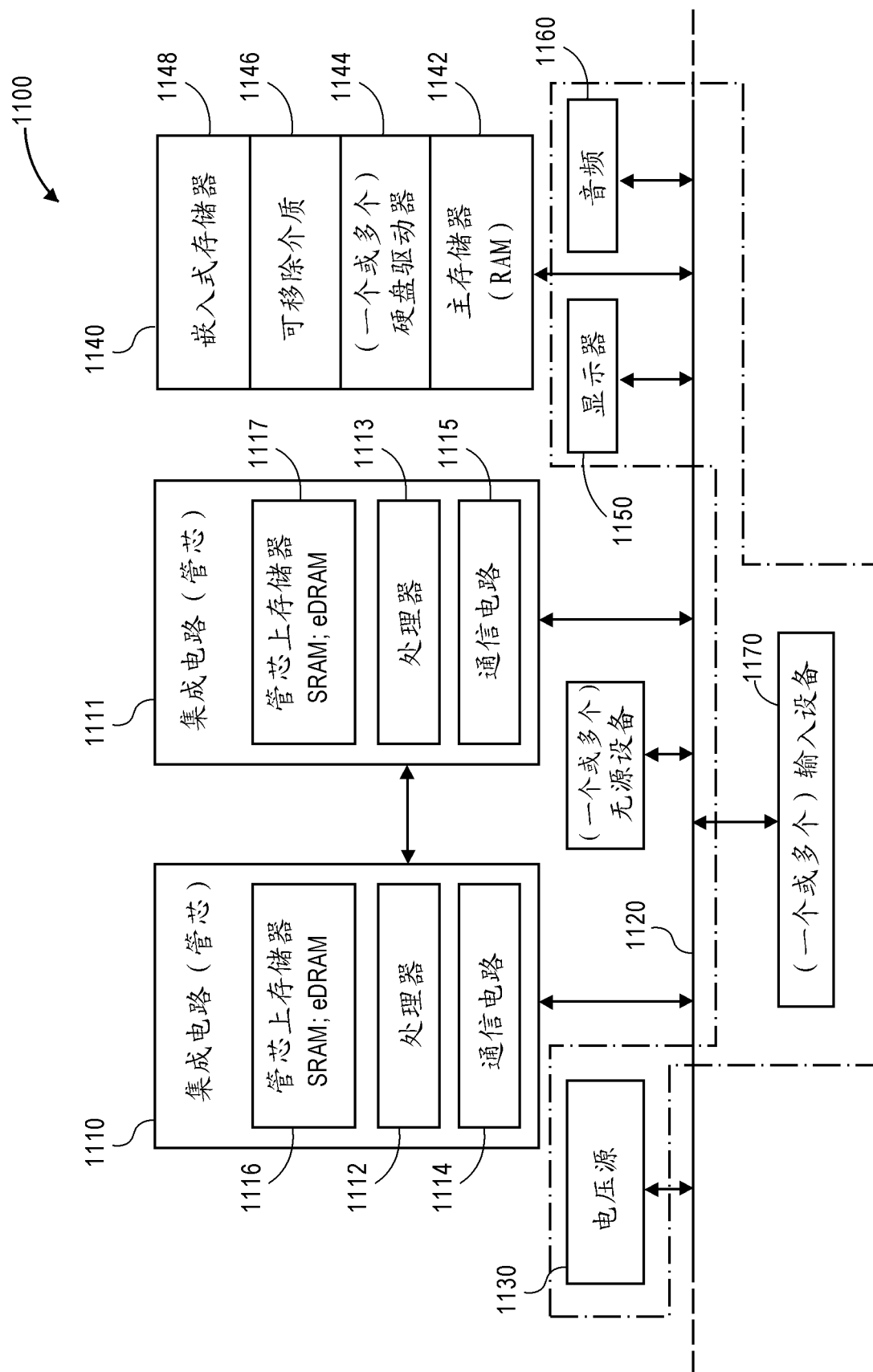


图 11