



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I756375 B

(45)公告日：中華民國 111 (2022) 年 03 月 01 日

(21)申請案號：107107056

(22)申請日：中華民國 107 (2018) 年 03 月 02 日

(51)Int. Cl. : H01L29/778 (2006.01)

H01L29/40 (2006.01)

(30)優先權：2017/03/03 美國

15/448,724

(71)申請人：美商電源整合公司 (美國) POWER INTEGRATIONS, INC. (US)
美國(72)發明人：庫迪莫夫 阿列克謝 KUDYMOV, ALEXEY (US)；拉馬達尼 賈邁爾 RAMDANI,
JAMAL (US)

(74)代理人：陳翠華

(56)參考文獻：

WO 2014/004764A1

審查人員：林弘恩

申請專利範圍項數：19 項 圖式數：10 共 42 頁

(54)名稱

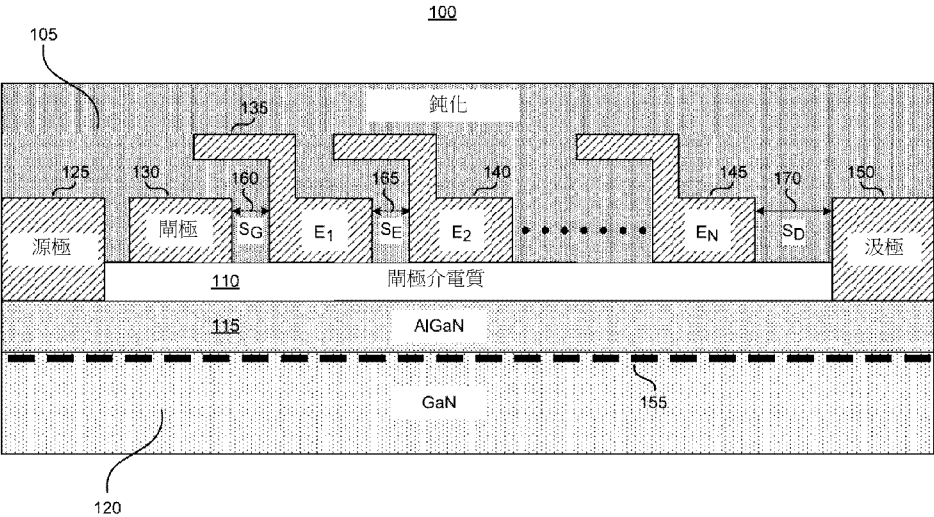
具有電荷分布結構之開關裝置

(57)摘要

一種半導體裝置，其包含基板及設置在該基板上的第一主動層。該半導體裝置也包含設置在該第一主動層上的第二主動層，使得在該第一主動層及該第二主動層之間出現橫向導電通道。在該第二主動層上設置有源極、閘極及汲極接點。導電電荷分佈結構設置在第二主動層上位且於閘極接點及汲極接點之間。導電電荷分佈結構電容耦合到閘極接點。

A semiconductor device includes a substrate and a first active layer disposed over the substrate. The semiconductor device also includes a second active layer disposed on the first active layer such that a lateral conductive channel arises between the first active layer and the second active layer. A source, gate and drain contact are disposed over the second active layer. A conductive charge distribution structure is disposed over the second active layer between the gate and drain contacts. The conductive charge distribution structure is capacitively coupled to the gate contact.

指定代表圖：



第 1 圖

符號簡單說明：

- 100 . . . 截面圖
- 105 . . . 鈍化層
- 110 . . . 閘極介電層
- 115 . . . 第二主動層
- 120 . . . 第一主動層
- 125 . . . 源極接點
- 130 . . . 閘極接點
- 135 . . . 元件 E1
- 140 . . . 元件 E2
- 145 . . . 元件 EN
- 150 . . . 汲極接點
- 155 . . . 電荷層
- 160 . . . 第一距離 SG
- 165 . . . 間隔 SE
- 170 . . . 第二距離 SD



I756375

【發明摘要】

【中文發明名稱】 具有電荷分布結構之開關裝置

【英文發明名稱】 SWITCHING DEVICE WITH CHARGE DISTRIBUTION
STRUCTURE

【中文】

一種半導體裝置，其包含基板及設置在該基板上的第一主動層。該半導體裝置也包含設置在該第一主動層上的第二主動層，使得在該第一主動層及該第二主動層之間出現橫向導電通道。在該第二主動層上設置有源極、閘極及汲極接點。導電電荷分佈結構設置在第二主動層上位且於閘極接點及汲極接點之間。導電電荷分佈結構電容耦合到閘極接點。

【英文】

A semiconductor device includes a substrate and a first active layer disposed over the substrate. The semiconductor device also includes a second active layer disposed on the first active layer such that a lateral conductive channel arises between the first active layer and the second active layer. A source, gate and drain contact are disposed over the second active layer. A conductive charge distribution structure is disposed over the second active layer between the gate and drain contacts. The conductive charge distribution structure is capacitively coupled to the gate contact.

【指定代表圖】 第1圖

【代表圖之符號簡單說明】

100：截面圖

105：鈍化層

110：閘極介電層

115：第二主動層

120：第一主動層

125：源極接點

130：閘極接點

135：元件E1

140：元件E2

145：元件EN

150：汲極接點

155：電荷層

160：第一距離SG

165：間隔SE

170：第二距離SD

【發明說明書】

【中文發明名稱】 具有電荷分布結構之開關裝置

【英文發明名稱】 SWITCHING DEVICE WITH CHARGE DISTRIBUTION
STRUCTURE

【技術領域】

【0001】 本發明涉及半導體裝置。具體地，本發明涉及用作電源開關的高電壓異質結構場效電晶體（Heterostructure Field Effect Transistor；HFET）。

【先前技術】

【0002】 高電壓半導體開關是用於功率轉換之電子電路中的關鍵結構。這些應用的示例包含用於電子設備的電源、用於電動馬達的驅動器及用於太陽能電池的逆變器。

【0003】 電源開關具有允許裝置傳導電流的接通狀態，及防止裝置傳導電流的關斷狀態。當處於接通狀態時，電源開關可以傳導數十或數百安培，同時開關上的電壓小於1伏特。當處於關斷狀態時，電源開關通常必須承受數百或數千伏特的電壓，同時傳導的電流基本上為零。在傳導不超過給定的小電流值時，裝置在關斷狀態下能夠承受的電壓有時稱為崩潰電壓。

【0004】 通常期望在兩個狀態之間的轉換盡可能快，因為在轉換期間，開關中可能存在相對高的電流，同時在開關上存在相對高的電壓。相對高的電流及相對高的電壓同時存在時表示能量損失，其充其量是不希望的，而在最壞的情況下可能會損壞開關。

【0005】 高電壓HFET用作電源開關是有吸引力的，主要因為它們可以比在相似電壓下傳導相同電流的其他半導體開關更快速地改變狀態。用於構造HFET的材料也允許HFET比使用傳統矽基技術的電晶體在更高的溫度下操作。

【0006】 製造用於電源開關之HFET的主要問題在於現有技術生產的裝置具有遠低於理論上可能的值的崩潰電壓。另外，難以預測已知技術的應用，例如：場板的使用，如何影響崩潰電壓。因而，設計裝置以獲得特定特性是困難且耗時的，需要應用試湊法來製造及測試硬體而不是使用電腦模擬。

【0007】 需要一種允許以更少時間設計功率HFET來獲得具有可預測崩潰電壓的期望性能的解決方案。

【發明內容】

【0008】 一種半導體裝置包含一基板、一第一主動層、一第二主動層、一源極接點、一閘極接點、一汲極接點極一導電電荷分布結構。該第一主動層設置於該基板上。該第二主動層設置在該第一主動層上，使得在該第一主動層及該第二主動層之間出現橫向導電通道。該源極接點、該閘極接點及該汲極接點設置於該第二主動層上。該導電電荷分佈結構設置於該第二主動層上且位於該閘極接點及該汲極接點之間。該導電電荷分佈結構僅電容耦合至該閘極接點。該導電電荷分佈結構包含該電荷分佈結構的多個元件。該電荷分佈結構元件中的第一電荷分佈結構元件僅電容耦合到該閘極接點，並且該電荷分佈結構元件中的第二電荷分佈結構元件僅電容耦合到該第一電荷分佈結構元件。該元件的每一個包含形成於一第一層中之一第一長條形構件及形成於一第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電連接。該橫向導電通道的長度小於二十五微米。

【0009】 一種場效電晶體（Field Effect Transistor；FET）包含複數半導體

層、一源極、一汲極、一閘極以及一電荷分佈結構。該等半導體層設置於一基板上。該源極、該汲極及該閘極電耦合至該等半導體層。該電荷分佈結構設置在該等半導體層上並且僅電容耦合到該閘極。該電荷分佈結構被配置成在從接通狀態轉換到關斷狀態的過渡期間在設置在該閘極及該汲極之間的該電晶體的表面部分上產生表面放電，並且在從關斷狀態轉換到接通狀態的過渡期間在該表面部分上產生表面充電。該電容耦合電荷分佈結構包含一金屬網格。該金屬網格具有設置在該表面部分上之複數導電長條形構件，該等導電長條形構件相互電容耦合，該等導電長條形構件中的每一個包含形成於一第一層中之一第一長條形構件及形成於一第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電連接，其中該等導電長條形構件之一中的一第一長條形構件與另一導電長條形構件中的一第二長條形構件之一至少部分重疊。該橫向導電通道的長度小於二十五微米。

【0010】 一種形成半導體裝置的方法包含在一基板上形成一第一主動層；在該第一主動層上形成一第二主動層，使得該第一主動層及該第二主動層產生位於該第一主動層及該第二主動層之間的二維電子氣層；在該第二主動層上形成一源極接點、一閘極接點及一汲極接點；以及在該第二主動層上在該閘極接點及該汲極接點之間形成電荷分佈結構，使得該電荷分佈結構僅電容耦合到該閘極接點。該電荷分佈結構包含一金屬網格。該金屬網格具有設置在該半導體裝置的表面部分上之複數導電長條形構件，該等導電長條形構件相互電容耦合。該等導電長條形構件中的每一個包含形成於第一層中之一第一長條形構件及形成於第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電性連接，其中該第一層中之該第一長條形構件與另一導電長條形構件中的該第二長條形構件之一至少部分重疊。

【0011】 在參閱圖式及隨後描述之實施方式後，此技術領域具有通常知識

者便可瞭解本發明之其他目的，以及本發明之技術手段及實施態樣。

【圖式簡單說明】

【0012】 參照以下圖式描述了本發明的非限制性及非窮舉性實施方案，除非另有說明，否則在各個視圖中相同的參考標記表示相同的部分。

【0013】 第1圖是根據本發明的教導的示例半導體裝置的截面圖，其示出示例電荷分佈結構的元件。

【0014】 第2圖是根據本發明的教導的示例半導體裝置的截面圖，其示出半導體裝置中的示例電荷分佈結構的元件與主動層之間的電容。

【0015】 第3A圖是在恆定電壓及電流的條件下的包含具有根據本發明的教導的電荷分佈結構的半導體裝置的示例電路的示意圖。

【0016】 第3B圖是示出第3A圖的示例電路中的恆定電壓及電流的相對幅值的圖形。

【0017】 第4圖是第3A圖的電路中的示例半導體裝置的一部分的截面圖，其總體上示出對於第3B圖的圖形中描繪的條件而言的電荷及電容的分佈。

【0018】 第5A圖是在動態電壓及電流的條件下的包含具有根據本發明的教導的電荷分佈結構的半導體裝置的另一示例電路的示意圖。

【0019】 第5B圖是示出第5A圖的示例電路中的動態電壓及電流的相對幅值的圖形。

【0020】 第6圖是第5A圖的電路中的示例半導體裝置的一部分的截面圖，其總體上示出對於第5B圖的圖形中描繪的條件而言的電荷及電容的分佈。

【0021】 第7A圖是示出根據本發明的教導的包含電荷分佈結構的示例半導體裝置的各個部分及特徵的相對位置的立體圖圖示。

【0022】 第7B圖是第7A圖中的示例半導體裝置的不同立體圖圖示，其示出在第7A圖的視圖中不可見的其他部分及特徵的相對位置。

【0023】 第8圖是總體上示出在構造根據本發明的教導的具有電荷分佈結構的第7A圖及第7B圖中所示的示例半導體裝置的過程中的操作的示例流程的示例流程圖。

【0024】 第9A圖是示出根據本發明的教導的包含電荷分佈結構的另一示例半導體裝置的各個部分及特徵的相對位置的立體圖圖示。

【0025】 第9B圖是第9A圖中的示例半導體裝置的不同立體圖的圖示，其示出在9A圖的視圖中不可見的其他部分及特徵的相對位置。

【0026】 第10圖是總體上示出在構造根據本發明的教導的具有電荷分佈結構的第9A圖及第9B圖中所示的示例半導體裝置的過程中的操作的示例流程的示例流程圖。

【實施方式】

【0027】 在以下描述中，闡述了許多具體細節以提供對本發明的透徹理解。然而，所屬技術領域中具有通常知識者將明瞭不需要使用該具體細節來實施本發明。在另一些情況下，為了避免使本發明晦澀，沒有詳細描述眾所周知的材料或方法。

【0028】 貫穿本說明書中提及的「一個實施方案（one embodiment）」、「實施方案（an embodiment）」、「一個實施例（one example）」或「實施例（an example）」意味著結合該實施方案或實施例所描述的特定特徵、結構或特性包含在本發明的至少一個實施方案中。因此，貫穿本說明書各處出現的措辭「在一個實施方案中（in one embodiment）」、「在實施方案中（in an embodiment）」、

「一個實施例」或「實施例」不一定都指的是相同的實施方案或實施例。此外，特定特徵、結構或特性可以在一個或多個實施方案或實施例中以任何合適的組合及/或子組合進行組合。特定的特徵、結構或特性可以被包含在提供所描述的功能的積體電路、電子電路、組合邏輯電路或其他合適的元件中。另外，應當領會，隨本文提供的圖式是出於向所屬技術領域中具有通常知識者進行解釋的目的，並且圖式不一定按比例繪製。

【0029】 氮化鎵高電子遷移率電晶體（GaN HEMT）中的表面電荷必須以特定方式分佈以實現高崩潰電壓並避免深陷阱電離。如果不注意表面電荷，深陷阱電離導致在從關斷狀態切換到接通狀態期間缺乏通道傳導。該效應是眾所周知的，並且被稱為電流崩塌或分散。根據本發明，在GaN HEMT中，橫向導電通道（稍後在第1圖中示出）可以形成於HEMT的源極、閘極及汲極（控制）端子下方。導電通道的長度可以從源極到汲極。此外，漂移區可以形成於閘極下方並且可以從閘極端子跨越到汲極端子。在本發明的一個方面中，如果處於關斷狀態，則HEMT可以具有與漂移區的長度成正比例的崩潰電壓。耗盡區（載流子被沖走的漂移區的一部分）的空間電荷也在外部被補償。優選地，在一個實施方案中，電荷必須被補償超過90%。補償在深陷阱及表面陷阱電離期間自然發生；然而，在將GaN HEMT返回到接通狀態時，這些狀態不能再充電回來，這導致電流崩塌。因此通過一些其他方式提供表面再充電是重要的。根據本發明的電荷分佈網格被設計成提供這種充電。

【0030】 在GaN裝置中可能需要空間電荷補償以實現更高的崩潰電壓。已知的參考文獻，比如E. Calleja，S. Christoloveanu，A. Zaslavsky及Y Kuk的固態電子裝置（也附於此）也聲明，在沒有空間電荷補償的情況下，可以在低至25-40V的汲極偏壓下達到GaN的崩潰電場。所屬技術領域中具有通常知識者可以領會，在這些電壓下，耗盡區的長度可以不超過0.15-0.2 μm 。在另一方面，在90%的電

荷補償下，耗盡區可以延伸達到1.5-2 μm 。所以，電荷分佈網格尺寸優選不應當超過2微米。此外，它可以優選為1微米。

【0031】 第1圖示出受益於本發明的教導的示例半導體裝置的顯著特徵。具體地，未按比例繪製的第1圖是通過高壓異質結構場效電晶體（HFET）的一部分的截面圖100。第1圖中所示的示例HFET包含第一主動層120及第二主動層115。

【0032】 第一主動層120典型地設置在可以各種材料——諸如本領域中已知的藍寶石（ Al_2O_3 ）、矽（Si）或碳化矽（SiC）——形成的基板（第1圖中未示出）之上。各種製造技術可能需要設置在基板與第一主動層120之間的另一些材料層以促進裝置的構造。

【0033】 第1圖的實施例中的第一主動層120由氮化鎵（GaN）構成。在另一些實施例中，包含元素週期表的III族的其他元素的氮化物的不同半導體材料可以構成第一主動層120。

【0034】 第1圖的示例中的第二主動層115由氮化鋁鎵（AlGa N ）構成。在另一些實施例中，不同的III族氮化物半導體材料——比如氮化鋁銦（AlIn N ）及氮化鋁銦鎵（AlInGa N ）——可以構成第二主動層115。第二主動層115的材料可以是非化學計量化合物。在這樣的材料中，元素的比率不容易通過普通整數表示。例如：第二主動層115可以是III族氮化物半導體材料的非化學計量化合物，比如 $\text{Al}_X\text{Ga}_{1-X}\text{N}$ ，其中 $0 < X < 1$ 。

【0035】 在第1圖的實施例中，導電源極接點125、導電閘極接點130及導電汲極接點150設置在第二主動層115上。第1圖的例子中還示出將在本公開內容中稍後進一步描述的電荷分佈結構的導電元件（也稱為鉤）E1 135、E2 140及EN 145。導電元件E1 135、E2 140及EN 145可以由一種導電材料或多種導電材料諸如一種或多種金屬、重摻雜半導體以及諸如此類形成。

【0036】 在第1圖的示例HFET中，電荷分佈結構的元件E1 135、E2 140及EN 145位於閘極接點130及汲極接點150之間。在第1圖的實施例中，電荷分佈結構的元件E1 135與閘極接點130橫向間隔開第一距離SG 160。在圖1的實施例中，電荷分佈結構的元件EN 145與汲極接點150橫向間隔開第二距離SD 170。在第1圖的實施例中，第二距離SD 170大於第一距離SG 160。如在本公開內容中稍後詳細描述的，可以選擇電荷分佈結構的任何兩個元件之間的間隔SE 165以實現期望的性能特性。

【0037】 儘管第1圖的示例HFET示出形成電荷分佈結構的三個導電元件，但是可以採用任何合適數量的導電元件，在一些情況下包含單個導電元件。而且，如第1圖中所示，在採用多個導電元件的那些實現方式中，導電元件可以界定由相互相同的一系列週期性重複元件形成的金屬網格。在其他實施例中，導電元件不需要週期性地重複，它們也不必全部相互相同。相反，不同的導電元件可以具有不同的配置、尺寸等。

【0038】 同樣在第1圖的示例HFET中，閘極介電層110將閘極接點130及電荷分佈結構的元件E1 135、E2 140及EN 145與第二主動層115分離。在第1圖的示例HFET中，電介質材料的鈍化層（passivation layer）105設置在該接點周圍及在閘極介電層110上方。鈍化層105通過將裝置的表面與環境中的電及化學污染物隔離來提供裝置的電特性的穩定性。

【0039】 在使用鈍化層的不同設置的另一些實施例中，閘極介電層110是可選的。在沒有閘極介電層110的實施例中，閘極接點130形成與第二主動層115的肖特基接點（Schottky contact），並且分離的鈍化層將電荷分佈結構的元件E1 135、E2 140及EN 145與第二主動層115絕緣。肖特基接點是只在一個方向上在金屬與半導體之間傳導電流的在金屬與半導體之間的界面。沒有閘極介電層的電

晶體有時被稱為肖特基閘極電晶體。在本公開內容中稍後介紹使用可選的閘極介電層的構造的示例。

【0040】第 1 圖中描繪的示例 HFET 也被稱為高電子遷移率電晶體 (HEMT)。在第 1 圖的 HEMT 中，第二主動層 115 在第一主動層 120 中靠近第二主動層 115 處引起電荷層，此電荷層有時被稱為二維電子氣 (2DEG) 155，第二主動層 115 通常具有比第一主動層 120 更高的帶隙。2DEG 155 界定橫向導電通道。第一主動層 120 有時被稱為通道層。第二主動層 115 有時被稱為阻擋層或施主層。界定橫向導電通道的電荷層被稱為 2DEG，因為被捕獲在由帶隙差異引起的量子阱中的電子在兩個維度上自由移動，但在第三維度上被緊緊限制。在一個實施例中，2DEG 155 的長度及由電荷層形成的導電通道的長度可以小於二十五微米，並且更具體地可以等於二十三微米。形成於閘極 130 下方並且從閘極 130 延伸到汲極 150 的漂移區的長度在這一個實施例中為十九微米。

【0041】如下面所討論的，二維電子氣被認為是至少部分由第二主動層 115 中存在的極化電荷引起的。下面的例示及解釋將區分 HEMT 中的 2DEG 的極化電荷、表面電荷及移動電荷。

【0042】當用作電源開關時，HFET 的源極接點 125、閘極接點 130 及汲極接點 150 通過端子被耦合以形成到外部電路的電連接。在運行中，2DEG 155 中的電荷在源極接點 125 及汲極接點 150 之間的通道中移動，從而變成外部電路中的電流。電荷及因此的電流通過來自電連接在閘極接點 130 及源極接點 125 之間的外部電路的電壓被控制。

【0043】如在本公開文本中所使用的，電連接是歐姆連接。歐姆連接是其中對於兩個方向的電流而言電壓及電流之間的關係是線性及對稱的連接。例如：均僅通過金屬接觸的雙金屬圖案被電連接。相反，汲極接點 150 及源極接點 125 在第 1 圖的示例 HFET 中未被電連接，因為這些接點之間的任何連接都通過半導體

中的通道並由閘極接點130控制。類似地，當使用閘極介電層110使閘極接點130與下面的第二主動層115絕緣時，閘極接點130沒有電連接到閘極接點130下面的第二主動層115，並且閘極接點130沒有電連接到2DEG 155。

【0044】 第2圖是第1圖中所示的示例HFET的截面圖200，其用虛線示出電容器以表示在電荷分佈結構的單獨元件之間的電容以及在這些元件與裝置的其他部分之間的電容。應當理解，在能夠具有電荷的每一對物體之間存在電容。第2圖突出顯示了主要在具有根據本發明的教導的電荷分佈結構的HFET的運行中涉及的電容。

【0045】 電容 C_0 205表示閘極接點130與元件 E_1 135之間的電容耦合。電容 C_1 210表示元件 E_1 135與元件 E_2 140之間的電容耦合。電容 C_N 215表示元件 E_{N-1} (在第2圖的實施例中為 E_2 140) 與元件 E_N 145之間的電容耦合。

【0046】 電容 C_{s0} 220表示閘極接點130與2DEG 155之間的電容耦合。類似地，電容 C_{s1} 225、 C_{s2} 230及 C_{sN} 235分別表示2DEG 155與電荷分佈結構的各元件 E_1 135、 E_2 140、 E_N 145之間的電容耦合。

【0047】 由於電荷分佈結構的元件通過電容而不是通過直接電連接耦合到裝置的其他部分，因此電荷分佈結構的單獨元件可以響應於施加到裝置的端子的電壓的變化而改變它們的靜電電位。由於電荷分佈結構的每個元件的靜電電位可具有不同的值，因此沿著2DEG 155的靜電電位可以相對均勻地分佈以避免場集聚的不良影響，比如減小的崩潰電壓。

【0048】 通過在變化電場的存在下重新分佈電荷，電容耦合電荷分佈結構的每個元件可以將其電位與其下面的導電性2DEG通道的部分的電位相匹配。該性質將電容耦合電荷分佈結構與稱為場板的常規導電場重新分佈結構相區分，

該場板具有穩定地固定在裝置的端子之一的電位處的靜電電位。這樣的場板可能在其邊緣附近形成不期望的高幅值電場。

【0049】 優選地，兩個相鄰導電元件之間的電容遵循電容分壓器的規則。通常，如本領域已知的，在具有導電元件的半導體裝置中，導電元件的與半導體表面相鄰的表面的區域可以被稱為導電元件的佔用區（footprint）。所屬技術領域中具有通常知識者可以理解，半導體表面及導電元件之間的電容可以基本上與導電元件的佔用區相關。在本發明的一個實施方案中，可以假設電荷分佈結構的週期為3微米（2微米佔用區及導電元件之間的1微米間隔）。

【0050】 在該實施方案中還可以假設電荷分佈結構的一個週期上的期望通道電壓降是150V（其對應於50V/um或0.5MV/cm的平均通道場）。可以進一步假設，當向其施加例如-40V的偏壓時，電荷分佈結構的佔用區豎直地耗盡HEMT通道中的2D氣體。在上面的實施例中，由 E_M 與 E_{M+1} 之間的電容及 E_{M+1} 與通道之間的電容構成的電容分壓器上的電壓總量可以基本等於150V（ M 的值可以在1到 $N-1$ 之間， $1 < M < N-1$ ）。 E_{M+1} 與通道之間的電容上的電壓量基本等於40V。換句話說， E_M 及 E_{M+1} 之間的所需電容可以由下式給出：

$$C(E_M || E_{M+1}) = (40V/150V) * C(E_{M+1} || \text{通道})$$

【0051】 可以通過提供在 E_M 上的 E_{M+1} 鉤的或者在 E_{M+1} 上的 E_M 鉤的合適重疊面積、或者在外部（裝置有源區外）提供重疊面積來實現以上目的。考慮所需的電容，基本遵循對於平板電容器（flat capacitor，平調電容器）的公知表達式，所屬技術領域中具有通常知識者將能夠使用重疊面積及電介質厚度來獲得該電容值：

$$C = A \times \epsilon \times \frac{\epsilon_0}{d}$$

其中 A 是重疊面積， ϵ 是電介質的介電常數， ϵ_0 是真空的介電常數，並且 d 是介電厚度。應該注意的是，上面的示例表明在本發明的公開實施方案中，不僅提供了電容耦合，而且其還被設計以獲得期望的通道電壓分佈。

【0052】 第3A圖是在恆定電壓及電流的條件下的包含具有根據本發明的教導的電荷分佈結構的半導體裝置308的示例電路的示意圖300。第3A圖中的半導體裝置308是具有汲極端子306、閘極端子314及源極端子318的HFET開關。第3A圖的實施例中的HFET 308的閘極端子314及源極端子318電連接到公共回路320，使得閘極314及源極318之間的電壓 V_{GS} 316為零。

【0053】 第3A圖的實施例中的HFET 308的汲極端子306耦合到具有值 R 的電阻器302的一個端部。電阻器302的另一端部耦合到具有相對於公共回路320為正電壓值 V_B 的恆壓源312的端子。在第3A圖中的電路的靜態條件下，HFET 308處於接通狀態，在汲極端子306與源極端子318之間以電壓 V_{DS} 310傳導汲極電流 I_D 304。

【0054】 示例半導體裝置308被稱為耗盡型裝置，因為它需要閘極端子314上相對於源極端子318的非零電壓以停止汲極電流 I_D 304的傳導。電晶體的正常狀態通常被認為是閘極與源極之間沒有信號的狀態。也就是說，耗盡型裝置被認為是常導通型的，因為當它在閘極及源極之間具有零伏時它可以傳導電流。耗盡型HFET裝置需要比在閘極及源極之間的閾值更負的負電壓以停止汲極電流 I_D 304的傳導。閘極及源極之間的正電壓以及閘極及源極之間的零電壓將允許耗盡型裝置傳導。常規的HFET裝置是耗盡型裝置。

【0055】 所屬技術領域中具有通常知識者將領會，本發明可以應用於增強型裝置以及耗盡型裝置。增強型裝置需要閘極端子314上相對於源極端子318的非零電壓以允許汲極電流 I_D 304的傳導。也就是說，增強型裝置被認為是常關斷

型，因為當它在閘極及源極之間具有零伏時它不能傳導電流。閘極及源極之間的負電壓也將保持增強型裝置關斷。可以通過改變閘極及源極之間的電壓將本公開內容中以耗盡型裝置給出的實施例應用於增強型裝置，使得在接通狀態閘極相對於源極為正，並且在關斷狀態閘極為負或者處於與源極相同的電位。增強型 HFET 裝置需要大於閘極及源極之間的閾值的正電壓以允許傳導汲極電流 I_D 304。

【0056】 第3B圖是在相同豎直軸線332上示出對於第3A圖的示例電路的汲極電流 I_D 304及電壓 V_{DS} 310的圖形330。第3B圖中的圖形示出電壓 V_{DS} 310是遠小於 V_B 的恆定值 V_1 336，並且電流 I_D 304是恆定值 I_1 334，其是電阻器302上的電壓除以電阻 R 。也就是， $I_1 = (V_B - V_1)/R$ 。

【0057】 第4圖是示出第3A圖的示例電路中的示例HFET開關308的一部分的截面圖400，其總體上示出對於第3B圖的圖形中描繪的條件而言的電荷及電容的分佈。第4圖省略了導電接點的機械表示以允許更好地示出裝置的電氣性質。

【0058】 在第4圖的圖中，電容器 C_1 410、 C_2 420及 C_N 430表示如第2圖中所示的電荷分佈結構的導電元件之間的電容。類似地，第4圖中的電容器 C_{S1} 415、 C_{S2} 425及 C_{SN} 435表示在2DEG 155與如第2圖中所示的電荷分佈結構的元件之間的電容。第4圖中的電容器 C_{S0} 405表示如第2圖中所示的閘極接點130與2DEG 155之間的電容的一部分。

【0059】 HEMT的運行涉及由多個位置處的多個物理過程產生的電荷之間的相互作用。本公開內容僅僅涉及對理解本發明而言必要的電荷，側重於與電荷分佈結構的導電元件之間的電容中的電流的傳導相關的電荷。所有已知的電荷在圖中未明確示出以避免不必要的複雜性。應當理解，在整個裝置內正負電荷相等以使裝置電中性。換句話說，負電荷必須由裝置中某處的正電荷補償。

【0060】第4圖示出極化電荷、自由移動電荷及表面電荷的示例。正極化電荷440及負極化電荷455是第二主動層115內的靜止電荷的示例。第二主動層115及第一主動層120之間的邊界附近的正極化電荷440由第二主動層115的上表面下方的負極化電荷455補償。極化電荷的起源將在本公開內容中稍後解釋。第一主動層120中的2DEG 155是自由移動電荷的示例，其由於電子攜帶負電荷而為負。從第二主動層115的表面去除也是電子的其他移動負電荷450以形成補償2DEG 155的負電荷的正表面電荷（在第4圖中未明確示出）。

【0061】第4圖示出作為汲極電流 I_D 304的結果的電子流445。當開關308導通時，包含2DEG 155的電子在源極端子318及汲極端子306之間移動。電子流445處於與外部汲極電流304相反的方向上，因為按照慣例將電路中的電流定義為正電荷的流動，而電子具有負電荷。因此，對於電流來說，正電荷在一個方向上的移動相當於負電荷在相反方向上的移動。

【0062】根據電場與電荷之間的相互作用可以理解HFET的運行表現。電中性裝置不具有淨電荷。換句話說，電中性裝置中的每個正電荷都具有相應的負電荷，使得正電荷及負電荷的總及為零。儘管裝置可以是電中性的，但正負電荷可以不均勻地分佈在裝置內。電中性並不意味著不存在電場。電荷的分佈及由此產生的電場是重要的，因為它們影響裝置的崩潰能力。

【0063】在電中性HFET中，由不同材料中的原子之間間隔之間的失配引起的機械力產生電場，有時稱為壓電場，該電場從基板延伸到裝置的表面。內部壓電場作用於離子化的施主原子及極化電荷（重新排列成偶極子的束縛電荷）以在第二主動層115中形成正極化電荷440於第一主動層120及第二主動層115之間的接面處。來自正極化電荷440的電場將通道中的電子的負電荷吸引到該接面。換句話說，正極化電荷440通過漏電流 I_D 304所需的2DEG 155的負電荷被局部補償。

【0064】就正極化電荷440是由於極化電荷而存在來說，該極化電荷與負極化電荷455具有合計為零的總電荷，通道中的自由電子總體上不被極化電荷補償。由於HFET開關308中的層通常未被摻雜或僅被輕微摻雜（無意地），因此通道中的電子必須以一些其他方式被補償。已發現補償電荷存在於HFET開關308的表面上。如第4圖中所示，負電荷450可以在HFET開關308的表面與周圍環境之間轉移以在HFET開關308的表面處留下補償正電荷（未明確示出）。若沒有該補償電荷，裝置的通道將不導通。

【0065】在動態條件下當HFET開關308從接通狀態變為關斷狀態時，二維電子氣中的電子離開源極及汲極之間的通道。而且，通道中的電荷在動態條件下會在汲極及源極之間不均勻地分佈。如果HFET開關308的表面處的正補償電荷在通道中的負電荷減少時保持不變，則電場梯度（電場在一定距離上變化的量）可能變得足夠高導致損壞裝置。電荷分佈結構的一個目的是促進裝置表面上的電荷轉移以補償通道中的變化電荷，使得電場差不多均勻地散佈在源極及汲極之間的半導體材料中。

【0066】第5A圖是示出針對動態操作所修改的第3A圖的示例電路的示意圖500。在第5A圖的實施例中，可變電壓源505耦合在HFET 308的閘極端子314及源極端子318之間。可變電壓源505使電壓 V_{GS} 510在負值 $-V_{OFF}$ 530及相對小的正值525之間變化。在第5A圖的實施例中，當電壓 V_{GS} 510處於大於或等於零的值525時，HFET 308處於接通狀態，並且當電壓 V_{GS} 510處於比閾值更負的負值 $-V_{OFF}$ 530時，HFET 308處於關斷狀態。再次，該討論的極性對應於常接通的一個示例HFET（耗盡型）。對於常關斷型HFET（增強型）而言，當電壓 V_{GS} 510小於或等於正閾值時，裝置將處於關斷狀態，並且當電壓 V_{GS} 510大於正閾值時處於接通狀態。在第5A圖的實施例中，HFET 308在時間 t_0 535從接通狀態切換到關斷狀態。

【0067】第5B圖是示出第5A圖的示例電路中的示例HFET開關308的汲極電流 I_D 515及電壓 V_{DS} 520相對於 t_0 535附近的時間的圖形550。電流及電壓在第5B圖中被繪製在相同的豎直軸線555上。圖形550示出接通狀態及關斷狀態之間的轉換在初始時間 t_i 575及最終時間 t_f 580之間的有限區間上發生。

【0068】在轉換期間，汲極電流570從時間 t_i 575之前的值 I_i 560變為時間 t_f 580之後基本為零。同樣在轉換期間，汲極端子306及源極端子318之間的電壓565從時間 t_i 575之前的值 V_i 585變為時間 t_f 580之後的更加高得多的值 V_B 590。

【0069】應當領會，實際電路具有在第5A圖的示例電路中未考慮的電感。如果考慮典型的電感值，則在時間 t_i 575到時間 t_f 580之間汲極電流從值 I_i 560轉變為基本為零將使汲極端子306及源極端子318之間的電壓升高到遠遠高於電壓源312的值 V_B 的值。因此，電源開關的崩潰電壓通常必須遠大於電路中的最高電源電壓。

【0070】第6圖是示出在第5A圖的示例電路的動態條件下與第4圖相同的截面圖600，其總體上示出對於第5B圖的圖形中描繪的條件而言的電荷及電流的分佈。與第4圖中相同，已經省略了導電接點的機械表示以允許更好地示出裝置的電性質。

【0071】第6圖示出示例電容耦合電荷分佈結構在如第5B圖中所示在時間 t_i 575到時間 t_f 580之間從接通狀態到關斷狀態的轉換期間的運行。如第6圖中所示，當汲極端子306及源極端子318之間的電壓 V_{DS} 520朝著值 V_B 增加時，電子流660及汲極電流 I_D 515朝著零減小。

【0072】當電子流660朝著零減小時，電子離開通道的二維電子氣，使通道中的電荷變成較少的負值。因此，需要減少正表面電荷，該正表面電荷補償通道的電子氣。表面處的正電荷減少通過表面處的負電荷650的增加來實現。因此，隨著來自周圍環境的電子積累以減少第二主動層115的正表面電荷，電容器 C_{S0}

405、 C_{S1} 415、 C_{S2} 425及 C_{SN} 435分別傳導電流 I_{Q0} 610、 I_{Q1} 620、 I_{Q2} 630及 I_{QN} 640。電荷的減少有時被稱為放電。電荷的恢復有時被稱為再充電。當電源開關從接通狀態轉換到關斷狀態時，第二主動層115的表面處的電荷的動態分佈使電場差不多均勻地散佈在汲極端子306及源極端子318之間的材料中。所以，電荷分佈結構被配置成在裝置的開關轉換期間在HFET裝置上產生表面放電及表面再充電。

【0073】 類似地，當HFET開關從關斷狀態轉換到接通狀態時，隨著電子流660增加，電子進入通道的二維電子氣。因此，正表面電荷需要增加以補償通道的電子氣的增加。因此，電容器 C_{S0} 405、 C_{S1} 415、 C_{S2} 425及 C_{SN} 435傳導將電子從HFET的表面轉移到周圍環境的電流，增加第二主動層115的表面處的正電荷。

【0074】 如前所述，通常希望盡可能快地在關斷狀態及接通狀態之間進行轉換。該轉換的速度被稱為裝置的切換速度。如果信號以高於其開關速度的速率驅動HFET，則裝置可能經歷過早崩潰，這可以導致不可逆轉的裝置退化。決定裝置的切換速度的重要因素是其表面放電及再充電時間，其將部分取決於用於電荷分佈結構的特定配置。因此，電荷分佈結構通常應當設計成使得其以大於設計目標切換速度的速率產生表面放電及再充電。

【0075】 第7A圖是示出根據本發明的教導的包含電容耦合電荷分佈結構的示例HFET的各個部分及特徵的相對位置的立體圖700。第7B圖是第7A圖中所示的裝置的不同立體圖750。第7A圖及第7B圖中所示的示例半導體裝置是第1圖中該的相同類型的裝置。

【0076】 第7A圖及第7B圖示出根據本發明的教導在HFET的製造期間電荷分佈結構的元件可以如何由沉積的金屬組裝形成。在第7A圖及第7B圖中已去除示例裝置的一些層的部分以更詳細地暴露下面的特徵。所有層通常將覆蓋整個裝置，在裝置的每一側的相同豎直平面處終止。

【0077】與第1圖的截面圖表示一致，在第7A圖的立體圖中最靠近觀察者的一面示出第一主動層728、第二主動層726及介電層724。第7A圖也示出沉積在第二主動層726之上的導電源極接點712及導電汲極接點722。

【0078】閘極電介層724在源極接點712及汲極接點722之間沉積在第二主動層726之上。導電閘極接點714沉積在閘極介電層724之上。第7A圖及第7B圖將圖1中所示的鈍化層105作為兩個鈍化層708及710示出，以表明鈍化物是在製造過程的兩個步驟中被沉積的。

【0079】在第1圖的截面圖中不明顯但在第7A圖及第7B圖中清楚地示出的一個特徵是示例電荷分佈結構在兩個不同層上被製造。電荷分佈結構的水平元件由適當厚度的導電材料製成，在常規的二維視圖中從頂部看呈現為條帶。在一個實施例中，條帶的厚度可以與條帶的寬度具有基本相同的尺寸。儘管在本文中討論的實施例將水平元件稱為條帶，但更一般地，水平元件可以是具有多種多樣不同截面形狀的長條形構件。

【0080】第7A圖示出頂部條帶702、704及706以及底部條帶716、718及720，該頂部條帶702、704及706形成電荷分佈結構的三個導電元件的一個層，該底部條帶716、718及720形成電荷分佈結構的三個導電元件的另一個層。例如，導電元件E1由導電材料的兩個條帶702及716構成。同樣，導電元件E2由導電材料的兩個條帶704及718構成，而導電元件E3由導電材料的兩個條帶706及720構成。如圖所示，電荷分佈結構的一個元件的頂部條帶至少部分地與相鄰導電元件的底部條帶重疊，使得它們相互電容耦合。例如：元件E2的頂部條帶704與元件E1的底部條帶716重疊，並且元件E3的頂部條帶706與元件E2的底部條帶718重疊。另外，導電元件E1的頂部條帶702與閘極714重疊。

【0081】每個導電元件的頂部導電條帶及底部導電條帶可以沿其大部分長度通過絕緣鈍化層分離，並且僅沿著其相應長度的相對小區段通過絕緣鈍化層中的通孔聯結在一起。

【0082】第7B圖示出分別通過穿過每個條帶的一個端部處的鈍化層710中的豎直通孔的相應的導電沉積物756、754及752聯結到底部條帶716的頂部條帶702、聯結到底部條帶718的頂部條帶704及聯結到底部條帶720的頂部條帶706。

【0083】應當領會，電荷分佈結構的元件的頂部條帶及底部條帶可以在條帶的端部之間的任何地方聯結。它們可以聯結在半導體裝置的有源區內或半導體裝置的有源區外部。

【0084】可以對條帶的尺寸及它們之間的距離以及電介質材料的電性質進行選擇，以實現電荷分佈結構的元件之間的期望電容。例如：閘極接點714及汲極接點722之間間隔將根據被認為適合於該應用的電場的幅值來設置，該幅值對於Ga_N裝置而言典型地在50到100伏每微米之間。為製造裝置所選擇的平版印刷技術將確定條帶的最小寬度。知道最小寬度及期望電場允許設計者計算條帶的數量及它們之間的間隔。條帶的最大數量可以根據實現條帶之間的電場的期望幅值所需的最小寬度及條帶之間的距離來確定。使用當裝置關斷時每個條帶下方的2DEG將耗盡的假設，設計者可以計算與每個條帶相關的電荷量。每個底部條帶與其下面的通道之間的電容可以根據電壓及電荷來計算。頂部條帶及相鄰底部條帶之間的電容必須足夠大於底部條帶及通道之間的電容以保證與通道相關的電荷可以在電荷分佈結構的元件之間轉移。

【0085】如上該，在一個實施方案中，電荷分佈結構通常應當設計成使得其以大於設計目標切換速度的速率產生表面放電及再充電。實現令人滿意的結果所需的放電及再充電的量可以取決於應用。然而，一般而言，在再充電過程期間待提供的電荷量應當與通道中存在的空間電荷相當。在一個特定實施方案中，

放電量可以是在電荷分佈結構的條帶下方積累的最大表面電荷的至少約90%。同樣，再充電的量可以是在電荷分佈結構的條帶下方積累的最大表面電荷的至少約90%。再充電的量在開關循環期間預期基本等於放電量，使得在開關循環結束時，裝置返回其在開關循環開始時的狀態。當然，在不直接位於電荷分佈結構的條帶下方的位置處放電及再充電的量將更少。為了補償在條帶之間耗盡的表面電荷，在一些實施方案中，再充電可以大於在條帶下方積累的最大電荷的100%。以該方式，電荷可以分佈到條帶之間的那些表面部分。

【0086】 第8圖是總體上示出在構造根據本發明的教導的具有電荷分佈結構的第7A圖及第7B圖中所示的示例半導體裝置的示例過程中的操作的示例流程的示例流程圖。在步驟805開始之後，在步驟810中，形成高電子遷移率電晶體（HEMT）的結構，該高電子遷移率電晶體具有有源區及用於汲極及源極的歐姆接點，如在本領域中是已知的。然後在步驟815中，在有源區上形成閘極介電層。

【0087】 在步驟815中形成閘極介電層之後，在步驟820中，在閘極介電層上對於電荷分佈結構的閘極形成金屬化並且對於底部條帶形成金屬化。接著，在步驟825中，在用於閘極的金屬、用於底部條帶的金屬以及用於汲極及源極的接點上形成第一鈍化層。

【0088】 然後在步驟830中，形成穿過第一鈍化層的通孔，在該通孔處期望將底部條帶與頂部條帶聯結以形成電荷分佈結構的元件。然後在步驟835中，在第一鈍化結構的表面上並且通過第一鈍化層中的通孔沉積金屬以形成電荷分佈結構的頂部條帶，該頂部條帶聯結到電荷分佈結構的底部條帶。該過程在步驟840中以形成第二鈍化層結束。

【0089】 第9A圖是示出根據本發明的教導的包含電容耦合電荷分佈結構的另一示例HFET的各個部分及特徵的相對位置的立體圖900。第9B圖是第9A圖中所示的裝置的不同立體圖950。第9A圖及第9B圖中所示的示例半導體裝置具有

附加的鈍化層，其允許可選的閘極介電層，而閘極介電層724在第7A圖及第7B圖中所示的結構中是必要的。在沒有閘極介電層924的實施例中，閘極接點914形成與第二主動層926的肖特基接點，並且鈍化層930將電荷分佈結構的元件E1 916、E2 918及E3 920與第二主動層926絕緣。

【0090】 第9A圖及第9B圖示出根據本發明的教導，電荷分佈結構的元件可以如何在HFET的製造期間由沉積的金屬組裝形成。與第7A圖及第7B圖中一樣，在第9A圖及第9B圖中已去除示例裝置的一些層的部分以更詳細地暴露下面的特徵。

【0091】 類似於第7A圖及第7B圖的視圖，在第9A圖的立體圖中最靠近觀察者的一面示出第一主動層928、第二主動層926及可選的閘極介電層924。第9A圖也示出沉積在第二主動層926之上的導電源極接點912及導電汲極接點922。

【0092】 可選的閘極介電層924在源極接點912及汲極接點922之間沉積在第二主動層926之上。導電閘極接點914沉積在閘極介電層924之上，接著是第一鈍化層930沉積在閘極接點914、源極接點912及汲極接點922之上。在不使用閘極介電層924的實施例中，閘極接點914直接沉積在第二主動層926之上以形成肖特基接點。

【0093】 第一鈍化層930圍繞電容耦合電荷分佈結構的底部條帶916、918及920的三個側，將底部條帶相互分離並且將底部條帶與底部條帶下方及附近的裝置的其他部分分離。第9A圖及第9B圖也示出第二鈍化層910及第三鈍化層908。

【0094】 類似於第7A圖及第7B圖，第9A圖的替代構造示出形成電荷分佈結構的三個元件的頂部條帶902、904及906與底部條帶916、918及920。第9B圖示出通過穿過每個條帶的一個端部處的鈍化層910中的豎直通孔的相應導電沉積物956、954及952聯結到底部條帶916的頂部條帶902、聯結到底部條帶918的頂部條帶904及聯結到底部條帶920的頂部條帶906。

【0095】 第10圖是總體上示出在構造根據本發明的教導的具有電荷分佈結構的第9A圖及第9B圖中所示的示例半導體裝置的示例過程中的操作的示例流程的示例流程圖。在步驟1005中開始之後，在步驟1010中形成高電子遷移率電晶體（HEMT）的結構，該高電子遷移率電晶體具有有源區及用於汲極及源極的歐姆接點，如在本領域中已知的。然後在步驟1015中可以在有源區上形成可選的閘極介電層。在不使用可選的閘極介電層的實施例中不進行步驟1015。

【0096】 在使用可選的閘極介電層的實施例中在完成步驟1015中的操作之後，然後在步驟1020中形成閘極的金屬化。接著，在步驟1025中在用於閘極的金屬及用於汲極及源極的接點上形成第一鈍化層。第一鈍化層的形成可以包含去除鈍化材料以形成用於電荷分佈結構的底部條帶的佔用區，其也可以被稱為通道。然後在步驟1030中，沉積金屬以用於電荷分佈結構的底部條帶，接著在步驟1035中形成第二鈍化層。

【0097】 然後在步驟1040中，形成穿過第二鈍化層的通孔，在該通孔處期望將底部條帶與頂部條帶聯結以形成電荷分佈結構的元件。然後在步驟1055中，在第二鈍化層的表面上並且通過第二鈍化層中的通孔沉積金屬以形成電荷分佈結構的頂部條帶，該頂部條帶聯結到電荷分佈結構的底部條帶。該過程在步驟1050中以形成第三鈍化層結束。

【0098】 應當注意，如所公開的說明書教導的HEMT的原型被製造。通過實驗測量崩潰電壓（對於17微米的漂移區超過750V），並且結果令人滿意。結果也表明HEMT的RDSON在切換期間被很好地控制。

【0099】 儘管上面已在HFET的情況下描述了本發明的教導，但是這些教導也可以用於其他半導體裝置。例如，本發明的電荷分佈結構可以用於反相HFET，除了施主層形成於通道層下方而不是如在HFET中形成於通道層上方之外，該反相HFET類似於HFET。

【0100】對本發明的說明性示例的以上描述，包含摘要中所描述的內容，不旨在是窮盡性的或限制到所公開的確切形式。儘管為了說明的目的在本文中描述了本發明的具體實施方案及實施例，但是在不脫離本發明的更廣泛的精神及範圍的情況下，各種等效的修改都是可能的。實際上，應當領會，具體的示例電壓、電流、頻率、功率範圍值、時間等是出於解釋目的被提供的，並且在根據本發明的教導的其他實施方案及實施例中也可以採用其他值。

【0101】根據上面的詳細描述，可以對本發明的實施例進行這些修改。在以下申請專利範圍中使用的術語不應當被解釋為將本發明限制於在說明書及申請專利範圍中公開的具體實施方案。而是，範圍完全由隨附的申請專利範圍確定。

【符號說明】

100、200、400、600：截面圖

105、708、710、908、910、930：鈍化層

110、724、924：閘極介電層

115、726、926：第二主動層

120、728、928：第一主動層

125、712、912：源極接點

130、714、914：閘極接點

135：元件E1

140：元件E2

145：元件EN

150、722、922：汲極接點

155：2DEG

160：第一距離SG

165：間隔SE

170：第二距離SD

205：電容 C_0

210：電容 C_1

215：電容 C_N

220：電容 C_{S0}

225：電容 C_{S1}

230：電容 C_{S2}

235：電容 C_{SN}

300：示意圖

302：電阻器

304：汲極電流 I_D

306：汲極端子

308：半導體裝置

310：電壓 V_{DS}

312：恆壓源

314：閘極端子

316：電壓 V_{GS}

318：源極端子

320：公共回路

330：汲極電流 I_D 304及電壓 V_{DS} 310的圖形

332：豎直軸線

334：恆定值 I_1

336：恆定值 V_1

405：電容器 C_{S0}

410：電容器 C_1

415：電容器 C_{S1}

420：電容器 C_2

425：電容器 C_{S2}

430：電容器 C_N

435：電容器 C_{SN}

440：正極化電荷

445：電子流

450：負電荷

455：負極化電荷

500：示意圖

505：可變電壓源

510：電壓 V_{GS}

515：汲極電流 I_D

520：電壓 V_{DS}

525：值

530：負值 $-V_{OFF}$

535：時間 t_0

550：圖形

555：豎直軸線

560：電流值 I_1

565：電壓

570：汲極電流

575：時間 t_i

580：時間 t_F

585：值 V_1

590：值 V_B

610：電流 I_{Q0}

620：電流 I_{Q1}

630：電流 I_{Q2}

640：電流 I_{QN}

650：負電荷

660：電子流

700、750、900、950：立體圖

702、704、706、902、904、906：頂部條帶

716、718、720、916、918、920：底部條帶

752、754、756、952、954、956：導電沉積物

800、1000：流程圖

805-840、1005-1050：步驟

【發明申請專利範圍】

【第1項】 一種半導體裝置，包含：

一基板；

一第一主動層，設置於該基板上；

一第二主動層，該第二主動層設置在該第一主動層上，使得在該第一主動層及該第二主動層之間出現一橫向導電通道；

一源極接點、一閘極接點及一汲極接點，設置於該第二主動層上；以及

一導電電荷分佈結構，設置於該第二主動層上且位於該閘極接點及該汲極接點之間，該導電電荷分佈結構僅電容耦合至該閘極接點，該導電電荷分佈結構包含該電荷分佈結構的多個元件，該電荷分佈結構的該等元件中的一第一電荷分佈結構元件僅電容耦合到該閘極接點，並且該電荷分佈結構的該等元件中的一第二電荷分佈結構元件僅電容耦合到該第一電荷分佈結構元件，該等元件的每一個包含形成於一第一層中之一第一長條形構件及形成於一第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電連接；其中該橫向導電通道的長度小於二十五微米，

其中，一金屬網格所包含的一第一導電長條形構件及一第二導電長條形構件間的一第一電容與該第二導電長條形構件及該橫向導電通道間的一第二電容之間的一比例約為 4:15，

其中，該第二導電長條形構件較該第一導電長條形構件靠近該汲極接點。

【第2項】 如請求項 1 所述之半導體裝置，其中該電荷分佈結構與該閘極接點橫向地間隔開一第一距離，並且該電荷分佈結構與該汲極接點間隔

開一第二距離，該第二距離大於該第一距離。

- 【第3項】 如請求項 1 所述之半導體裝置，更包含設置在該第二主動層及該電荷分佈結構之間的介電層。
- 【第4項】 如請求項 3 所述之半導體裝置，其中該介電層更設置在該第二主動層及該閘極接點之間。
- 【第5項】 如請求項 1 所述之半導體裝置，其中該第一主動層包含一第三族氮化物半導體材料。
- 【第6項】 如請求項 5 所述之半導體裝置，其中該第一主動層包含氮化鎵(GaN)。
- 【第7項】 如請求項 1 所述之半導體裝置，其中該第二主動層包含一第三族氮化物半導體材料。
- 【第8項】 如請求項 7 所述之半導體裝置，其中該第二主動層包含 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 < x < 1$ 。
- 【第9項】 如請求項 7 所述之半導體裝置，其中該第二主動層是從由 AlGaN 、 AlInN 及 AlInGaN 組成的組中選擇的。
- 【第10項】 如請求項 1 所述之半導體裝置，其中該第一層中的該等導電長條形構件中的至少一個與該第二層中的該等長條形構件其中之一至少部分重疊。
- 【第11項】 一種場效電晶體（Field Effect Transistor；FET），包含：
- 複數半導體層，設置於一基板上；
 - 一源極、一汲極及一閘極，電耦合至該等半導體層；以及
 - 一電荷分佈結構，設置在該等半導體層上並且僅電容耦合到該閘極，該電荷分佈結構被配置成在從一接通狀態轉換到一關斷狀態的一過渡期間在設置在該閘極及該汲極之間的該場效電晶體的一表面部分上產生一表面放電，並且在從該關斷狀態轉換到該接通狀態

的該過渡期間在該表面部分上產生一表面再充電，該電容耦合電荷分佈結構包含一金屬網格，該金屬網格具有設置在該表面部分上之複數導電長條形構件，該等導電長條形構件相互電容耦合，該等導電長條形構件中的每一個包含形成於一第一層中之一第一長條形構件及形成於一第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電連接，其中該等導電長條形構件其中之一中之一第一長條形構件與該等導電長條形構件其中之另一的該等第二長條形構件其中之一至少部分重疊；其中

一橫向導電通道的長度小於二十五微米

其中，該金屬網格所包含的一第一導電長條形構件及一第二導電長條形構件間的一第一電容與該第二導電長條形構件及該橫向導電通道間的一第二電容之間的一比例約為 4:15，

其中，該第二導電長條形構件較該第一導電長條形構件靠近該汲極。

【第12項】如請求項 11 所述之場效電晶體，其中該 FET 具有一設計目標切換速度，該電荷分佈結構還配置成以大於該設計目標切換速度之一速率產生該表面放電及該表面再充電。

【第13項】如請求項 11 所述之場效電晶體，其中該等導電長條形構件界定一週期性重複結構。

【第14項】如請求項 11 所述之場效電晶體，其中該等第一長條形構件相互平行，並且該等第二長條形構件相互平行。

【第15項】如請求項 11 所述之場效電晶體，其中由該電荷分佈結構產生的該表面放電從設置在該閘極及該汲極之間的該場效電晶體的該表面部分去除在該表面部分上形成的最大電荷的至少 90%。

【第16項】如請求項 15 所述之場效電晶體，其中該表面再充電將該表面部分上的電荷增加到該最大電荷的至少 90%。

【第17項】如請求項 11 所述之場效電晶體，其中該等導電長條形構件相互僅電容耦合。

【第18項】一種形成半導體裝置的方法，包含：

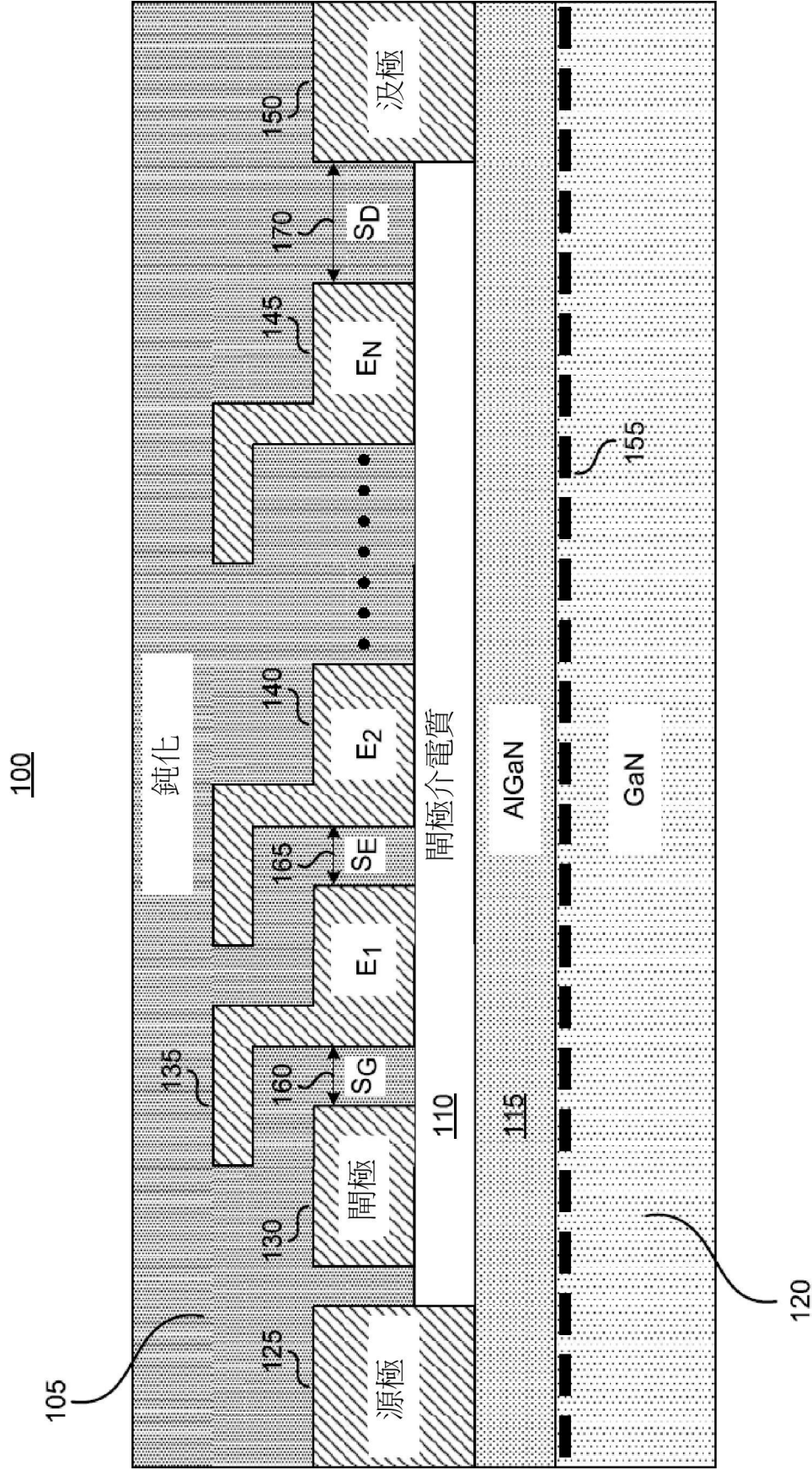
在一基板上形成一第一主動層；

在該第一主動層上形成一第二主動層，使得該第一主動層及該第二主動層產生位於該第一主動層及該第二主動層之間的一二維電子氣層；

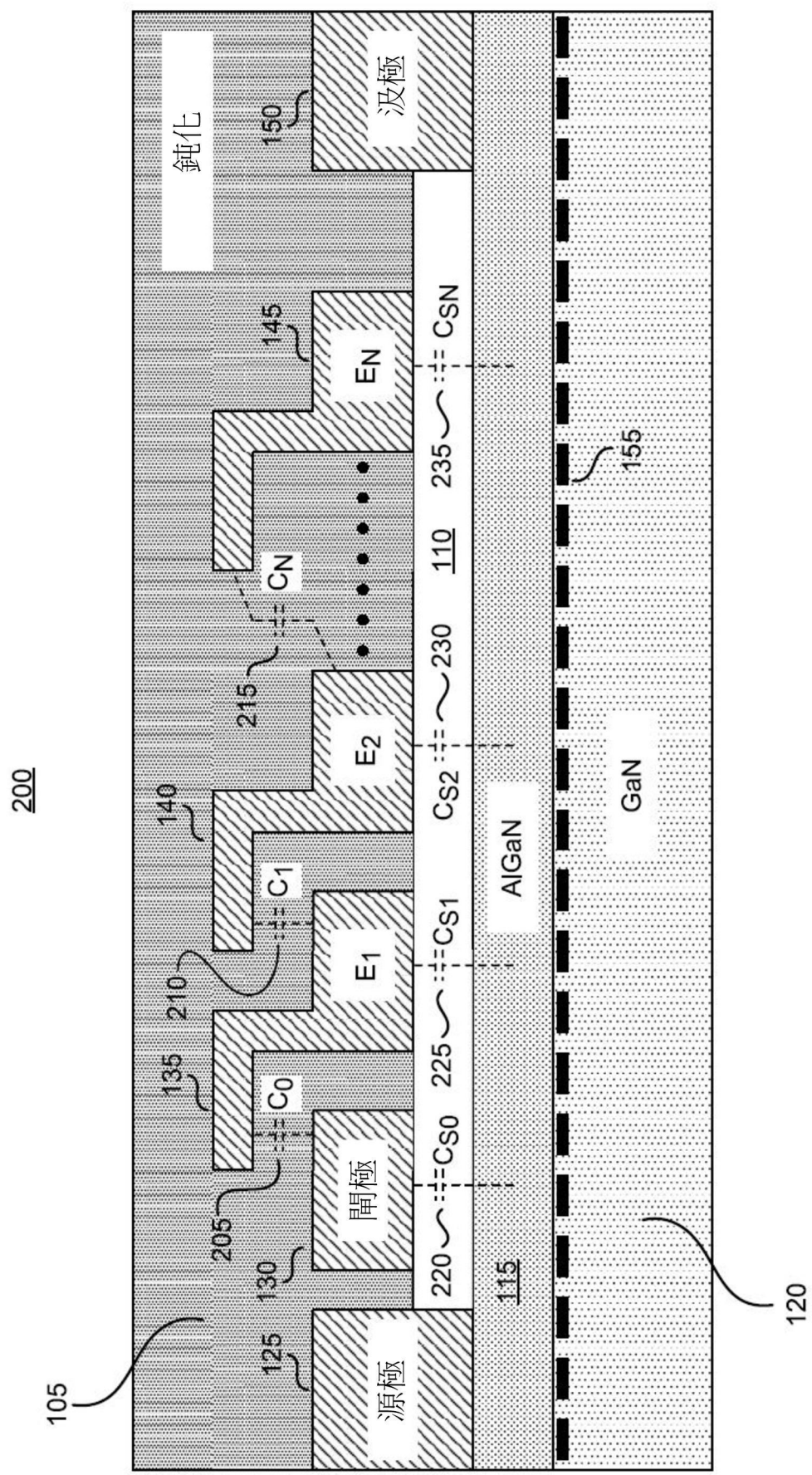
在該第二主動層上形成一源極接點、一閘極接點及一汲極接點；以及

在該第二主動層上在該閘極接點及該汲極接點之間形成一電荷分佈結構，使得該電荷分佈結構僅電容耦合到該閘極接點，該電荷分佈結構包含一金屬網格，該金屬網格具有設置在該半導體裝置的一表面部分上之複數導電長條形構件，該等導電長條形構件相互電容耦合，該等導電長條形構件中的每一個包含形成於一第一層中之一第一長條形構件及形成於一第二層中之一第二長條形構件，使得該第一長條形構件及該第二長條形構件相互電性連接，其中該第一層中之該第一長條形構件與該等導電長條形構件中其中之另一的該等第二長條形構件其中之一至少部分重疊。

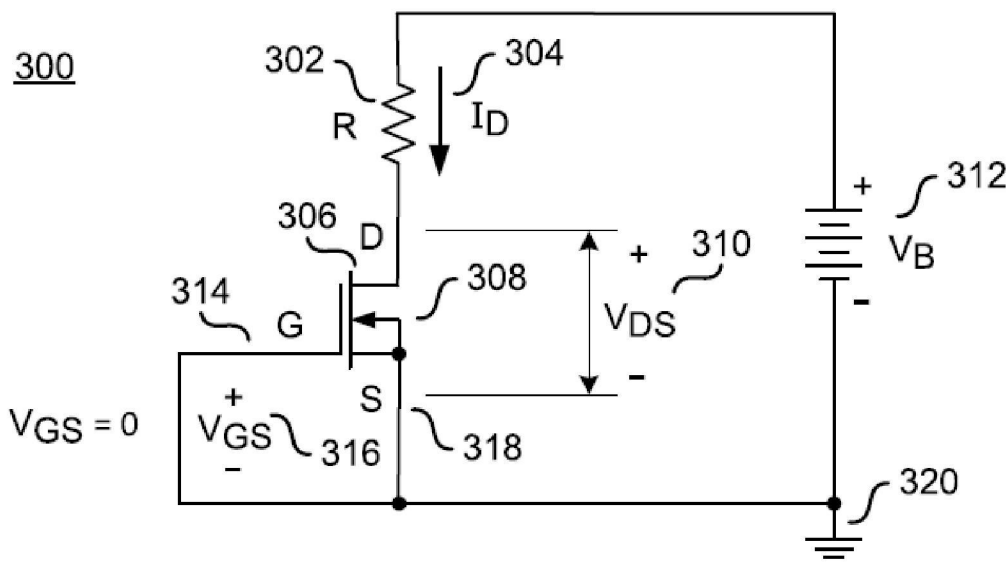
【第19項】如請求項 18 所述之方法，其中該等導電長條形構件相互僅電容耦合。



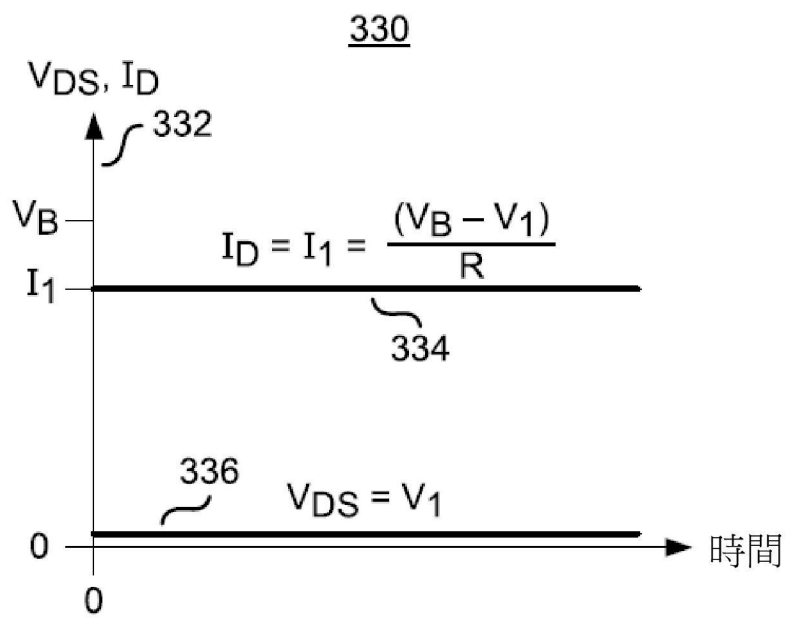
第1圖



第2圖



第 3A 圖



第 3B 圖

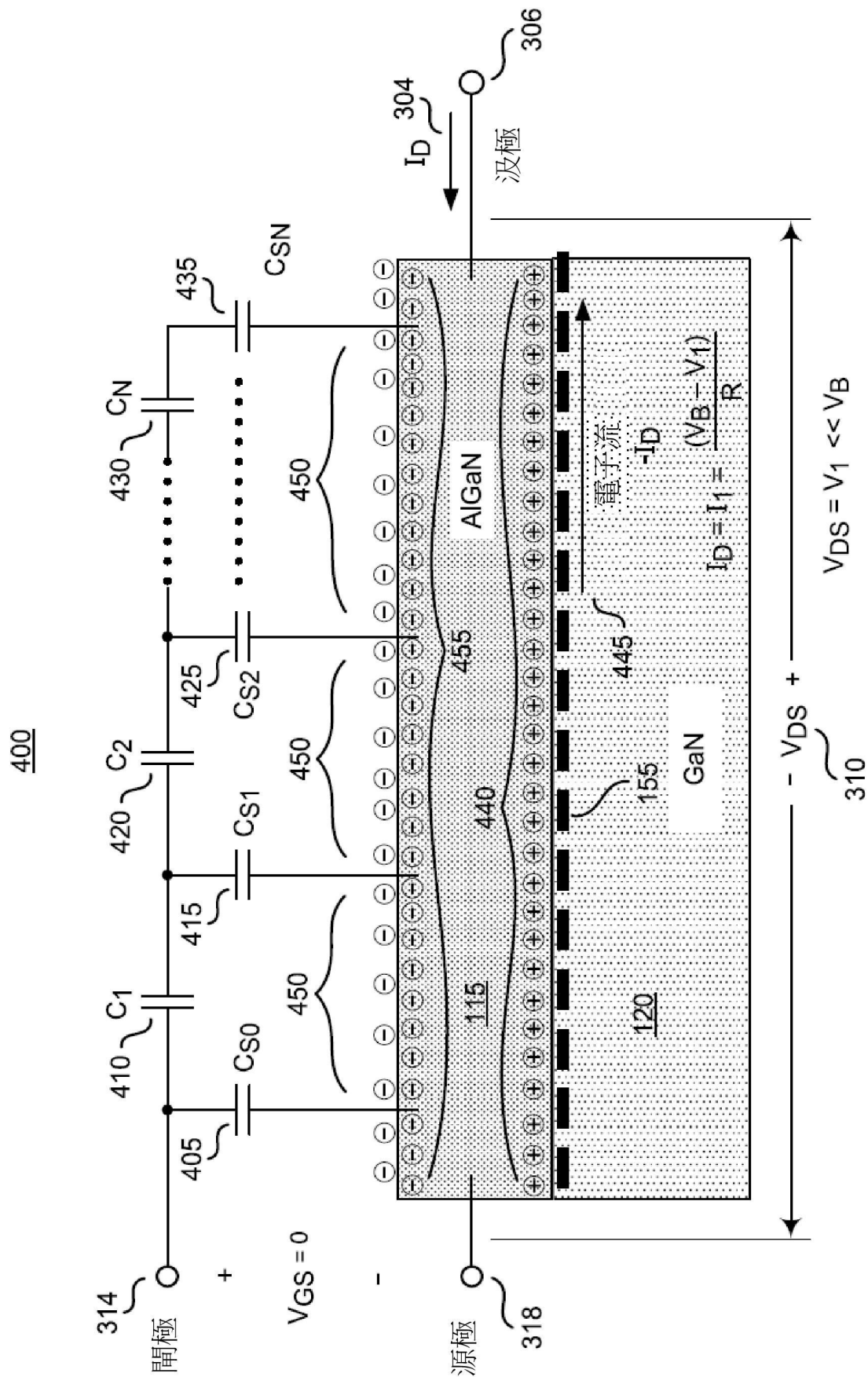
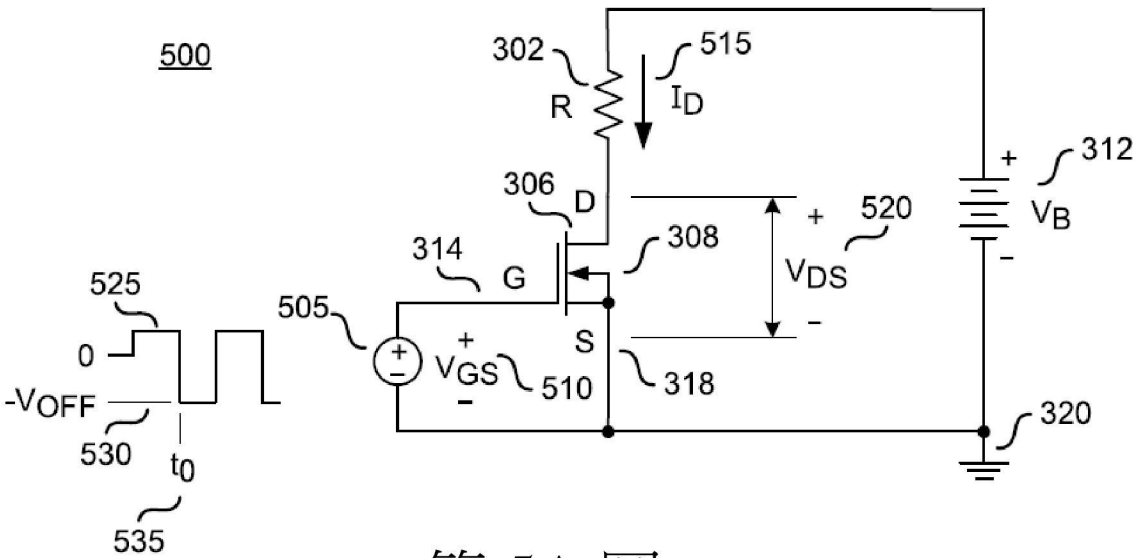
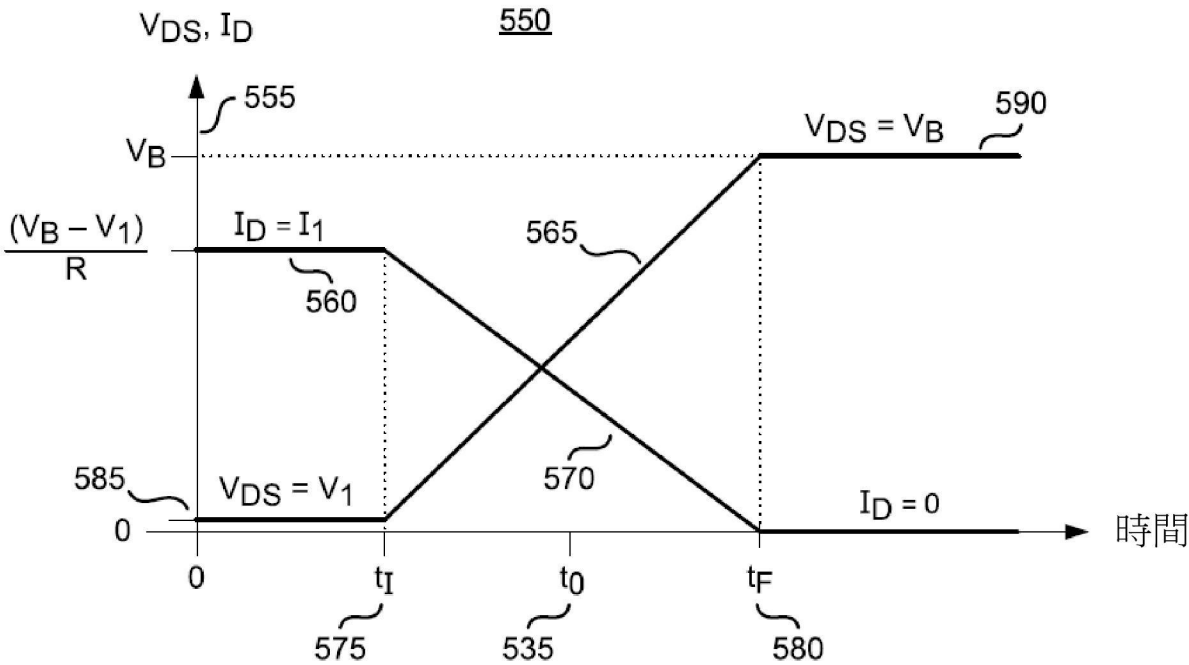


圖
4
錄

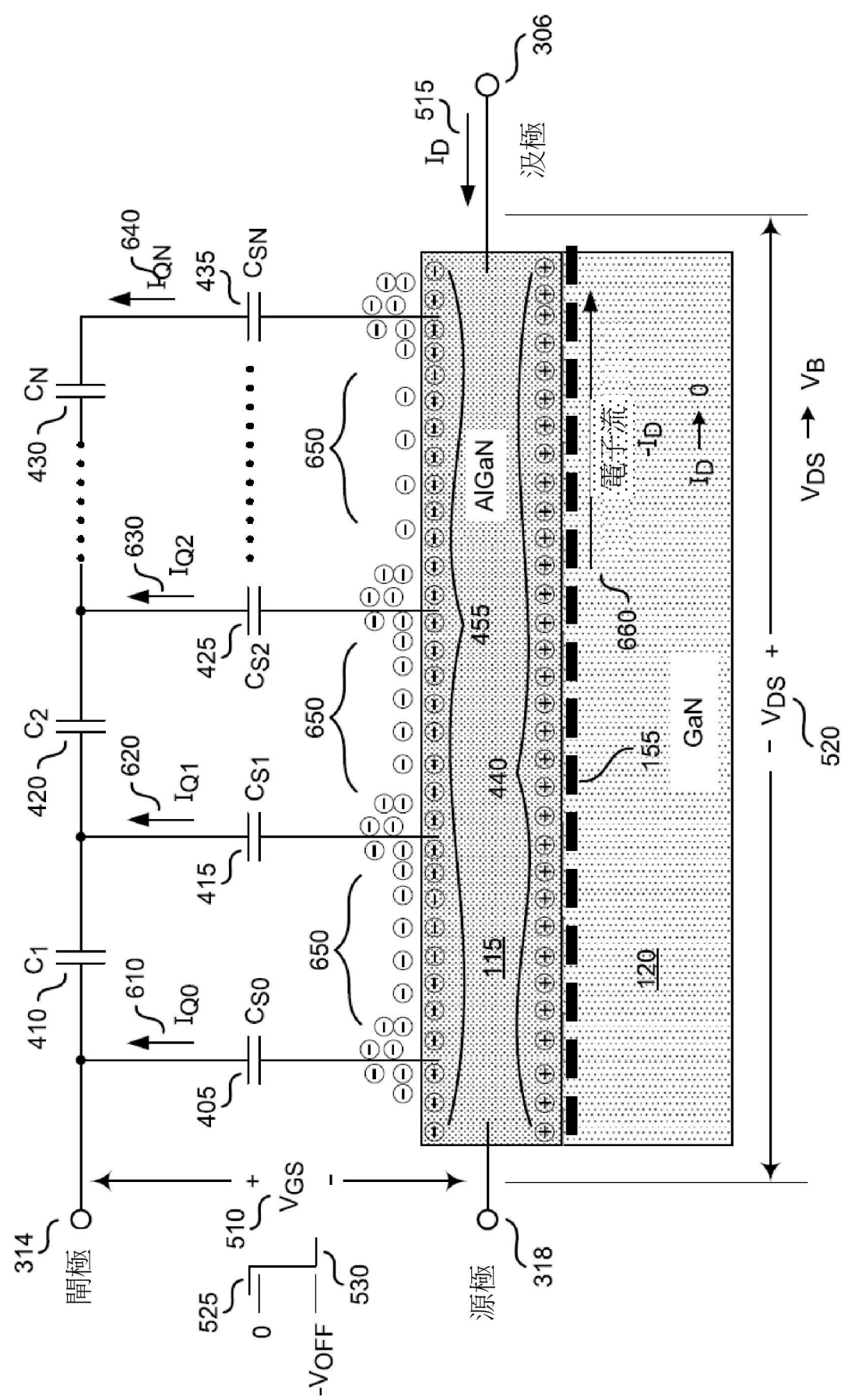


第 5A 圖

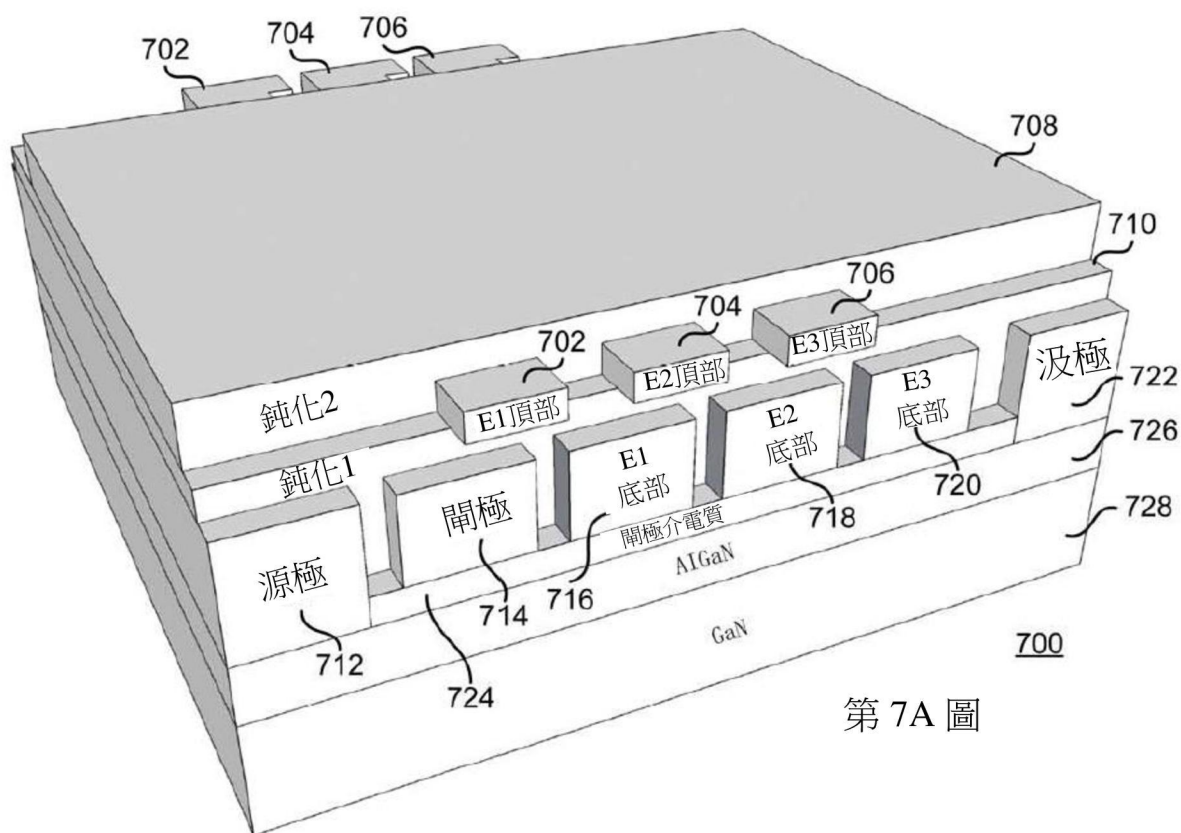


第 5B 圖

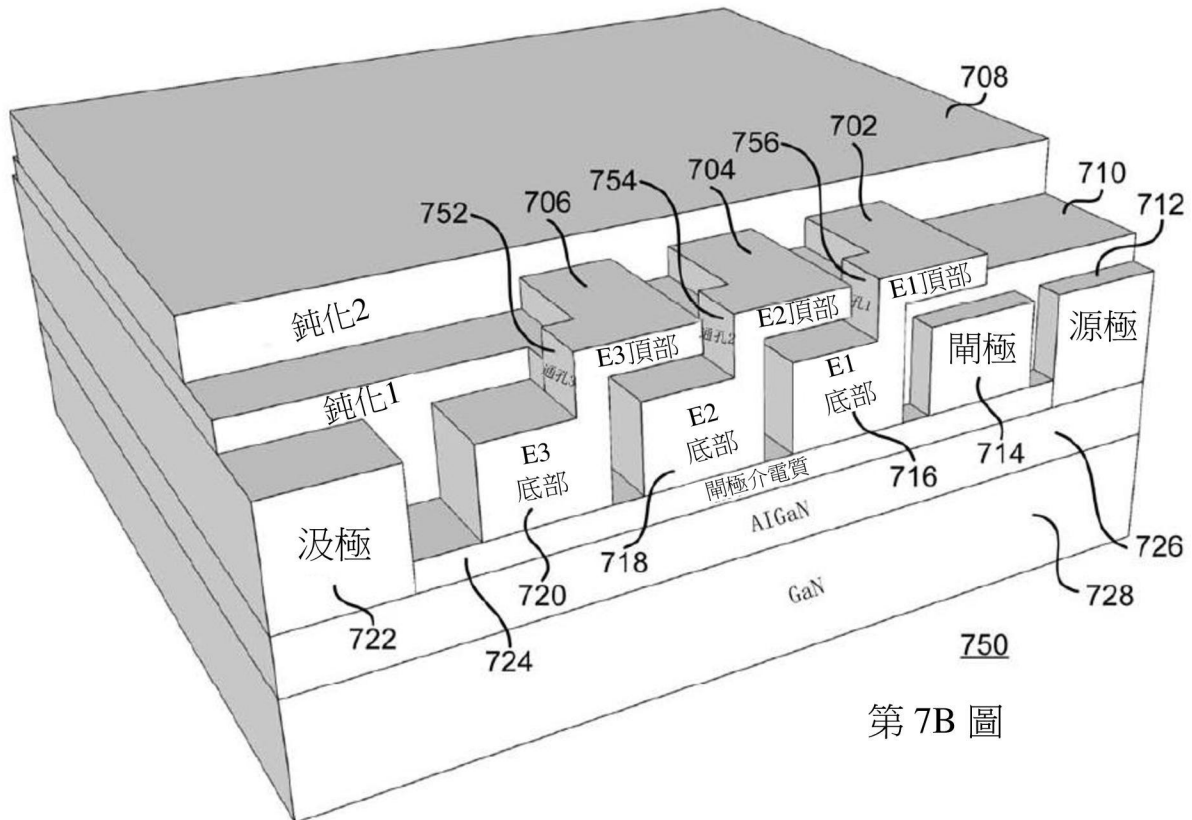
600



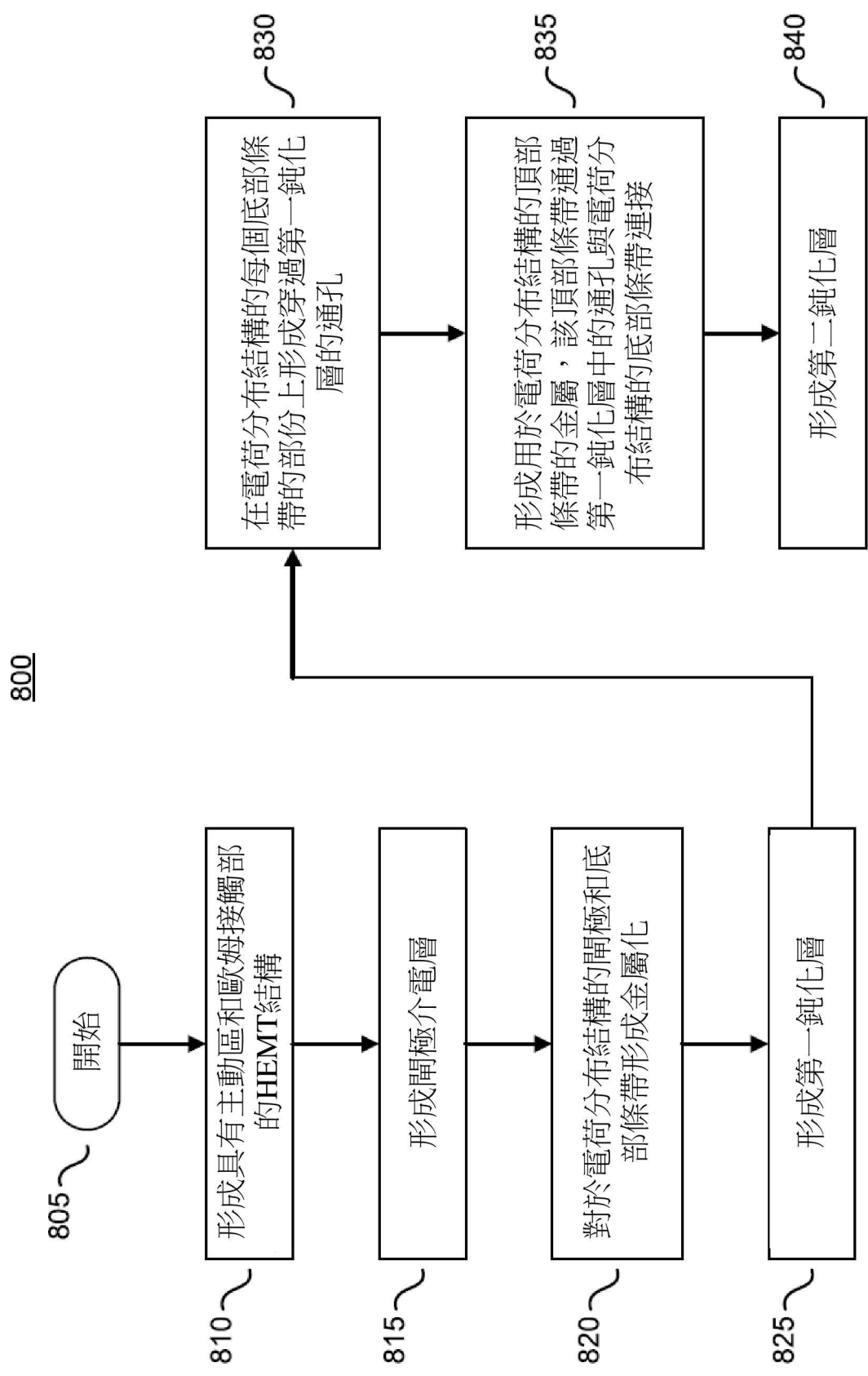
第6圖



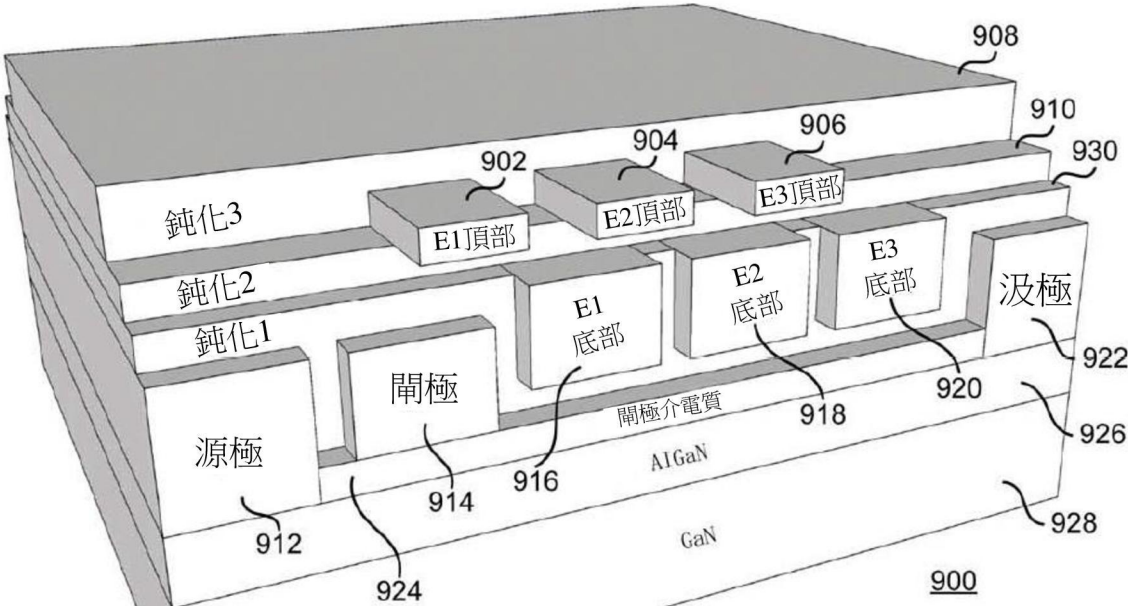
第 7A 圖



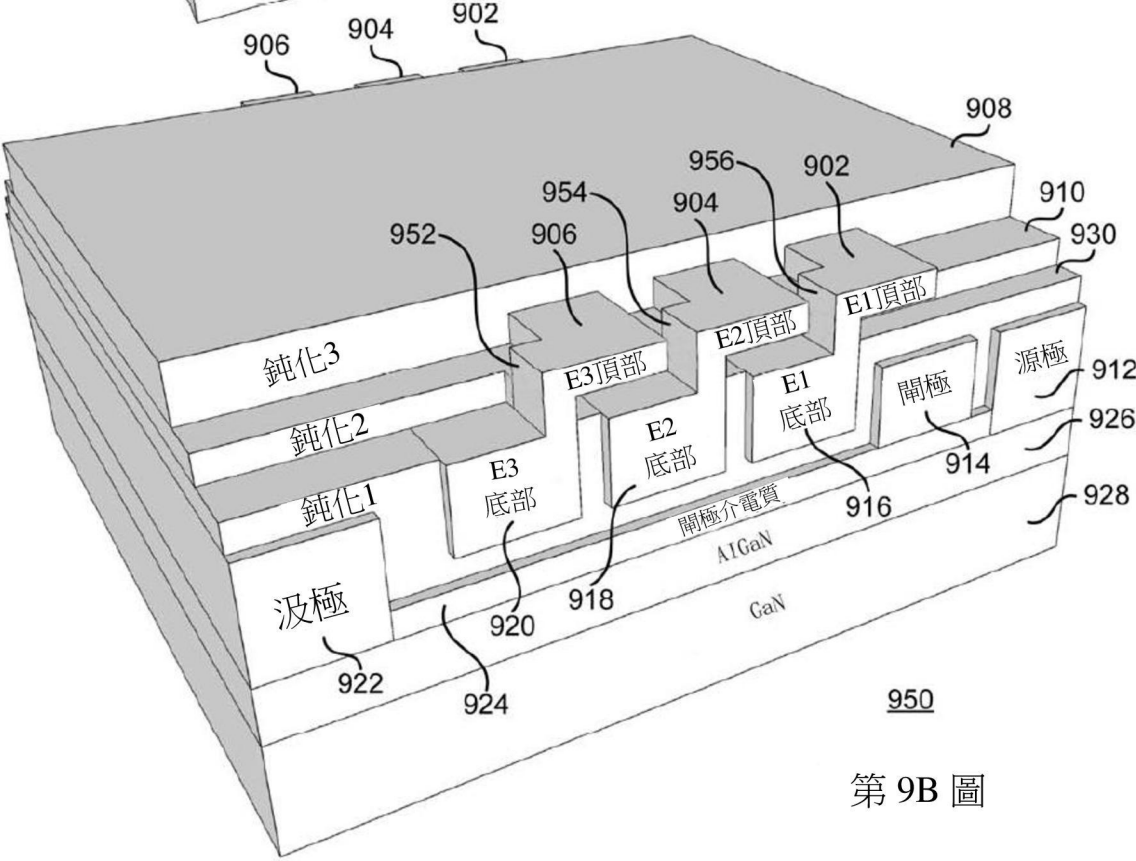
第 7B 圖



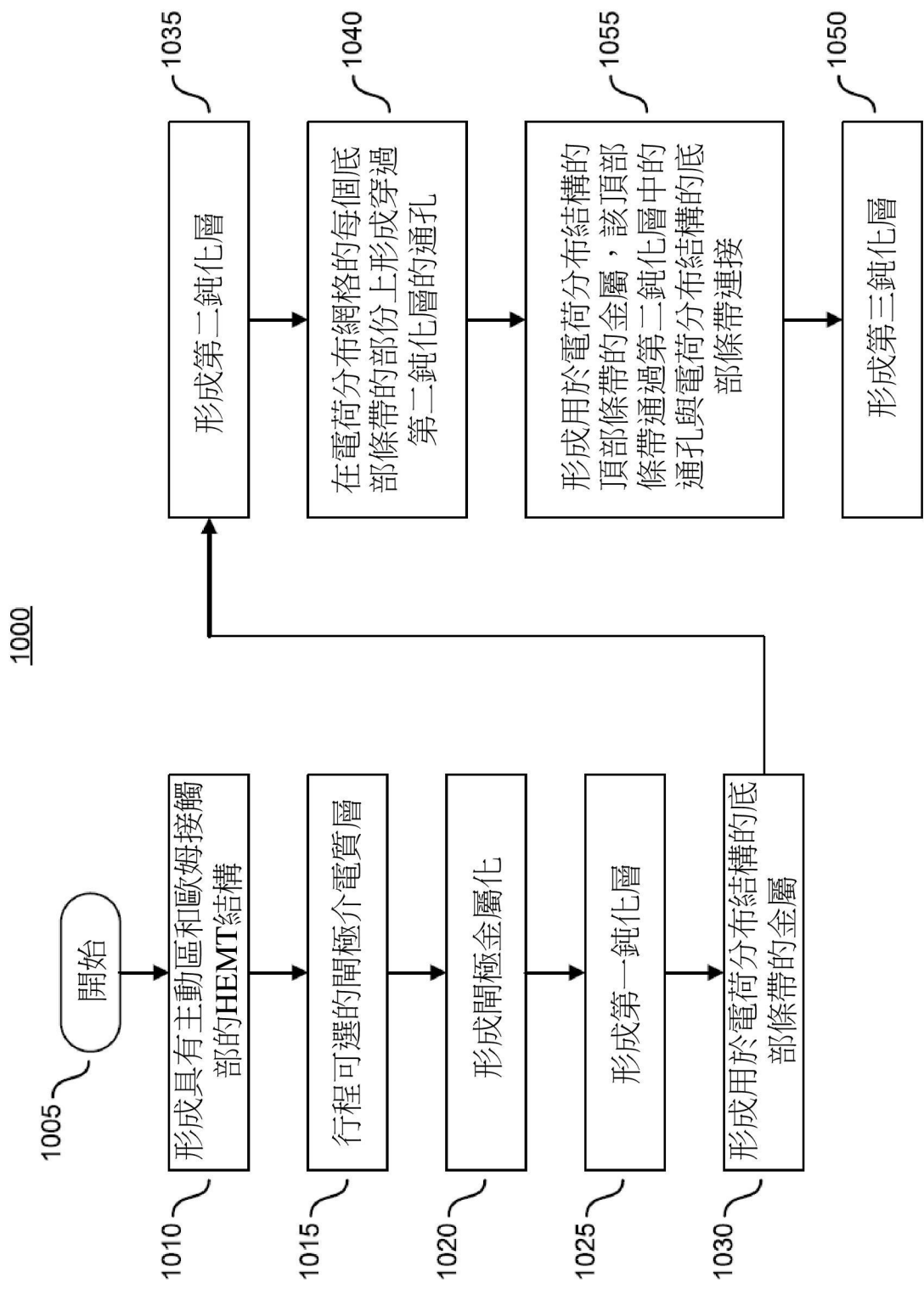
第 8 圖



第 9A 圖



第 9B 圖



第 10 圖