



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

251 045

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 23 10 85
(21) PV 7592-85

(51) Int. Cl.⁴

G 06 F 3/14

(40) Zveřejněno 16 10 86
(45) Vydáno 01 09 88

(75)

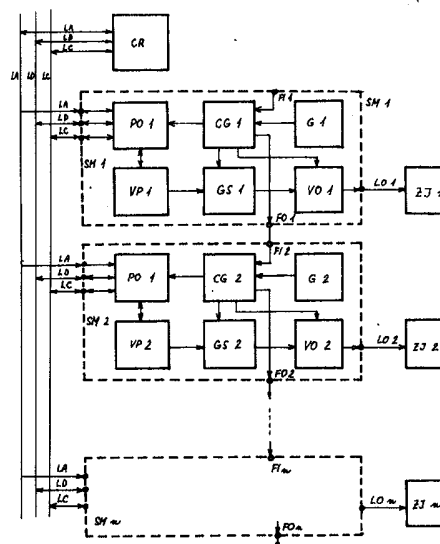
Autor vynálezu

BEČKA KAREL ing.,
POPOV PETR ing., PRAHA

(54)

Zapojení pro rovnocenný časový přenos informací skupině
stykových interfejsových modulů zobrazovacích jednotek

Obvod je vhodný pro indikaci a zobrazování výstupních informací z technologických řídicích systémů s volně programovatelnou strukturou. Podstata řešení spočívá v tom, že skupina n zobrazovacích jednotek je pomocí svých stykových interfejsových modulů a prostřednictvím obousměrné datové řídicí a adresové sběrnice spojena s centrálním řadičem. Interfejsové moduly jsou dále vzájemně spojeny tak, že fázovací výstup k-tého stykového interfejsového modulu je spojen s fázovacím vstupem k + 1 ho stykového interfejsového modulu. Každý stykový interfejsový modul sestává z časovacího generátoru, taktovacího generátoru, připojovacího obvodu, vyrovnávací paměti, generátoru symbolů a videoobvodu.



251 045

Vynález se týká zapojení pro rovnocenný časový přenos informací skupině stykových interfejsových modulů zobrazovaných jednotek.

Pro indikaci a zobrazování výstupních informací z technologických řídicích systémů s volně programovatelnou strukturou se stále častěji používají výstupní obrazovková zařízení - televizní monitory a přijímače.

Každý z technologických řídicích systémů s volně programovatelnou strukturou indikuje a zobrazuje výstupní informace na několika obrazovkových zařízeních s informacemi, které jsou v daném časovém období různé. Zobrazování výstupních informací je proto možné s použitím většího počtu obrazovkových zařízení připojených k centrálnímu řadiči řídicího systému prostřednictvím stykových interfejsových obvodů tak, že každé obrazovkové zařízení je připojeno jedním stykovým obvodem obsahujícím vyrovnávací paměť výstupních informací, připojovací obvody k interní systémové sběrnici řídicích a datových signálů a obvody transformace informací z vyrovnávací paměti přes generátor zobrazovaných symbolů do výstupního přírůbovacího zesilovače, řízené časovacími generátory tak, aby signály časovacích generátorů splňovaly podmínky správné funkce připojených obrazovkových zařízení, přičemž časovací generátory jsou řízeny autonomními taktovacími obvody. Taktovací obvody spolu s časovacími generátory jednotlivých stykových interfejsových obvodů pracují s dlouhodobou stabilitou danou přesností taktovacích

obvodů vzájemně nezávisle, a tak dochází při přenosu informací do vyrovnávací paměti stykových interfejsových obvodů k náhodnému a časově nestálému prolínání povolené doby přenosu informace nutné k dodržení podmínek kvalitního nerušeného zobrazování na obrazovkových zařízeních v době neaktivního běhu paprsku po obrazovce, čímž dochází ke ztrátám strojního času centrálního řadiče řídicího systému a k nerovnoměrnému a k nerovnocennému časovému přenosu informací do vyrovnávacích pamětí stykových interfejsových obvodů obrazovkových zařízení.

Výše uvedené nevýhody odstraňuje zapojení pro rovnocenný časový přenos informací skupině stykových interfejsových modulů zobrazovacích jednotek podle vynálezu, jehož podstata spočívá v tom, že skupina n zobrazovacích jednotek je spojena s výstupy svých stykových interfejsových modulů, spojených vzájemně přes připojovací obvody a s centrálním řadičem prostřednictvím obousměrné datové sběrnice, obousměrné adresové sběrnice a obousměrné řídicí sběrnice. Stykové interfejsové moduly jsou dále vzájemně spojeny tak, že fázovací výstup k -tého stykového interfejsového modulu je spojen s fázovacím vstupem $k + 1$ stykového interfejsového modulu. Každý stykový interfejsový modul sestává z časového generátoru, jehož první vstup je spojen s fázovacím vstupem a jehož první výstup je spojen s fázovacím výstupem stykového interfejsového modulu a jehož druhý vstup je spojen s výstupem taktovacího generátoru a jehož druhý výstup je spojen se vstupem připojovacího obvodu. Výstup připojovacího obvodu je obousměrně spojen se vstupem vyrovnávací paměti, jejíž výstup je spojen s prvním vstupem generátoru symbolů. Druhý vstup generátoru symbolů je spojen s třetím výstupem časovacího generátoru, jehož čtvrtý výstup je spojen s prvním vstupem videoobvodu, jehož druhý vstup je spojen s výstupem generátoru symbolů. Výstup videoobvodu je spojen s výstupem stykového interfejsového modulu.

Příklad zapojení pro rovnocenný časový přenos informací skupině stykových interfejsových modulů zobrazovacích jednotek podle vynálezu je v blokovém schématu znázorněno na přiloženém výkresu.

Skupina n zobrazovacích jednotek ZJ_1 až ZJ_n je spojena s výstupy LO_1 až LO_n svých stykových interfejsových modulů SM_1 až SM_n , spojených vzájemně přes připojovací obvody PO_1 až PO_n a s centrálním řadičem CR prostřednictvím obousměrné datové sběrnice LD ,

obousměrné adresové sběrnice LA a obousměrné řídicí sběrnice LC, dále vzájemně spojených tak, že fázovací výstup FO každého stykového interfejsového modulu SM je spojen s fázovacím vstupem FI následujícího stykového interfejsového modulu.

Každý stykový interfejsový modul SM₁ až SM_n sestává z časovacího generátoru CG, jehož první vstup je spojen s fázovacím vstupem FI a jehož první výstup je spojen s fázovacím výstupem FO stykového interfejsového modulu SM. Druhý vstup časového generátoru CG je spojen s výstupem taktovacího generátoru G a jeho druhý výstup je spojen se vstupem připojovacího obvodu PO. Výstup připojovacího obvodu PO je obousměrně spojen se vstupem vyrovnávací paměti VP, jejíž výstup je spojen s prvním vstupem generátoru GS symbolů, jehož druhý vstup je spojen s třetím výstupem časovacího generátoru CG. Čtvrtý výstup časovacího generátoru CG je spojen s prvním vstupem videoobvodu VO, jehož druhý vstup je spojen s výstupem generátoru GS symbolů. Výstup videoobvodu VO je spojen s výstupem LO stykového interfejsového modulu SM.

Funkce zapojení pro rovnocenný časový přenos informací skupině stykových interfejsových modulů zobrazovacích jednotek podle vynálezu je následující:

Časovací generátory CG řídicí pohyb paprsku po obrazovce zobrazovací jednotky ZJ synchronně s adresováním vyrovnávací paměti VP a transformací informací generátoru GS symbolů jednotlivých stykových modulů SM podle taktovacího kmitočtu taktovacího generátoru G jsou vzájemně svázány vnějšími pomocnými signály na fázovacím vstupu FI a fázovacím výstupu FO tak, že přímé přivedení výstupního fázovacího signálu k -tého stykového interfejsového modulu SM_k na fázovací vstup FI $k+1$ -ho stykového interfejsového modulu SM_{k+1} zajistí vzájemně konstantní časový rozdílový interval funkce časovacích generátorů CG_k a CG_{k+1} při řízení pohybu paprsků po obrazovkách zobrazovacích jednotek ZJ_k a ZJ_{k+1}, přičemž časový rozdílový interval se rovná intervalu nečinného běhu paprsku v době vertikálního zatemnění, a tím zajistí vzájemně rovnocenný časový přístup pro přenos informace do vyrovnávacích pamětí VP přes připojovací obvody PO a sběrnice LA, LD a LC, jejichž prostřednictvím centrální řadič CR dostane údaje o povolené době přenosu informace od jednotlivých stykových interfejsových modulů SM₁ až SM_n a během povolené doby přenosu informace je prostřednictvím sběrnic LA, LD a LC prováděn přenos informací centrálním řadičem CR.

zpět do vyrovnávacích pamětí $\underline{VP}_1$ až $\underline{VP}_n$ stykových interfejsových modulů $\underline{SM}_1$ až $\underline{SM}_n$.

Vynález je založen na předpokladu, že pro zobrazování výstupních informací z řídicího systému s volně programovatelnou strukturou je použita zobrazovací jednotka $\underline{ZJ}$ s rozmítaným a modulovaným paprskem v rastru daném principy současné televizní techniky, kde rastr je tvořen rozmítáním paprsku v horizontálním směru a postupným posunem horizontálního rozmítání ve vertikálním směru s jasovou modulací paprsku, a že každý stykový modul $\underline{SM}$ řídící rozmítání a modulaci paprsku obsahuje vlastní obvody taktovacích generátorů $\underline{G}$, časovacích generátorů $\underline{CG}$, generátor $\underline{GS}$ symbolů, vyrovnávací paměť $\underline{VP}$ zobrazovaných informací, připojovací video-obvody $\underline{VO}$, zobrazovací jednotky $\underline{ZJ}$ a připojovací obvody $\underline{PO}$ ke společným interním systémovým sběrnicím datových signálů $\underline{LD}$, adresovacích signálů $\underline{LA}$ a řídicích signálů $\underline{LC}$ řízených centrálním řadičem $\underline{CR}$ řídicího systému s volně programovatelnou strukturou. Z principů televizní techniky lze odvodit nejvýhodnější dobu pro přenos informací do vyrovnávacích pamětí $\underline{VP}$, kterou je doba nečinného běhu paprsku po rastru ve vertikálním směru, nazývaná dobou zatemněného vertikálního směru pohybu paprsku. Časovým vzájemným posunutím chodu časovacích generátorů $\underline{CG}_1$ až $\underline{CG}_n$ tak, že jejich okamžité stavy budou vzájemně posunuty o dobu zatemněného vertikálního směru pohybu paprsku při zajištění vzájemného časového nepřekrývání se těchto dob u jednotlivých časovacích generátorů $\underline{CG}$, a tak je dosaženo seřazením dob zatemněného vertikálního směru pohybu paprsku za sebou propojením fázovacích výstupů $\underline{PO}_k$ a fázovacích vstupů $\underline{FI}_{k+1}$, a tím rovnoměrného rozdělení časového přístupu k přenosu informací do vyrovnávací paměti $\underline{VP}$ v povolené době přístupu nutné k nerušenému zobrazování a k snížení časových ztrát v řízení centrálního řadiče $\underline{CR}$ řídicího systému. Počet stykových interfejsových obvodů $\underline{SM}$ s vazbou fázovacími signály je omezen počtem časových intervalů doby zatemněného vertikálního směru pohybu paprsku, které lze v celočíselném násobku umístit do časového intervalu doby trvání pohybu paprsku ve vertikálním směru celého rastru.

PŘEDMĚT VYNÁLEZU

251 045

Zapojení pro rovnocenný časový přenos informací skupině stykových interfejsových modulů zobrazovacích jednotek, v y z n a č e n é t í m , že skupina n zobrazovacích jednotek $/ZJ_1$ až $ZJ_n/$ je spojena s výstupy $/LO_1$ až $LO_n/$ svých stykových interfejsových modulů $/SM_1$ až $SM_n/$, spojených vzájemně přes připojovací obvody $/PO_1$ až $PO_n/$ a s centrálním řadičem $/CR/$ prostřednictvím obousměrné datové sběrnice $/LD/$, obousměrné adresové sběrnice $/LA/$ a obousměrné řídicí sběrnice $/LC/$, kde

fázovací výstup $/FO_k/$ k -tého stykového interfejsového modulu $/SM_k/$ je spojen s fázovacím vstupem $/FI_{k+1}/$ $k+1$ -ho stykového interfejsového modulu $/SM_{k+1}/$, přičemž každý stykový interfejsový modul $/SM_1$ až $SM_n/$ sestává z časového generátoru $/CG/$, jehož první vstup je spojen s fázovacím vstupem $/FI/$ a jehož první výstup je spojen s fázovacím výstupem $/FO/$ stykového interfejsového modulu $/SM/$ a jehož druhý vstup je spojen s výstupem taktovacího generátoru $/G/$ a jehož druhý výstup je spojen se vstupem připojovacího obvodu $/PO/$, jehož výstup je obousměrně spojen se vstupem vyrovnávací paměti $/VP/$ a výstup vyrovnávací paměti $/VP/$ je spojen s prvním vstupem generátoru $/GS/$ symbolů , jehož druhý vstup je spojen s třetím výstupem časovacího generátoru $/CG/$, jehož čtvrtý výstup je spojen s prvním vstupem videoobvodu $/VO/$, jehož druhý vstup je spojen s výstupem generátoru $/GS/$ symbolů a výstup videoobvodu $/VO/$ je spojen s výstupem $/LO/$ stykového interfejsového modulu $/SM/$.

1 výkres

