(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 21/66

(45) 공고일자 1997년02월17일
(11) 공고번호 특1997-0001839

(21) 출원번호	특1992-0009119	(65) 공개번호	특1993-0006875
(22) 출원일자	1992년05월28일	(43) 공개일자	1993년04월22일

(30) 우선권주장 91-254801 1991년09월04일 일본(JP)
샤프 가부시끼가이샤 쓰지 하루오
일본국 오사까시 아베노구 나가이께쪼 22-22
(73) 특허권자
일본국 오사까시 아베노구 나가이께쪼 22-22
(72) 발명자 와다나베 도시오
일본국 나라 기다가쭈라기군 간마끼쪼 가다오까다이 3-1-19-101
다나까 준지
(74) 대리인 김영길

심사관 : 유환열 (책자공보 제4821호)

(54) 집적회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

집적회로

[도면의 간단한 설명]

제1도는 종래 반도체장치의 테스트회로의 구성을 보인 회로도.

제2도는 제1도의 반도체장치가 테스트회로 풀다운을 갖는 것을 보인 회로도.

제3도는 종래 집적회로의 기본구조를 보인 필수적 블럭도.

제4도는 동일시각의 테스트모드에서 활성화하는 경우의 복수의 종래 집적회로를 보인 배선도.

제5도는 본 발명의 집적회로의 내부구조를 보인 회로도.

제6도는 동일시각의 테스트모드에서 활성화하는 경우의 본 발명에 의한 복수의 회로들을 보인 배선도.

* 도면의 주요부분에 대한 부호의 설명

3 : 신호단자 5 : 인버터

11,21 : 입력단자 12,22 : 테스트회로

14 : 테스트단자 15 : 풀업용(Pull-up) 저항성 소자

[발명의 상세한 설명]

본 발명은 소정전압이 하나이상의 입력단자로 인가되는 상태에서 소정신호가 모드절환 신호입력단자로 인가된 경우 회로의 모드가 절환되게 하는 기능을 갖는 집적회로에 관한 것이다.

종래의 집적회로에 있어서,

(1) 어느 반도체장치가 예를들어 일본에서 1990년 11월 14일자로 공개된 일본국 특허공개 No. 90-278171에 개시되어 있다.

상기 일본특허 공개자료에서 개시된 반도체장치에는 테스트단자, 테스트회로 및 저항성 소자가 제공되어 있다.

이러한 반도체장치는 입력단자 및 전원사이에서 상기 저항성 소자로서 기능하는 테스트회로를 구비하고 있다.

게다가, 상기 반도체장치는 기본적으로 제1도에 도시된 바와 같이 그리고 추후 설명되는 바와 같이 구성된다.

제1도에서, 참조번호 11, 13 및 14는 각기 입력단자, 입력상태 트랜지스터(input stage transistor) 및 상기 테스트단자를 의미한다.

상기 테스트단자는 풀업용(Pull-up)저항성 소자(15)에 의해 풀업된다.

참조번호(12)는 대규모 온(on)저항성을 갖는 단일 트랜지스터로 구성한 테스트회로이다.

만일 상기 테스트단자(14)가 오픈(open)되거나 또는 하이전압이 상기 테스트단자(14)로 제공되면, 이 테스트회로(12)는 턴오프(turn-off)된다.

한편, 상기 테스트회로(12)는 로우전압이 상기 테스트단자(14)로 인가될 때 턴온(turn-on)된다.

상기 테스트회로(12)가 온되어 있을 때, 상기 대규모 온저항 성분(great ON resistance)을 갖는 트랜지스터를 갖고 있기 때문에 상기 저항성 소자로 작용한다.

그러므로, 상기 저항성 소자는 입력단자(11)와 양 전원(positive power source)사이에 배치되어 서로를 접속하고 이로써 입력단자(11)가 풀업된다.

이와 같이, 상기 입력단자(11)가 테스트회로에 의해 풀업되는 경우가 설명되었다.

그러나, 다음에 설명되는 바와 같이 그리고 제2도에 도시된 바와 같이 상기 테스트회로(22)를 사용하여, 입력단자(21)가 풀다운될 수 있다.

이 경우, 하이전압이 상기 테스트단자(24)에 인가될 때, 입력단자(21)는 풀다운된다.

(2) 한편, 제3도에 도시한 바와 같이 구성된 종래의 반도체장치는 이 기술분야에서 또한 잘 알려져 있다.

제3도에서의 참조번호(30)는 집적회로(β)에서의 필수적 구성 부품회로이다.

이 도면에서, 직접회로(30)의 단자가 부분적으로 예시되어 있다.

테스트모드 설정단자 A는 테스트모드 설정논리회로(32)를 턴온 및 턴오프하는데 필요한 전압신호를 입력하는 단자로서 작용한다.

신호단자 B1, B2, B3는 신호를 입출력하는 단자로 작용할 뿐만아니라 테스트모드중에 필요로 하는 전압레벨을 설정하고 아울러 입력하는 단자로 작용한다.

상기의 집적회로(30)에서, 접지전압 GND이 상기 테스트모드 설정단자 A로 인가될 때, 상기 테스트설정 논리회로(32)는 테스트모드로 절환된다.

따라서, 상기 신호단자 B1은 전원전압 Vcc로 설정되고, 상기 신호전압 B2는 접지전압으로 설정되며, 아울러 상기 신호단자 B3은 어느 기준전압 V_E로 설정된 상태에서 테스트할 수 있다.

또한, 상기 집적회로(30)는 상기 테스트모드 설정단자 A가 전원전압 Vcc로 설정되거나 또는 오프된 경우에는 테스트모드로 남게된다.

그러나, 일본국 특허공개 No. 90-278171에 개시된 반도체장치에서, 집적회로는 상기 입력단자가 오프된 경우에만 테스트모드를 유지할 수 있다.

상기 특허공개에서 개시된 반도체장치에서는 다음과 같은 단점이 있다.

즉, 상기 단자전압을 전원전압 Vcc, 접지전압 GND또는 임의 전압으로 각기 설정하기 위하여 상기 종래의 반도체장치는 둘 이상의 각 회로를 구비할 수 없다.

게다가, 테스트모드에서 제3도에 도시된 복수의 집적회로 β를 동시에 활성화하기 위하여, 각 집적회로 β는 제4도에 도시된 바와 같이 배열되어야 한다.

즉, 상기 테스트모드 설정단자 A에서와 같이 상기 신호입력단자 B1~B3들이 서로 접속할 필요가 있다.

그러므로, 상기 집적회로 β의 수가 증가하는 것이 복잡한 배선을 야기하고, 아울러 상당한 노동과 시간을 필요로 한다.

게다가, 몇몇 단자들은 패키지의 제한된 차원 또는 제한된 공간으로 인하여 배선될 수 없다.

만일, 잡적회로 β가 테스트모드에서 작동(aged)되면, 기본 회로들은 작동되고 반면에 몇몇 회로블럭은 작동하지 않는다. 예를들어, 신호입력단자 B1~B3와 테스트모드 설정단자 A 사이에 설치된 논리회로(31)를 작동할 수 없다.

상기 논리회로(31)가 테스트모드 이외의 다른 모드에서 활성화될 수 있다.

그 결과, 전체회로는 고신뢰성을 제공할 수 없는 또다른 결점이 있다.

따라서, 본 발명은 종래의 집적회로의 제반결점을 극복하기 위한 집적회로를 제공하는데 그 목적이 있다.

즉, 본 발명의 주 목적은 상기 집적회로의 모드가 절환될 수 있도록 하는데 요구되는 감소된 배선수를 갖는 집적회로를 제공하는데 있다.

본 발명의 다른 목적은 전원전압 Vcc, 접지전원 GND 및 임의 전압중 어느 하나를 받아들이기 위한

신호 입력단자를 설정할 수 있는 집적회로를 제공하는데 있다.

본 발명의 또다른 목적은 상기 신호입력단자가 풀업용 트랜지스터 또는 풀다운용 트랜지스터를 구비할 때 사용될 수 있는 집적회로를 제공하는데 있다.

이러한 목적은 다음에서 기술된 바와 같이 달성될 수 있다.

본 발명에 의한 집적회로는 소정의 전압이 어느 전압에서 사용하기 위한 하나 이상의 신호입력단자로 인가되는 상태에서 모드절환단자를 통하여 소정신호전압이 입력될 경우 회로의 모드가 절환될 수 있는 기능을 갖는다.

상기 집적회로는 신호입력단자와 논리회로 사이에서 접속하기 위해 배열된 전압설정회로를 구비한다.

상기 전압설정회로는 모드절환단자를 통하여 입력되는 신호전압에 응답해서 상기 신호입력단자가 접지전압 GND와 전원전압의 범위내에서 임의 전압을 받도록 설정할 수 있다.

앞서 설명된 바와 같이, 상기 집적회로는 상기 신호입력단자와 논리회로 사이에 배열된 전압설정회로를 구비한다.

상기 전압설정회로는 상기 모드절환단자를 통하여 입력된 신호전압에 응답해서 상기 신호입력단자가 접지전압과 전원전압 Vcc의 범위내에서 임의 전압을 받아들이기 위해 설정될 수 있다.

그러므로, 상기 집적회로의 수가 증가된다하더라도 각 집적회로들의 각 신호입력단자들을 서로 접속할 필요가 없다.

이어, 본 발명의 집적회로는 종래의 집적회로에 비해 상대적으로 매우 배선공정에 대한 시간과, 공정 및 필요공간을 감소할 수 있다.

이하, 본 발명의 실시예를 첨부도면에 따라 상세히 설명한다.

제5도는 본 발명의 집적회로의 내부구조를 부분적으로 예시하는 회로도이다.

본 발명의 집적회로 β는 제3도에 도시된 종래의 집적회로의 경우와 마찬가지로 회로동작을 자동으로 테스트하는 기능(테스트모드)를 갖는다.

더욱이, 상기 집적회로 α가 테스트모드로 절환될 때, 신호입력단자와 모드설정단자 A는 종래의 집적회로의 경우와 마찬가지로 인가된다.

상기의 종래의 회로와는 달라서, 본 발명의 집적회로는 각 단자, 즉 모드설정단자 A(모드절환 입력단자에 대응함)와 신호입력단자 B1~B3(논리회로에 대응함) 사이에서 서로 결합하기 위하여 배열된 전압설정회로(40)가 구비되어 있다.

상기 전압설정회로(40)를 다음에서 설명한다.

본 발명의 집적회로는 서로 접속하는 모드설정단자 A와 집적회로(30) 사이에 배열된 인버터(5)를 구비한다.

상기 모드설정단자 A는 상기 인버터(5)의 입력단자에는 물론 p채널 FET(1, 3 : Field Effect Transistors)의 각 게이트에 접속된다.

한편, 상기 인버터(5)의 출력단자는 상기 집적회로(30)에 있는 테스트모드 설정논리회로(32 : 제3도 참조)의 입력단자에는 물론 n-채널 FET(2, 4)의 각 게이트에 접속된다.

상기 FET(2)의 소오스는 접지되고 아울러 그 드레인은 상기 신호단자 B2에 접속된다.

게다가, 상기 FET(3, 4)는 공유된 소오스를 가지고 있고, 아울러 상기 신호단자 B3에 접속된다.

상기 FET(3, 4)의 각 드레인은 기준전압(V_E : $0 < V_E < Vcc$)을 발생하는 전압발생회로(미도시됨)에 접속된다.

종래 회로의 경우에는, 기준전압 V_E는 외부로부터 집적회로에 제공된다.

그러나, 본 발명의 회로에서는, 상기 집적회로내에서 별도로 제공되어 있는 전압발생회로에 의해 공급된다.

상기 전압설정회로(40)의 구성은 상기 테스트모드중에 상기 신호입력단자 B1~B3로 인가되어야 하는 전압에 의해 변화되어야 한다.

상기 FET(2)를 갖는 상기 회로는 상기 신호단자가 전압Vcc(전압전원에 대응함)로 설정되거나 또는 상기 FET(1)를 갖는 회로가 접지전압으로 설정된 경우에 사용될 수 있다.

아울러, 상기 인버터(5)는 상기 신호입력단자 B1~B3가 전원전압 Vcc또는 접지전압 GND으로 설정된 경우에 생략될 수 있다.

앞서 설명된 구성을 갖는 상기 집적회로가 테스트모드로 절환된 경우의 동작설명을 한다.

상기 테스트모드 설정단자 A가 GND 전압으로 설정될 때, 바꾸어 말하면, 신호전압이 상기 모드설정단자 A를 통해서 입력될 때에는 전압 Vcc(전원전압에 대응함)는 상기 인버터(5)로부터 출력된다.

따라서, 상기 FET(1, 2, 3)는 각기 턴온된다.

왜냐하면, 상기 n채널 FET(1과3)의 각 게이트전압은 상기 GND 전압으로 설정되는 반면에 상기 p채널

FET(2와 4)의 각 게이트전압은 전원전압 Vcc으로 설정되기 때문이다.

그 결과, 상기 신호입력단자 B1은 전원전압 Vcc로 설정되고, 상기 신호입력단자 B2는 접지전압으로 설정된다.

그러므로, 상기 기준전압(V_E)이 앞서 설명된 전압발생회로에 의해 신호단자(3)에 인가된다.

또한, 상기 실시예에 있어서, 인버터(미도시됨)는 상기 모드설정 논리회로(32)가 GND 전압에 의해 테스트모드로 절환될 수 있기 때문에 반전된 신호를 복구하기 위해서 회로를 앞선 상태에 별도로 제공되어 있다.

만일 상기 모드설정단자A가 전원전압 Vcc 또는 오픈되었을 때, 상기 FET(1~4)는 상기 모드로 남기 위하여 각기 턴오프된다.

상기 모드로 남으므로써, 신호는 상기 신호입력단자 B1~B3를 통하여 입출력될 수 있다.

앞서 설명된 복수의 집적회로가 테스트모드에서 동시에 작동될 때, 집적회로 α는 제6도에 도시된 바와 같이 배선된다.

즉, 상기 무드설정단자 A가 서로 연락되고 아울러 접지선에 접속되어 있는 동안은 일반적으로 배선될 수 있다.

그러므로, 종래 회로와는 달라서, 테스트모드에서 본 발명의 집적회로를 작동시키기 위하여 상기 신호입력단자 B1~B3를 서로 결합할 필요가 없다.

그 결과, 배선에 필요한 작동시간, 배선공정, 그리고 상기 집적회로 α의 수가 증가된다 하더라도 그 공정에 요구된 작업공간을 감소하는 것이 가능하다.

또한, 상기 기준전압 V_E가 외부에서 상기 신호단자 B1로 얻어진다 하더라도 상기 신호입력단자 B1~B2를 서로 접속하는 것이 필요하지 않는다.

따라서, 종래 회로와 상대적으로 비교하여 볼 때 본 발명의 회로에서는 상기 배선공정이 용이하게 이용될 수 있다.

특히, 전압레벨이 예를들어 제한된 공간으로 인한 상기 신호입력단자 B1~B3를 위해 설정될 수 없는 그러한 경우를 피하는 것이 가능하다.

게다가, 종래 회로와는 달리, 테스트모드에서 열화된때 상기 신호단자 B1은 물론 상기 논리회로(31)를 열화할 수 있다.

그러므로, 더 높은 신뢰성이 전체회로에 있어서 개선될 수 있다.

본 발명의 집적회로는 절환될 어떤 종류의 회로모드를 가질 수 있고, 아울러 그 모드에서 설정하는데 요구된 신호입력단자의 수가 제한되지 않는다.

또한, 상기 집적회로는 하나 이상의 신호입력단자용으로 설정된 전압에 따른 회로모드의 종류를 변경하는데 적합하다.

아울러, 상기 집적회로는 그 패키지로부터 연장되지 않고 상기 신호입력단자를 포함할 수 있다.

(57) 청구의 범위

청구항 1

소정의 전압에서 사용된 적어도 하나의 신호입력단자로 상기 소정전압이 인가될 때 모드절환 입력단자를 통하여 인가된 소정입력 신호전압에 응답해서 회로의 모드가 절환되게 하는 기능을 갖는 접직회로에 있어서, 상기 신호입력단자와 논리회로가 서로 접속하기 위해 그 사이에 배열되고 아울러 상기 모드절환 입력단자를 통해 입력된 신호전압에 의해 접지전압에서 전원전압의 범위내의 전압을 받아들이기 위해 상기 신호 입력단자를 설정하는 전원설정회로를 구비한 것을 특징으로 하는
집적회로.

청구항 2

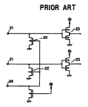
제1항에 있어서, 상기 신호입력단자와 상기 논리회로 사이에 배치되어 접속하기 위한 상기 전압설정회로는 상기 모드절환 단자에 접속된 인버터와, 모드절환단자에 접속된 각 게이트와, 제1신호입력단자와 제3신호입력단자에 각기 접속된 각 드레인단자와, 전원전압과 기준전압에 접속된 각 소오스를 갖는 제1 및 제2전계효과 트랜지스터와, 상기 인버터의 출력단자에 접속된 각 게이트와, 제2신호입력단자에 접속되어서 상기 제3전계효과 트랜지스터의 드레인단자와 공유된 각 드레인단자와, 상기 접지전압과 상기 기준전압에 각기 접속된 각 소오스를 갖는 제2 및 제4 전계효과 트랜지스터를 구비하되, 상기 제3 및 제4 전계효과 트랜지스터가 상기 제3신호입력단자에 접속되는 것을 특징으로 하는 접적회로.

도면

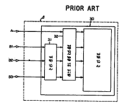
도면1



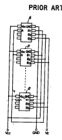
도면2



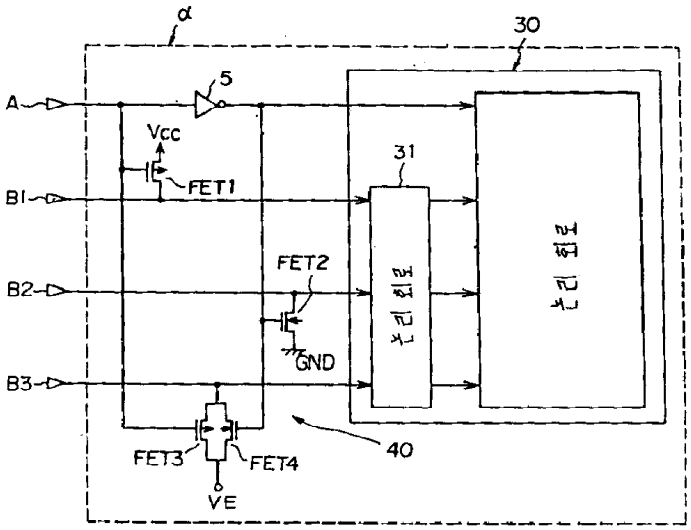
도면3



도면4



도면5



도면6

