

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7504625号  
(P7504625)

(45)発行日 令和6年6月24日(2024.6.24)

(24)登録日 令和6年6月14日(2024.6.14)

(51)国際特許分類

F I

H 0 4 N 25/78 (2023.01)

H 0 4 N 25/585 (2023.01)

H 0 4 N 25/771 (2023.01)

H 0 4 N 25/76 (2023.01)

H 0 4 N 25/78

H 0 4 N 25/585

H 0 4 N 25/771

H 0 4 N 25/76

請求項の数 39 (全36頁)

(21)出願番号	特願2020-33819(P2020-33819)	(73)特許権者	000001007
(22)出願日	令和2年2月28日(2020.2.28)		キヤノン株式会社
(65)公開番号	特開2021-136667(P2021-136667 A)		東京都大田区下丸子3丁目30番2号
(43)公開日	令和3年9月13日(2021.9.13)	(74)代理人	100126240
審査請求日	令和5年2月20日(2023.2.20)		弁理士 阿部 琢磨
		(74)代理人	100223941
			弁理士 高橋 佳子
		(74)代理人	100159695
			弁理士 中辻 七朗
		(74)代理人	100172476
			弁理士 富田 一史
		(74)代理人	100126974
			弁理士 大朋 靖尚
		(72)発明者	中村 恒一
			東京都大田区下丸子3丁目30番2号
			最終頁に続く

(54)【発明の名称】 光電変換装置

(57)【特許請求の範囲】

【請求項1】

第一の光電変換部、第二の光電変換部、フローティングディフュージョン部、並びに前記第一の光電変換部及び第二の光電変換部以外の場所で信号電荷を蓄積する容量素子を有する画素と、

前記第一の光電変換部で生じた信号電荷に基づく信号及び前記第二の光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

電荷蓄積期間中、前記第一の光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、

前記電荷蓄積期間中、前記第二の光電変換部に蓄積される第二の信号電荷に基づく第二の信号と、

前記第二の光電変換部で生じ、前記電荷蓄積期間中は前記容量素子に蓄積される第三の信号電荷に基づく第三の信号と、を読み出し、

前記第一の信号または前記第二の信号に対して行われるアナログデジタル変換の変換期間の長さと、前記第三の信号に対して行われるアナログデジタル変換の変換期間の長さと、が異なることを特徴とする光電変換装置。

【請求項2】

第一の光電変換部、第二の光電変換部、フローティングディフュージョン部、並びに前記第一の光電変換部及び第二の光電変換部以外の場所で信号電荷を蓄積する容量素子を有

する画素と、

前記第一の光電変換部で生じた信号電荷に基づく信号及び前記第二の光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

電荷蓄積期間中、前記第一の光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、

前記電荷蓄積期間中、前記第二の光電変換部に蓄積される第二の信号電荷に基づく第二の信号と、

前記第二の光電変換部で生じ、前記電荷蓄積期間中は前記容量素子に蓄積される第三の信号電荷に基づく第三の信号と、を読み出し、

前記第一の信号または前記第二の信号に対して行われるアナログデジタル変換の分解能と、前記第三の信号に対して行われるアナログデジタル変換の分解能と、が異なることを特徴とする光電変換装置。

【請求項 3】

マイクロレンズを有し、前記画素において前記第一の光電変換部と前記第二の光電変換部とは同一のマイクロレンズの下に配置されることを特徴とする請求項 1 又は請求項 2 のいずれか一項に記載の光電変換装置。

【請求項 4】

前記画素は、前記信号を出力する出力部を備え、前記容量素子はトランジスタによって前記出力部の入力ノードと電気的に接続されることを特徴とする請求項 1 乃至請求項 3 のいずれか一項に記載の光電変換装置。

【請求項 5】

前記第一の信号及び前記第二の信号は、それぞれ、前記出力部の前記入力ノードが前記容量素子と接続されていない状態で出力され、

前記第三の信号電荷は、前記出力部の入力ノードと前記容量素子とが接続された状態で出力されることを特徴とする請求項 4 に記載の光電変換装置。

【請求項 6】

前記第一の光電変換部の感度が、前記第二の光電変換部の感度と異なることを特徴とする、請求項 1 乃至請求項 5 のいずれか一項に記載の光電変換装置。

【請求項 7】

前記第一の光電変換部の受光面の面積は、前記第二の光電変換部の受光面の面積と異なることを特徴とする請求項 1 乃至請求項 6 のいずれか一項に記載の光電変換装置。

【請求項 8】

前記第一の光電変換部上に存在する第一のフィルターと、前記第二の光電変換部上に存在する第二のフィルターとを備え、

前記第一のフィルターの光透過率は、前記第二のフィルターの光透過率と異なることを特徴とする請求項 1 乃至請求項 7 のいずれか一項に記載の光電変換装置。

【請求項 9】

前記第一の光電変換部の感度は前記第二の光電変換部の感度よりも高いことを特徴とする請求項 1 乃至請求項 8 のいずれか一項に記載の光電変換装置。

【請求項 10】

前記第一の光電変換部の受光面の面積は、前記第二の光電変換部の受光面の面積よりも大きいことを特徴とする請求項 1 乃至請求項 9 のいずれか一項に記載の光電変換装置。

【請求項 11】

前記第一の信号に対して行われる第一のアナログデジタル変換の変換期間が、前記第二の信号に対して行われる第二のアナログデジタル変換の変換期間よりも長いことを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 12】

前記第一の信号に対して行われる第一のアナログデジタル変換の変換期間が、前記第二の信号に対して行われる第二のアナログデジタル変換の変換期間よりも短いことを特徴と

10

20

30

40

50

する、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 13】

前記第一の信号に対して行われる第一のアナログデジタル変換の変換期間が、前記第三の信号に対して行われる第三のアナログデジタル変換の変換期間よりも長いことを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 14】

前記第一の信号に対して行われる第一のアナログデジタル変換の変換期間が、前記第三の信号に対して行われる第三のアナログデジタル変換の変換期間よりも短いことを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 15】

前記第二の信号に対して行われる第二のアナログデジタル変換の変換期間が、前記第三の信号に対して行われる第三のアナログデジタル変換の変換期間よりも長いことを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 16】

前記第二の信号に対して行われる第二のアナログデジタル変換の変換期間が、前記第三の信号に対して行われる第三のアナログデジタル変換の変換期間よりも短いことを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 17】

前記第一の信号をデジタルデータに変換する第一の分解能と、前記第二の信号をデジタルデータに変換する第二の分解能とが異なることを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 18】

前記第一の信号をデジタルデータに変換する第一の分解能と、前記第三の信号をデジタルデータに変換する第三の分解能とが異なることを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 19】

前記第二の信号をデジタルデータに変換する第二の分解能と、前記第三の信号をデジタルデータに変換する第三の分解能とが異なることを特徴とする、請求項 6 乃至請求項 10 のいずれか一項に記載の光電変換装置。

【請求項 20】

前記アナログデジタル変換部は、参照信号を出力する参照信号源と、前記信号と前記参照信号とを比較する比較器とを備え、

前記参照信号の掃引を開始してから前記信号と前記参照信号との大小関係が反転するまでの時間に応じたデジタルデータを取得することを特徴とする請求項 1 乃至請求項 19 のいずれか一項に記載の光電変換装置。

【請求項 21】

前記参照信号の振幅の一端から他端まで掃引するのに要する時間が、アナログデジタル変換の変換期間の長さであることを特徴とする請求項 20 記載の光電変換装置。

【請求項 22】

前記アナログデジタル変換部はカウンタを有し、

前記カウンタがカウントを開始してから終了するまでに要する時間が、アナログデジタル変換の変換期間の長さであることを特徴とする請求項 20 記載の光電変換装置。

【請求項 23】

アナログデジタル変換における逐次比較の回数が異なることで、アナログデジタル変換の変換期間の長さが異なることを特徴とする請求項 1 乃至請求項 19 のいずれか一項に記載の光電変換装置。

【請求項 24】

前記アナログデジタル変換部は、参照信号を出力する参照信号源と、前記信号と前記参照信号とを比較する比較器とを備え、

前記第一のアナログデジタル変換に用いられる参照信号に対してオフセットを付与した

10

20

30

40

50

信号を、前記第二のアナログデジタル変換に用いられる参照信号とすることを特徴とする請求項 1 記載の光電変換装置。

【請求項 25】

前記第一の信号、前記第二の信号、及び、前記第三の信号を増幅する増幅回路を備える光電変換装置であって、

前記第一の信号、前記第二の信号、及び、前記第三の信号のうち、少なくとも二つの信号に対して互いに異なる増幅ゲインを適用することを特徴とする請求項 1 乃至請求項 24 のいずれか一項に記載の光電変換装置。

【請求項 26】

光電変換部と、フローティングディフュージョン部と、容量素子と、前記光電変換部で生じた信号電荷を受ける入力ノードを有し、前記信号電荷に基づく信号を出力する出力部とを有する画素と、

前記信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

前記容量素子は、トランジスタを介して前記入力ノードと電気的に接続されることにより前記入力ノードの容量の一部を構成し、

前記容量素子と前記入力ノードとが電気的に接続されている場合に前記出力部から出力される第一の信号と、前記容量素子と前記入力ノードとが電気的に接続されていない場合に前記出力部から出力される第二の信号と、に対して行われるアナログデジタル変換の変換期間の長さが互いに異なることを特徴とする光電変換装置。

【請求項 27】

光電変換部と、フローティングディフュージョン部と、容量素子と、前記光電変換部で生じた信号電荷を受ける入力ノードを有し、前記信号電荷に基づく信号を出力する出力部を有する画素と、

前記信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

前記容量素子は、トランジスタを介して前記入力ノードと電気的に接続されることにより前記入力ノードの容量の一部を構成し、

前記容量素子と前記入力ノードとが電気的に接続されている場合に前記出力部から出力される第一の信号と、前記容量素子と前記入力ノードとが電気的に接続されていない場合に前記出力部から出力される第二の信号と、に対して行われるアナログデジタル変換の分解能が互いに異なることを特徴とする光電変換装置。

【請求項 28】

前記画素はセレクトスイッチを含み、前記セレクトスイッチがオン状態の期間において、前記容量素子と前記入力ノードとが電気的に接続されている場合と、前記容量素子と前記入力ノードとが電気的に接続されていない場合と、が切り替わることを特徴とする請求項 26 又は請求項 27 のいずれか一項に記載の光電変換装置。

【請求項 29】

複数の前記画素は複数行に配され、前記複数行のうちの 1 行の読み出し期間において、前記容量素子と前記入力ノードとが電気的に接続されている場合と、前記容量素子と前記入力ノードとが電気的に接続されていない場合と、が切り替わることを特徴とする請求項 26 乃至請求項 28 のいずれか一項に記載の光電変換装置。

【請求項 30】

光電変換部と、フローティングディフュージョン部とを有する画素と、前記光電変換部で生じた信号電荷を前記光電変換部以外の場所で蓄積する容量素子と、前記光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

電荷蓄積期間中、前記光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中は前記容量素子に蓄積される第二の信号電荷に基づく第二の信号と、を読み出し、

10

20

30

40

50

前記第一の信号、前記第二の信号に対して行われるアナログデジタル変換の変換期間の長さが互いに異なることを特徴とする光電変換装置。

【請求項 3 1】

光電変換部と、フローティングディフュージョン部とを有する画素と、前記光電変換部で生じた信号電荷を前記光電変換部以外の場所で蓄積する容量素子と、前記光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、

電荷蓄積期間中、前記光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中は前記容量素子に蓄積される第二の信号電荷に基づく第二の信号と、を読み出し、

前記第一の信号、前記第二の信号に対して行われるアナログデジタル変換の分解能が互いに異なることを特徴とする光電変換装置。

【請求項 3 2】

前記画素を複数備えることを特徴とする請求項 1 乃至 2 8 のいずれか一項に記載の光電変換装置。

【請求項 3 3】

前記光電変換装置は複数の半導体基板を積層して構成されることを特徴とする請求項 1 乃至請求項 3 2 のいずれか一項に記載の光電変換装置。

【請求項 3 4】

前記第一の信号と減算処理を行うための第一のリセット信号、前記第二の信号と減算処理を行うための第二のリセット信号、及び、前記第三の信号と減算処理を行うための第三のリセット信号を出力することを特徴とする請求項 1 乃至請求項 2 5 のいずれか一項に記載の光電変換装置。

【請求項 3 5】

前記第一の信号、前記第二の信号、及び、前記第三の信号と、前記第一のリセット信号、前記第二のリセット信号、及び、前記第三のリセット信号とが、前記第二のリセット信号、前記第二の信号、前記第三の信号、前記第三のリセット信号、前記第一のリセット信号、前記第一の信号、の順に読み出されることを特徴とした請求項 3 4 記載の光電変換装置。

【請求項 3 6】

請求項 1 乃至 2 5 のいずれか一項に記載の光電変換装置と、  
前記光電変換装置から出力された信号に対して処理を行う処理装置と、  
を有することを特徴とする撮像システム。

【請求項 3 7】

前記処理装置は、前記第一の信号に基づいて生成された第一のデジタル信号、前記第二の信号に基づいて生成された第二のデジタル信号、前記第三の信号に基づいて生成された第三のデジタル信号からいずれか 1 つのデジタル信号を選択して画像を形成することを特徴とする請求項 3 6 記載の撮像システム。

【請求項 3 8】

移動体であって、  
請求項 1 乃至 2 5 のいずれか一項に記載の光電変換装置と、  
前記光電変換装置から出力された信号に対して処理を行う処理装置と、  
前記処理の結果に基づいて前記移動体を制御する制御手段と、を有することを特徴とする移動体。

【請求項 3 9】

前記処理装置は、前記第一の信号に基づいて生成された第一のデジタル信号、前記第二の信号に基づいて生成された第二のデジタル信号、前記第三の信号に基づいて生成された第三のデジタル信号からいずれか 1 つのデジタル信号を選択して画像を形成することを特徴とする請求項 3 8 記載の移動体。

【発明の詳細な説明】

10

20

30

40

50

## 【技術分野】

## 【0001】

本発明は、光電変換装置に関する。

## 【背景技術】

## 【0002】

近年、ダイナミックレンジの広い光電変換装置が求められている。ダイナミックレンジを拡大する手段として、非特許文献1には、画素内に受光面積の大きいフォトダイオードと、受光面積の小さいフォトダイオードと、オーバーフロー用の容量を配置した画素を備えた撮像装置が開示されている。非特許文献1に記載の撮像装置は、3つの信号を読み出すことで、ダイナミックレンジの拡大を実現している。まず、受光面積の大きいフォトダイオードで光電変換された電荷を、フローティングディフュージョン（以降、FDとよぶ）容量で電圧変換した信号と、受光面積の小さいフォトダイオードで光電変換された電荷をFD容量で電圧変換した信号と、が読み出される。撮像装置は、さらに、受光面積の小さいフォトダイオードで光電変換され、オーバーフローした電荷をFD容量とオーバーフロー用容量の合成容量で電圧変換した信号を読み出す。

10

## 【先行技術文献】

## 【非特許文献】

## 【0003】

【文献】Manuel Innocent, et al. "Pixel with nested photo diodes and 120 dB single exposure dynamic range" IISW Dig. Tech. Papers, pp. 13, June 2019.

20

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

非特許文献1に記載の撮像装置では、受光面積の大きいフォトダイオードの信号と、受光面積の小さいフォトダイオードの信号と、オーバーフロー用の容量に蓄積された信号のそれぞれを順次読み出している。非特許文献1には、3つの信号に対してアナログデジタル変換（以降AD変換）を行うことについて開示はなく、また、どのようにAD変換を行うかについて開示も示唆もない。

30

## 【0005】

これらの信号は扱う信号範囲と扱う輝度範囲が異なる。各信号の信号値の取りうる範囲は、撮像装置の回路構成あるいは素子構成に応じて決まり、典型的には共通である。しかし、この信号値の取りうる範囲のうちどの部分が実際に画像データに用いられるかは、各信号が扱う輝度範囲の設定に応じて変わる。例えば3つの信号の1つについては、取りうる信号値の範囲のうち一部だけが画像データに用いられることがある。そのため、これらの3つの信号に対して同一のAD変換を行うと、信号によっては冗長な動作が存在する可能性がある。冗長な動作を省略したり、あるいは、別の動作に置換したりすることで、例えばAD変換期間の短縮やAD変換の分解能の最適化など、AD変換性能を向上させる余地がある。

40

## 【0006】

本発明は上記課題を鑑みてなされたものであり、AD変換性能を向上させることを目的とする。

## 【課題を解決するための手段】

## 【0007】

本発明の一つの側面は、光電変換装置であって、第一の光電変換部、第二の光電変換部、フローティングディフュージョン部、並びに前記第一の光電変換部及び第二の光電変換部以外の場所で信号電荷を蓄積する容量素子を有する画素と、前記第一の光電変換部で生じた信号電荷に基づく信号及び前記第二の光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって

50

、電荷蓄積期間中、前記第一の光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中、前記第二の光電変換部に蓄積される第二の信号電荷に基づく第二の信号と、前記第二の光電変換部で生じ、前記電荷蓄積期間中は前記容量素子に蓄積される第三の信号電荷に基づく第三の信号と、を読み出し、前記第一の信号または前記第二の信号に対して行われるアナログデジタル変換の変換期間の長さと、前記第三の信号に対して行われるアナログデジタル変換の変換期間の長さと、が異なる。

【 0 0 0 8 】

本発明の別の側面に係る実施例の光電変換装置は、第一の光電変換部、第二の光電変換部、フローティングディフュージョン部、並びに前記第一の光電変換部及び第二の光電変換部以外の場所で信号電荷を蓄積する容量素子を有する画素と、前記第一の光電変換部で生じた信号電荷に基づく信号及び前記第二の光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、電荷蓄積期間中、前記第一の光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中、前記第二の光電変換部に蓄積される第二の信号電荷に基づく第二の信号と、前記第二の光電変換部で生じ、前記電荷蓄積期間中は前記容量素子に蓄積される第三の信号電荷に基づく第三の信号と、を読み出し、前記第一の信号または前記第二の信号に対して行われるアナログデジタル変換の分解能と、前記第三の信号に対して行われるアナログデジタル変換の分解能と、が異なる。

10

【 0 0 0 9 】

本発明の別の側面に係る実施例の光電変換装置は、光電変換部と、フローティングディフュージョン部と、容量素子と、前記光電変換部で生じた信号電荷を受ける入力ノードを有し、前記信号電荷に基づく信号を出力する出力部とを有する画素と、前記信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、前記容量素子は、トランジスタを介して前記入力ノードと電気的に接続されることにより前記入力ノードの容量の一部を構成し、前記容量素子と前記入力ノードとが電気的に接続されている場合に前記出力部から出力される第一の信号と、前記容量素子と前記入力ノードとが電気的に接続されていない場合に前記出力部から出力される第二の信号と、に対して行われるアナログデジタル変換の変換期間の長さが互いに異なる。

20

【 0 0 1 0 】

本発明の別の側面に係る実施例の光電変換装置は、光電変換部と、フローティングディフュージョン部と、容量素子と、前記光電変換部で生じた信号電荷を受ける入力ノードを有し、前記信号電荷に基づく信号を出力する出力部を有する画素と、前記信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、前記容量素子は、トランジスタを介して前記入力ノードと電気的に接続されることにより前記入力ノードの容量の一部を構成し、前記容量素子と前記入力ノードとが電気的に接続されている場合に前記出力部から出力される第一の信号と、前記容量素子と前記入力ノードとが電気的に接続されていない場合に前記出力部から出力される第二の信号と、に対して行われるアナログデジタル変換の分解能が互いに異なる。

30

【 0 0 1 1 】

本発明の別の側面に係る実施例の光電変換装置は、光電変換部と、フローティングディフュージョン部とを有する画素と、前記光電変換部で生じた信号電荷を前記光電変換部以外の場所で蓄積する容量素子と、前記光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、電荷蓄積期間中、前記光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中は前記容量素子に蓄積される第二の信号電荷に基づく第二の信号と、を読み出し、前記第一の信号、前記第二の信号に対して行われるアナログデジタル変換の変換期間の長さが互いに異なる。

40

【 0 0 1 2 】

本発明の別の側面に係る実施例の光電変換装置は、光電変換部と、フローティングディフュージョン部とを有する画素と、前記光電変換部で生じた信号電荷を前記光電変換部以

50

外の場所で蓄積する容量素子と、前記光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、電荷蓄積期間中、前記光電変換部に蓄積される第一の信号電荷に基づく第一の信号と、前記電荷蓄積期間中は前記容量素子に蓄積される第二の信号電荷に基づく第二の信号と、を読み出し、前記第一の信号、前記第二の信号に対して行われるアナログデジタル変換の分解能が互いに異なる。

【 0 0 1 3 】

本発明の別の側面に係る実施例の光電変換装置は、光電変換部を有する画素と、前記光電変換部で生じた信号電荷に基づく信号をアナログデジタル変換するためのアナログデジタル変換部と、を含む光電変換装置であって、前記アナログデジタル変換部は、アナログデジタル変換のための参照信号と前記信号とを比較する比較器とを備え、前記参照信号の取りうる第一の電位範囲が、前記参照信号と比較される前記信号が取りうる第二の電位範囲よりも狭い。

10

【発明の効果】

【 0 0 1 4 】

本発明によれば、A D変換性能を向上させることができる。

【図面の簡単な説明】

【 0 0 1 5 】

【図 1】実施例にかかる光電変換装置の概略図である。

【図 2】実施例にかかる光電変換装置の画素回路の構成例である。

20

【図 3】実施例にかかる光電変換装置の平面構造を模式的に示す図面である。

【図 4】実施例にかかる光電変換装置の画素回路の動作を説明するタイミングチャートである。

【図 5】実施例にかかる光電変換装置のA D変換の方式を説明する図面である。

【図 6】実施例にかかる光電変換装置のランプ源の（ a ）構成例、（ b ）動作を説明するタイミングチャートである。

【図 7】実施例にかかる光電変換装置における各信号の輝度と信号振幅の関係を説明する図面である。

【図 8】実施例にかかる光電変換装置における各信号の輝度とデジタルデータの関係を説明する図面である。

30

【図 9】実施例にかかる光電変換装置における各信号の輝度と信号振幅の関係を説明する図面である。

【図 1 0】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャートである。

【図 1 1】実施例にかかる光電変換装置における各信号の輝度と信号振幅の関係を説明する図面である。

【図 1 2】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャートである。

【図 1 3】実施例にかかる光電変換装置における各信号の輝度と信号振幅の関係を説明する図面である。

40

【図 1 4】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャートである。

【図 1 5】実施例にかかる光電変換装置における各信号の輝度と信号振幅の関係を説明する図面である。

【図 1 6】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャートである。

【図 1 7】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャートである。

【図 1 8】実施例にかかる光電変換装置の概略図である。

【図 1 9】実施例にかかる光電変換装置のA D変換部の動作を説明するタイミングチャー

50



トである。

【図 2 0】実施例にかかる光電変換装置の A D 変換部の動作を説明するタイミングチャートである。

【図 2 1】積層構成の光電変換装置の概略図である。

【図 2 2】撮像システムの実施例のブロック図である。

【図 2 3】移動体の実施例のブロック図である。

【発明を実施するための形態】

【 0 0 1 6 】

( 実施例 1 )

本実施例を実施するための形態の一例について図面を用いて説明する。図 1 は本実施例にかかる光電変換装置の構成を示す概略図である。本実施例の光電変換装置は、撮像装置、測距センサ、赤外線センサ、放射線センサ、その他の光検知センサに適用される。

10

【 0 0 1 7 】

図 1 の光電変換装置は、マトリクス上に配置された画素回路 1 0 からなる画素部 6 0、電流源 1 1 からなる電流源群 6 1、列ごとの比較回路 6 4、ランブ源 6 3、列ごとの列メモリ 6 5、カウンタ回路 6 6、演算処理部 6 6 を含む。

【 0 0 1 8 】

画素回路 1 0 は、入射光を信号に変換し、入射光に基づく信号を出力する。電流源 1 1 は後述のソースフォロワトランジスタに電流を供給し、当該ソースフォロワトランジスタとともにソースフォロワ回路を構成する。ソースフォロワ回路を出力部として、画素回路 1 0 から読み出された信号は垂直出力線 1 2 に出力される。

20

【 0 0 1 9 】

比較回路 6 4、ランブ源 6 3、および、カウンタ回路 6 6 が、画素回路 1 0 から出力された信号に対してアナログデジタル変換（以降 A D 変換）を行うアナログデジタル変換部の一例である。比較回路 6 4 の 2 つの入力には、垂直出力線 1 2 とランブ源 6 3 の出力とがそれぞれ接続される。ランブ源 6 3 は、ランブ信号などの A D 変換に用いられる参照信号を出力する参照信号源の一例である。比較回路 6 4 は垂直出力線 1 2 の電位とランブ源 6 3 の出力電位とを比較する比較器であり、電位の大小関係が反転すると、比較回路 6 4 の出力電位は H i g h から L o w、もしくは L o w から H i g h に反転する。比較回路 6 4 の出力には列メモリ 6 5 が接続される。列メモリ 6 5 はさらにカウンタ回路 6 7 の出力が入力され、列メモリ 6 5 では比較回路 6 4 の出力電位が反転したときにカウンタ回路 6 7 が出力するカウント値をデジタルデータとして記憶する。A D 変換が行われた後に列メモリ 6 5 に記憶されるデジタルデータは、画素回路 1 0 から出力された信号から変換されたデジタルデータである。

30

【 0 0 2 0 】

列メモリ 6 5 に記憶されたデジタルデータを演算処理部 6 6 に転送し、演算処理部 6 6 で前述の C D S 処理やオフセット補正の演算処理が施され、光電変換装置の外部に演算処理が施されたデータを出力する。

【 0 0 2 1 】

なお、図 1 では光電変換装置の外部にデータを出力するためのトランスミッタやその他の回路は省略している。

40

【 0 0 2 2 】

図 2 は本実施例にかかる画素回路 1 0 の等価回路を示している。図 2 に示した画素回路 1 0 について説明する。画素回路 1 0 は第 1 のフォトダイオード P D 1 と第 2 のフォトダイオード P D 2 とを有する。さらに転送スイッチ M T X 1 および M T X 2 と、オーバーフロー用スイッチ M O F と F D 容量 C F D、ゲインコントロールスイッチ M G C、容量素子 C 1 g、リセットスイッチ M R E S、ソースフォロワトランジスタ M S F、セレクトスイッチ M S E L で構成される。

【 0 0 2 3 】

各素子の機能と接続について説明する。第 1 のフォトダイオード P D 1 および第 2 のフ

50

フォトダイオードPD2は、それぞれ、光電変換部の一例である。第1のフォトダイオードPD1と第2のフォトダイオードPD2にそれぞれ光が入射すると光電変換により電荷が発生する。第1のフォトダイオードPD1と第2のフォトダイオードPD2とのそれぞれは、発生した電荷を信号電荷として蓄積する。

【0024】

転送スイッチMTX1のソースと第1のフォトダイオードPD1のカソードが電氣的に接合され、転送スイッチMTX1のドレインとソースフォロワートランジスタMSFの入力ノード（ゲート）が電氣的に接合される。転送スイッチMTX2のソースと第2のフォトダイオードPD2のカソードが電氣的に接合され、ソースフォロワートランジスタMSFの入力ノードが電氣的に接合されている。

10

【0025】

転送スイッチMTX1とMTX2のゲートにはそれぞれ制御信号TX1、TX2が入力される。各制御信号がHighレベルのとき、ソースフォロワートランジスタMSFの入力ノードに各フォトダイオードから信号電荷が転送される。

【0026】

オーバーフロー用スイッチMOFのドレインは電源VDDに接続される。オーバーフロー用スイッチMOFのソースは第1のフォトダイオードPD1のカソードに接続される。オーバーフロー用スイッチMOFのゲートには制御信号OFが入力される。オーバーフロー用スイッチMOFではゲート電位に応じたポテンシャルバリアが形成される。制御信号OFがHighレベルのとき、電源VDDに第1のフォトダイオードPD1から信号電荷が転送される。制御信号OFが中間電位LM1（Low < LM1 < High）のとき、電源VDDと第1のフォトダイオードPD1の間のポテンシャルバリアが他の領域のバリアより低いレベルになることによって、電源VDDに余剰な電荷を排出することができる。

20

【0027】

転送スイッチMTX1とMTX2のドレイン、ゲインコントロールスイッチMGCのソース、および、ソースフォロワートランジスタMSFのゲートは、互いに接続され、1つのノードを構成している。この1つのノードを、フローティングディフュージョン（以降FD）ノードまたはFD部と呼ぶことがある。図2において、FD部の持つ容量が、FD容量CFDとして表されている。FD容量CFDは、FD部を構成する配線の寄生容量成分やFD部に接続されたトランジスタのゲートの寄生容量成分を含みうる。また、FD容量CFDは、FD部を構成する半導体領域のPN接合容量成分、および、FD部に接続されたトランジスタのソースまたはドレインのPN接合容量成分を含みうる。これらの容量成分に加えて、FD容量CFDは、PIP容量、MIM容量、MOS容量などの容量素子によって構成されてもよい。これらの容量素子が配される場合には、当該容量素子の一端が、転送スイッチMTX1、MTX2のドレイン、ゲインコントロールスイッチMGCのソース、および、ソースフォロワートランジスタMSFのゲートに接続される。

30

【0028】

ゲインコントロールスイッチMGCのドレインは容量素子Clgの一方の端子とリセットスイッチMRESのソースに接続される。ゲインコントロールスイッチMGCのゲートには制御信号GCが入力される。容量素子Clgに電荷が蓄積された状態で制御信号GCをLowレベルにし、ゲインコントロールスイッチMGCをオフにすることで、容量素子Clgは容量CFDから分離される。また、制御信号GCがHighレベル/Lowレベルに切り替わり、ゲインコントロールスイッチMGCのオン/オフが切り替わることで、容量素子ClgをFD容量の一部として扱うか否かを切り替えられ、電荷電圧変換のゲインを異ならせることができる。さらに、制御信号GCが中間電位LM1（Low < LM1 < High）のとき、容量素子Clgと第2のフォトダイオードPD2の間のポテンシャルバリアが他の領域のバリアより低いレベルになることで、容量素子Clgに余剰な電荷を排出することができる。

40

【0029】

リセットスイッチMRESのドレインおよびソースフォロワートランジスタMSFのドレ

50

インには電源  $VDD$  が接続される。リセットスイッチ  $MRES$  のゲートには制御信号  $RES$  が入力される。制御信号  $RES$  が  $High$  レベルのとき、リセットスイッチ  $MRES$  がオンする。リセットスイッチ  $MRES$  がオンすることで、第 1 のフォトダイオード  $PD1$ 、第 2 のフォトダイオード  $PD2$ 、 $FD$  部、および、容量素子  $C1g$  の一部または全部をリセットすることができる。

#### 【0030】

ソースフォロワトランジスタ  $MSF$  のソースはセレクトスイッチ  $MSEL$  を介して垂直出力線 12 に接続される。セレクトスイッチ  $MSEL$  のゲートには制御信号  $SEL$  が入力される。制御信号  $SEL$  が  $High$  レベルのとき、セレクトスイッチ  $MSEL$  が  $ON$  になり、ソースフォロワトランジスタ  $MSF$  と電流源 11 でソースフォロワ回路が形成される。

10

#### 【0031】

第 1 のフォトダイオード  $PD1$  のアノード、および、第 2 のフォトダイオード  $PD2$  のアノードは、それぞれ接地電位に接続される。また容量  $CFD$  および  $C1g$  のもう一方の端子はそれぞれ接地電位に接続されるものとして記載している。

#### 【0032】

第 2 のフォトダイオード  $PD2$  は、信号電荷である電子にとってポテンシャルが低い領域を含み、当該領域の周囲には信号電荷に対するポテンシャルバリアが形成される。すなわち、第 2 のフォトダイオード  $PD2$  のカソードには、局所的に電位が高い領域が存在する。そのため、発生した信号電荷は第 2 のフォトダイオード  $PD2$  のカソードに蓄積される。信号電荷である電子が蓄積されることに伴い、第 2 のフォトダイオード  $PD2$  のカソード電位が下がる。その結果、第 2 のフォトダイオード  $PD2$  の周囲に形成されるポテンシャルバリアの高さは低くなる。

20

#### 【0033】

光電変換により発生した電荷のうち、フォトダイオードに蓄積可能な量を超えて過剰な電荷が発生する場合がある。第 2 のフォトダイオード  $PD2$  に大量の光が入射し過剰な電荷が発生したときには、ポテンシャルバリアの最も低いところから過剰な電荷が外にあふれ出す。

#### 【0034】

第 2 のフォトダイオード  $PD2$  と  $FD$  部の間には転送スイッチ  $MTX2$  が存在し、 $FD$  部と容量素子  $C1g$  との間にはゲインコントロールスイッチ  $MGC$  が存在する。転送スイッチ  $MTX2$  のゲート電位  $TX2$  によって、転送スイッチ  $MTX2$  のゲートの直下の領域、すなわち、転送スイッチ  $MTX2$  のチャネル領域のポテンシャルバリアの高さを制御することができる。また、同様に、ゲインコントロールスイッチ  $MGC$  のゲート電位  $GC$  によって、ゲインコントロールスイッチ  $MGC$  のゲートの直下の領域、すなわち、ゲインコントロールスイッチ  $MGC$  のチャネル領域のポテンシャルバリアの高さを制御することができる。

30

#### 【0035】

フォトダイオード  $PD2$  と  $FD$  部の間のポテンシャルバリアがフォトダイオード周辺を囲むポテンシャルバリアの中で最も低くなるように転送スイッチ  $MTX2$  の制御信号  $TX2$  が制御される。このとき、第 2 のフォトダイオード  $PD2$  で発生した過剰な電荷は転送スイッチ  $MTX2$  を介して排出される。ゲインコントロールスイッチ  $MGC$  がオフであれば、排出された過剰な電荷は  $FD$  部に保持される。ゲインコントロールスイッチ  $MGC$  に入力される制御信号  $GC$  によって、ゲインコントロールスイッチ  $MGC$  のオン、オフが制御される。ゲインコントロールスイッチ  $MGC$  がオンであれば、排出された余剰な電荷は  $FD$  部及び容量素子  $C1g$  に保持される。

40

#### 【0036】

図 3 を用いて、図 2 に示した画素回路 10 における第 1 および第 2 のフォトダイオード  $PD1$ 、 $PD2$  の配置の一例を説明する。図 3 は本実施例の光電変換装置の平面構造を模式的に示している。具体的に、図 3 は、光電変換装置の受光面における第 1 および第 2 のフォトダイオード  $PD1$ 、 $PD2$  の配置が示されている。

50

## 【 0 0 3 7 】

本実施例では第2のフォトダイオードPD2の受光面が画素の中央で円形に配置され、第1のフォトダイオードPD1の受光面が第2のフォトダイオードPD2の受光面を囲んだ領域に配置されている。図3に示した通り、第1のフォトダイオードPD1の方が、第2のフォトダイオードPD2よりも受光面積が大きい。そのため、受光面全体に一樣な強さの光が入射した場合、つまり、単位面積当たりで等量の入射光が照射された場合、第1のフォトダイオードPD1で生じる電荷の量の方が、第2のフォトダイオードPD2で生じる電荷の量より多い。即ち第1のフォトダイオードPD1は、第2のフォトダイオードPD2と比較して光に対する感度が高い。

## 【 0 0 3 8 】

第1および第2のフォトダイオードの形状及び配置は図3に示す例に限られない。例えば、第2のフォトダイオードPD2が矩形その他の形状であってもよい。また、一方のフォトダイオード(第1のフォトダイオードPD1)によって他方のフォトダイオード(第2のフォトダイオードPD2)が囲われていなくてもよい。

## 【 0 0 3 9 】

また、本実施例では、第1のフォトダイオードPD1の受光面の面積と、第2のフォトダイオードPD2の受光面の面積とが異なっているが、両者は等しくてもよい。この場合、第1のフォトダイオードPD1の感度が、第2のフォトダイオードPD2の感度と等しい。2つのフォトダイオードの感度が異なることで、ダイナミックレンジ拡大の効果を得られる。しかし、2つのフォトダイオードの感度が異なることによるダイナミックレンジの拡大の効果は、本実施例において必ずしも得られなくてもよい。なお、2つのフォトダイオード(PD1、PD2)の感度を異ならせるための構成は変更可能である。例えば、第1のフォトダイオードPD1及び第2のフォトダイオードPD2の上に、互いに光透過率の異なるフィルターを配置してもよい。あるいは、各フォトダイオードの受光面の面積を、遮光膜の開口の面積によって設定してもよい。

## 【 0 0 4 0 】

なお、光電変換部上に入射光を受光部に導くためのマイクロレンズが設けられる場合、1つのマイクロレンズがフォトダイオードPD1、PD2の双方を覆うように配される。したがって、1つのマイクロレンズを受光面に射影した際に、当該マイクロレンズの射影がフォトダイオードPD1、PD2のそれぞれの受光面と少なくとも部分的に重なる。

## 【 0 0 4 1 】

図4は本実施例の動作を説明するタイミングチャートである。図4を用いて、図2に示した画素回路の動作について説明する。図4は、制御信号TX1、制御信号TX2、制御信号RES、制御信号GC、制御信号OFを示している。また、図4のADCは、画素回路から読み出される信号に対してAD変換が行われる期間を模式的に示している。

## 【 0 0 4 2 】

本説明では時刻T2以降を画素回路から信号を読み出す読み出し期間とする。図4中で図示していないが、読み出し行に該当する行では、読み出し期間では制御信号SELはHighになりセレクトスイッチMSELはオンになっている。

## 【 0 0 4 3 】

また、1行の読み出し操作の間に画素回路からは信号SSIG1、SSIG2、SSIG3、リセット信号NSIG1、NSIG2、NSIG3の6つの信号が読み出される。上述の6の信号は、それぞれ図4中のADCに対応する符号で示す期間にAD変換される。

## 【 0 0 4 4 】

信号SSIG1は、第1のフォトダイオードPD1に蓄積された電荷Q1に基づく信号である。信号SSIG2は、第2のフォトダイオードPD2に蓄積された電荷Q2に基づく信号である。信号SSIG3は、第2のフォトダイオードPD2に蓄積された電荷Q2と蓄積期間中に第2のフォトダイオードPD2からあふれ出た電荷(QCFDとQC1g)とに基づく信号である。リセット信号NSIG1、NSIG2、NSIG3は、それぞれ、信号SSIG1、SSIG2、SSIG3に対応するリセット状態でのノイズレベル

10

20

30

40

50

( N 1、N 2、N 3 ) を表す信号である。

【 0 0 4 5 】

図 4 に示す例では、リセット信号 N S I G 2、信号 S S I G 2、信号 S S I G 3、リセット信号 N S I G 3、リセット信号 N S I G 1、信号 S S I G 1 の順で読み出している。この順にすることで、低輝度側の信号 S S I G 1、S S I G 2 に対して相関二重サンプリング ( C D S : C o r r e l a t e d D o u b l e S a m p l i n g ) を行うことができるため、ノイズを低減できる。しかし、本実施例はこのような信号読み出しの順序に限定されない。

【 0 0 4 6 】

図 4 において、制御信号 T X 2、G C、O F を中間電位 L M 1、L M 2、L M 3 ( L o w < L M < H i g h ) とすることがある。制御信号 T X 2、G C、O F が中間電位にある理由は、大量の光が入射した場合にフォトダイオード P D 1、P D 2 で発生する過剰な電荷を制御するためである。このような制御によって、一部の電荷があふれて周辺画素や素子に影響を及ぼすことを低減するあるいは防ぐことができる。

【 0 0 4 7 】

フォトダイオード P D 1 と P D 2 に光が入射すると、入射する光量に応じてそれぞれのカソード電位が小さくなる。第 1 のフォトダイオード P D 1 の場合、カソード電位に対するオーバーフロースイッチ M O F のゲート電位 L M 3 の電位差 ( V g s ) がオーバーフロースイッチ M O F の閾値を超えると、オーバーフロースイッチ M O F がオンする。オーバーフロースイッチ M O F がオンした以降は、第 1 のフォトダイオード P D 1 で生じた電荷が電源 V D D に流れる。そのため、第 1 のフォトダイオード P D 1 のカソード電位はそれ以上小さくならない。換言すると、第 1 のフォトダイオード P D 1 に蓄積される電荷の量がオーバーフロースイッチ M O F のゲート電位 L M 3 によって制限される。

【 0 0 4 8 】

第 1 のフォトダイオード P D 1 で生じた電荷がオーバーフロースイッチ M O F を介して電源 V D D に流れるようにするためのポテンシャルの状態について説明する。まず、リセットされた状態の第 1 のフォトダイオード P D 1 は、信号電荷である電子にとってポテンシャルが低い領域を含み、当該領域の周囲には信号電荷に対するポテンシャルバリアが形成される。すなわち、第 1 のフォトダイオード P D 1 のカソードには、局所的に電位が高い領域が存在する。そのため、発生した信号電荷は第 1 のフォトダイオード P D 1 のカソードに蓄積される。信号電荷である電子が蓄積されることに伴い、第 1 のフォトダイオード P D 1 のカソード電位が下がる。その結果、第 1 のフォトダイオード P D 1 の周囲に形成されるポテンシャルバリアの高さは低くなる。そして、第 1 のフォトダイオード P D 1 に大量の光が入射し過剰な電荷が発生したときには、ポテンシャルバリアの最も低いところから過剰な電荷が外にあふれ出す。

【 0 0 4 9 】

オーバーフロースイッチ M O F のゲート電位 L M 3 によって、オーバーフロースイッチ M O F のゲートの直下の領域、すなわち、オーバーフロースイッチ M O F のチャネル領域のポテンシャルバリアの高さを制御することができる。また、同様に、第 1 の転送スイッチ M T X 1 のゲート電位 T X 1 によって、第 1 の転送スイッチ M T X 1 のゲートの直下の領域、すなわち、第 1 の転送スイッチ M T X 1 のチャネル領域のポテンシャルバリアの高さを制御することができる。そこで、本実施例では、電荷蓄積期間において、オーバーフロースイッチ M O F のゲート電位 L M 3 を、制御信号 T X 1 の電位よりも高くしている。これにより、第 1 のフォトダイオード P D 1 と電源 V D D の間の領域 ( オーバーフロースイッチ M O F のチャネル領域 ) のポテンシャルバリアは、第 1 のフォトダイオード P D 1 とほかの領域とを隔てるポテンシャルバリアよりも低くなる。そのため、第 1 のフォトダイオード P D 1 に大量の光が入射し、過剰な電荷が発生したとき、第 1 のフォトダイオード P D 1 からオーバーフロースイッチ M O F を介して電源 V D D に電荷を転送可能である。これにより大量の光が入射し第 1 のフォトダイオード P D 1 で過剰な電荷が発生しても、電源 V D D に余剰な電荷を排出することができる。

10

20

30

40

50

## 【 0 0 5 0 】

第2のフォトダイオードPD2の場合、制御信号TX2と制御信号GCが中間電位にあり、第2のフォトダイオードPD2に蓄積しきれない電荷が発生した場合は容量CFDおよび容量素子C1gに電荷を保持することができる。第2のフォトダイオードPD2には第2の転送スイッチMTX2のみが接続されているため、第2のフォトダイオードPD2に蓄積される電荷の量は第2の転送スイッチMTX2のゲート電位LM1によって制限される。

## 【 0 0 5 1 】

なお、ゲインコントロールスイッチMGCは容量CFDと容量素子C1gとの間にポテンシャルバリアを形成するために設けられている。容量CFDと容量素子C1gの間にポテンシャルバリアが形成されているとき、第2のフォトダイオードPD2から溢れた余剰な電荷はまず容量CFDに保持される。その後、ポテンシャルバリアを超えて余剰な電荷が生じると、容量素子C1gに保持される。そのため制御電圧GCを中間電位としたまま信号の読み出しを行うと容量CFDに保持されている電荷量によっては後述する信号NSIG2と信号SSIG2に差がつかない。つまり第2のフォトダイオードPD2に保持される電荷に基づく信号を正確に読み出すことができなくなってしまう。そのため容量CFDに保持された電荷を容量素子C1gに分配するために一度ゲインコントロールスイッチMGCをオンにして容量CFDに保持される電荷を低減する必要がある。はじめから容量CFDと容量素子C1gの両方に電荷を蓄積する場合にはポテンシャルバリアは不要である。つまり第2のフォトダイオードPD2で発生した過剰電荷を容量CFDおよび容量素子C1gに保持する際は、制御信号TX2が中間電位であれば制御信号GCはHighでもよい。

## 【 0 0 5 2 】

以上のように制御信号OF、TX2、GCを中間電位に設定することで、フォトダイオードPD1およびPD2で発生した過剰な電荷を電源VDDや容量CFDとC1gに排出したり保持したりすることができ、周辺画素や素子への電荷の漏れ出しを低減している。

## 【 0 0 5 3 】

図4のタイミングチャートと画素回路の動作の対応を説明する。まず時刻T0～時刻T1の期間は、フォトダイオードPD1、PD2をリセットする期間である。時刻T0で制御信号TX1、TX2、RES、GCがLowからHighに遷移し、各スイッチMTX1、MTX2、MRES、MGCがONになる。この時、電源VDDから第1のフォトダイオードPD1のカソードまでと第2のフォトダイオードPD2のカソードまでとの電気的な経路が形成され、フォトダイオードPD1およびPD2がリセットされる。また、このとき、FD部の電位も電源VDDの電位にリセットされる。

## 【 0 0 5 4 】

時刻T1以降は、電荷蓄積期間である。時刻T1になると制御信号TX1がLowに遷移し、制御信号TX2は中間電位LM1(Low < LM1 < High)に遷移する。時刻T1で転送スイッチMTX1およびMTX2がオフになり、フォトダイオードPD1およびPD2で光電変換による電荷蓄積が開始され、電荷蓄積期間がスタートする。

## 【 0 0 5 5 】

時刻T1以後に制御信号RESがLowになりリセットスイッチMRESがオフする。リセットスイッチMRESがオフすると、容量CFDおよび容量素子C1gを含むノードが電氣的にフローティングになる。この時の容量CFDおよび容量素子C1gの電圧がノイズ信号N1に相当する。リセットスイッチMRESがオフする時の電源電圧VDDの変動やリセットスイッチMRESがオフする直前にリセットスイッチMRESのチャンネルに残留していた電荷の影響により、ノイズ信号N1はランダムなノイズ成分を含みうる。その後制御信号GCが中間電位LM2(Low < LM2 < High)に遷移する。この時ゲインコントロールスイッチMGCはオフである。すなわち、リセット状態の容量CFDと容量素子C1gとの間に、ポテンシャルバリアが生じるような電位に、中間電位LM2は設定されている。なお制御信号OFは常に中間電位LM3(Low < LM3 < High)

である。

【 0 0 5 6 】

時刻 T 2 になると制御信号 G C が H i g h に遷移し、ゲインコントロールスイッチ M G C がオンし、そして、容量 C F D と C 1 g の電位は等しくなる。このとき、第 2 のフォトダイオード P D 2 で発生した過剰な電荷は、容量 C F D と容量素子 C 1 g とによって保持されている。その後、時刻 T 3 に制御信号 G C が L o w に遷移し、ゲインコントロールスイッチ M G C がオフする。このとき容量 C F D に保持される第 2 のフォトダイオード P D 2 で発生した過剰な電荷を Q C F D とする。また、容量素子 C 1 g に保持される過剰な電荷を Q C 1 g とする。

【 0 0 5 7 】

時刻 T 3 ~ T 4 の間にリセット信号 N S I G 2 の読み出しと、リセット信号 N S I G 2 に対する A D 変換が行われる。時刻 T 3 になると制御信号 T X 2 が中間電位 L M 2 から L o w に遷移する。後述の時刻 T 4 での電位の遷移量と T 5 での電位の遷移量を揃え、時刻 T 3 ~ T 4 の N S I G 2 の読み出し及び時刻 T 4 ~ T 5 の S S I G 2 の読み出しの際容量 C F D の電位を同一に保つためである。

【 0 0 5 8 】

ソースフォロワトランジスタ M S F と電流源 1 1 で構成されるソースフォロワ回路が、リセット信号 N S I G 2 を垂直出力線 1 2 に出力する。この時の F D 部の電位は、電源 V D D の電位に時刻 T 1 の後にリセットスイッチがオフした時に生じるノイズが重畳された電位 ( ノイズ信号 N 1 ) に、さらに、電荷 Q C F D による電位変動分が重畳された電位になっている。したがって、リセット信号 N S I G 2 は、ノイズ信号 N 1 と電荷 Q C F D とに基づく信号である。また、この期間に、垂直出力線 1 2 から出力されたリセット信号 N S I G 2 の A D 変換が行われる。

【 0 0 5 9 】

時刻 T 4 になると制御信号 T X 2 が H i g h に遷移、転送スイッチ M T X 2 がオンになり、第 2 のフォトダイオード P D 2 で光電変換された電荷 Q 2 が容量 C F D に転送される。

【 0 0 6 0 】

時刻 T 5 ~ T 6 の間に S S I G 2 の読み出しと A D 変換が行われる。時刻 T 5 で制御信号 T X 2 が L o w に遷移、転送スイッチ M T X 2 がオフとなる。この時容量 C F D に保持されているのは、時刻 T 3 以後 C F D に蓄積されていた電荷 Q C F D と時刻 T 4 ~ T 5 間に転送された電荷 Q 2 である。電荷 Q C F D と電荷 Q 2 は容量 C F D で電圧信号に変換される。したがって、この時の F D 部の電位は、ノイズ信号 N 1 に電荷 Q C F D 及び電荷 Q 2 による電位変動分が重畳された電位である。ソースフォロワ回路が信号 S S I G 2 を垂直出力線に出力する。すなわち、信号 S S I G 2 は、ノイズ信号 N 1 と電荷 Q C F D と電荷 Q 2 とに基づく信号である。また、この期間に、垂直出力線 1 2 から出力された信号 S S I G 2 の A D 変換が行われる。

【 0 0 6 1 】

時刻 T 6 ~ T 8 の間に S S I G 3 の読み出しと A D 変換が行われる。時刻 T 6 になると制御信号 T X 2 と G C が H i g h に遷移し、転送スイッチ M T X 2 とゲインコントロールスイッチ M G C がオンになる。この時第 2 のフォトダイオード P D 2 に蓄積されている、時刻 T 4 ~ T 5 間の容量 C F D への転送動作の際は容量が不足し転送しきれなかった電荷が、容量 C F D のみを転送先とした場合と比べ拡大された容量である容量 C F D と容量素子 C 1 g に転送される。

【 0 0 6 2 】

時刻 T 7 で制御信号 T X 2 が L o w になり、転送スイッチ M T X 2 がオフになる。この時、容量 C F D に保持された電荷 Q C F D と、電荷 Q 2 と、容量素子 C 1 g に保持された電荷 Q C 1 g とは、容量 C F D と容量素子 C 1 g の合成容量で電圧変換される。したがって、この時の F D 部の電位は、ノイズ信号 N 1 に、電荷 Q C F D 、電荷 Q C 1 g 及び電荷 Q 2 による電位変動分が重畳された電位である。この期間にソースフォロワ回路が出力する信号 S S I G 3 は、ノイズ信号 N 1 と電荷 Q C F D と電荷 Q C 1 g と電荷 Q 2 とに基づ

10

20

30

40

50

く信号である。として垂直出力線に出力される。その後信号  $SSIG3$  の  $AD$  変換がなされる。

【0063】

なお、信号電荷を電圧信号に変換する変換ゲインは変換容量の逆数に比例することから、等量の電荷であれば容量  $CFD$  と  $Clg$  で変換した電圧のほうが容量  $CFD$  で変換した電圧よりも小さい。

【0064】

時刻  $T8 \sim T10$  の間に  $NSIG3$  の読み出しと  $AD$  変換が行われる。時刻  $T8$  で、制御信号  $RES$  が  $High$  になり、リセットスイッチ  $MRES$  がオンする。すでにゲインコントロールスイッチ  $MGC$  もオンなので、容量  $CFD$  および容量素子  $Clg$  の電位が電源  $VDD$  の電位にリセットされる。

10

【0065】

時刻  $T9$  で制御  $RES$  が  $Low$  になり、リセットスイッチ  $MRES$  がオフになる。この時の容量  $CFD$  及び容量素子  $Clg$  の電位は、電源  $VDD$  の電位に時刻  $T9$  にリセットスイッチがオフした時に生じるノイズが重畳された電位（ノイズ信号  $N2$ ）である。したがって、ノイズ信号  $N2$  に基づくリセット信号  $NSIG3$  が垂直出力線に出力され、その後、リセット信号  $NSIG3$  の  $AD$  変換がなされる。

【0066】

時刻  $T10 \sim T11$  の期間に、 $FD$  部を再びリセットする。時刻  $T10$  で制御信号  $RES$  が  $High$  になり、リセットスイッチ  $MRES$  がオンし、容量  $CFD$  および  $Clg$  がリセットされる。その後制御信号  $GC$  が  $Low$  になり、時刻  $T11$  で制御信号  $RES$  が  $Low$  になる。これにより、リセットスイッチ  $MRES$  及びゲインコントロールスイッチ  $MGC$  がオフになる。この時の  $FD$  部の電位は、電源  $VDD$  の電位に時刻  $T10$  以降にリセットスイッチ及びゲインコントロールスイッチ  $MGC$  がオフした時に生じるノイズが重畳された電位（ノイズ信号  $N3$ ）である。

20

【0067】

容量  $CFD$  のノイズ信号  $N3$  はリセット信号  $NSIG1$  として垂直出力線から出力され、時刻  $T11 \sim T12$  の間にリセット信号  $NSIG1$  の  $AD$  変換がなされる。

【0068】

リセット信号  $NSIG1$  の  $AD$  変換が終了した後、時刻  $T12$  で制御信号  $TX1$  が  $High$  に遷移、転送スイッチ  $MTX1$  がオンになり、時刻  $T13$  までの間に第1のフォトダイオード  $PD1$  に蓄積されている電荷  $Q1$  が容量  $CFD$  に転送される。

30

【0069】

時刻  $T13$  になると制御信号  $TX1$  が  $Low$  になり、転送スイッチ  $MTX1$  がオフになって、電荷蓄積期間は終了する。この時、容量  $CFD$  に保持された電荷  $Q1$  は信号  $N3$  に則る信号  $SSIG1$  として垂直出力線から出力され、その後信号  $SSIG1$  の  $AD$  変換がなされる。信号  $SSIG1$  の  $AD$  変換が終了すると制御信号  $SEL$  が  $Low$  になり、1行の読み出しが終了する。

【0070】

以上1行の読み出し操作の間に画素回路から読み出された信号  $SSIG1$ 、 $SSIG2$ 、 $SSIG3$ 、リセット信号  $NSIG1$ 、 $NSIG2$ 、 $NSIG3$  は、前述の通りそれぞれ下記の情報を有する。

40

【0071】

$SSIG1$  : ノイズ信号  $N3$  + 電荷  $Q1$

$NSIG1$  : ノイズ信号  $N3$

$SSIG2$  : ノイズ信号  $N1$  + 電荷  $QCFD$  + 電荷  $Q2$

$NSIG2$  : ノイズ信号  $N1$  + 電荷  $QCFD$

$SSIG3$  : ノイズ信号  $N1$  + 電荷  $QCFD$  + 電荷  $QClg$  + 電荷  $Q2$

$NSIG3$  : ノイズ信号  $N2$

図5のタイミングチャートを用いて、本実施例の光電変換装置の  $AD$  変換の動作を詳細

50



に説明する。図 5 は、制御信号 T X 2、ランプ源 6 3 の出力する参照信号の電位（ランプ源出力）、垂直出力線 1 2 の電位（リセット信号 N S I G 2 および信号 S S I G 2 の信号値）、比較回路 6 4 の出力、および、カウンタ回路 6 6 の出力するカウンタ値を示している。

【 0 0 7 2 】

ここでは説明の簡略化のために、前述の信号 S S I G 2 とリセット信号 N S I G 2 の A D 変換を用いて説明する。まず垂直出力線にはリセット信号 N S I G 2 が出力されている。また、ランプ源出力は初期値に設定されている。

【 0 0 7 3 】

時刻 T 7 0 になると、リセット信号 N S I G 2 の A D 変換が開始される。カウンタ回路 6 7 がカウント動作を開始する。また、ランプ源 6 3 は、時間の経過とともに電位が下降するランプ信号を出力する。つまり、ランプ源出力の電位が初期値から変化し始める。

【 0 0 7 4 】

時刻 T 7 1 になるとランプ源 6 3 出力と垂直出力線 1 2 の両電位の大小関係が反転し、比較回路 6 4 の出力は L o w から H i g h に遷移する。その時のカウント値を N D とすると、列メモリ 6 5 はカウント値 N D を記憶する。

【 0 0 7 5 】

時刻 T 7 2 で、ランプ信号は設定された電位振幅の下限まで掃引し終え、リセット信号 N S I G 2 の A D 変換は終了する。ランプ源出力はランプ信号を出力する前の電位に戻る。この時ランプ源 6 3 出力の電位が垂直出力線 1 2 の電位よりも大きくなり、比較回路 6 3 出力は H i g h から L o w に遷移する。またカウンタ回路 6 7 もカウント動作を終了する。

【 0 0 7 6 】

時刻 T 7 3 になると制御信号 T X 2 が H i g h になり、第 2 のフォトダイオード P D 2 で光電変換された電荷が C F D に転送され、それに対応した信号 S S I G 2 が垂直出力線に出力される。後に制御信号 T X 2 は L o w になる。

【 0 0 7 7 】

時刻 T 7 4 になると、信号 S S I G 2 の A D 変換が開始される。カウンタ回路 6 7 がカウント動作を開始する。また、ランプ源 6 3 出力はランプ信号を出力する。つまり、ランプ源出力の電位が初期値から変化し始める。

【 0 0 7 8 】

時刻 T 7 5 でランプ源 6 3 出力の電位が垂直出力線 1 2 の電位よりも小さくなり、比較回路出力が L o w から H i g h に遷移する。その時のカウント値を S D とすると、列メモリ 6 5 はカウント値 S D を記憶する。

【 0 0 7 9 】

時刻 T 7 6 で、ランプ信号は設定された電位振幅の下限まで掃引し終え、信号 S S I G 2 の A D 変換は終了する。ランプ源 6 3 出力はランプ信号を出力する前の電位に戻る。この時ランプ源 6 3 出力の電位が垂直出力 1 2 線の電位よりも大きくなり、比較回路 6 3 出力は H i g h から L o w に遷移する。またカウンタ回路 6 7 もカウント動作を終了する。

【 0 0 8 0 】

以上の A D 変換で得られたカウント値 S D とカウント値 N D はそれぞれ演算処理部 6 6 に転送される。

【 0 0 8 1 】

信号 S S I G 1、S S I G 3、および、リセット信号 N S I G 1、3 に対しても、同様に、ランプ信号を比較回路 6 4 に入力しつつ、カウンタ回路 6 7 のカウント動作を行うことで、A D 変換を行うことができる。

【 0 0 8 2 】

図 5 では、例えば信号 S S I G 2 に対する A D 変換において、ランプ信号の振幅の初期値から最大値まで掃引している。そのため、ランプ源出力をランプ信号の振幅の一端から他端まで掃引する期間が長いので、同様のランプ信号を 3 つ信号 S S I G 1、S S I G 2

10

20

30

40

50

、SSIG3に適用すると、必要以上にAD変換期間を延ばしてしまう可能性がある。光電変換装置の読み出し時間が長くなり、結果として光電変換装置のAD変換の性能を低下させる要因となってしまう。

【0083】

本実施例では、3種類のリセットレベル信号NSIG1～3と、画素信号SSIG1～3のAD変換期間をそれぞれで適切に設定することで、光電変換装置のAD変換の高性能化を実現する。

【0084】

図6にランプ源の一例を示す。図6(a)は、ランプ源63の等価回路を示す図である。ランプ源63は、抵抗R、および、それぞれが抵抗Rに直列に接続された電流源I、2I、4I、8Iを含む。電流源I、2I、4I、8Iは、互いに並列の経路を形成している。抵抗Rと各電流源との間には、各電流源に対応するスイッチとしてS1、S2、S4、S8が接続される。図6(b)はS1～8のスイッチの動作のタイミングチャートとランプ源63の出力する参照信号の電位(ランプ源出力)を示している。

【0085】

図6(a)記載の回路において、スイッチSのいずれかがオンになると、抵抗Rにオンになったスイッチに対応する電流源からの電流が流れる。ランプ源出力は $VDD - R \times (I_{ofs} + nI)$ で表され、流れる電流に応じてランプ源の電位が低下する。各電流源の出力はIに対し2の冪乗倍で表される値を取るので、図6(b)のタイミングチャートに示すようにスイッチのオンオフを切り替えれば抵抗Rに流れる電流はIずつ段階的に増加し、ランプ源の電位もまたIRずつ段階的に減少していく。

【0086】

なお、電流源Iofsはオフセット電流を流す電流源である。オフセット電流によりランプ信号の掃引開始時の電位は $VDD - R \times I_{ofs}$ になる。電流源Iofsはランプ源の構成として必須なものではなく、電位VDDをランプ信号の開始時の電位としてもよい。電流源I～8IのいずれかをIofsとして使用することも可能である。

【0087】

本実施例においてランプ源が出力するランプ信号は時間の経過とともに電位が下降するランプ信号であるが、時間の経過とともに電位が上昇するランプ信号でもよい。この場合、抵抗Rに流れる電流をIずつ段階的に減らしていく。

【0088】

AD変換で得られたデジタルデータの演算処理について説明する。例えば、第1のフォトダイオードPD1で光電変換され読み出された信号SSIG1のAD変換されたデジタルデータから、そのリセットレベルであるリセット信号NSIG1のAD変換されたデジタルデータを減算する。これによって電荷Q1のみに対応するデータを得られる。本実施例ではノイズ信号N3と電荷Q1の情報を有する信号SSIG1からノイズ信号N3の情報を有するリセット信号NSIG1を減算することで電荷Q1の情報を得ることができる。

【0089】

同様に信号SSIG2に対応するデジタルデータから、リセット信号NSIG2に対応するデジタルデータを減算することで電荷Q2のみに対応するデータを得られる。本実施例ではノイズ信号N1、電荷QCFD、電荷Q2の情報を有する信号SSIG2からノイズ信号N1と電荷QCFDの情報を有するリセット信号NSIG2を減算することで電荷Q2の情報を得ることができる。

【0090】

このようにそれぞれの信号からリセット信号を減算処理することによって、各信号のCDSが実現できる。上述の読み出し順序であれば、FD部がフローティングである状態を維持したまま、リセット信号NSIG1/2を読み出し、続けて信号SSIG1/2を読み出すことができるためである。

【0091】

本実施例において、信号SSIG3も同様に対応するデジタルデータからリセット信号

10

20

30

40

50

NSIG3に対応するデジタルデータを減算する場合について説明する。信号SSIG3はノイズ信号N1、電荷QCFD、電荷QClg、電荷Q2の情報を有するのに対しリセット信号NSIG3はノイズ信号N2の情報を有する。つまりリセット信号NSIG3に含まれるノイズ信号N2は、信号SSIG3のリセットレベル(ノイズ信号N1)と同一ではなく、SSIG3についてはCDSが成り立たない。しかしノイズ信号N1とN2の違いはわずかであると考えられることから、SSIG3からNSIG3を減算したデータを電荷QCFD、電荷QClg、電荷Q2の和に対応するデータとして扱うことができる。また、画素ごとの固定パターンノイズは除去することができる。

【0092】

なお、以降の説明では信号SSIG1、SSIG2、SSIG3を総称してS信号とも呼び、リセット信号NSIG1、NSIG2、NSIG3を総称してN信号とも呼ぶ。

10

【0093】

図7は、輝度に対する信号SSIG1、SSIG2、SSIG3の信号値を示した図面である。本実施例では、信号SSIG1、SSIG2、SSIG3の信号値は電圧の大きさによって表現される。輝度は、単位面積当たりの入射光量を表している。簡単のため、受光面の全体において均一な量の光が入射することとする。

【0094】

単位面積当たりの入射光量が均一であれば、受光面積の大きい第1のフォトダイオードPD1では、受光面積の小さい第2のフォトダイオードPD2よりも多くの電荷が光電変換される。第1のフォトダイオードPD1に保持される電荷Q1及び第2のフォトダイオードPD2に保持される電荷Q2は共に容量CFDで電荷電圧変換され、信号SSIG1及び信号SSIG2として出力される。そのため、同一の輝度の光に対する信号値は信号SSIG1のほうが大きい。受光面積の大きい第1のフォトダイオードPD1では微弱な光でも多くの電荷を発生させることができるため、低輝度の光についてはS/Nの良好な信号を得ることができるが、比較的低輝度の光で回路が取りうる電圧範囲の上限を迎える。一方で、受光面積の小さい第2のフォトダイオードPD2で発生する電荷に対応する信号SSIG2は、信号SSIG1よりも高い輝度の光に対して線形性の維持された信号値を持つことができる。

20

【0095】

次に、信号SSIG3が、信号SSIG2よりも高い輝度の光を光電変換することができることを説明する。高輝度への対応は、まず信号SSIG3が信号SSIG2よりも多くの電荷に基づく信号であることに起因する。加えて、より多くの電荷が生じる状況でも線形性を維持するため、信号SSIG3を読み出す際の電荷から電圧への変換ゲインが信号SSIG2の場合のそれよりも低いことに起因する。

30

【0096】

前述の通り信号SSIG2は第2のフォトダイオードPD2に保持される電荷Q2を容量CFDで電荷電圧変換することによって得られる。一方、信号SSIG3は第2のフォトダイオードPD2に保持される電荷Q2と第2のフォトダイオードPD2から溢れた余剰な電荷QCFD及びQClgを容量CFDと容量素子C1gの合成容量で電荷電圧変換することによって得られる。したがって、第2のフォトダイオードPD2から溢れた電荷も電荷電圧変換する信号SSIG3は、信号SSIG2よりも高い輝度の光に対応した信号値を持つことができる。

40

【0097】

また、電荷信号から電圧信号への変換ゲインは変換容量の逆数として定まることから、容量CFDと容量C1gの合成容量で変換した電圧は、容量CFDのみで変換した電圧よりも小さくなる。信号SSIG3を読み出すときは、FD部に容量素子C1gが接続されている。すなわち、FD部の変換容量は相対的に大きい。一方、信号SSIG3を読み出すときは、FD部に容量素子C1gが接続されていない。すなわち、FD部の変換容量は相対的に小さい。ここで、第2のフォトダイオードPD2から溢れない程度の量の電荷を電荷電圧変換する場合を例に説明する。第2のフォトダイオードPD2から電荷が溢れな

50

いため、電荷 $Q_{CFD}$ 及び電荷 $Q_{Clg}$ はゼロであるとして、以降の説明では表記を割愛する。信号 $SSIG3$ の読み出しでは、電荷 $Q_2$ を容量 $CFD$ と容量 $Clg$ の合成容量で電荷電圧変換する。一方、信号 $SSIG2$ の読み出しでは、電荷 $Q_2$ を容量 $CFD$ で電荷電圧変換する。したがって、信号 $SSIG3$ の電荷量あたりの電圧の変化は、信号 $SSIG2$ の電荷量あたりの電圧の変化より小さい。すなわち信号 $SSIG3$ は輝度の変化に対する電圧の変化が小さくなり、信号 $SSIG2$ と比べ高輝度の光まで光電変換可能である。

【0098】

図8に各信号のデジタルデータを選択的に使用することでダイナミックレンジが拡大されるイメージを示す。横軸を入射する光の輝度とし、縦軸は各デジタルデータの信号値である。

【0099】

信号 $SSIG1$ の減算処理後のデジタルデータを $CDS1$ 、信号 $SSIG2$ の減算処理後のデジタルデータを $CDS2$ 、信号 $SSIG3$ の減算処理後のデジタルデータを $CDS3$ とする。本実施例では、いずれの輝度範囲の光が入射したときでも、各画素回路10からは $CDS1$ 、 $CDS2$ 、 $CDS3$ の3種類の信号が得られる。画像を形成するときは、図8に示すように輝度ごとに読み出された信号から使う信号1つを選択する処理を行う。

【0100】

よって例えば、入射光に対して低輝度側を信号 $SSIG1$ に対応する前述の減算処理後のデジタルデータを用い、中輝度を信号 $SSIG2$ に対応する減算処理後のデジタルデータを用い、高輝度側を信号 $SSIG3$ に対応する減算処理後のデジタルデータを用いる。さらに各々のデジタルデータに対してオフセット補正の演算処理を行うことで、ダイナミックレンジの拡大が実現できる。

【0101】

図8(a)ではオフセット補正処理前の各輝度に対するデジタルデータの信号値を示し、図8(b)では、データ $CDS2$ および $CDS3$ のオフセット補正処理後のデジタルデータの値を示している。

【0102】

なお、一般的に低輝度側の方が高輝度側よりも輝度の変化に対する視認性が高いため、低輝度側は輝度に対する感度が高く $S/N$ 比の低い信号 $SSIG1$ で扱うことが望ましい。

【0103】

前述の通り、3つの信号は共通の回路を介して読み出されるため、3つの信号の上限値は一意に定まる。一方、3つの信号は輝度の変化に対する信号値の変化の割合が互いに異なるので、各信号がその電圧の上限値に到達するまでに扱いうる輝度の範囲は互いに異なる(図7)。これらの各信号が扱いうる輝度の範囲から、画像形成において各信号が扱う輝度範囲を選択することができる。図8(a)に示すデジタルデータと輝度範囲の選択の例を説明する。図8(a)では、データ $CDS2$ がその上限値に到達するまでに扱いうる輝度の範囲のうち、データ $CDS1$ が上限値に達する輝度からデータ $CDS2$ が上限値に達する輝度までをデータ $CDS2$ が扱う輝度範囲としている。また、データ $CDS3$ がその上限値に到達するまでに扱いうる輝度の範囲のうち、データ $CDS2$ が上限値に達する輝度からデータ $CDS3$ が上限値に達する輝度までをデータ $CDS3$ が扱う輝度範囲としている。この場合、最も感度の高い信号 $SSIG1$ の扱う輝度の範囲を広くとることができるので、 $S/N$ 比の良好な信号を優先的に使用することができる。図8(a)の例に限らず、各信号が扱う輝度の範囲は、求められる画質や、他の信号と重複することにより画像の形成には使用しないにも関わらずAD変換が行われる期間の長さなどを考慮して定めることができる。

【0104】

このように本実施例では第1のフォトダイオード $PD1$ 、第二のフォトダイオード $PD2$ 、蓄積部からなる構成を取る。この場合例えば第1のフォトダイオード $PD1$ のみを使用した場合に得られるデータ $CDS1$ で扱える輝度範囲よりも高い輝度を扱えるデータ

10

20

30

40

50

C D S S 2 および C D S S 3 を取得することもできる。つまりデジタルデータとして扱える輝度範囲が拡大され、光電変換装置のダイナミックレンジが拡大されているといえる。

【 0 1 0 5 】

図 9 は、S 信号が扱う輝度範囲と信号電圧範囲の関係について、図 8 ( a ) の例とは別の例を示している。この例では信号 S S I G 1 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig1}$  が、信号 S S I G 2 および S S I G 3 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig23}$  よりも小さい。前述の通り輝度の変化に対する視認性を考慮すれば低輝度側はなるべく高い輝度まで信号 S S I G 1 で扱うことが望ましい。しかし信号 S S I G 1 が  $V_{sig23}$  と同じ電圧までの範囲を扱う場合、信号 S S I G 2 が扱う輝度範囲のうち信号 S S I G 1 が扱う輝度範囲と重複する輝度範囲については信号 S S I G 1 で扱われるため、信号 S S I G 2 の情報は使用されない。つまり信号 S S I G 2 と信号 S S I G 1 が扱う輝度範囲のうち重複する輝度範囲についての信号 S S I G 2 の A D 変換は冗長になってしまう。信号 S S I G 1 の信号値が大きくなるような輝度領域では、信号 S S I G 2 の信号値も十分に高い S N 比を得られる程度に大きくなる。そこで、信号 S S I G 1 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig1}$  を、信号 S S I G 1 の信号値がとりうる電圧範囲の上限値よりも小さい電圧の範囲、具体的には、低輝度側の範囲のみに設定する。信号 S S I G 1 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig1}$  が小さければ信号 S S I G 1 の扱う電圧範囲に対応する輝度範囲及び信号 S S I G 2 と重複する輝度範囲も小さくなり、S S I G 2 の A D 変換が最適化される。

10

20

【 0 1 0 6 】

図 1 0 は図 9 に示した S 信号の電圧範囲において A D 変換を実施した場合のタイミングチャートの一例である。なお、図 1 0 のタイミングチャートに示した A D 変換の実施順番は図 4 のタイミングチャートに基づいている。

【 0 1 0 7 】

図 1 0 ( a ) は S 信号すべての A D 変換期間が同じ場合を示したタイミングチャートである。この時の S 信号の A D 変換期間を  $T_{prd}$  とする。前述の通り、信号 S S I G 1 の扱う輝度範囲に対応する電圧の取りうる範囲の上限は  $V_{sig1}$  であり、信号 S S I G 2 と S S I G 3 の扱う輝度範囲に対応する電圧の取りうる範囲の上限の  $V_{sig23}$  より小さい。しかし、図 1 0 ( a ) の例では、各 S 信号の A D 変換において、ランプ源出力が同じ電圧振幅で掃引している。したがって、各 S 信号の A D 変換期間は全て  $T_{prd}$  である。図 9 に示す通り、信号 S S I G 1 の場合、扱う輝度範囲に対応する電圧の振幅が他の信号に比べて小さい。そのため、他の信号の場合と同じ振幅で掃引されるランプ源出力によって A D 変換をすることは冗長である。換言すると、信号 S S I G 1 の場合、ランプ源出力が冗長な範囲を掃引するのに要する時間の分だけ、扱う電圧振幅に対して、A D 変換期間が長い。図示した通り期間  $T_{su}$  に行われる動作は冗長であり、削減可能である。期間  $T_{su}$  を削減した場合のタイミングチャートを図 1 0 ( b ) に示す。S S I G 1 の A D 変換期間を  $T_{su}$  削減することで、1 行あたりの読み出し期間を  $T_{su}$  だけ短くすることができる。

30

【 0 1 0 8 】

40

図 1 1 は、S 信号が扱う輝度範囲と信号電圧範囲を示した別の例である。

【 0 1 0 9 】

この例では信号 S S I G 2 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig2}$  が、信号 S S I G 1 および S S I G 3 の扱う輝度範囲に対応する電圧の取りうる範囲の上限  $V_{sig13}$  よりも小さい。

【 0 1 1 0 】

図 1 2 ( a ) は、図 1 1 で示した電圧範囲を持つ各 S 信号について同一の A D 変換期間で A D 変換を行った場合を示したタイミングチャートである。信号 S S I G 2 の A D 変換において、扱う信号範囲  $V_{sig2}$  に対して、A D 変換期間  $T_{su2}$  に行われる動作は冗長であり、削減可能である。 $T_{su2}$  を削減した場合のタイミングチャートを図 1 2 ( b

50

）に示す。

【0111】

SSIG2のAD変換期間を $T_{su2}$ 削減することで、1行の読み出し期間を $T_{su2}$ だけ短くすることができる。

【0112】

また、図13のように信号SSIG3の扱う輝度範囲に対応する電圧の取りうる範囲の上限 $V_{sig3}$ が、信号SSIG1、SSIG2が扱う輝度範囲に対応する電圧の取りうる範囲の上限 $V_{sig12}$ よりも小さい場合も考えられる。

【0113】

この場合でもこれまでと同様に信号SSIG3のAD変換期間を信号SSIG1、SSIG2のAD変換期間よりも短縮することが可能である。図13に示した電圧範囲のS信号について同一のAD変換期間でAD変換を実施した場合のタイミングチャートの一例を図14(a)、冗長期間 $T_{su3}$ を削減した場合のタイミングチャートを図14(b)に示す。よって図13のような場合でも1行の読み出し期間の短縮が可能である。

【0114】

これまでの説明では、1行当たりの読み出し時間を短縮することに着目してきた。前述の通り、各信号が取りうる電圧の上限値は等しい。一方、各信号が扱う電圧の下限から上限までの範囲は信号によって異なる。各信号のAD変換に際して、ランプ信号は少なくとも各信号が扱う電圧の下限から上限までの範囲を掃引すればよい。上述の通り、少なくとも1つの信号については、当該1つの信号が扱う電圧の下限から上限までの範囲は、当該1つの信号が取りうる電圧の下限値から上限値までの電圧範囲よりも狭い。したがって、本実施例によって得られる効果の1つの側面は、ランプ信号の掃引する範囲を信号の取りうる電圧の範囲よりも狭くすることによっても実現できるといえる。この場合、複数の信号に対して行われるAD変換の変換期間がすべて等しくてもよい。例えば、他のAD変換の場合に比べて傾きの緩やかなランプ信号を用いて、ランプ信号の掃引する範囲を狭くする。これにより、読み出し時間の短縮の効果は必ずしも得られるわけではないが、より高い精度での変換が実現され、ひいてはAD変換の高性能化が可能である。

【0115】

これまでの説明では、S信号3種類のうち、1種類のみでAD変換期間を短縮したが、例えば2種類でAD変換期間を短縮してもよいし、各S信号で各々異なるAD変換期間を設定してもよい。また、S信号の短縮についてこれまで説明してきたが、N信号も可能ならば、各々で異なるAD変換期間を設定してもよい。

【0116】

以上のように、本実施例は信号毎に振幅に応じたAD変換期間を設定する。これにより受光面積の異なる複数のフォトダイオードと、容量を有する画素が配置された光電変換装置において、S信号をすべて同一のAD変換期間にした場合と比較して、1行の読み出し期間を短縮することができる。結果として、光電変換装置のアナログデジタル変換の高性能化が実現できる。

【0117】

複数のフォトダイオードの配置例として図3を用いて説明したが、本実施例はそれに限定されない。光に対する感度が異なる複数の光電変換部であれば本実施例は適用可能であり、感度を異ならせる方法は遮光膜の開口面積を異ならせる、光吸収率の異なるフィルターを設置する、など、光電変換部の面積を異ならせることに限られない。

【0118】

図4のタイミングチャートを用いて、画素回路の動作を説明したが、本実施例はそれに限定されるものではない。図4とは異なるタイミングでも、本実施例は適用可能である。

【0119】

(実施例2)

本実施例について図面を用いて説明する。

本実施例においては各信号のAD変換の分解能を異ならせることによって1行当たりの読

10

20

30

40

50

み出し時間を短縮する。第2の実施例の光電変換装置、画素回路構成とその動作は第1の実施例と同じであるため、重複する説明を省略し、主として実施例1と異なる部分を説明する。

【0120】

図15のようにS信号すべてで扱う輝度範囲に対応する電圧が取りうる範囲の上限が同じ場合について考える。図16(a)は図15に示した電圧範囲で、ランプ信号の傾きがすべて等しい、すなわち1LSBあたりの電圧が等しくAD変換の分解能が等しい場合の、各信号のAD変換期間および順番を示したタイミングチャート例である。なお、信号のAD変換を実施する順番は図4に示したタイミングチャートに基づいている。

【0121】

図16(a)に示したタイミングチャートでは、S信号すべてで等しい電圧振幅を扱い、ランプ信号の傾きも等しいため、S信号すべてについてのAD変換期間が等しくなっている。

【0122】

前述の通り、高輝度側よりも低輝度側の方が、輝度の変化が視認されやすいことが知られている。よって、本実施例では、視認性の高い低輝度側のAD変換の分解能を高く、視認性の低い高輝度側ではAD変換の分解能を低くし、分解能に合わせてAD変換期間を設定することで、アナログデジタル変換の高性能化を実現する。

【0123】

図16(b)は高輝度側の信号SSIG3とリセット信号NSIG3のAD変換の分解能を、他の信号よりも低くした場合のタイミングチャートである。分解能を低くする場合は、ランプ信号の傾きを急峻にして1LSBあたりの電圧を大きくする。図16(b)では信号SSIG3とリセット信号NSIG3の分解能を低くしているため、図示した通り、ランプの傾きが急峻である。よってランプ源63出力が掃引を始めてから最大振幅の電位に到達するまでの期間が、分解能が高いときと比較して短くなるため、すべてのS信号を同一の分解能でAD変換していたときと比べAD変換期間を短縮可能である。

【0124】

AD変換の分解能が高いときの信号SSIG3のAD変換期間を $T_{ps}$ 、リセット信号NSIG3のAD変換期間を $T_{pn}$ 、分解能が低いときの信号SSIG3のAD変換期間を $T_{ps2}$ 、リセット信号NSIG3のAD変換期間を $T_{pn2}$ とする。このとき、信号SSIG3、NSIG3の分解能を低くすることで $(T_{ps} - T_{ps2} + T_{pn} - T_{pn2})$ の期間を短縮でき、一行あたりの読み出し期間が短縮される。

【0125】

なお、このとき視認性の高い低輝度側でAD変換の分解能を高く、視認性の低い高輝度側で分解能を低くしているのが、画質への影響は小さい。また、画質を考慮しつつ、各信号のAD変換の分解能を設定してもよい。

【0126】

これまでの説明では、S信号1種類とそのリセットレベルとなるN信号1種類でAD変換の分解能を低くする例で説明したが、例えば、S信号2種類とそれらのリセットレベルとなるN信号2種類でAD変換分解能を異ならせてもよい。また、中間輝度を扱う信号SSIG2とリセット信号NSIG2のAD変換分解能を、低輝度側の信号SSIG1およびNSIG1のAD変換分解能より低く、かつ高輝度側の信号SSIG3およびNSIG3のAD変換分解能より高くすることも可能である。このように2つ以上のS信号およびN信号でAD変換分解能を低くしたり、信号ごとにAD変換分解能を設定したりすることで、さらに1行の読み出し期間の短縮が可能であり、高フレームレート化が期待できる。

【0127】

本実施例では、AD変換の分解能を信号ごとに設定することで、AD変換期間の短縮を実現するが、実施例1で説明した、AD変換期間を信号振幅によって設定する技術を併用してもよい。例えば信号SSIG1とSSIG2はAD変換の分解能は等しいが、AD変換期間が異なり、信号SSIG3のAD変換の分解能をSSIG1やSSIG2よりも低

10

20

30

40

50

くすることなどが考えられる。

【 0 1 2 8 】

A D 変換の分解能が信号ごとに異なる場合は、各信号の A D 変換の諧調を、例えば低輝度側の諧調を 1 2 ビット、高輝度側を 1 0 ビット、その間の中間輝度を 1 1 ビットとするなど、それぞれで設定してもよい。

【 0 1 2 9 】

( 実施例 3 )

本実施例について図面を用いて説明する。本実施例においてはランプ信号の掃引開始時の電位にオフセットを付与することによって 1 行当たりの読み出し時間を短縮する。第 3 の実施例の光電変換装置、画素回路構成とその動作は第 1 の実施例と同じであるため、重複する説明を省略し、主として実施例 1 と異なる部分を説明する。

10

【 0 1 3 0 】

図 1 5 のように S 信号すべてが取りうる電圧の上限が同じ場合について考える。図 1 7 ( a ) は図 1 5 に示した電圧範囲で、ランプ信号の傾きとランプ信号の掃引開始時の電位がすべて等しい場合の、各信号の A D 変換期間および順番を示したタイミングチャート例である。なお、信号の A D 変換を実施する順番は図 4 に示したタイミングチャートに基づいている。

【 0 1 3 1 】

図 1 7 ( a ) に示したタイミングチャートでは、S 信号すべてで等しい電圧振幅を扱い、ランプ信号の傾きと掃引開始時の電位も等しいため、S 信号すべての A D 変換期間が等しくなっている。

20

【 0 1 3 2 】

図 1 5 において、信号 S S I G 1 , S S I G 2 , S S I G 3 がいずれも電圧範囲  $V_{sig123}$  を扱う場合を説明する。前述の通り信号 S S I G 2 の扱いうる輝度範囲のうち信号 S S I G 1 と重複する輝度範囲については信号 S S I G 1 で扱われ、信号 S S I G 2 の情報は使用されない。同様に信号 S S I G 3 の扱いうる輝度範囲のうち信号 S S I G 2 と重複する輝度範囲については信号 S S I G 2 で扱われ、信号 S S I G 3 の情報は使用されない。つまり信号 S S I G 2 の扱いうる輝度範囲のうち信号 S S I G 1 と輝度範囲が重複する範囲及び信号 S S I G 3 の扱いうる輝度範囲のうち信号 S S I G 2 と輝度範囲が重複する範囲に関しての A D 変換は冗長である。よって、本実施例では、ランプ信号の掃引開始時の電位にオフセットを設定し、各信号の情報が使用される輝度についてのみ A D 変換を行うこととする。例えば、信号 S S I G 2 を A D 変換するために用いるランプ信号を、信号 S S I G 1 を A D 変換するために用いるランプ信号にオフセットを付与した信号とし、信号 S S I G 1 と重複する輝度範囲の信号について A D 変換を行わない。これによって、重複する輝度範囲についての A D 変換に要する期間の分、1 行当たりの A D 変換に要する期間を短縮でき、アナログデジタル変換の高性能化を実現できる。

30

【 0 1 3 3 】

図 1 7 ( b ) は信号 S S I G 2 及び信号 S S I G 3 の A D 変換にあたりランプ信号の開始時点の電位を調整した場合のタイミングチャートである。図 1 7 ( b ) に図示した通り、輝度範囲が重複し A D 変換結果を使用しない範囲に関しては A D 変換を行わないため、すべての S 信号を同一の電位から掃引を始めるランプ信号で A D 変換していたときと比べ、A D 変換期間を短縮可能である。

40

【 0 1 3 4 】

また、本実施例はランプ信号が掃引を始めるときの電位が信号毎に異なることを説明することもできる。図 1 5 の 3 つの S 信号はすべて取りうる電圧の上限が同じであるが、各信号が扱う輝度範囲に対応する電圧の下限はそれぞれ異なる。各信号を A D 変換するにあたり、ランプ信号は少なくとも各信号の電圧範囲の下限から上限までを掃引すればよい。したがって、ランプ信号が掃引を始めるときの電位を、対応する信号の扱う輝度範囲に対応する電圧の下限に対応させることで信号毎に異ならせてもよい。

【 0 1 3 5 】

50



A D 変換のランプ信号の開始時の電位がすべて等しいときの信号 S S I G 1 ~ 3 の A D 変換期間を  $T_{ps}$ 、ランプ信号の開始時の電位を調整したときの信号 S S I G 2、S S I G 3 の A D 変換期間を  $T_{ps2}$  とする。このとき信号 S S I G 3、N S I G 3 の分解能を低くすることで  $(T_{ps} - T_{ps2} + T_{pn} - T_{pn2})$  の期間を短縮でき、一行あたりの読み出し期間が短縮される。

【 0 1 3 6 】

また、ここまで図 1 7 ( b ) に基づいて動作を説明してきたが、本発明はそれに限定されない。例えば、他の信号の A D 変換結果を使用する範囲に関してはランプ信号の単位時間当たりの変化率を相対的に大きくし、A D 変換した結果を使用する範囲について A D 変換を行う際はランプ信号の時間当たりの変化率を相対的に小さく変化させてもよい。

10

【 0 1 3 7 】

( 実施例 4 )

本実施例について図面を用いて説明する。本実施例においては各信号を増幅し、信号毎に A D 変換に要する期間を異ならせることによって 1 行当たりの読み出し時間を短縮する。第 4 の実施例の画素回路構成とその動作は第 1 の実施例と同じであるため、重複する説明を省略し、主として実施例 1 と異なる部分を説明する。

【 0 1 3 8 】

図 1 8 は本発明にかかる光電変換装置の一例を示す概略図である。図 1 8 の光電変換装置と、図 1 の光電変換装置で異なる点は、比較回路 6 4 と垂直出力線 1 2 の間に列アンプ 1 5 0 を配置している点である。列アンプ 1 5 0 は垂直出力線 1 2 の信号を増幅して比較回路 6 4 に入力する増幅回路の一例である。なお、列アンプ 1 5 0 は反転アンプで、そのゲインは可変であるものとする。また、図 4 と重複する回路においては前述のため説明を省略する。

20

【 0 1 3 9 】

図 1 9 は図 1 8 に示した光電変換装置において、ある光量の光がフォトダイオード P D 1 および P D 2 に入射されたときの A D 変換の動作を説明するタイミングチャートである。図 1 9 に示したタイミングチャートでは列アンプが反転アンプなので、垂直出力線の電位が反転して出力される。よって図示したように、ランプ源 6 3 出力も同様に、これまでに説明してきた列アンプ 1 5 0 が不在の場合のランプ源 6 3 出力を反転した信号となる。つまり、A D 変換中のランプ源 6 3 出力は時間の経過とともに電位が上昇するランプ信号となる。

30

【 0 1 4 0 】

この例では、信号 S S I G 3 およびリセット信号 N S I G 3 の A D 変換において、実施例 2 で説明した A D 変換の分解能を他の信号よりも低くする技術を用いて、1 行の読み出し期間を短縮している。列アンプの増幅ゲインを A とし、垂直出力線 1 2 の信号を増幅させる。信号 S S I G 2 の振幅を  $V_2$  とすると、列アンプ出力の信号振幅は  $A \times V_2$  となり、信号 S S I G 3 の振幅を  $V_3$  とすると、アンプ出力の信号振幅は  $A \times V_3$ 、信号 S S I G 1 の振幅を  $V_1$  とすると、列アンプ出力の信号振幅は  $A \times V_1$  となる。N 信号についても対応する S 信号と同じゲインで列アンプ出力の信号振幅を増幅される。

【 0 1 4 1 】

40

本実施例のように列アンプがある場合でも、各信号の扱う信号振幅によっては、A D 変換の分解能は変更せずに、A D 変換期間のみを信号によって異ならせることも可能である。また、A D 変換の分解能を変更せずに A D 変換期間を短縮する信号と、A D 変換の分解能を変更して A D 変換期間を短縮する信号があってもよい。例えば信号 S S I G 1 と S S I G 2 は A D 変換の分解能は等しいが、A D 変換期間が異なり、信号 S S I G 3 の A D 変換の分解能を信号 S S I G 1 や S S I G 2 よりも低くすることなどが考えられる。

【 0 1 4 2 】

また、列アンプ 1 5 0 のゲインは各信号で異なってもよい。例えば、ノイズが視認されやすい低輝度側の信号である信号 S S I G 1 およびリセット信号 N S I G 1 のゲインを、他の信号のゲインよりも大きくすることも可能である。ゲインを大きくし、画素信号

50

を大きくすることで、列アンプ 150 や比較回路 64 のノイズが画素信号及び画素ノイズと比較して相対的に小さくなるので、S/N比の向上が見込める。

#### 【0143】

また、図7にも示したように各S信号の輝度と信号振幅の関係から、列アンプで増幅された各信号の振幅が同等になるように設定してもよい。例えば、輝度に対する信号振幅が最も大きい信号SSIG1と対応するリセット信号NSIG1のゲインを最も小さく、輝度に対する信号振幅が最も小さい信号SSIG3と対応するリセット信号NSIG3のゲインを最も大きくする。また、信号SSIG2とリセット信号NSIG2のゲインをその中間にする。このように、列アンプのゲインを信号ごとに設定することによって、列アンプ出力の振幅を信号によらずおおよそ等しくすることができる。これにより、特定の信号で振幅が著しく小さくなり、アナログデジタル変換において冗長な動作が発生することを防ぐことができる。換言すればアナログデジタル変換の高性能化が実現できる。

#### 【0144】

##### (実施例5)

本実施例について図面を用いて説明する。本実施例においては1行当たりの読み出し期間を保ったままAD変換の分解能を設定することによってAD変換期間を最適化する。第5の実施例の光電変換装置、画素回路構成とその動作は第1の実施例と同じであるため、重複する説明を省略し、主として実施例1と異なる部分を説明する。

#### 【0145】

前述の通り、図10(a)のタイミングチャートではS信号すべてのAD変換期間が同じであり、信号SSIG1の場合、期間Tsuにおける動作が冗長である。本実施例では、期間Tsuに合わせて信号SSIG1の分解能を設定することでAD変換期間の最適化を実現する。冗長期間Tsuに合わせて信号SSIG1の分解能を他の信号よりも高く設定した場合のタイミングチャートを図20に示す。分解能を高くする場合は、ランプ信号の傾きを緩やかにして1LSBあたりの電圧を小さくする。図20では信号SSIG1とリセット信号NSIG1の分解能を高くしているため、図示した通り、ランプの傾きが緩やかである。よってランプ源63出力が掃引を始めてから最大振幅の電位に到達するまでの期間は分解能が低いときと比較して長くなるため、期間Tsuを活用することができ、1行の読み出し期間は変わらないままで低輝度側の画質を高めることができる。

#### 【0146】

また、本実施例において信号SSIG1のAD変換のためにランプ信号を掃引した範囲Vsig1は少なくともVsig23よりも狭く、各信号が取りうる電圧の範囲よりも狭い。したがって実施例5は、ランプ信号の掃引する振幅範囲を信号の取りうる電圧の範囲よりも狭くすることによっても実現できるといえる。

#### 【0147】

実施例1から5まで図1や図18の光電変換装置の概略図を用いて説明したが、本発明は1枚の半導体基板上に図1や図18に記載された回路をすべて配置してもよい。また、図21に示したように回路を2つ以上の基板に配置して、それらの基板を貼り合わせた積層構造にしてもよい。図21に示した積層構造の光電変換装置は第1基板170と第2基板171からなる。

#### 【0148】

なお、図21に示した積層構造の光電変換装置は、図1に示した概略図を2枚の基板に分けた場合の一例である。この例では第1基板170は画素部60と電流源群61が配置される。第2基板171には全列分の比較回路64からなる比較回路群640と、全列分の列メモリ65からなるメモリ群、演算処理部66が配置されている。なお、図面で省略しているが、第2基板171にはランプ源63やカウンタ回路67も配置される。また図18で示した光電変換装置のように、全列分の列アンプ150を第1基板170か第2基板171のどちらかに配置してもよい。図21の積層構造の光電変換装置は一例であって、本発明を限定するものではない。例えば、比較回路群640を第1基板に配置してもよい。また、図21の例では第1基板と第2基板が列ごとで電氣的に接続されるが、例えば

10

20

30

40

50

画素ごとに接続されてもよい。図 2 1 では 2 枚の積層構造で説明したが、例えばさらに回路を分類するか、回路や機能を追加するなどして 3 枚の積層構造にしてもよい。

【 0 1 4 9 】

図 1 や図 1 8 ではランプ源 6 3 出力を比較回路 6 4 の入力に接続しているが、ランプ源 6 3 出力と比較回路 6 4 の間に列ごと、または複数列に共有のバッファ回路を配置し、ランプ源 6 3 出力の信号をバッファして比較回路 6 4 に入力してもよい。

【 0 1 5 0 】

実施例 1 から実施例 5 まで、A D 変換の方式をロープ型 A D として説明してきたが、本発明はそれに限定されない。例えば、A D 変換の方式を逐次比較方式として逐次比較の回数をカウントしてもよいし、使用できるならば他の A D 変換方式でもよい。

10

【 0 1 5 1 】

実施例 1 から実施例 5 まで、図 4 のタイミングチャートに基づいて動作を説明してきたが、本発明はそれに限定されない。例えば、各信号をサンプルホールドする機構を設けて、サンプルホールドされた信号を A D 変換している間に、垂直出力線 1 2 にはそれとは異なる信号を出力していてもよい。

【 0 1 5 2 】

( 実施例 6 )

撮像システムの実施例について説明する。撮像システムとして、デジタルスチルカメラ、デジタルカムコーダ、カメラヘッド、複写機、ファックス、携帯電話、車載カメラ、観測衛星などがあげられる。図 2 6 に、撮像システムの例としてデジタルスチルカメラのブロック図を示す。

20

【 0 1 5 3 】

図 2 6 において、1 0 0 1 はレンズの保護のためのバリアである。1 0 0 2 は被写体の光学像を撮像装置 1 0 0 4 に結像させるレンズである。1 0 0 3 はレンズ 1 0 0 2 を通った光量を可変するための絞りである。撮像装置 1 0 0 4 には、上述の各実施例で説明した撮像装置が用いられる。

【 0 1 5 4 】

1 0 0 7 は撮像装置 1 0 0 4 より出力された画素信号に対して、補正やデータ圧縮などの処理を行い、画像信号を取得する信号処理部である。そして、図 2 6 において、1 0 0 8 は撮像装置 1 0 0 4 および信号処理部 1 0 0 7 に、各種タイミング信号を出力するタイミング発生部、1 0 0 9 はデジタルスチルカメラ全体を制御する全体制御部である。1 0 1 0 は画像データを一時的に記憶する為のフレームメモリ部である。1 0 1 1 は記録媒体に記録または読み出しを行うためのインターフェース部である。1 0 1 2 は撮像データの記録または読み出しを行う為の半導体メモリ等の着脱可能な記録媒体である。1 0 1 3 は外部コンピュータ等と通信する為のインターフェース部である。

30

【 0 1 5 5 】

なお、撮像システムは少なくとも撮像装置 1 0 0 4 と、撮像装置 1 0 0 4 から出力された画素信号を処理する信号処理部 1 0 0 7 とを有すればよい。その場合、他の構成は撮像システムの外部に配される。

【 0 1 5 6 】

40

以上に説明した通り、撮像システムの実施例において、撮像装置 1 0 0 4 には、第 1 の実施例、乃至、第 5 の実施例のいずれかの撮像装置が用いられる。このような構成によれば、撮像装置から得られる画像のダイナミックレンジを拡大させることができる。

【 0 1 5 7 】

( 実施例 7 )

移動体の実施例について説明する。本実施例の移動体は、車載カメラを備えた自動車である。図 2 7 ( a ) は、自動車 2 1 0 0 の外観と主な内部構造を模式的に示している。自動車 2 1 0 0 は、撮像装置 2 1 0 2、撮像システム用集積回路 ( A S I C : A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t ) 2 1 0 3、警報装置 2 1 1 2、主制御部 2 1 1 3 を備える。

50

## 【 0 1 5 8 】

撮像装置 2 1 0 2 には、上述の各実施例で説明した撮像装置が用いられる。警報装置 2 1 1 2 は、撮像システム、車両センサ、制御ユニットなどから異常を示す信号を受けたときに、運転手へ向けて警告を行う。主制御部 2 1 1 3 は、撮像システム、車両センサ、制御ユニットなどの動作を統括的に制御する。なお、自動車 2 1 0 0 が主制御部 2 1 1 3 を備えていなくてもよい。この場合、撮像システム、車両センサ、制御ユニットが個別に通信インターフェースを有して、それぞれが通信ネットワークを介して制御信号の送受を行う（例えば C A N 規格）。

## 【 0 1 5 9 】

図 2 7 ( b ) は、自動車 2 1 0 0 のシステム構成を示すブロック図である。自動車 2 1 0 0 は、第 1 の撮像装置 2 1 0 2 と第 2 の撮像装置 2 1 0 2 を含む。つまり、本実施例の車載カメラはステレオカメラである。撮像装置 2 1 0 2 には、光学部 2 1 1 4 により被写体像が結像される。撮像装置 2 1 0 2 から出力された画素信号は、画像前処理部 2 1 1 5 によって処理され、そして、撮像システム用集積回路 2 1 0 3 に伝達される。画像前処理部 2 1 1 5 は、S - N 演算や、同期信号付加などの処理を行う。

## 【 0 1 6 0 】

撮像システム用集積回路 2 1 0 3 は、画像処理部 2 1 0 4、メモリ 2 1 0 5、光学測距部 2 1 0 6、視差演算部 2 1 0 7、物体認知部 2 1 0 8、異常検出部 2 1 0 9、および、外部インターフェース ( I / F ) 部 2 1 1 6 を備える。画像処理部 2 1 0 4 は、画素信号を処理して画像信号を生成する。また、画像処理部 2 1 0 4 は、画像信号の補正や異常画素の補完を行う。メモリ 2 1 0 5 は、画像信号を一時的に保持する。また、メモリ 2 1 0 5 は、既知の撮像装置 2 1 0 2 の異常画素の位置を記憶していてもよい。光学測距部 2 1 0 6 は、画像信号を用いて被写体の合焦または測距を行う。視差演算部 2 1 0 7 は、視差画像の被写体照合 ( ステレオマッチング ) を行う。物体認知部 2 1 0 8 は、画像信号を解析して、自動車、人物、標識、道路などの被写体の認知を行う。異常検出部 2 1 0 9 は、撮像装置 2 1 0 2 の故障、あるいは、誤動作を検知する。異常検出部 2 1 0 9 は、故障や誤動作を検知した場合には、主制御部 2 1 1 3 へ異常を検知したことを示す信号を送る。外部 I / F 部 2 1 1 6 は、撮像システム用集積回路 2 1 0 3 の各部と、主制御部 2 1 1 3 あるいは種々の制御ユニット等との間での情報の授受を仲介する。

## 【 0 1 6 1 】

自動車 2 1 0 0 は、車両情報取得部 2 1 1 0 および運転支援部 2 1 1 1 を含む。車両情報取得部 2 1 1 0 は、速度・加速度センサ、角速度センサ、舵角センサ、測距レーダ、圧力センサなどの車両センサを含む。

## 【 0 1 6 2 】

運転支援部 2 1 1 1 は、衝突判定部を含む。衝突判定部は、光学測距部 2 1 0 6、視差演算部 2 1 0 7、物体認知部 2 1 0 8 からの情報に基づいて、物体との衝突可能性があるか否かを判定する。光学測距部 2 1 0 6 や視差演算部 2 1 0 7 は、対象物までの距離情報を取得する距離情報取得手段の一例である。すなわち、距離情報とは、視差、デフォーカス量、対象物までの距離等に関する情報である。衝突判定部はこれらの距離情報のいずれかを用いて、衝突可能性を判定してもよい。距離情報取得手段は、専用に設計されたハードウェアによって実現されてもよいし、ソフトウェアモジュールによって実現されてもよい。

## 【 0 1 6 3 】

運転支援部 2 1 1 1 が他の物体と衝突しないように自動車 2 1 0 0 を制御する例を説明したが、他の車両に追従して自動運転する制御や、車線からはみ出さないように自動運転する制御などにも適用可能である。

## 【 0 1 6 4 】

自動車 2 1 0 0 は、さらに、エアバッグ、アクセル、ブレーキ、ステアリング、トランスミッション等の走行に用いられる駆動部を具備する。また、自動車 2 1 0 0 は、それらの制御ユニットを含む。制御ユニットは、主制御部 2 1 1 3 の制御信号に基づいて、対応

10

20

30

40

50

する駆動部を制御する。

【 0 1 6 5 】

本実施例に用いられた撮像システムは、自動車に限らず、例えば、船舶、航空機あるいは産業用ロボットなどの移動体（移動装置）に適用することができる。加えて、移動体に限らず、高度道路交通システム（ITS）等、広く物体認識を利用する機器に適用することができる。

【 0 1 6 6 】

以上に説明した通り、自動車の実施例において、撮像装置 2 1 0 2 には、第 1 の実施例、乃至、第 5 の実施例のいずれかの撮像装置が用いられる。このような構成によれば、撮像装置から得られる画像のダイナミックレンジを拡大させることができる。

10

【符号の説明】

【 0 1 6 7 】

- 1 0 画素回路
- 1 1 電流源
- 1 2 垂直出力線
- 6 0 画素部
- 6 1 電流源群
- 6 3 ランプ源
- 6 4 比較回路
- 6 5 列メモリ
- 6 6 演算処理部
- 6 7 カウンタ回路
- 1 5 0 列アンプ
- 1 7 0 第 1 基板
- 1 7 1 第 2 基板
- P D 1 第 1 のフォトダイオード
- P D 2 第 2 のフォトダイオード

20

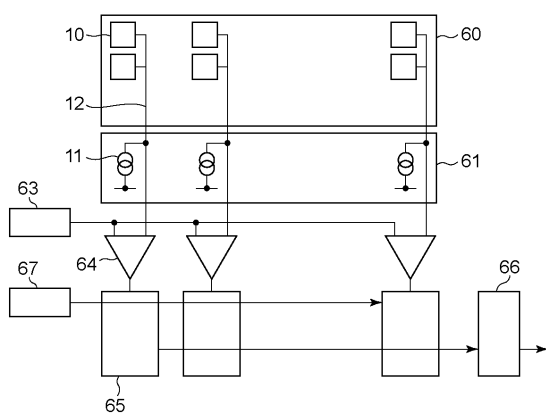
30

40

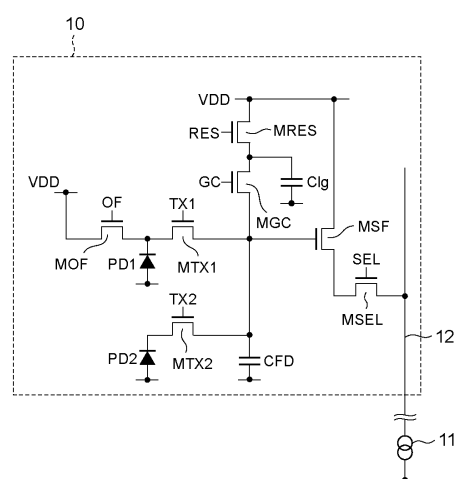
50

【図面】

【 図 1 】



【 図 2 】

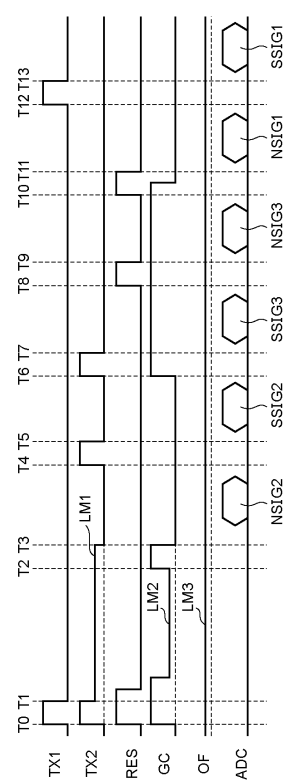
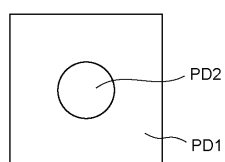


10

20

【 図 3 】

【圖 4】

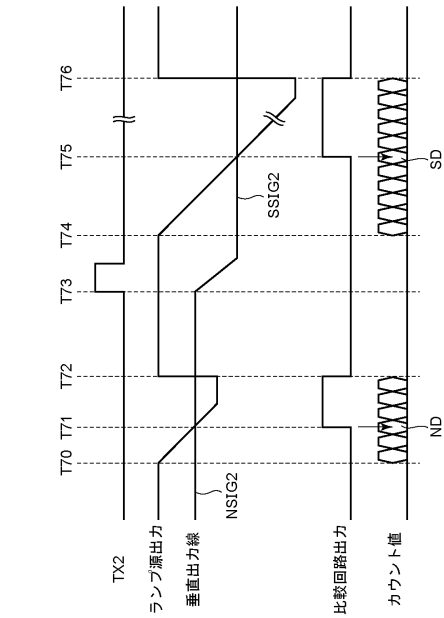


30

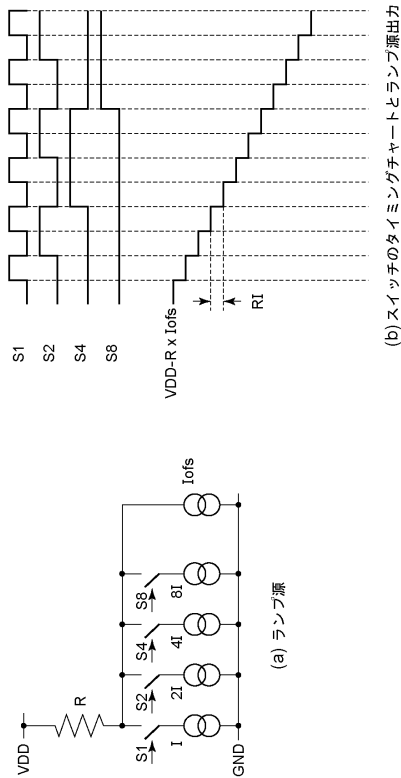
40

50

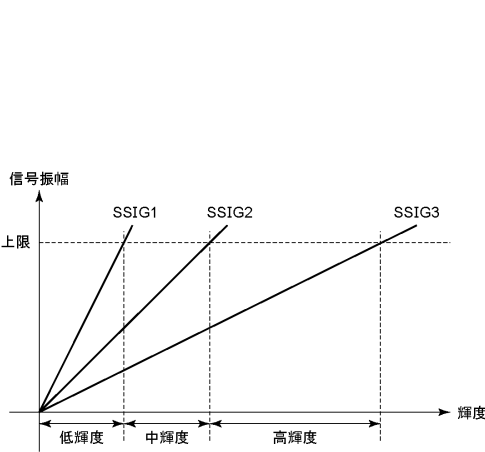
【図 5】



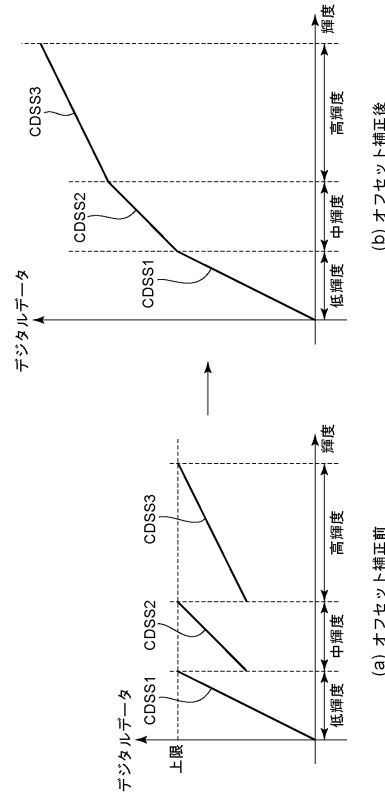
【図 6】



【図 7】



【図 8】



10

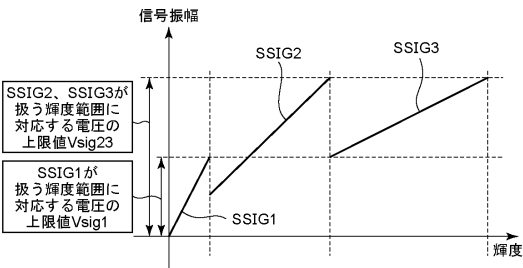
20

30

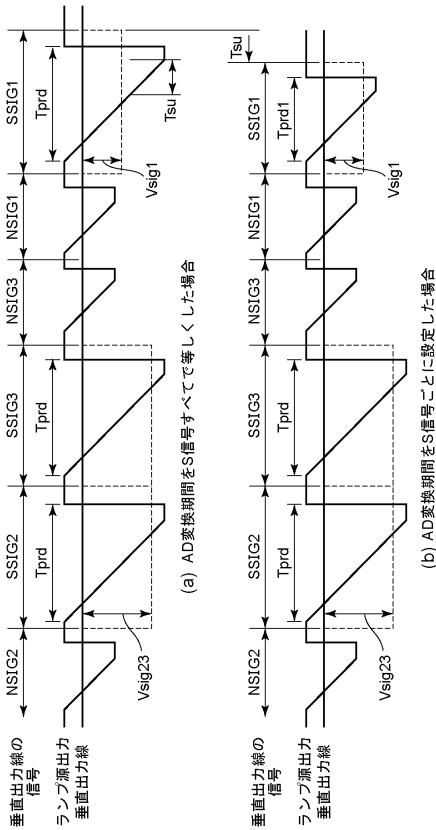
40

50

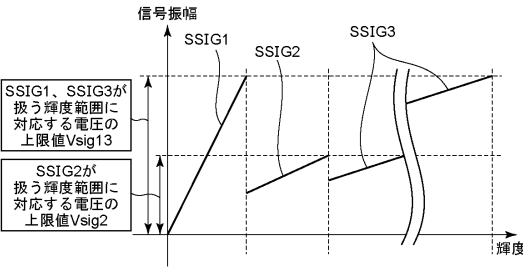
【図 9】



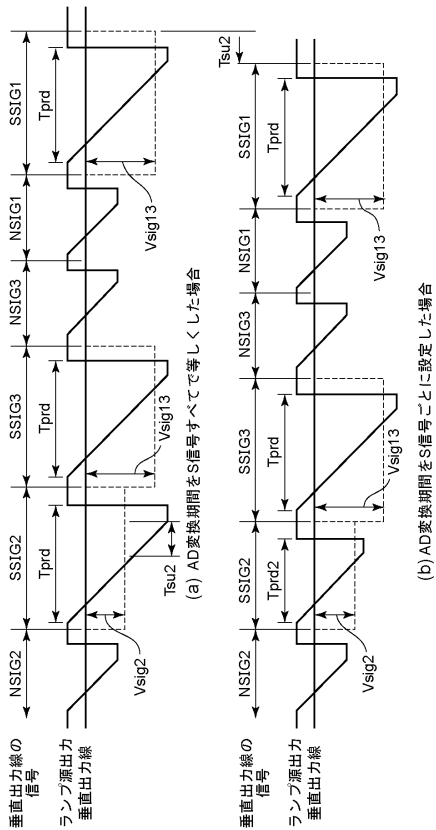
【図 10】



【図 11】



【図 12】



10

20

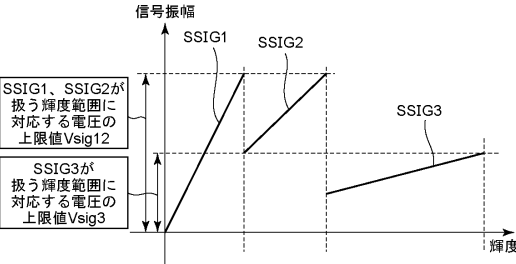
30

40

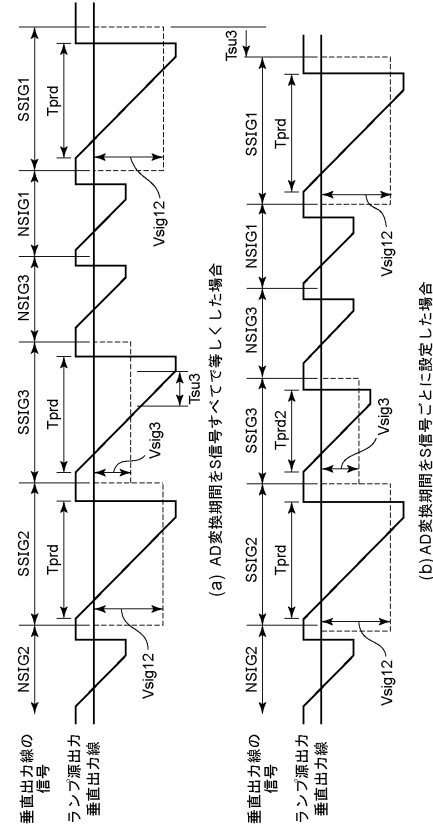
50



【図 1 3】



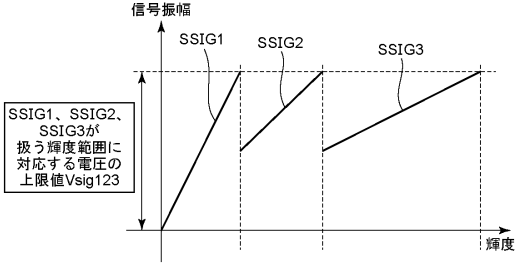
【図 1 4】



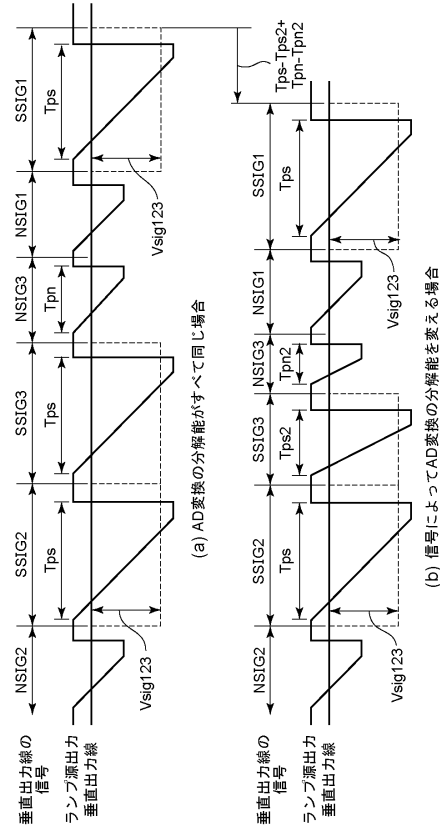
10

20

【図 1 5】



【図 1 6】

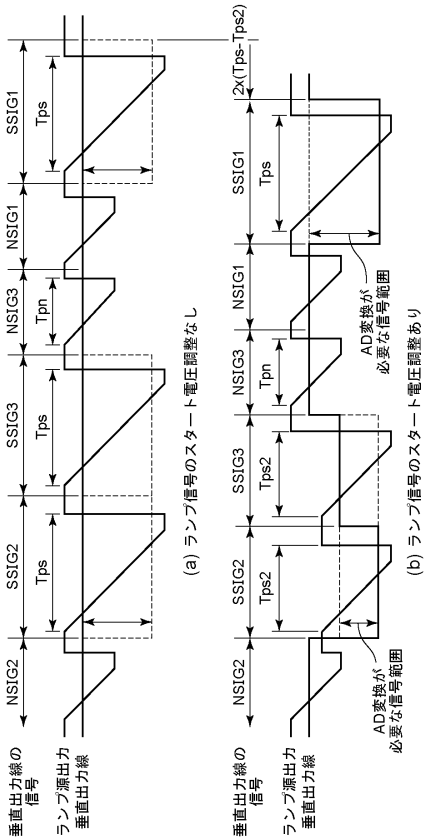


30

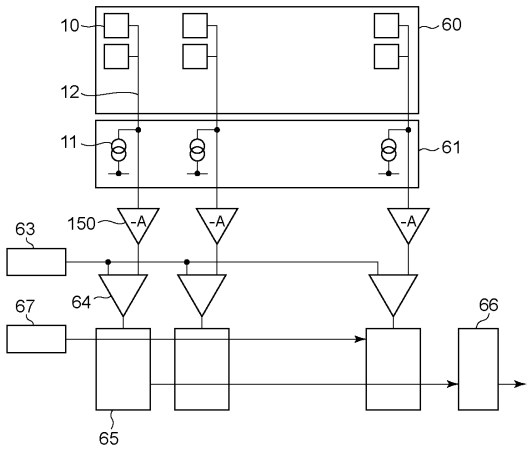
40

50

【図 17】



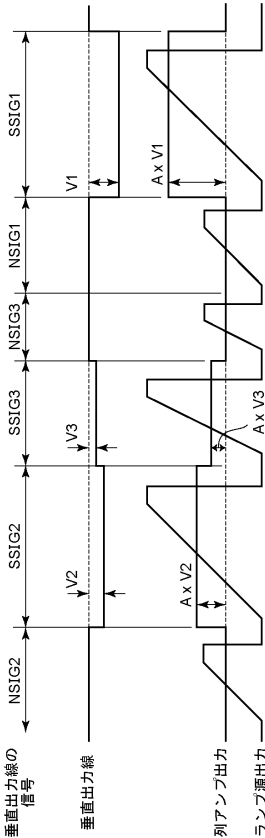
【図 18】



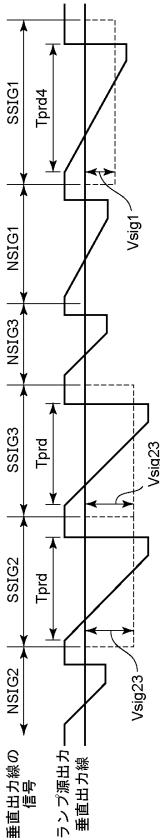
10

20

【図 19】



【図 20】

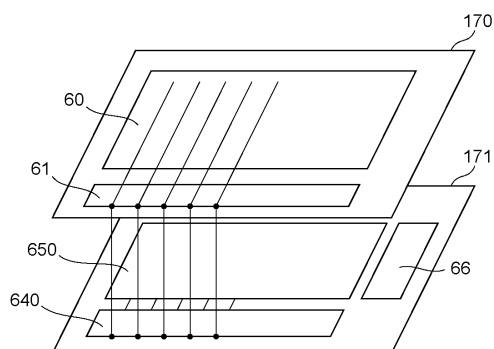


30

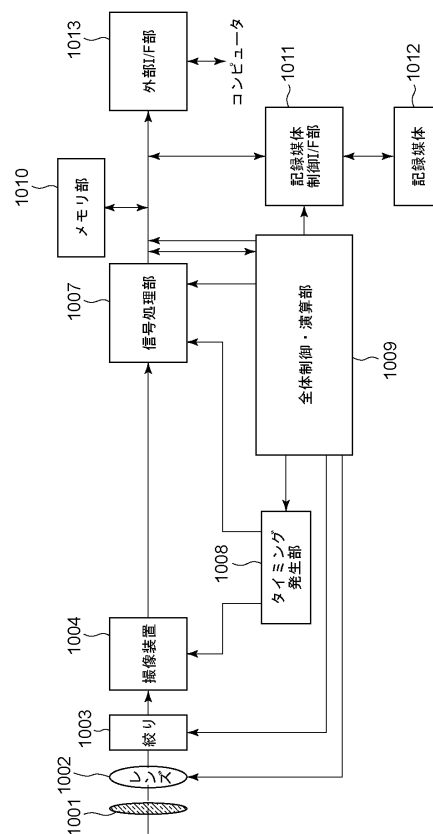
40

50

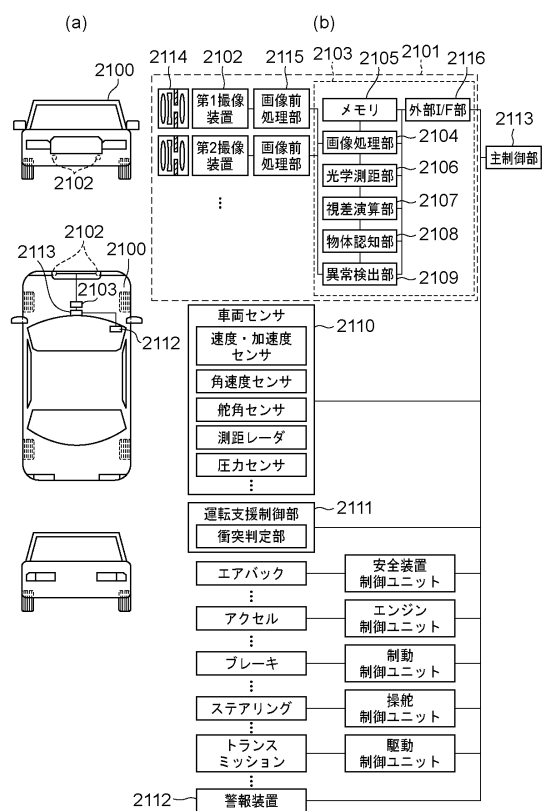
【 図 2 1 】



【 ㊦ 2 2 】



【 図 2 3 】



フロントページの続き

キヤノン株式会社内

審査官 三沢 岳志

- (56)参考文献 米国特許出願公開第 2 0 1 7 / 0 3 2 4 9 1 7 ( U S , A 1 )  
特開 2 0 1 3 - 2 1 1 8 3 2 ( J P , A )  
特開 2 0 1 4 - 0 7 5 7 6 7 ( J P , A )  
特開 2 0 1 9 - 0 6 2 3 9 8 ( J P , A )  
国際公開第 2 0 1 7 / 0 1 8 2 1 5 ( W O , A 1 )  
特開 2 0 0 1 - 2 6 7 5 4 3 ( J P , A )  
特開 2 0 0 7 - 3 2 9 7 2 1 ( J P , A )  
国際公開第 2 0 1 7 / 1 3 8 3 7 0 ( W O , A 1 )  
Manuel Innocent, et al. , "Pixel with nested photo diodes and 120 db single exposure dynamic range" , International Image Sensor Workshop , 2019年06月 , pp.95-98
- (58)調査した分野 (Int.Cl. , D B 名)  
H 0 4 N 2 5 / 7 8  
H 0 4 N 2 5 / 5 8 5  
H 0 4 N 2 5 / 7 7 1  
H 0 4 N 2 5 / 7 6