

【特許請求の範囲】

【請求項 1】

入力電圧の印加端と出力電圧の印加端との間に接続された p n p 型または P チャネル型の出力トランジスタと、

前記出力電圧に応じた帰還電圧を生成する帰還電圧生成回路と、

エミッタ面積の異なるトランジスタ対の共通ベースで前記帰還電圧の入力を受けて各トランジスタに流れるコレクタ電流の大小関係に応じた電圧信号を出力する増幅回路と、

エミッタ接地型またはソース接地型の増幅段により前記電圧信号を増幅して前記出力トランジスタの駆動信号を生成する駆動信号生成回路と、

を有することを特徴とするレギュレータ回路。

10

【請求項 2】

前記駆動信号生成回路は、

入力電圧の印加端と前記出力トランジスタの制御電極との間に接続されて、制御電極に前記電圧信号が印加される p n p 型または P チャネル型の増幅トランジスタと；

前記出力トランジスタの制御電極と接地端との間に接続された電流源と；

を含むことを特徴とする請求項 1 に記載のレギュレータ回路。

【請求項 3】

前記駆動信号生成回路は、さらに、

前記入力電圧の印加端と前記出力トランジスタの制御電極との間に接続されたブルアップ抵抗を含むことを特徴とする請求項 2 に記載のレギュレータ回路。

20

【請求項 4】

前記増幅回路は、前記トランジスタ対として、

ベースが前記帰還電圧の印加端に接続され、コレクタが第 1 負荷を介して前記入力電圧の印加端に接続されると共に前記電圧信号の印加端にも接続され、エミッタが第 1 抵抗を介して接地端に接続された第 1 トランジスタと；

前記第 1 トランジスタよりもエミッタ面積が大きく、ベースが前記第 1 トランジスタのベースに接続され、コレクタが第 2 負荷を介して前記入力電圧の印加端に接続され、エミッタが前記第 1 抵抗よりも抵抗値の小さい第 2 抵抗を経由した後で前記第 1 抵抗を介して接地端に接続された第 2 トランジスタと；

を含むことを特徴とする請求項 3 に記載のレギュレータ回路。

30

【請求項 5】

前記増幅回路は、さらに、

前記第 1 トランジスタよりも耐圧が高く、前記第 1 トランジスタと前記第 1 負荷との間に挿入された第 3 トランジスタと；

前記第 2 トランジスタよりも耐圧が高く、前記第 2 トランジスタと前記第 2 負荷との間に挿入された第 4 トランジスタと；

を含むことを特徴とする請求項 4 に記載のレギュレータ回路。

【請求項 6】

前記第 3 トランジスタ及び前記第 4 トランジスタの制御電極は、いずれも前記出力電圧の印加端に接続されていることを特徴とする請求項 5 に記載のレギュレータ回路。

40

【請求項 7】

請求項 1 ～ 請求項 6 のいずれか一項に記載のレギュレータ回路を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書中に開示されている種々の技術的特徴は、基準電圧源を有しない半導体装置に関するものである。

【背景技術】

【0002】

50

従来より、半導体装置の多くは、外部電源電圧から所定の基準電圧を生成する基準電圧源（バンドギャップ電源回路など）を有しており、その出力を用いて半導体装置内部の動作設定（レギュレータ回路の出力目標値設定や異常保護回路の検出閾値設定など）が行われる。ただし、半導体装置の用途によっては、回路規模をできるだけ縮小するために、上記の基準電圧源を有しない機種も提案されている。

【0003】

なお、本明細書中に開示されている種々の技術的特徴に関連する従来技術の一例としては、特許文献1～特許文献6を挙げることができる。

【先行技術文献】

【特許文献】

10

【0004】

【特許文献1】特開平10-201080号公報

【特許文献2】特許2006-351944号公報

【特許文献3】特開平5-087840号公報

【特許文献4】特許2004-309164号公報

【特許文献5】特開平5-243858号公報

【特許文献6】特許平9-130157号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

20

<シリーズレギュレータ回路>

図10は、シリーズレギュレータ回路の一従来例を示す回路図である。本従来例のシリーズレギュレータ回路Xは、出力電圧 V_{out} の目標値を設定するために別途の基準電圧源を必要としない。しかしながら、本従来例のシリーズレギュレータ回路Xでは、出力トランジスタXCとしてnpn型バイポーラトランジスタが用いられているので、最大でも入力電圧 V_{in} から出力トランジスタXCのベース・エミッタ間電圧 V_f だけ低い出力電圧 V_{out} しか生成することができない、という課題があった。また、本従来例のシリーズレギュレータ回路Xでは、アンプXAのゲインを高めるためにブースタXBを必要とするのでチップ面積が大きくなる、という課題もあった。

【0006】

30

なお、出力トランジスタXCとしてpnp型バイポーラトランジスタやPチャネル型MOS [Metal Oxide Semiconductor] 電界効果トランジスタを用い、ブースタXBを取り除いてアンプXAと出力トランジスタXCを直接的に接続した構成であれば、上記の課題を容易に解消できるようにも思われる。しかしながら、このような構成では、出力電圧 V_{out} の未出力時にアンプXAが動作せず、シリーズレギュレータ回路Xを起動することができなくなるので、現実的な解決策とはなり得なかった。

【0007】

本明細書中に開示されている第1の技術的特徴は、上記の課題に鑑み、出力目標値の設定に別途の基準電圧源を必要とせず、かつ、出力電圧範囲の拡大と回路規模の縮小を実現することのできるレギュレータ回路を提供することを第1の目的とする。

40

【0008】

<温度保護回路（温度検出回路）>

図11A及び図11Bは、それぞれ、温度保護回路の第1従来例及び第2従来例を示す回路図である。

【0009】

第1従来例の温度保護回路Y1は、npn型バイポーラトランジスタYAのベース・エミッタ間電圧 V_f が負の温度特性（ $-2\text{mV}/^\circ\text{C}$ ）を有することを利用して、簡易に温度保護信号TSDを生成することができる。しかしながら、第1従来例の温度保護回路Y1では、検出閾値（閾値電圧 V_{th} ）を設定するために別途の基準電圧源REFを必要とする、という課題があった。

50

【0010】

第2従来例の温度保護回路Y2は、検出閾値を設定するために別途の基準電圧源を必要としない。しかしながら、第2従来例の温度保護回路Y2では、第1従来例と比べて回路を構成する素子数が多い上に、その消費電流（特にコンパレータYH及びYLや論理回路LOGICでの消費電流）が大きくなる、という課題があった。

【0011】

本明細書中に開示されている第2の技術的特徴は、上記の課題に鑑み、検出閾値の設定に別途の基準電圧源を必要とせず、かつ、回路規模の縮小と消費電流の低減を実現することのできる温度検出回路を提供することを第2の目的とする。

【0012】

<過電圧保護回路（電圧検出回路）>

図12は、過電圧保護回路の一従来例を示す回路図である。本従来例の過電圧保護回路Zは、出力電圧Voutに応じたモニタ電圧Vmと所定の基準電圧VthとをコンパレータZAで比較することにより、簡易に過電圧保護信号OVPを生成することができる。しかしながら、本従来例の過電圧保護回路Zでは、検出閾値（基準電圧Vth）を設定するために別途の基準電圧源を必要とする、という課題があった。

【0013】

本明細書中に開示されている第3の技術的特徴は、上記の課題に鑑み、検出閾値の設定に別途の基準電圧源を必要としない電圧検出回路を提供することを第3の目的とする。

【課題を解決するための手段】

【0014】

<第1の技術的特徴>

本明細書中に開示されている種々の技術的特徴のうち、第1の技術的特徴に係るレギュレータ回路は、入力電圧の印加端と出力電圧の印加端との間に接続されたpnp型またはPチャネル型の出力トランジスタと、前記出力電圧に応じた帰還電圧を生成する帰還電圧生成回路と、エミッタ面積の異なるトランジスタ対の共通ベースで前記帰還電圧の入力を受けて各トランジスタに流れるコレクタ電流の大小関係に応じた電圧信号を出力する増幅回路と、エミッタ接地型またはソース接地型の増幅段により前記電圧信号を増幅して前記出力トランジスタの駆動信号を生成する駆動信号生成回路と、を有する構成（第1-1の構成）とされている。

【0015】

なお、上記第1-1の構成から成るレギュレータ回路において、前記駆動信号生成回路は、入力電圧の印加端と前記出力トランジスタの制御電極との間に接続されて、制御電極に前記電圧信号が印加されるpnp型またはPチャネル型の増幅トランジスタと；前記出力トランジスタの制御電極と接地端との間に接続された電流源と；を含む構成（第1-2の構成）にするとよい。

【0016】

また、上記第1-2の構成から成るレギュレータ回路において、前記駆動信号生成回路は、さらに、前記入力電圧の印加端と前記出力トランジスタの制御電極との間に接続されたプルアップ抵抗を含む構成（第1-3の構成）にするとよい。

【0017】

また、上記第1-3の構成から成るレギュレータ回路において、前記増幅回路は、前記トランジスタ対として、ベースが前記帰還電圧の印加端に接続され、コレクタが第1負荷を介して前記入力電圧の印加端に接続されると共に前記電圧信号の印加端にも接続され、エミッタが第1抵抗を介して接地端に接続された第1トランジスタと；前記第1トランジスタよりもエミッタ面積が大きく、ベースが前記第1トランジスタのベースに接続され、コレクタが第2負荷を介して前記入力電圧の印加端に接続され、エミッタが前記第1抵抗よりも抵抗値の小さい第2抵抗を経由した後で前記第1抵抗を介して接地端に接続された第2トランジスタと；を含む構成（第1-4の構成）にするとよい。

【0018】

また、上記第 1－4 の構成から成るレギュレータ回路において、前記増幅回路は、さらに、前記第 1 トランジスタよりも耐圧が高く、前記第 1 トランジスタと前記第 1 負荷との間に挿入された第 3 トランジスタと；前記第 2 トランジスタよりも耐圧が高く、前記第 2 トランジスタと前記第 2 負荷との間に挿入された第 4 トランジスタと；を含む構成（第 1－5 の構成）にするとよい。

【0019】

また、上記第 1－5 の構成から成るレギュレータ回路において、前記第 3 トランジスタ及び前記第 4 トランジスタの制御電極は、いずれも前記出力電圧の印加端に接続されている構成（第 1－6 の構成）にするとよい。

【0020】

また、本明細書中に開示されている種々の技術的特徴のうち、第 1 の技術的特徴に係る半導体装置は、上記第 1－1～第 1－6 いずれかの構成から成るレギュレータ回路を有する構成（第 1－7 の構成）とされている。

【0021】

<第 2 の技術的特徴>

本明細書中に開示されている種々の技術的特徴のうち、第 2 の技術的特徴に係る温度検出回路は、基準電流を生成する基準電流生成部と、前記基準電流に応じて第 1 電流と第 2 電流を生成するカレントミラーと、前記カレントミラーの下流側で前記基準電流が流れる経路に挿入された第 1 抵抗と、前記カレントミラーの下流側で前記第 1 電流が流れる経路に挿入された第 2 抵抗と、前記カレントミラーの下流側で前記第 2 電流が流れる経路に挿入されたダイオードまたはダイオード接続型トランジスタと、前記第 1 電流と前記第 2 電流を比較して温度検出信号を生成する電流比較部と、を有する構成（第 2－1 の構成）とされている。

【0022】

なお、上記第 2－1 の構成から成る温度検出回路において、前記第 1 抵抗と前記第 2 抵抗は、同一の抵抗値に設定されている構成（第 2－2 の構成）にするとよい。

【0023】

また、上記第 2－2 の構成から成る温度検出回路は、前記第 1 抵抗及び前記第 2 抵抗と接地端との間に接続された第 3 抵抗と、前記温度検出信号に応じて前記第 3 抵抗の両端間を導通／遮断するスイッチと、をさらに有する構成（第 2－3 の構成）にするとよい。

【0024】

また、上記第 2－2 または第 2－3 の構成から成る温度検出回路において、前記カレントミラーは、第 1 電極が前記第 1 抵抗を介して接地端に接続され、第 2 電極が前記基準電流生成部に接続され、制御電極が自身の第 2 電極に接続された第 1 トランジスタと；第 1 電極が前記第 2 抵抗を介して接地端に接続され、第 2 電極が前記電流比較部に接続され、制御電極が前記第 1 トランジスタの制御電極に接続された第 2 トランジスタと；第 1 電極が前記ダイオードまたは前記ダイオード接続型トランジスタを介して接地端に接続され、第 2 電極が前記電流比較部に接続され、制御電極が前記第 1 トランジスタの制御電極に接続された第 3 トランジスタと；を含む構成（第 2－4 の構成）にするとよい。

【0025】

また、上記第 2－4 の構成から成る温度検出回路において、前記電流比較部は、第 1 電極が入力電圧の印加端に接続され、第 2 電極が前記第 2 トランジスタの第 2 電極に接続され、制御電極が自身の第 2 電極に接続された第 4 トランジスタと；第 1 電極が前記入力電圧の印加端に接続され、第 2 電極が前記第 3 トランジスタの第 2 電極に接続され、制御電極が前記第 4 トランジスタの制御電極に接続された第 5 トランジスタと；第 1 電極が前記入力電圧の印加端に接続され、第 2 電極が前記温度検出信号の出力端に接続され、制御電極が前記第 5 トランジスタの第 2 電極に接続された第 6 トランジスタと；前記温度検出信号の出力端と接地端との間に接続された第 4 抵抗と；を含む構成（第 2－5 の構成）にするとよい。

【0026】

また、本明細書中に開示されている種々の技術的特徴のうち、第2の技術的特徴に係る半導体装置は、上記第2-1～第2-5いずれかの構成から成る温度検出回路と、前記温度検出信号に基づいて動作可否が制御される内部回路とを有する構成（第2-6の構成）とされている。

【0027】

＜第3の技術的特徴＞

本明細書中に開示されている種々の技術的特徴のうち、第3の技術的特徴に係る電圧検出回路は、監視対象電圧を分圧して第1電圧と第2電圧を生成する分圧回路と、エミッタ面積の異なるトランジスタ対に入力される前記第1電圧と前記第2電圧を比較して電圧検出信号を生成する比較回路と、を有する構成（第3-1の構成）とされている。

10

【0028】

なお、上記第3-1の構成から成る電圧検出回路において、前記比較回路は、前記トランジスタ対として、ベースが前記第1電圧の印加端に接続された第1トランジスタと；前記第1トランジスタよりもエミッタ面積が大きく、ベースが前記第2電圧の印加端に接続され、エミッタが前記第1トランジスタのエミッタと共通に接続された第2トランジスタと；を含む構成（第3-2の構成）にするとよい。

【0029】

また、上記第3-2の構成から成る電圧検出回路において、前記比較回路は、さらに、前記第1トランジスタ及び前記第2トランジスタのエミッタ電流を生成する電流源と；前記第1トランジスタまたは前記第2トランジスタのコレクタ電圧から前記電圧検出信号を生成する出力段と；を含む構成（第3-3の構成）にするとよい。

20

【0030】

また、上記第3-1～第3-3いずれかの構成から成る電圧検出回路において、前記分圧回路は、前記監視対象電圧と接地電圧との間で基準電圧を生成する第1分圧回路と、前記監視対象電圧と前記基準電圧との間または前記基準電圧と接地電圧との間で前記第1電圧と前記第2電圧を生成する第2分圧回路を含む構成（第3-4の構成）にするとよい。

【0031】

また、上記第3-4の構成から成る電圧検出回路において、前記第2分圧回路は、制御電極が前記基準電圧の印加端に接続され、第2電極が接地端または前記監視対象電圧の印加端に接続された第3トランジスタと；前記第3トランジスタの第2電極と前記監視対象電圧の印加端または接地端との間に接続されて前記第1電圧及び前記第2電圧を生成する抵抗ラダーと；を含む構成（第3-5の構成）にするとよい。

30

【0032】

また、本明細書中に開示されている種々の技術的特徴のうち、第3の技術的特徴に係る半導体装置は、上記第3-1～第3-5いずれかの構成から成る電圧検出回路と、前記電圧検出信号に基づいて動作可否が制御される内部回路とを有する構成（第3-6の構成）とされている。

【発明の効果】

【0033】

本明細書中に開示されている第1の技術的特徴によれば、出力目標値の設定に別途の基準電圧源を必要とせず、かつ、出力電圧範囲の拡大と回路規模の縮小を実現することが可能なレギュレータ回路を提供することが可能となる。

40

【0034】

また、本明細書中に開示されている第2の技術的特徴によれば、検出閾値の設定に別途の基準電圧源を必要とせず、かつ、回路規模の縮小と消費電流の低減を実現することのできる温度検出回路を提供することが可能となる。

【0035】

また、本明細書中に開示されている第3の技術的特徴によれば、検出閾値の設定に別途の基準電圧源を必要としない電圧検出回路を提供することが可能となる。

【図面の簡単な説明】

50

【0036】

【図1】シ리즈レギュレータICの一構成例を示すブロック図

【図2】シ리즈レギュレータ回路の第1構成例を示す回路図

【図3】シ리즈レギュレータ回路の第2構成例を示す回路図

【図4】シ리즈レギュレータ回路に含まれる異常保護部の一構成例を示す回路図

【図5】温度保護回路の第1構成例を示す回路図

【図6】温度保護回路の第2構成例を示す回路図

【図7】過電圧保護回路の第1構成例を示す回路図

【図8】過電圧保護回路の第2構成例を示す回路図

【図9A】過電圧保護回路でシ리즈レギュレータ回路の帰還抵抗を共用する際の留意点を説明するための図（第1構成例） 10

【図9B】過電圧保護回路でシ리즈レギュレータ回路の帰還抵抗を共用する際の留意点を説明するための図（第2構成例）

【図10】シ리즈レギュレータ回路の一従来例を示す回路図

【図11A】温度保護回路の第1従来例を示す回路図

【図11B】温度保護回路の第2従来例を示す回路図

【図12】過電圧保護回路の一従来例を示す回路図

【発明を実施するための形態】

【0037】

<全体構成>

20

図1は、シ리즈レギュレータICの一構成例を示すブロック図である。本構成例のシ리즈レギュレータIC1は、シ리즈レギュレータ回路100と、温度保護回路200と、過電圧保護回路300と、を集積化したモノリシック半導体集積回路装置である。

【0038】

シ리즈レギュレータ回路100は、入力電圧 V_{in} （例えば12V）から所望の出力電圧 V_{out} （例えば5Vや3.3V）を生成する。なお、シ리즈レギュレータ回路100には、温度保護信号S1及び過電圧保護信号S2に基づいて出力動作の可否を制御する異常保護部が含まれている。シ리즈レギュレータ回路100の構成及び動作については、後ほど詳細に説明する。

【0039】

30

温度保護回路200は、シ리즈レギュレータIC1のチップ温度 T_j が所定の検出閾値を上回っているか否かを監視して温度保護信号S1を生成し、この温度保護信号S1をシ리즈レギュレータ回路100に出力する。温度保護回路200の構成及び動作については後ほど詳細に説明する。

【0040】

過電圧保護回路300は、出力電圧 V_{out} が所定の検出閾値を上回っているか否かを監視して過電圧保護信号S2を生成し、この過電圧保護信号S2をシ리즈レギュレータ回路100に出力する。過電圧保護回路300の構成及び動作については、後ほど詳細に説明する。

【0041】

40

<シ리즈レギュレータ回路>

図2は、シ리즈レギュレータ回路100の第1構成例を示す回路図である。本構成例のシ리즈レギュレータ回路100は、pnp型バイポーラトランジスタ101～103と、npn型バイポーラトランジスタ104及び105と、Pチャネル型MOS電界効果トランジスタ106と、抵抗107～111と、電流源112と、を有する。

【0042】

トランジスタ101及び102のエミッタは、いずれも入力電圧 V_{in} の印加端に接続されている。トランジスタ101及び102のベースは、いずれもトランジスタ102のコレクタに接続されている。トランジスタ101のコレクタは、トランジスタ104のコレクタに接続されている。トランジスタ102のコレクタは、トランジスタ105のコレ 50

クタに接続されている。トランジスタ104及び105のベースは、いずれも帰還電圧 V_{fb} の印加端（抵抗110と抵抗111との接続ノード）に接続されている。トランジスタ105のエミッタは、抵抗107及び108を介して接地端に接続されている。トランジスタ104のエミッタは、抵抗107と抵抗108との接続ノードに接続されている。トランジスタ104及び105のエミッタ面積比は1:Nに設計されている。

【0043】

トランジスタ103のエミッタは、入力電圧 V_{in} の印加端に接続されている。トランジスタ103のコレクタは、電流源112を介して接地端に接続されている。トランジスタ103のベースは、トランジスタ101のコレクタに接続されている。トランジスタ106のソースは、入力電圧 V_{in} の印加端に接続されている。トランジスタ106のドレインは、出力電圧 V_{out} の印加端に接続される一方、抵抗110及び111を介して接地端にも接続されている。トランジスタ106のゲートは、トランジスタ103のコレクタに接続される一方、抵抗109を介して入力電圧 V_{in} の印加端にも接続されている。

【0044】

トランジスタ106は、入力電圧 V_{in} の印加端と出力電圧 V_{out} の印加端との間に接続された出力トランジスタに相当する。抵抗110及び111は、出力電圧 V_{out} に応じた帰還電圧 V_{fb} （出力電圧 V_{out} の分圧電圧）を生成する帰還電圧生成回路に相当する。トランジスタ101及び102、トランジスタ104及び105、並びに、抵抗107及び108は、エミッタ面積の異なるトランジスタ対（トランジスタ104及び105）の共通ベースで帰還電圧 V_{fb} の入力を受けて各トランジスタ104及び105に流れるコレクタ電流 I_{11} 及び I_{12} の大小関係に応じた電圧信号 V_{11} を出力する増幅回路に相当する。トランジスタ103、抵抗109、及び、電流源112は、エミッタ接地型（トランジスタ103としてPチャネル型MOS電界効果トランジスタを用いた場合にはソース接地型）の増幅段により電圧信号 V_{11} を増幅してトランジスタ106の駆動信号 V_{12} （ゲート電圧）を生成する駆動信号生成回路に相当する。

【0045】

上記構成から成るシリーズレギュレータ回路100の動作について説明する。出力電圧 V_{out} の上昇に伴って帰還電圧 V_{fb} が高くなると、トランジスタ104とトランジスタ105との間では、互いのエミッタ面積の差よりも互いのベース・エミッタ間電圧の差の方が優勢となる。その結果、コレクタ電流 I_{12} よりもコレクタ電流 I_{11} の方が大きくなり、電圧信号 V_{11} が低下する。電圧信号 V_{11} の低下に伴ってトランジスタ103の導通度が大きくなると、駆動信号 V_{12} の電圧値が高くなる。その結果、トランジスタ106の導通度が小さくなり、出力電圧 V_{out} が低下する。

【0046】

一方、出力電圧 V_{out} の低下に伴って帰還電圧 V_{fb} が低くなると、トランジスタ104とトランジスタ105との間では、互いのベース・エミッタ間電圧の差よりも互いのエミッタ面積の差の方が優勢となる。その結果、コレクタ電流 I_{11} よりもコレクタ電流 I_{12} の方が大きくなり、電圧信号 V_{11} が上昇する。電圧信号 V_{11} の上昇に伴ってトランジスタ103の導通度が小さくなると、駆動信号 V_{12} の電圧値が低くなる。その結果、トランジスタ106の導通度が大きくなり、出力電圧 V_{out} が上昇する。

【0047】

このように、第1構成例のシリーズレギュレータ回路100であれば、出力目標値設定に別途の基準電圧源を必要とせず、入力電圧 V_{in} から所望の出力電圧 V_{out} を生成することができる。なお、出力電圧 V_{out} の目標値は、抵抗110及び111の抵抗比に応じて任意に調整することが可能である。

【0048】

また、第1構成例のシリーズレギュレータ回路100であれば、図10のブースタXBよりも回路規模の小さいエミッタ接地型（またはソース接地型）の増幅段を用いることができるので、回路規模の縮小や消費電流の低減を実現することが可能となる。

【0049】

10

20

30

40

50

また、第1構成例のシリアルレギュレータ回路100であれば、出力トランジスタとしてPチャネル型（またはpnp型）のトランジスタ106を用いることができるので、出力電圧 V_{out} の出力範囲を入力電圧 V_{in} 近傍まで広げることが可能となる。

【0050】

また、第1構成例のシリアルレギュレータ回路100であれば、出力電圧 V_{out} の未出力時において、増幅回路（トランジスタ101及び102、トランジスタ104及び105、並びに、抵抗107及び108）が動作できない状況であっても、電流源112を介して駆動信号 V_{12} がローレベルに引き下げられるので、トランジスタ106はオンとなる。その結果、出力電圧 V_{out} が上昇して、シリアルレギュレータ回路100を正常に起動することが可能となる。

10

【0051】

また、第1構成例のシリアルレギュレータ回路100であれば、トランジスタ106のゲートが抵抗109を介して入力電圧 V_{in} の印加端にプルアップされている。従って、駆動信号 V_{12} の論理レベルが不定となり得る状況下では、駆動信号 V_{12} の論理レベルをハイレベルに固定して、トランジスタ106をオフ状態に維持することが可能となる。

【0052】

なお、上記の構成を応用すれば、シリアルレギュレータ回路100のみならず、その他の用途に供されるアンプやコンパレータを実現することも可能である。

【0053】

図3は、シリアルレギュレータ回路100の第2構成例を示す回路図である。第2構成例は、第1構成例とほぼ同様の構成であり、トランジスタ101とトランジスタ104との間にNチャネル型MOS電界効果トランジスタ113を挿入した点、及び、トランジスタ102とトランジスタ105との間にNチャネル型MOS電界効果トランジスタ114を挿入した点に特徴を有している。トランジスタ113及び114としては、トランジスタ104及び105よりも高耐圧（例えば50V耐圧）の素子（例えばNDMOSFET）を用いればよい。

20

【0054】

上記の接続関係について具体的に説明する。トランジスタ113のドレインは、トランジスタ101のコレクタに接続されている。トランジスタ113のソースは、トランジスタ104のコレクタに接続されている。トランジスタ114のドレインは、トランジスタ102のコレクタに接続されている。トランジスタ114のソースは、トランジスタ105のコレクタに接続されている。トランジスタ113及び114のゲートは、いずれも出力電圧 V_{out} の印加端に接続されている。なお、トランジスタ113及び114のゲートは、増幅回路（トランジスタ101及び102、トランジスタ104及び105、抵抗107及び108、並びに、トランジスタ113及び114）の動作が可能である限り、出力電圧 V_{out} の印加端以外の低電圧印加端に接続しても構わない。

30

【0055】

トランジスタ113及び114を挿入したことにより、トランジスタ104及び105のコレクタには、出力電圧 V_{out} よりもトランジスタ113及び114のゲート・ソース間電圧 V_{gs} だけ低い電圧（ $=V_{out}-V_{gs}$ ）しか印加されなくなる。従って、製造プロセス上、トランジスタ104及び105の高耐圧化が難しい場合であっても、シリアルレギュレータ回路100全体の高耐圧化を実現することが可能となる。

40

【0056】

図4はシリアルレギュレータ回路100に含まれる異常保護部の一構成例を示す回路図である。本構成例の異常保護部は、Pチャネル型MOS電界効果トランジスタ115と、Nチャネル型MOS電界効果トランジスタ116と、否定論理和演算器117とを含む。

【0057】

トランジスタ115のソースは、入力電圧 V_{in} の印加端に接続されている。トランジスタ115のドレインは、トランジスタ106のゲートに接続されている。トランジスタ115のゲートは、否定論理和演算器117の出力端に接続されている。否定論理和演算

50

器 1 1 7 の第 1 入力端は、温度保護信号 S 1 の印加端に接続されている。否定論理和演算器 1 1 7 の第 2 入力端は、過電圧保護信号 S 2 の印加端に接続されている。トランジスタ 1 1 6 のドレインは、出力電圧 V o u t の印加端に接続されている。トランジスタ 1 1 6 のソースは、接地端に接続されている。トランジスタ 1 1 6 のゲートは、温度保護信号 S 1 の印加端に接続されている。

【0058】

温度保護信号 S 1 と過電圧保護信号 S 2 がいずれもローレベル（正常時の論理レベル）である場合、トランジスタ 1 1 5 及び 1 1 6 はいずれもオフされる。従って、出力電圧 V o u t の生成動作には何ら影響がない。温度保護信号 S 1 がハイレベル（異常温度検出時の論理レベル）である場合、トランジスタ 1 1 5 及び 1 1 6 はいずれもオンされる。従って、トランジスタ 1 0 6 は強制的にオフ状態となり、出力電圧 V o u t は接地電圧まで引き下げられる。過電圧保護信号 S 2 がハイレベル（過電圧検出時の論理レベル）である場合、トランジスタ 1 1 6 はオフのまま、トランジスタ 1 1 5 だけがオンされる。従って、出力電圧 V o u t が接地電圧まで引き下げられることはなく、トランジスタ 1 0 6 の強制オフのみが実施される。

【0059】

<温度保護回路（温度検出回路）>

図 5 は、温度保護回路 2 0 0 の第 1 構成例を示す回路図である。第 1 構成例の温度保護回路 2 0 0 は、p n p 型バイポーラトランジスタ 2 0 1 ~ 2 0 5 と、n p n 型バイポーラトランジスタ 2 0 6 ~ 2 1 1 と、抵抗 2 1 2 ~ 2 1 6 と、を有する。

【0060】

トランジスタ 2 0 1 及び 2 0 2 のエミッタは、いずれも入力電圧 V i n の印加端に接続されている。トランジスタ 2 0 1 及び 2 0 2 のベースは、いずれもトランジスタ 2 0 1 のコレクタに接続されている。トランジスタ 2 0 1 のコレクタは、トランジスタ 2 0 7 のコレクタに接続されている。トランジスタ 2 0 6 及び 2 0 7 のベースは、いずれもトランジスタ 2 0 6 のコレクタに接続されている。トランジスタ 2 0 6 のコレクタは、抵抗 2 1 2 を介して入力電圧 V i n の印加端に接続されている。トランジスタ 2 0 6 のエミッタは、接地端に接続されている。トランジスタ 2 0 7 のエミッタは、抵抗 2 1 3 を介して接地端に接続されている。トランジスタ 2 0 6 及び 2 0 7 のエミッタ面積比は 1 : N に設計されている。

【0061】

トランジスタ 2 0 2 のコレクタは、トランジスタ 2 0 8 のコレクタに接続されている。トランジスタ 2 0 8 ~ 2 1 0 のベースは、いずれもトランジスタ 2 0 8 のコレクタに接続されている。トランジスタ 2 0 8 のエミッタは、抵抗 2 1 4 を介して接地端に接続されている。トランジスタ 2 0 9 のエミッタは、抵抗 2 1 5 を介して接地端に接続されている。トランジスタ 2 1 0 のエミッタは、トランジスタ 2 1 1 のコレクタ及びベースに接続されている。トランジスタ 2 1 1 のエミッタは、接地端に接続されている。

【0062】

トランジスタ 2 0 9 のコレクタは、トランジスタ 2 0 3 のコレクタに接続されている。トランジスタ 2 1 0 のコレクタは、トランジスタ 2 0 4 のコレクタとトランジスタ 2 0 5 のベースに接続されている。トランジスタ 2 0 3 及び 2 0 4 のエミッタは、いずれも入力電圧 V i n の印加端に接続されている。トランジスタ 2 0 3 及び 2 0 4 のベースは、いずれもトランジスタ 2 0 3 のコレクタに接続されている。トランジスタ 2 0 5 のエミッタは入力電圧 V i n の印加端に接続されている。トランジスタ 2 0 5 のコレクタは、温度保護信号 S 1 の出力端に接続されると共に、抵抗 2 1 6 を介して接地端にも接続されている。

【0063】

トランジスタ 2 0 1 及び 2 0 2、トランジスタ 2 0 6 及び 2 0 7、並びに、抵抗 2 1 2 及び 2 1 3 は、基準電流 I 2 0 を生成する基準電流生成部に相当する。トランジスタ 2 0 8 ~ 2 1 0 は、基準電流 I 2 0 に応じて第 1 電流 I 2 1 と第 2 電流 I 2 2 を生成するカレントミラーに相当する。抵抗 2 1 4 は、カレントミラーの下流側（接地端側）で基準電流

10

20

30

40

50

I 2 0 が流れる経路に挿入された第 1 抵抗に相当する。抵抗 2 1 5 は、カレントミラーの下流側で第 1 電流 I 2 1 が流れる経路に挿入された第 2 抵抗に相当する。トランジスタ 2 1 1 は、カレントミラーの下流側で第 2 電流 I 2 1 が流れる経路に挿入されたダイオード接続型トランジスタに相当する。なお、トランジスタ 2 1 1 をダイオードに置き換えることも可能である。トランジスタ 2 0 3 ~ 2 0 5、及び、抵抗 2 1 6 は、第 1 電流 I 2 1 と第 2 電流 I 2 2 を比較して温度検出信号 S 1 を生成する電流比較部に相当する。

【0064】

上記構成から成る温度保護回路 2 0 0 の動作について説明する。抵抗 2 1 3 の抵抗値を R 2 1 とし、抵抗 2 1 4 及び 2 1 5 の抵抗値をいずれも R 2 2 とした場合、トランジスタ 2 0 9 のエミッタ電圧 V 2 1 は、次の (1) 式で表される。なお、(1) 式中の符号 V_T は熱電圧 ($= kT/q$) である (k : ボルツマン定数、T : 絶対温度、q : 電子電荷)。

$$V_{21} = (R_{22}/R_{21}) V_T \ln N \quad \cdots (1)$$

【0065】

一方、トランジスタ 2 1 0 のエミッタ電圧 V 2 2 は、次の (2) 式で表される。なお、(1) 式中の符号 V f は、ダイオード接続型トランジスタ 2 1 1 のベース・エミッタ間電圧であり、負の温度特性 ($-2 \text{ mV}/^\circ\text{C}$) を有する。

$$V_{22} = V_f \quad \cdots (2)$$

【0066】

上記のエミッタ電圧 V 2 1 及び V 2 2 は、チップ温度 T_j に応じて互いの大小関係が逆転する。第 1 構成例の温度保護回路 2 0 0 では、この特性を利用してチップ温度 T_j の検出が行われる。

【0067】

チップ温度 T_j が温度異常の検出閾値よりも低く、トランジスタ 2 1 0 のエミッタ電圧 V 2 2 がトランジスタ 2 0 9 のエミッタ電圧 V 2 1 よりも高い場合には、トランジスタ 2 1 0 がオフとなり、第 2 電流 I 2 2 を流せなくなる。従って、トランジスタ 2 0 5 のベース電圧 V 2 3 はハイレベルとなり、トランジスタ 2 0 5 はオフとなる。その結果、温度保護信号 S 1 は、抵抗 2 1 6 を介してローレベル (正常時の論理レベル) となる。

【0068】

一方、チップ温度 T_j が上昇して、トランジスタ 2 1 0 のエミッタ電圧 V 2 2 がトランジスタ 2 0 9 のエミッタ電圧 V 2 1 よりも低くなった場合には、トランジスタ 2 1 0 がオンとなり、第 2 電流 I 2 2 を流すことができるようになる。従って、トランジスタ 2 0 5 のベース電圧 V 2 3 はローレベルとなり、トランジスタ 2 0 5 はオンとなる。その結果、温度保護信号 S 1 は、トランジスタ 2 0 5 を介してハイレベル (温度異常検出時の論理レベル) となる。

【0069】

このように、第 1 構成例の温度保護回路 2 0 0 であれば、温度異常の検出閾値設定に別途の基準電圧源を必要とせず、チップ温度 T_j を監視して温度保護信号 S 1 を生成することができる。なお、温度異常の検出閾値は、トランジスタ 2 0 6 及び 2 0 7 のエミッタ面積比や、抵抗 2 1 3 と抵抗 2 1 4 及び 2 1 5 との抵抗比に応じて、任意に調整することが可能である。

【0070】

また、第 1 構成例の温度保護回路 2 0 0 であれば、図 1 1 B の従来構成に比べて、回路規模の縮小や消費電流の低減を実現することが可能となる。

【0071】

なお、第 1 構成例の温度保護回路 2 0 0 は、シリーズレギュレータ IC 1 のみならず、その他のパワー系 IC にも搭載することが可能である。

【0072】

図 6 は、温度保護回路 2 0 0 の第 2 構成例を示す回路図である。第 2 構成例は、第 1 構成例とほぼ同様の構成であり、抵抗 2 1 7 と、Nチャネル型 MOS 電界効果トランジスタ 2 1 8 と、インバータ 2 1 9 と、を追加した点に特徴を有している。

10

20

30

40

50

【0073】

抵抗217の第1端は、抵抗214及び215に接続されている。抵抗217の第2端は接地端に接続されている。トランジスタ218のドレインは、抵抗217の第1端に接続されている。トランジスタ218のソースは、抵抗217の第2端に接続されている。トランジスタ218のゲートは、インバータ219の出力端に接続されている。インバータ219の入力端は、温度保護信号S1の出力端に接続されている。

【0074】

トランジスタ218は、温度検出信号S1に応じて抵抗217の両端間を導通／遮断するスイッチに相当する。

【0075】

温度保護信号S1がローレベル（正常時の論理レベル）であるときには、トランジスタ218がオンとなり、抵抗217の両端間がショートされる。一方、温度保護信号S1がハイレベル（温度異常検出時の論理レベル）であるときには、トランジスタ218がオフとなり、抵抗214及び215と接地端との間に抵抗217が挿入される。その結果、トランジスタ209のエミッタ電圧V21が引き上げられるので、チップ温度 T_j が低下しても温度保護信号S1がローレベル（正常時の論理レベル）に戻り難くなる。

【0076】

このように、第2構成例の温度保護回路200であれば、非常に簡易な構成によって、温度保護信号S1にヒステリシス特性を付与することが可能となる。

【0077】

<過電圧保護回路（電圧検出回路）>

図7は、過電圧保護回路300の第1構成例を示す回路図である。第1構成例の過電圧保護回路300は、pnp型バイポーラトランジスタ301～304と、npn型バイポーラトランジスタ305及び306と、抵抗307～312と、電流源313を有する。

【0078】

抵抗307の第1端は、出力電圧Voutの印加端に接続されている。抵抗307の第2端は、抵抗308の第1端とトランジスタ303のベースに接続されている。抵抗308の第2端は、接地端に接続されている。抵抗309の第1端は、出力電圧Voutの印加端に接続されている。抵抗309の第2端は、抵抗310の第1端とトランジスタ305のベースに接続されている。抵抗310の第2端は、抵抗311の第1端とトランジスタ306のベースに接続されている。抵抗311の第2端は、トランジスタ303のエミッタに接続されている。トランジスタ303のコレクタは、接地端に接続されている。

【0079】

トランジスタ301及び302のエミッタは、いずれも出力電圧Voutの印加端に接続されている。トランジスタ301及び302のベースは、いずれもトランジスタ302のコレクタに接続されている。トランジスタ301のコレクタは、トランジスタ305のコレクタとトランジスタ304のベースに接続されている。トランジスタ302のコレクタは、トランジスタ306のコレクタに接続されている。トランジスタ305及び306のエミッタは、いずれも電流源313を介して接地端に接続されている。トランジスタ304のエミッタは、出力電圧Voutの印加端に接続されている。トランジスタ304のコレクタは、過電圧保護信号S2の出力端に接続されると共に、抵抗312を介して接地端にも接続されている。トランジスタ305及び306のエミッタ面積比は1：Nに設計されている。

【0080】

トランジスタ303、及び、抵抗307～311は、監視対象電圧である出力電圧Voutを分圧して第1電圧V31と第2電圧V32を生成する分圧回路に相当する。特に、抵抗307及び308は、出力電圧Voutと接地電圧との間で基準電圧V30を生成する第1分圧回路に相当する。トランジスタ303及び抵抗ラダー（抵抗309～311）は、出力電圧Voutと基準電圧V30（正確には、基準電圧V30よりもトランジスタ303のベース・エミッタ間電圧Vfだけ高いトランジスタ303のエミッタ電圧V33

10

20

30

40

50

($=V_{30} + V_f$)) との間で第 1 電圧 V_{31} と第 2 電圧 V_{32} を生成する第 2 分圧回路に相当する。

【0081】

トランジスタ 301 及び 302、トランジスタ 304～306、抵抗 312、並びに、電流源 313 は、エミッタ面積の異なるトランジスタ対（トランジスタ 305、306）に入力される第 1 電圧 V_{31} と第 2 電圧 V_{32} を比較して過電圧保護信号 S_2 を生成する比較回路に相当する。特に、トランジスタ 304 及び抵抗 312 は、トランジスタ 301 のコレクタ電圧 V_{34} から過電圧保護信号 S_2 を生成する出力段に相当する。

【0082】

このように、第 1 構成例の過電圧保護回路 300 は、比較回路の入力段を形成するトランジスタ 305 及び 306 のエミッタ面積に差を付けることにより、比較回路に入力オフセットを付与し、この入力オフセットを利用して出力電圧 V_{out} が過電圧状態であるか否かを検出する構成とされている。

【0083】

上記構成から成る過電圧保護回路 300 の動作について説明する。出力電圧 V_{out} が過電圧の検出閾値よりも低い場合には、出力電圧 V_{out} とエミッタ電圧 V_{33} との電圧差が開かないので、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差も小さくなる。従って、トランジスタ 305 とトランジスタ 306 との間では、互いのベース・エミッタ間電圧の差（すなわち、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差）よりも互いのエミッタ面積の差の方が優勢となる。その結果、トランジスタ 305 のコレクタ電流 I_{31} よりもトランジスタ 306 のコレクタ電流 I_{32} の方が大きくなり、トランジスタ 304 のベース電圧 V_{34} がハイレベルとなって、トランジスタ 304 がオフとなる。その結果、過電圧保護信号 S_2 は、抵抗 312 を介してローレベル（正常時の論理レベル）となる。

【0084】

一方、出力電圧 V_{out} が上昇して、出力電圧 V_{out} とエミッタ電圧 V_{33} との電圧差が開くと、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差も大きくなる。従って、トランジスタ 305 とトランジスタ 306 との間では、互いのエミッタ面積の差よりも互いのベース・エミッタ間電圧の差（すなわち、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差）の方が優勢となる。その結果、トランジスタ 305 のコレクタ電流 I_{31} よりもトランジスタ 306 のコレクタ電流 I_{32} の方が小さくなり、トランジスタ 304 のベース電圧 V_{34} がローレベルとなって、トランジスタ 304 がオンとなる。その結果、過電圧保護信号 S_2 は、トランジスタ 304 を介してハイレベル（過電圧検出時の論理レベル）となる。

【0085】

このように、第 1 構成例の過電圧保護回路 300 であれば、過電圧の検出閾値設定に別途の基準電圧源を必要とせず、出力電圧 V_{out} を監視して過電圧保護信号 S_2 を生成することができる。なお、過電圧の検出閾値については、トランジスタ 305 及び 306 のエミッタ面積比や抵抗 307～311 の分圧比（特に抵抗 307 及び 308 の分圧比）に応じて任意に調整することが可能である。

【0086】

また、第 1 構成例の過電圧保護回路 300 であれば、抵抗 309～311 の抵抗値を適宜調整することにより、トランジスタ 305 及び 306 を入力段とする比較回路の入力オフセット ($=V_{T \ln N}$) と、前記比較回路の入力信号 ($V_{31} - V_{32}$) との間で、互いの温度特性（いずれも正の温度特性）を相殺させることが可能となり、延いては過電圧保護信号 S_2 の温度依存性を低減することが可能となる。

【0087】

また、第 1 構成例の過電圧保護回路 300 であれば、シリーズレギュレータ回路 100 よりも応答性の高い比較回路を用いて出力電圧 V_{out} の監視を行い、過電圧保護信号 S_2 を生成することができるので、入力電圧 V_{in} の急峻な変動に起因する出力電圧 V_{out} のオーバーシュートを適切に抑制することが可能となる。シリーズレギュレータ IC1 の後段には、耐圧の低い部品（マイコンなど）が接続されることも多いので、出力電圧 V

out のオーバーシュート抑制を実現することにより、シリーズレギュレータ IC1 が搭載されるセットの信頼性を高めることが可能となる。

【0088】

また、第1構成例の過電圧保護回路300であれば、図12の従来構成に比べて、回路規模の縮小や消費電流の低減を実現することが可能となる。

【0089】

なお、第1構成例の過電圧保護回路300で生成される過電圧保護信号S2は、出力電圧Voutのオーバーシュート抑制動作のみならず、過電圧異常時におけるシリーズレギュレータIC1のリセット動作にも利用することが可能である。

【0090】

図8は、過電圧保護回路300の第2構成例を示す回路図である。第2構成例は、第1構成例とは極性を反転させた構成であり、npn型バイポーラトランジスタ321～324と、pnp型バイポーラトランジスタ325及び326と、抵抗327～332と、電流源333と、インバータ334と、を有する。

【0091】

抵抗327の第1端は、接地端に接続されている。抵抗327の第2端は、抵抗328の第1端とトランジスタ323のベースに接続されている。抵抗328の第2端は、出力電圧Voutの印加端に接続されている。抵抗329の第1端は、接地端に接続されている。抵抗329の第2端は、抵抗330の第1端とトランジスタ325のベースに接続されている。抵抗330の第2端は、抵抗331の第1端とトランジスタ326のベースに接続されている。抵抗331の第2端は、トランジスタ323のエミッタに接続されている。トランジスタ323のコレクタは、出力電圧Voutの印加端に接続されている。

【0092】

トランジスタ321及び322のエミッタは、いずれも接地端に接続されている。トランジスタ321及び322のベースは、いずれもトランジスタ322のコレクタに接続されている。トランジスタ321のコレクタは、トランジスタ325のコレクタとトランジスタ324のベースに接続されている。トランジスタ322のコレクタは、トランジスタ326のコレクタに接続されている。トランジスタ325及び326のエミッタは、いずれも電流源333を介して出力電圧Voutの印加端に接続されている。トランジスタ324のエミッタは、接地端に接続されている。トランジスタ324のコレクタは、インバータ334を介して過電圧保護信号S2の出力端に接続されると共に、抵抗332を介して出力電圧Voutの印加端にも接続されている。トランジスタ325及び326のエミッタ面積比は1:Nに設計されている。

【0093】

トランジスタ323、及び、抵抗327～331は、監視対象電圧である出力電圧Voutを分圧して第1電圧V31と第2電圧V32を生成する分圧回路に相当する。特に、抵抗327及び328は、出力電圧Voutと接地電圧との間で基準電圧V30を生成する第1分圧回路に相当する。トランジスタ323及び抵抗ラダー（抵抗329～331）は、基準電圧V30（正確には基準電圧V30よりもトランジスタ323のベース・エミッタ間電圧Vfだけ低いトランジスタ323のエミッタ電圧V33（ $=V30 - Vf$ ））と接地電圧の間で第1電圧V31と第2電圧V32を生成する第2分圧回路に相当する。

【0094】

トランジスタ321及び322、トランジスタ324～326、抵抗332、電流源333、並びに、インバータ334は、エミッタ面積の異なるトランジスタ対（トランジスタ325及び326）に入力される第1電圧V31と第2電圧V32を比較して過電圧保護信号S2を生成する比較回路に相当する。特に、トランジスタ324、抵抗332、及び、インバータ334は、トランジスタ321のコレクタ電圧V34から過電圧保護信号S2を生成する出力段に相当する。

【0095】

このように、第2構成例の過電圧保護回路300は、比較回路の入力段を形成するトラ

10

20

30

40

50

ンジスタ 325 及び 326 のエミッタ面積に差を付けることにより、比較回路に入力オフセットを付与し、この入力オフセットを利用して出力電圧 V_{out} が過電圧状態であるか否かを検出する構成とされている。

【0096】

上記構成から成る過電圧保護回路 300 の動作について説明する。出力電圧 V_{out} が過電圧の検出閾値よりも低い場合には、エミッタ電圧 V_{33} と接地電圧との電圧差が開かないので、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差も小さくなる。従って、トランジスタ 325 とトランジスタ 326 との間では、互いのベース・エミッタ間電圧の差（すなわち、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差）よりも互いのエミッタ面積の差の方が優勢となる。その結果、トランジスタ 325 のコレクタ電流 I_{31} よりもトランジスタ 326 のコレクタ電流 I_{32} の方が大きくなり、トランジスタ 324 のベース電圧 V_{34} がローレベルとなって、トランジスタ 324 がオフとなる。その結果、インバータ 334 への入力信号は、抵抗 312 を介してハイレベルとなり、この入力信号を論理反転させた過電圧検出信号 S_2 は、ローレベル（正常時の論理レベル）となる。

10

【0097】

一方、出力電圧 V_{out} が上昇して、エミッタ電圧 V_{33} と接地電圧との電圧差が開くと、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差も大きくなる。従って、トランジスタ 325 とトランジスタ 326 との間では、互いのエミッタ面積の差よりも互いのベース・エミッタ間電圧の差（すなわち、第 1 電圧 V_{31} と第 2 電圧 V_{32} との電圧差）の方が優勢となる。その結果、トランジスタ 325 のコレクタ電流 I_{31} よりもトランジスタ 326 のコレクタ電流 I_{32} の方が小さくなり、トランジスタ 324 のベース電圧 V_{34} がハイレベルとなって、トランジスタ 324 がオンとなる。その結果、インバータ 334 への入力信号は、トランジスタ 324 を介してローレベルとなり、この入力信号を論理反転させた過電圧保護信号 S_2 は、ハイレベル（過電圧検出時の論理レベル）となる。

20

【0098】

このように、第 2 構成例の過電圧保護回路 300 であれば、先述の第 1 構成例と同様の効果を奏することが可能である。なお、過電圧の検出閾値については、トランジスタ 325 及び 326 のエミッタ面積比や抵抗 327～331 の分圧比（特に抵抗 327 及び 328 の分圧比）に応じて任意に調整することが可能である。

【0099】

図 9A 及び図 9B は、それぞれ、過電圧保護回路 300 でシリーズレギュレータ回路 100 の帰還抵抗 110 及び 111 を共用する際の留意点を説明するための図である。なお、図 9A では、第 1 構成例の過電圧保護回路 300 において、出力電圧 V_{out} から基準電圧 V_{30} を生成するための抵抗 307 及び 308 として、シリーズレギュレータ回路 100 の帰還抵抗 110 及び 111 を共用した構成が描写されている。また、図 9B では、第 2 構成例の過電圧保護回路 300 において、出力電圧 V_{out} から基準電圧 V_{30} を生成するための抵抗 327 及び 328 として、シリーズレギュレータ回路 100 の帰還抵抗 110 及び 111 を共用した構成が描写されている。

30

【0100】

なお、図 2 及び図 3 で示した抵抗 110 は、図 9A 及び図 9B で示した抵抗 R_1 及び R_2 に相当する。図 2 及び図 3 で示した抵抗 111 は、図 9A 及び図 9B で示した抵抗 R_3 に相当する。図 7 で示した抵抗 307 は、図 9A で示した抵抗 R_1 に相当する。図 7 で示した抵抗 308 は、図 9A で示した抵抗 R_2 及び R_3 に相当する。図 8 で示した抵抗 328 は、図 9B で示した抵抗 R_1 に相当する。図 8 で示した抵抗 327 は、図 9B で示した抵抗 R_2 及び R_3 に相当する。

40

【0101】

シリーズレギュレータ回路 100 では、抵抗 R_2 と抵抗 R_3 との接続ノードに npn 型バイポーラトランジスタ 104 及び 105 のベースが接続されている。従って、抵抗 R_2 と抵抗 R_3 との接続ノードからは、トランジスタ 104 及び 105 のベース電流 I_{B1} が引き抜かれる。このベース電流 I_{B1} の引き抜きにより、抵抗 $R_1 \sim R_3$ の抵抗分圧比に

50

は多少のずれが生じる。また、抵抗 R 1 ～ R 3 の抵抗値が大きいときには、ベース電流 I B 1 の引き抜きによって温度特性の悪化が生じるおそれもある。

【0102】

このような状況下において、抵抗 R 1 と抵抗 R 2 との接続ノードに p n p 型バイポーラトランジスタ 3 0 3 のベースを接続する構成（図 9 A を参照）を採用した場合には、抵抗 R 1 と抵抗 R 2 との接続ノードにトランジスタ 3 0 3 のベース電流 I B 2 を供給することになるので、ベース電流 I B 1 の引き抜きに伴う上記の不具合を緩和することができる。

【0103】

一方、抵抗 R 1 と抵抗 R 2 との接続ノードに n p n 型バイポーラトランジスタ 3 0 3 のベースを接続する構成（図 9 B を参照）を採用した場合には、抵抗 R 1 と抵抗 R 2 との接
続ノードからさらにトランジスタ 3 2 3 のベース電流 I B 2 を引き抜くことになるので、
上記の不具合を助長してしまう。

【0104】

従って、過電圧保護回路 3 0 0 でシリーズレギュレータ回路 1 0 0 の帰還抵抗 1 1 0 及び 1 1 1 を共用する際には、図 7 の第 1 構成例を採用することが望ましいと言える。

【0105】

<その他の変形例>

本明細書中に開示されている種々の技術的特徴は、上記実施形態のほか、その技術的創作の主旨を逸脱しない範囲で種々の変更を加えることが可能である。例えば、上記実施形態で説明した動作や機能を実現し得る範囲内において、バイポーラトランジスタと M O S
電界効果トランジスタとの相互置換や、各種信号の論理レベル反転は任意である。すなわ
ち、上記実施形態は、全ての点で例示であって、制限的なものではないと考えられるべき
であり、本発明の技術的範囲は、上記実施形態の説明ではなく、特許請求の範囲によって
示されるものであり、特許請求の範囲と均等の意味及び範囲内に属する全ての変更が含ま
れると理解されるべきである。

【産業上の利用可能性】

【0106】

本明細書中に開示されている種々の技術的特徴は、例えば、基準電圧源を有しない半導
体装置を実現するための技術として利用することができる。

【符号の説明】

【0107】

- 1 シリーズレギュレータ I C
- 1 0 0 シリーズレギュレータ回路
- 1 0 1 ～ 1 0 3 p n p 型バイポーラトランジスタ
- 1 0 4 、 1 0 5 n p n 型バイポーラトランジスタ
- 1 0 6 P チャネル型 M O S 電界効果トランジスタ
- 1 0 7 ～ 1 1 1 抵抗
- 1 1 2 電流源
- 1 1 3 、 1 1 4 N チャネル型 M O S 電界効果トランジスタ
- 1 1 5 P チャネル型 M O S 電界効果トランジスタ
- 1 1 6 N チャネル型 M O S 電界効果トランジスタ
- 1 1 7 否定論理和演算器
- 2 0 0 温度保護回路
- 2 0 1 ～ 2 0 5 p n p 型バイポーラトランジスタ
- 2 0 6 ～ 2 1 1 n p n 型バイポーラトランジスタ
- 2 1 2 ～ 2 1 7 抵抗
- 2 1 8 N チャネル型 M O S 電界効果トランジスタ
- 2 1 9 インバータ
- 3 0 0 過電圧保護回路
- 3 0 1 ～ 3 0 4 p n p 型バイポーラトランジスタ

10

20

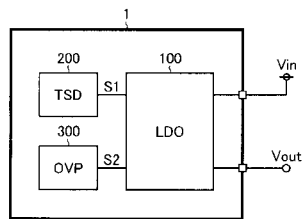
30

40

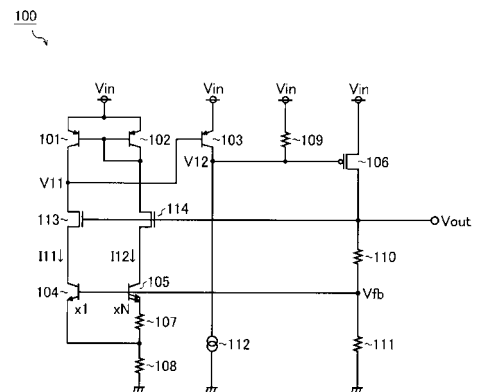
50

305、306 n p n 型バイポーラトランジスタ
 307～312 抵抗
 313 電流源
 321～324 n p n 型バイポーラトランジスタ
 325、326 p n p 型バイポーラトランジスタ
 327～332 抵抗
 333 電流源
 334 インバータ

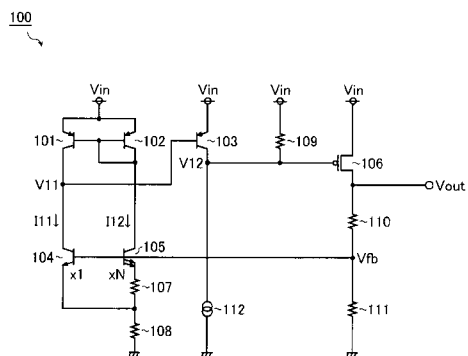
【図 1】



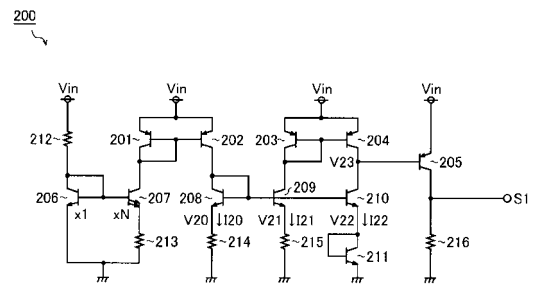
【図 3】



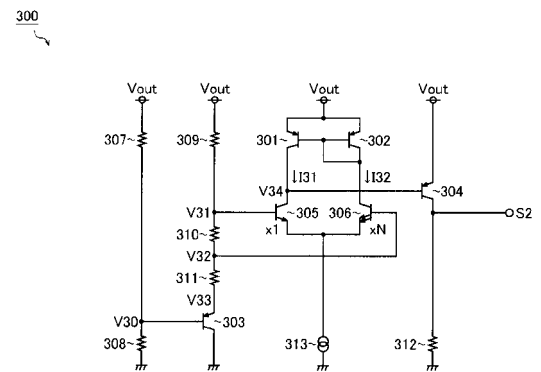
【図 2】



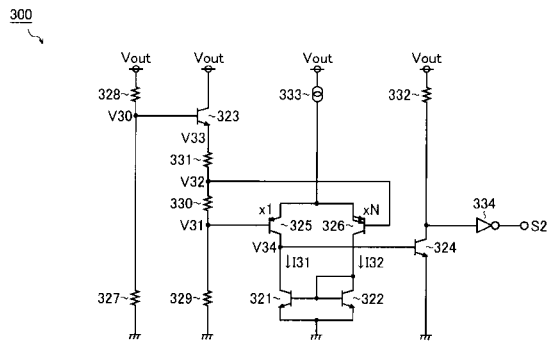
【 図 5 】



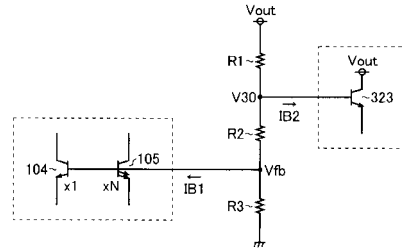
【图 7】



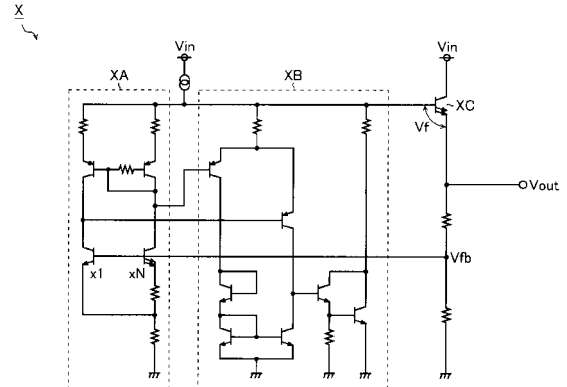
【図 8】



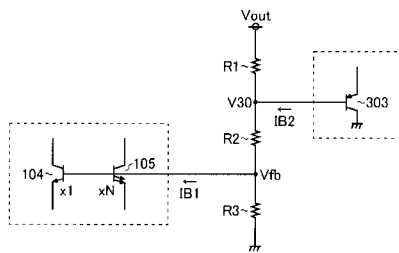
【図 9 B】



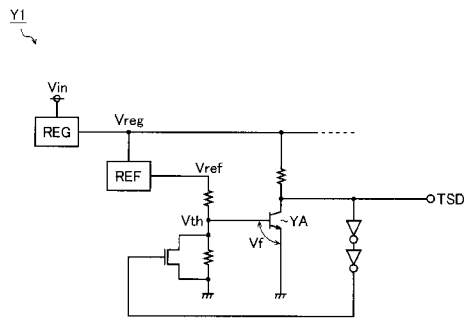
【図 10】



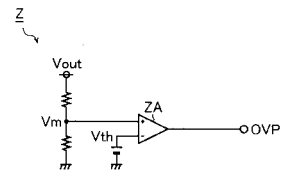
【図 9 A】



【図 11 A】



【図 12】



【図 11 B】

