

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月23日(23.08.2012)



(10) 国際公開番号

WO 2012/111814 A1

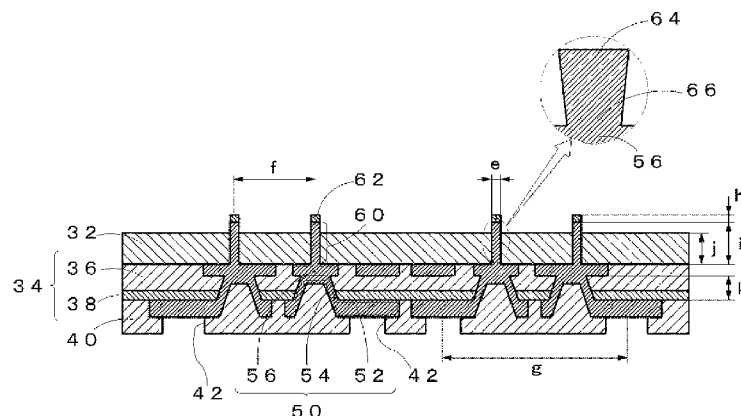
- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 25/07 (2006.01)
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053843
- (22) 国際出願日: 2012年2月17日(17.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-033489 2011年2月18日(18.02.2011) JP
特願 2011-068642 2011年3月25日(25.03.2011) JP
- (71) 出願人(米国を除く全ての指定国について): 古河電気工業株式会社 (Furukawa Electric Co., Ltd.) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目2番3号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 日笠 和人 (HIKASA Kazuhito) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内 Tokyo (JP). 天野 俊昭 (AMANO Toshiaki) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内 Tokyo (JP). 渡邊 雅人 (WATANABE Masato) [JP/JP]; 〒1008322 東京都千代田区丸の内二丁目2番3号 古河電気工業株式会社内 Tokyo (JP).
- (74) 代理人: 茜ヶ久保 公二, 外 (AKANEGAKUBO Koji et al.); 〒1000005 東京都千代田区丸の内1丁目6番2号 新丸の内センタービルディング ゾンデルホフ&アインゼル法律特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: WIRING SUBSTRATE, METHOD FOR MANUFACTURING SAME, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 配線基板およびその製造方法ならびに半導体装置

[図3]



(57) Abstract: The present invention suppresses the generation of reflow cracking and the generation of electromigration. Provided is a wiring substrate which enables impedance matching due to flatness, a high degree of design freedom, and high-density installation, and also provided are a method for manufacturing the wiring substrate, and a semiconductor device. An interposer (30) comprises: a substrate (32) made of resin and constituting a base; a wiring pattern (50) formed on the substrate (32); and an insulating layer (40) that covers part of the wiring pattern (50). Posts (60) that are connected with the semiconductor chip and are formed of metal the chief constituent of which is copper are erected in prescribed locations on the wiring pattern (50). The posts (60) are erected on the wiring pattern (50) in a state in which the posts (60) pass through the substrate (32).

(57) 要約:

[続葉有]

WO 2012/111814 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロピア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

リフロークラックの発生やエレクトロマイグレーションの発生を抑制する。平坦性によるインピーダンス整合及び設計自由度が高く、高密度実装が可能な配線基板及びその製造方法並びに半導体装置を提供する。インターポーザ 30 は、ベースとなる樹脂製の基板 32 と、基板 32 上に形成された配線パターン 50 と、配線パターン 50 の一部を被覆する絶縁層 40 とを有している。配線パターン 50 上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポスト 60 が立設され、ポスト 60 が基板 32 を貫通した状態で配線パターン 50 上に立設されている。

明 細 書

発明の名称：配線基板およびその製造方法ならびに半導体装置 技術分野

[0001] 本発明は配線基板およびその製造方法ならびに半導体装置に関し、特に配線基板の構造に特化した技術に関する。

背景技術

[0002] 近年の電子機器の高密度化に伴い、複数枚の半導体チップを積層して3次元実装構造を実現した高密度の半導体装置（半導体パッケージ）が開発されている。このような半導体装置は、例えば、板状又はフィルム状の基板の表面に、集積回路、抵抗器、コンデンサー等の多数の電子部品を固定し、その部品間を配線で接続することで電子回路を構成するものである。

[0003] このような半導体装置を形成する多層配線基板として、層毎に積層、穴あけ加工、回路形成などを繰り返す工法にて作製されたビルドアップ基板が普及している。ビルドアップ基板における回路形成過程では、絶縁層を、フィルム状の樹脂をラミネートして形成しているものがある（特許文献1参照）。

[0004] また、たとえば、上記の半導体装置の一形態として、複数枚の半導体チップをそれぞれ1つの基板にワイヤーボンディングで接続して積層させ、パッケージ化することがおこなわれている（特許文献2参照）。しかし、センターに電極（パッド）を有する半導体チップを用いるような場合において、各半導体チップと基板とをワイヤーボンディングしようとする、各半導体チップを接着するための接着剤層により、ワイヤ自体が押し潰されて電気特性が悪くなるという問題がある。

[0005] そこで、このような場合に、半導体チップのセンターパッドから外側に再配線をおこなうため（半導体チップの電極のピッチ拡張のため）に「インターポーザ」といわれる配線基板が用いられている。

[0006] 最近では、インターポーザは半導体パッケージ自体の電気的特性や耐久性

を向上させるためにも使用されており、その例が特許文献2、3などに開示されている。特許文献2の技術によれば、半導体チップ(1)間にインターポーザ(11)を挿入し、電源ノイズの問題を解決しようとしている(段落0027~0033, 図3など参照)。特許文献3の技術によれば、半導体チップ(5, 8)間にインターポーザ(6)を介在させ、耐久性能を評価している(段落0058, 段落0065, 表3, 表4, 図2など参照)。

先行技術文献

特許文献

[0007] 特許文献1: 特開2010-34247号公報

特許文献2: 特開2002-151644号公報

特許文献3: 特開2008-4853号公報

特許文献4: 特開2008-177504号公報

発明の概要

発明が解決しようとする課題

[0008] ところで、半導体チップとインターポーザとの電気的な接続は、一般的には、半導体チップまたはインターポーザの少なくとも一方の外部接続電極に対し、単に半田バンプを設けてこれを溶融(リフロー)することによりおこなわれる。このような接続構造では、半田が流れて絶縁層の厚みが確保できず、リフロークラックが生じる可能性がある。さらには、上述した半導体チップの多段化やファインピッチ化に伴い、エレクトロマイグレーションが生じ、半導体チップとインターポーザとの接続部分で抵抗が上がるという可能性もある。

[0009] また、近年益々薄型化が進む多層配線基板においては、電子部品を実装する際の取扱い上、基板の剛性を維持することが課題となっており、上記文献における多層配線基板においても、高剛性で取扱いの容易さを狙っている。しかしながら、上記の従来技術では、基板の絶縁層にフィルム状の樹脂をラミネートする際に配向が生じ、配線基板に反りが起きる原因となっていた。

[0010] 本発明は、以上のような従来技術の課題を解決するために提案されたものであり、その目的は、リフロックラックの発生やエレクトロマイグレーションの発生を抑制することができる配線基板およびその製造方法ならびにそのような配線基板を利用した半導体装置を提供することにある。

[0011] また、本発明の他の目的は、平坦性によるインピーダンス整合及び設計自由度が高く、高密度実装が可能な多層配線基板及びその製造方法並びに半導体装置を提供することにある。

課題を解決するための手段

[0012] 上記課題を解決するため、本発明の多層配線基板の好ましい態様では、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンの一部を被覆する絶縁層とを有し、前記配線パターン上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポストが立設され、前記ポストが前記基板を貫通した状態で前記配線パターン上に立設されている。

[0013] 本発明の多層配線基板の他の好ましい態様では、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンを被覆しつつ、前記基板の両面に対称にビルドアップして形成した絶縁層と、を有し、前記絶縁層は、MD方向及びTD方向において強度が同じである。

[0014] 以上の態様では、絶縁層において、基板の流れ方向であるMD（Machine Direction）方向と、基板の垂直方向であるTD方向（Transverse Direction）とを、同じ強度に設定した。これにより、基板に絶縁層をビルドアップしても反りの少ない平坦性ある多層配線基板を提供することができる。また、基板の上面と下面において上下対称構造とすることで基板の反りがなく、同時に低熱膨張を実現可能であり、大きなサイズの基板であっても、実装ずれが生じることがない。

[0015] 好ましくは、上記態様において、前記絶縁層は、キャストニングにより形成したことを特徴とする。この態様では、絶縁層をビルドアップするに当たって、キャストニング（溶液流延法（solution casting））により行うこと

で、フィルムに物理的な圧力を加えないため高分子の配向が起こらず、強度や光学特性などに方向性が生じない。また、フィルムとして市販されている絶縁層は、規格品で、厚さが決まっているが、上記態様のとおり、絶縁層をキャストリングすることで、任意の厚みを形成でき、また例えば傾斜構造も作製可能である。そのため、不要な絶縁層厚さによる製品の肥大化も防止できる。また、信号の遅延を考慮した厚さを任意に設定することや、絶縁層として回路密度や目的にあったCTE（線膨張係数）の材料を用いることができ、設計の自由度が高まる。

発明の効果

[0016] 本発明によれば、リフロークラックの発生やエレクトロマイグレーションの発生を抑制することができる。また、平坦性によるインピーダンス整合及び設計自由度が高く、高密度実装が可能な多層配線基板及びその製造方法並びに半導体装置を提供することができる。

図面の簡単な説明

[0017] [図1]図1の半導体装置の概略的な全体構成を示す平面図である。

[図2]第1の実施形態にかかる半導体装置の概略構成を示す断面図である。

[図3]第1の実施形態にかかるインターポーザの概略構成を示す断面図である。

[図4]図3のインターポーザの製造方法を概略的に示す図面である。

[図5]図3のインターポーザの製造方法を概略的に示す図面であって、図4の後続工程を概略的に示す図面である。

[図6]図3のインターポーザの製造方法を概略的に示す図面であって、図5の後続工程を概略的に示す図面である。

[図7]第2の実施形態にかかるインターポーザの概略構成を示す断面図である。

[図8]図7のインターポーザの製造方法を概略的に示す図面である。

[図9]図7のインターポーザの製造方法を概略的に示す図面であって、図8の後続工程を概略的に示す図面である。

[図10]図7のインターポーザの変形例を示す断面図である。

[図11]図7のインターポーザの変形例を示す断面図である。

[図12]第3の実施形態にかかる半導体装置の概略構成を示す断面図である。

[図13]第3の実施形態にかかるインターポーザの概略構成を示す断面図である。

[図14]図13のインターポーザの製造方法を概略的に示す図面である。

[図15]図13のインターポーザの製造方法を概略的に示す図面であって、図14の後続工程を概略的に示す図面である。

[図16]第4の実施形態に係る半導体装置の構成を示す断面図である。

[図17]第4の実施形態に係る多層配線基板の構成を示す断面図である。

[図18]第4の実施形態に係る多層配線基板の製造方法を示す図面である。

[図19]第4の実施形態に係る多層配線基板の製造方法を示す図面であって、図18の後続工程を示す図面である。

[図20]第5の実施形態に係る多層配線基板の構成を示す断面図である。

[図21]第5の実施形態に係る多層配線基板の製造方法を示す図面である。

[図22]第5の実施形態に係る多層配線基板の製造方法を示す図面であって、図21の後続工程を示す図面である。

[図23]第6の実施形態に係る多層配線基板の構成を示す断面図である。

[図24]第6の実施形態に係る多層配線基板の製造方法を示す図面である。

[図25]第6の実施形態に係る多層配線基板の製造方法を示す図面であって、図24の後続工程を示す図面である。

[図26]第6の実施形態に係る多層配線基板の製造方法を示す図面であって、図25の後続工程を示す図面である。

発明を実施するための形態

[0018] 以下、図面を参照しながら本発明の好ましい実施形態について説明する。

上述の通り、本発明は、多層配線基板に係る発明として捉えることが可能であるとともに、この多層配線基板を作製する製造方法、半導体装置として捉えることも可能である。そこで、以下、実施形態ごとに、まず、半導体装置

の構成を説明した上で、多層配線基板の構成を具体的に説明し、さらに、多層配線基板の製造方法について説明することとする。

[0019] [1. 第1の実施形態]

半導体装置(100)は、いわゆるTSV(Through Silicon Via)構造を有する半導体パッケージであり、図1に示すとおり、主に半導体チップ積層体10、コントローラ20およびインターポーザ30から構成されている。

[0020] 図2に示すとおり、半導体チップ積層体10は、複数枚のSi製の半導体チップ12が積層され構成されている。各半導体チップ12は、DRAM(Dynamic Random Access Memory)として機能するものである。各半導体チップ12には貫通孔14(Via)が形成されており、貫通孔14を通じて貫通電極16が形成されている。各半導体チップ12は、貫通電極16を通じて他の半導体チップ12やコントローラ20と電氣的に接続されている。

[0021] コントローラ20は、Si製の半導体チップ22を有している。半導体チップ22にも貫通孔24(Via)が形成されており、貫通孔24を通じて貫通電極26が形成されている。半導体チップ22は、アンダーフィル28により封止されている。コントローラ20は、貫通電極26を通じて半導体チップ積層体10やインターポーザ30と電氣的に接続されている。

[0022] インターポーザ30は、半導体チップ22の電極のピッチ拡張のための配線基板である。インターポーザ30は、可撓性のフレキシブル基板にバンプが形成されたいわゆる半田バンプ付きインターポーザである。

[0023] 図3に示すとおり、インターポーザ30は、ベースとなる樹脂製の基板32を有している。基板32は、たとえばポリイミド樹脂、フェノール樹脂、エポキシ樹脂、ポリエステル樹脂、フッ素樹脂などから構成されており、好ましくはポリイミド樹脂から構成される。

[0024] 基板32の下部には、絶縁層34が形成されている。絶縁層34は、接着剤層36と補強フィルム38とから構成されている。接着剤層36は、たとえばエポキシ系接着剤やポリイミド系接着剤などから構成されており、好ましくはエポキシ系接着剤から構成される。補強フィルム38は、たとえばポ

リイミド樹脂製のフィルムから構成されている。

[0025] 絶縁層 34 の下部には、絶縁層 40 が形成されている。絶縁層 40 は、ソルダーレジストから形成された層である。

[0026] 基板 32 上には、絶縁層 34 の接着剤層 36 から絶縁層 40 にかけて 3 次元構造を有する配線パターン 50 が形成されている。配線パターン 50 は、銅を主成分とした金属で構成されている。

[0027] 「銅を主成分とする金属」とは、銅単体であってもよいし、銅に対してニッケル、コバルト、鉄などが添加された合金であってもよい。銅を主成分とする金属を合金とする場合、銅に対するニッケルなどの添加量は好ましくは 20% 以下である。

[0028] 配線パターン 50 は主に、下部配線部 52、連結配線部 54 および上部配線部 56 から構成されている。以後の説明をわかりやすくするために、配線パターン 50 をこれら部位に区画しているが、これら部位は実際には一体に形成されている。

[0029] 下部配線部 52 は、絶縁層 40 に被覆されている。絶縁層 40 は、所定パターンにパターニングされており、下部配線部 52 の一部が絶縁層 40 の開口部 42 から露出している。下部配線部 52 の露出部が外部接続電極として機能するようになっており、当該露出部に半田ボールなどが形成され、半導体装置 100 がマザーボードなどの回路基板に実装される。

[0030] 連結配線部 54 は、補強フィルム 38 を貫通するように形成されている。連結配線部 54 は、下部配線部 52 と上部配線部 56 とに接続され、これら配線部を連結している。

[0031] 上部配線部 56 は、接着剤層 36 中に形成されている。上部配線部 56 には、ポスト 60 が形成されている。ポスト 60 は、基板 32 を貫通した状態で配線パターン 50 上に立設されている。ポスト 60 の先端部（頂部 64）は、基板 32 からわずかに露出している。基板 32 は、ポストの先端部（頂部 64）を突出させた状態でポスト 60 の側面を被覆しており、ポスト 60 を保護する保護層として機能している。

[0032] ポスト60上には、半田バンプ62が形成されている。半田バンプ62は、半導体チップなどの電子デバイスと電氣的にフリップチップ接続するための突起電極であり、たとえばスズ-銀合金から構成されている。

[0033] 図3拡大部に示すとおり、ポスト60は、頂部64から基部66に向けて先細の形状（逆テーパ状）を呈している。頂部64は、半田バンプ62を介してコントローラ20の半導体チップ22と接続される部位である。基部66は、配線パターン50の上部配線部56と接続された部位である。たとえば、頂部64の径は、半導体チップ22の電極29（図2，後述参照）の径に対し+10～20 μm であり、基部66の径は、半導体チップ22の電極29の径に対し±10 μm である。

[0034] ポスト60がこのような形状を呈するため、ポスト60の頂部64は、基部66より平面視したときの面積が広く、半導体チップ22との接続時における電極間の位置ずれを防止することができる。その一方、ポスト60の基部66は、頂部64より平面視したときの面積が狭く、ポスト60の形成時に上部配線部56との間の位置ずれや、ポスト60が所望の上部配線部56の隣の上部配線部56に誤って接続されるのを防止することができる。

[0035] なお、図3では省略しているが、基板32、絶縁層34および絶縁層40と配線パターン50との界面や、基板32とポスト60との界面には、下地金属層が形成されており、配線パターン50やポスト60の基板32などに対する接着性が高められている。当該下地金属層は、たとえばニッケルクロム合金や銅などから構成されている。

[0036] 以上の構成を有する半導体装置100の各種寸法は、たとえば、下記のとおりに設計されている（図1～図3参照）。

パッケージサイズ（インターポーザ30）は、11mm×15mmである。

チップサイズ（半導体チップ12）は、7mm×8mmである。

貫通電極16の直径aは、20 μm である。

貫通電極16間のピッチbは、35 μm である。

貫通電極 26 の直径 c は、 $20\ \mu\text{m}$ である。

貫通電極 26 間のピッチ d は、 $70\ \mu\text{m}$ である。

ポスト 60 の直径 e は、ほぼ $20\ \mu\text{m}$ である。

半田バンプ 62 間のピッチ f は、 $70\ \mu\text{m}$ である。

外部接続電極（半田ボール）間のピッチ g は、 $800\ \mu\text{m}$ である。

半田バンプ 62 の高さ h は、 $5\ \mu\text{m}$ である。

ポスト 60 の高さ i は、 $35\ \mu\text{m}$ である。

基板 32 の厚み j は、 $25\ \mu\text{m}$ である。

配線パターン 50 の連結配線部 54 の高さ k は、 $38\ \mu\text{m}$ である。

[0037] このように半導体装置 100 によれば、半導体チップ 12 の貫通電極 16 間のピッチ b がコントローラ 20（半導体チップ 22）により $35\ \mu\text{m}$ から $70\ \mu\text{m}$ に拡張され、半導体チップ 22 の貫通電極 26 間のピッチ d がインターポーザ 30 により $70\ \mu\text{m}$ から $800\ \mu\text{m}$ に大幅に拡張される。

[0038] ここで、半導体装置 100 において、コントローラ 20（半導体チップ 22）には底面からインターポーザ 30 側に向けて突出する電極 29 が形成されている。この半導体チップ 22 の電極 29 の高さ i とインターポーザ 30 のポスト 60 の高さとの合計 H （図 2 参照）は、好ましくは $35\ \mu\text{m}$ 以上であり、さらに好ましくは $50\ \mu\text{m}$ 以上である。

[0039] この場合に、半導体チップ 22 の電極 29 とインターポーザ 30 のポスト 60 とでいずれが高くてもよいが、好ましくはポスト 60 を高くしてポスト 60 の高さを $35\ \mu\text{m}$ 以上確保する。これは（i）半導体チップ 22 側で高さを確保しようとする、半導体チップ 22 ごとに（枚葉ごとに）電極 29 を製造しなければならない手間がかかるのに対し、インターポーザ 30 側で高さを確保しようとするほうがロールツーロール方式で容易にポスト 60 を製造することができるからであり、（ii）半導体チップ 22 とインターポーザ 30 の歩留まりを考慮すると、インターポーザ 30 側で高さを確保したほうがトータルの歩留まりがよいからである。

[0040] したがって、好ましくは、半導体チップ 22 の電極 29 はパッド電極のみ

から構成し、電極 29 にはバンプなどを形成しないのがよい。

[0041] 続いて、インターポーザ 30 の製造方法について説明する。

インターポーザ 30 は、所定のロールに巻かれた長尺の基板 32 が別のロールに巻き取られるように搬送され、その搬送過程で配線パターン 30 などが形成されるロールツーロール方式により、製造される。

[0042] 具体的には、はじめに、図 4 に示すとおり、基板 32 に樹脂製のドライフィルム 70 をラミネートし、露光してドライフィルム 70 を硬化させる (S1)。その後、レーザを用いて基板 32 およびドライフィルム 70 の所定位置に貫通孔 72 を形成し、そのスミア (削りかす) を除去する (S2)。

[0043] その後、基板 32 およびドライフィルム 70 に金属をスパッタリングして金属下地層 74 を形成する (S3)。その後、基板 32 の下面側の金属下地層 74 に樹脂製のドライフィルム 76 をラミネートし、上部配線部 56 に対応するパターンのマスクを用いてドライフィルム 76 を露光・現像し、金属下地層 74 を所定パターンの樹脂層 (ドライフィルム 76) で被覆する (S4)。

[0044] その後、ドライフィルム 76 から露出している金属下地層 74 に銅を主成分とする金属をめっきし、金属下地層 74 に金属層 78 を形成するとともに、貫通孔 72 にも金属層 79 を充填する (S5)。その後、基板 32 の下面側の金属層 78 およびドライフィルム 76 上に樹脂製のドライフィルム 80 を貼付し、ドライフィルム 70 の上面側の金属下地層 74 および金属層 78 をエッチングして除去する (S6)。その結果、金属層 79 から構成されるポスト 60 が形成される。

[0045] なお、S2 の処理では、レーザの出力を調整して上方から下方にかけて徐々に低下させ、貫通孔 72 を先細状 (逆テーパ状) に形成する。その結果、先細状のポスト 60 を形成することができる (図 3 拡大部参照)。

[0046] その後、ポスト 60 に半田をめっきして半田バンプ 62 を形成し (S7)、基板 32 に形成されたドライフィルム 70, 76, 80 を剥離する (S8)。その後、図 5 に示すとおり、基板 32 に樹脂製のドライフィルム 82 を

貼付するとともに、ドライフィルム 76 で被覆されていた部分の金属下地層 74 をエッチングして除去する (S9)。その結果、金属層 78 から構成される配線パターン 50 の上部配線部 56 が形成される。

[0047] その後、基板 32 の下面側に接着剤を塗布して接着剤層 36 を形成し、さらに接着剤層 36 上に補強フィルム 38 をラミネートし、上部配線部 56 を絶縁層 34 で被覆する (S10)。その後、加熱して接着剤層 36 を硬化させるとともに、ドライフィルム 82 を剥離する (S11)。その後、レーザを用いて絶縁層 34 の所定位置に上部配線部 56 が露出するまで貫通孔 84 を形成し、そのスミア (削りかす) を除去する (S12)。

[0048] その後、絶縁層 34、貫通孔 84 および上部配線部 56 に金属をスパッタリングして金属下地層 86 を形成する (S13)。その後、基板 32 に樹脂製のドライフィルム 88 をラミネートするとともに、金属下地層 86 にも樹脂製のドライフィルム 90 をラミネートし、下部配線部 52 および連結配線部 54 に対応するパターンのマスクを用いてドライフィルム 90 を露光・現像し、金属下地層 86 を所定パターンの樹脂層 (ドライフィルム 90) で被覆する (S14)。

[0049] その後、図 6 に示すとおり、ドライフィルム 90 から露出している金属下地層 86 に銅を主成分とする金属をめっきし、金属下地層 86、貫通孔 84 および上部配線部 56 に金属層 92 を形成する (S15)。その後、ドライフィルム 90 を剥離する (S16)。その後、ドライフィルム 90 で被覆されていた金属下地層 86 をエッチングして除去する。その結果、金属層 92 から構成される配線パターン 50 の下部配線部 52 および連結配線部 54 が形成される。

[0050] その後、ドライフィルム 88 を剥離する。その後、絶縁層 34、下部配線部 52 および連結配線部 54 に樹脂製のソルダーレジストをラミネートして絶縁層 40 を形成し、所定パターンのマスクを用いて絶縁層 40 を露光・現像する (S17)。その結果、絶縁層 40 に開口部 42 が形成され、下部配線部 52 の一部が開口部 42 から露出する (外部接続電極が形成される。)

。

以上のS 1～S 1 7の処理を経てインターポーザ3 0を製造することができる。

[0051] 以上の半導体装置1 0 0によれば、インターポーザ3 0にポスト6 0が形成され、その形成部分が基板3 2やアンダーフィル2 8などの樹脂で満たされているから、半導体装置1 0 0をマザーボードなどの回路基板に実装しようとした場合に、応力が緩和されリフロックラックの発生を抑制することができる。

[0052] さらに、インターポーザ3 0にポスト6 0が形成され、コントローラ2 0の半導体チップ2 2とインターポーザ3 0の配線パターン5 0との間に所定の間隔が確保されるから、エレクトロマイグレーションの発生も抑制することができる。

[0053] [2. 第2の実施形態]

第2の実施形態は、インターポーザの構成において第1の実施形態と異なるものであり、その他の構成については、第1の実施形態と同様である。

[0054] 図7に示すとおり、本実施形態にかかるインターポーザ2 0 0では、基板3 2の上部に絶縁層3 4が形成され、基板3 2の下部に絶縁層4 0が形成されている。

[0055] ポスト6 0は、絶縁層3 4（特に補強フィルム3 8）を貫通した状態で配線パターン5 0の上部配線部5 6に立設されている。

[0056] インターポーザ2 0 0では、絶縁層3 4がポスト6 0の先端部（頂部6 4）を突出させた状態でポスト6 0の側面を被覆しており、絶縁層3 4はポスト6 0を保護する保護層として機能している。

[0057] 続いて、インターポーザ2 0 0の製造方法について説明する。

はじめに、図8に示すとおり、レーザを用いて基板3 2の所定位置に貫通孔2 1 0を形成し、そのスミア（削りかす）を除去する（S 2 1）。その後、基板3 2に金属をスパッタリングして金属下地層2 1 2を形成する（S 2 2）。

- [0058] その後、金属下地層 2 1 2 の所定位置に銅を主成分とする金属をめっきし、金属下地層に金属層 2 1 4 を形成するとともに、貫通孔 2 1 0 にも金属層 2 1 6 を充填する（S 2 3）。その後、金属層 2 1 4 から露出している金属下地層 2 1 2 をエッチングして除去する（S 2 4）。その結果、金属層 2 1 4 および金属層 2 1 6 から構成される配線パターン 5 0 が形成される。
- [0059] その後、基板 3 2 の上面側に接着剤を塗布して接着剤層 3 6 を形成し、さらに接着剤層 3 6 上に補強フィルム 3 8 をラミネートし、配線パターン 5 0 の上部配線部 5 6 を絶縁層 3 4 で被覆する。併せて、基板 3 2 の下面側に樹脂製のソルダーレジストをラミネートして絶縁層 4 0 を形成し、配線パターン 5 0 の下部配線部 5 2 を絶縁層 4 0 で被覆する（S 2 5）。
- [0060] その後、絶縁層 3 4 上に樹脂製のドライフィルム 2 1 8 を貼付し、露光してドライフィルム 2 1 8 を硬化させる（S 2 6）。その後、レーザを用いてドライフィルム 2 1 8 および絶縁層 3 4 の所定位置に上部配線部 5 6 が露出するまで貫通孔 2 2 0 を形成するとともに、レーザを用いて絶縁層 4 0 の所定位置にも下部配線部 5 2 が露出するまで貫通孔（開口部 4 2）を形成し、それらスミア（削りかす）を除去する（S 2 7）。
- [0061] その後、図 9 に示すとおり、ドライフィルム 2 1 8 および貫通孔 2 2 0 に金属をスパッタリングして金属下地層 2 2 2 を形成するとともに、絶縁層 4 0 および開口部 4 2 にも金属をスパッタリングして金属下地層 2 2 4 を形成する（S 2 8）。その後、金属下地層 2 2 4 に樹脂製のドライフィルム 2 2 6 を貼付するとともに、金属下地層 2 2 2 に銅を主成分とする金属をめっきし、金属下地層 2 2 2 に金属層 2 2 8 を形成するとともに、貫通孔 2 2 0 にも金属層 2 3 0 を充填する（S 2 9）。その後、ドライフィルム 2 1 8 上の金属下地層 2 2 2 および金属層 2 2 8 をエッチングして除去する（S 3 0）。その結果、金属層 2 3 0 から構成されるポスト 6 0 が形成される。
- [0062] その後、ポスト 6 0 に半田をめっきして半田バンプ 6 2 を形成し、半田バンプ 6 2 およびドライフィルム 2 1 8 上にドライフィルム 2 3 2 をラミネートし、露光してドライフィルム 2 3 2 を硬化させる（S 3 1）。その後、金

属下地層 224 に形成されたドライフィルム 226 を剥離する (S32)。
その後、金属下地層 224 をエッチングして除去し、絶縁層 34 上のドライフィルム 218, 232 を同時に剥離する (S33)。

以上の S21 ~ S33 の処理を経てインターポーザ 200 を製造することができる。

[0063] なお、インターポーザ 200 に代えて、図 10 のインターポーザ 240 や図 11 のインターポーザ 250 を使用してもよい。図 10 のインターポーザ 240 では、インターポーザ 200 の接着剤層 36 および補強フィルム 38 に代えて、絶縁層 242 が形成されている。絶縁層 242 は、たとえばポリイミド樹脂から構成されている。

[0064] インターポーザ 240 を製造する場合には、S25 において接着剤層 36 を形成して補強フィルム 38 を貼付するのに代えて、基板 32 および上部配線部 56 上に液状の樹脂をキャストリングして硬化させればよい。

[0065] 図 11 のインターポーザ 250 では、インターポーザ 200 の接着剤層 36 および補強フィルム 38 に相当する部材がない。

[0066] インターポーザ 250 を製造する場合には、S25 において接着剤層 36 を形成して補強フィルム 38 を貼付することはせず、S26 において基板 32 および上部配線部 26 上に直接的にドライフィルム 218 を貼付すればよい。

[0067] [3. 第 3 の実施形態]

第 3 の実施形態は、主に下記の点で第 1 の実施形態と異なり、その他の構成は第 1 の実施形態と同様の構成を有している。

[0068] 図 12 に示すとおり、半導体装置 300 は、いわゆる DDP (Double Die Package) 構造を有する半導体パッケージであって、2 枚の同種類の半導体チップ 310 を積層してパッケージしたものである。

[0069] 半導体装置 300 は、半導体チップ 310 よりサイズが大きいプリント基板 320 を有している。プリント基板 320 の表面には、ボンディングパッド 322 が形成されている。プリント基板 320 の裏面には、電極パッド 3

24が形成され、電極パッド324には半田ボール326が形成されている。

[0070] プリント基板320上には、接着剤層330を介して半導体チップ310が実装されている。半導体チップ310には、電極312が形成されている。電極312は、たとえば銅や金、半田などから構成されている。半導体チップ310は、電極312を上方に向けた状態でインターポーザ400にフリップチップ接続されている。インターポーザ400上には、接着剤層340を介してさらに半導体チップ310およびインターポーザ400が積層されている。

[0071] 各インターポーザ400の外側には、外部接続電極402が形成されている。各外部接続電極402は、ボンディングワイヤ350によりプリント基板320のボンディングパッド322に電氣的に接続されている。

[0072] 半導体装置300では、上述のように積層された半導体チップ310が、ボンディングワイヤ350とともに封止樹脂360により封止されている。

[0073] 図13に示すとおり、インターポーザ400でも基板32がベースとなっている。基板32上には絶縁層410が形成されている。絶縁層410は、たとえばエポキシ樹脂から構成されている。

[0074] ポスト60は、絶縁層410を貫通した状態で、配線パターン50の上部配線部56に立設されている。

[0075] インターポーザ400でも、絶縁層410がポスト60の側面を被覆しており、絶縁層410はポスト60を保護する保護層として機能している。

[0076] 配線パターン50の下部配線部52は、金属層412で被覆され、外部接続電極402を構成している。金属層412は、たとえばニッケルや金などが積層された構成を有している。

[0077] 続いて、インターポーザ400の製造方法について説明する。

はじめに、図14に示すとおり、基板32を準備し（S41）、基板32の側縁部に対して搬送用ローラに係止するための孔420をパンチングにより所定間隔で開ける（S42）。

- [0078] その後、レーザを用いて基板 3 2 の所定位置に貫通孔 4 2 2 を形成し、そのスミア（削りかす）を除去し洗浄する（S 4 3）。その後、基板 3 2 に金属をスパッタリングして金属下地層 4 2 4 を形成する（S 4 4）。
- [0079] その後、基板 3 2 の両面に樹脂製のドライフィルム 4 2 6、4 2 8 をラミネートし（S 4 5）、配線パターン 5 0 の上部配線部 5 6 および下部配線部 5 2 に対応する形状のマスクを用いて露光し現像する（S 4 6）。その後、ドライフィルム 4 2 6、4 2 8 から露出している金属下地層 4 2 4 に銅を主成分とする金属をめっきし、金属下地層 4 2 4 に金属層 4 3 0 を形成するとともに、貫通孔 4 2 2 にも金属層 4 3 2 を充填する（S 4 7）。
- [0080] その後、図 1 5 に示すとおり、ドライフィルム 4 2 6、4 2 8 を剥離し（S 4 8）、ドライフィルム 4 2 6、4 2 8 に被覆されていた金属下地層 4 2 4 をエッチングして除去する（S 4 9）。その結果、金属層 4 3 0 および金属層 4 3 2 から構成された配線パターン 5 0（上部配線部 5 6、下部配線部 5 2 および連結配線部 5 4）が形成される。
- [0081] その後、基板 3 2 の上面側に樹脂製の接着剤（または絶縁層）を貼付して絶縁層 4 1 0 を形成する（S 5 0）。その後、下部配線部 5 2 に金属をめっきして金属層 4 1 2 を形成する（S 5 1）。その後、基板 3 2 の下面側に樹脂製のドライフィルム 4 3 4 を貼付するとともに、レーザを用いて絶縁層 4 1 0 の所定位置に上部配線部 5 6 が露出するまで貫通孔 4 3 6 を形成し、そのスミア（削りかす）を除去する（S 5 2）。その後、貫通孔 4 3 6 から露出する上部配線部 5 6 に銅を主成分とする金属をめっきしてポスト 6 0 を形成し、さらにポスト 6 0 に半田をめっきして半田バンプ 6 2 を形成し、最後にドライフィルム 4 3 4 を剥離する（S 5 3）。

以上の S 4 1 ～ S 5 3 の処理を経てインターポーザ 4 0 0 を製造することができる。

[0082] [サンプル例]

(1) サンプルの作製

図 2 と同様の構成を有する半導体装置（TSV 構造）と、図 1 2 と同様の

構成を有する半導体装置（DPP構造）とを製造して、これらをサンプルとした。

[0083] 半導体装置としてパッケージサイズが5 mm角のものと10 mm角のものとを準備した。半導体チップの電極の態様やその高さ、インターポーザのポストの高さなどを適宜変更しながら、その組み合わせに応じて、サンプル1～12（表1参照）、サンプル13～22（表2参照）と区別した。

[0084] 表1および表2中、サンプル2, 4, 6, 8, 10, 12, 14, 16の「（注）」は、半導体チップ側でパッド電極を使用しており、そのパッド電極の半導体チップからの突出長さを表している。

[0085] （2）サンプルの評価

（2. 1）リフロックラック試験

各サンプルをリフロー処理し、リフロー処理後のクラックの有無を観察した。

観察結果を表1および表2に示す。

表1および表2中、○、△、×の基準は、下記のとおりである。

「○」…5 mm角, 10 mm角ともにクラックがない

「△」…5 mm角ではクラックはないが、10 mm角では1個以上のパッケージでクラックが発生している

「×」…5 mm角, 10 mm角ともに1個以上のパッケージでクラックが発生している

[0086] （2. 2）長期信頼性試験（エレクトロマイグレーション）

各サンプルにおいて、初期状態と一定環境（110℃, 85%RH, 1.95V, 500時間）に放置した後とで、抵抗値を測定した。抵抗値の増加が10%以内であれば「○」と、10%を上回った場合は「×」と評価した。

評価結果を表1および表2に示す。

[0087]

[表1]

サンプル		1	2	3	4	5	6
特性	パッケージ構造	TSV		DDP		TSV	
	チップ側電極高さ (μm)	15 (銅バンプ)	1 (注)	15 (銅バンプ)	1 (注)	15 (銅バンプ)	1 (注)
	インターポザ側ポスト高さ (μm)	35	49	35	49	34	48
	合計 (μm)	50	50	50	50	49	49
評価	リフロークラック	○	○	○	○	○	○
	エレクトロマイグレーション	○	○	○	○	○	○

サンプル		7	8	9	10	11	12
特性	パッケージ構造	DDP		TSV		DDP	
	チップ側電極高さ (μm)	15 (銅バンプ)	1 (注)	15 (銅バンプ)	1 (注)	15 (銅バンプ)	1 (注)
	インターポザ側ポスト高さ (μm)	34	48	20	34	20	34
	合計 (μm)	49	49	35	35	35	35
評価	リフロークラック	○	○	△	△	△	△
	エレクトロマイグレーション	○	○	○	○	○	○

[0088]

[表2]

サンプル		13	14	15	16	17	18
特性	パッケージ構造	TSV		DDP		TSV	
	チップ側電極高さ (μm)	15 (銅バンプ)	1 (注)	15 (銅バンプ)	1 (注)	35 (金スタッドバンプ)	50 (金スタッドバンプ)
	インターポーザ側ポスト高さ (μm)	19	33	19	33	— (半田バンプのみ)	— (半田バンプのみ)
	合計 (μm)	34	34	34	34	35	50
評価	リフロークラック	×	×	×	×	○	○
	エレクトロマイグレーション	○	○	○	○	×	×

サンプル		19	20	21	22
特性	パッケージ構造	TSV	DDP		TSV
	チップ側電極高さ (μm)	— (半田バンプ)	35 (金スタッドバンプ)	50 (金スタッドバンプ)	— (半田バンプ)
	インターポーザ側ポスト高さ (μm)	— (半田バンプのみ)	— (半田バンプのみ)	— (半田バンプのみ)	— (半田バンプのみ)
	合計 (μm)	—	35	50	—
評価	リフロークラック	×	○	○	×
	エレクトロマイグレーション	×	×	×	×

[0089] (3) まとめ

表1および表2に示すとおり、サンプル1～16とサンプル17～22とを比較すると、インターポーザ側にポストを形成したサンプル1～16では、長期信頼性試験において良好な結果が得られており、長期信頼性の向上のためには、インターポーザにポストを形成するのが有用であることがわかる。

[0090] 特に、各サンプル1～16を比較すると、インターポーザ側のポストの高

さが $35\ \mu\text{m}$ 以上であるサンプル 1～8 では、リフロックラックの発生もなく、リフロックラックの発生を防止する上では、ポストの高さを $35\ \mu\text{m}$ 以上とするのが有用であることがわかる。

[0091] [4. 第4の実施形態]

[4-1. 半導体装置の構成]

本実施形態の半導体装置 500 は、いわゆる TSV (Through Silicon Via) 構造を有する半導体パッケージであり、図 16 に示すとおり、多層配線基板 510 と、半導体チップ積層体 S と、多層配線基板 510 と半導体チップ積層体 S との間に配置されるコントローラ C と、とから構成される。

[0092] 図 16 に示すとおり、半導体チップ積層体 S は、複数枚の Si 製の半導体チップ S1 が積層され構成されている。各半導体チップ S1 は、DRAM (Dynamic Random Access Memory) として機能するものである。各半導体チップ S1 には貫通孔 S2 (Via) が形成されており、貫通孔 S2 を通じて貫通電極 S3 が形成されている。各半導体チップ S1 は、貫通電極 S3 を通じて他の半導体チップ S1 やコントローラ C と電氣的に接続されている。

[0093] コントローラ C は、Si 製の半導体チップ C1 からなる。半導体チップ C1 にも貫通孔 C2 (Via) が形成されており、貫通孔 C2 (Via) を通じて貫通電極 C3 が形成されている。半導体チップ C1 は、アンダーフィル C4 により封止されている。コントローラ C は、貫通電極 C3 を通じて半導体チップ積層体 S や多層配線基板 510 と電氣的に接続されている。

[0094] [4-2. 多層配線基板の構成]

多層配線基板 510 は、半導体チップ C1 の電極ピッチ拡張のための配線基板である。多層配線基板 510 は、可撓性のフレキシブル基板にバンプが形成されたいわゆる半田バンプ付き多層配線基板である。

[0095] 図 16 及び図 17 に示すとおり、多層配線基板 510 は、ベースとなる樹脂製の基板 511 を有している。基板 511 は、たとえばガラス、シリコン、ポリイミド樹脂、フェノール樹脂、エポキシ樹脂、ポリエステル樹脂、フッ素樹脂など、いかなる樹脂によっても形成可能である。本実施形態にお

いては、ガラス、シリコン又はポリイミド樹脂により形成するのが好ましい。

[0096] 多層配線基板 5 1 0 は、基板 5 1 1 の上部に絶縁層 5 1 2 を備え、これと対称に基板 5 1 1 の下部に絶縁層 5 1 3 を備える。これらの絶縁層は、ポリイミド樹脂により形成されており、基板 5 1 1 に対してキャストイング（溶液流延法（solution casting））によりビルドアップして形成される。

[0097] これによりビルドアップされた絶縁層 5 1 2，5 1 3 のいずれか又は両方が、基板の流れ方向である MD（Machine Direction）方向と、基板の垂直方向である TD 方向（Transverse Direction）とにおいて強度を同じにすることが可能となる。

[0098] ここで、本実施形態の絶縁層のキャストイングにおいては、ボイド（積層ボイド、すなわち通常あるべきエリアに樹脂又は接着剤がないこと。）の発生を防止するために、ポリイミド樹脂の前駆体である粘度の低いワニスを経路間に充填し乾燥後、粘度の高いワニスをキャストイングする。このワニスのキャストイング（塗布、硬化）は、平坦性を出すために複数回行う。なお、各ワニスの粘度、キャストイング回数は、 L/S （回路密度）や回路厚み、CTE の傾斜具合に応じて適宜設定する。このようなキャストイングにより形成される絶縁層は、配線パターンとの密着性を維持し、ボイドを生じさせない。

[0099] 基板 5 1 1 上には、絶縁層 5 1 2 から絶縁層 5 1 3 にかけて 3 次元構造を有する配線パターン 5 1 4 が形成されている。配線パターン 5 1 4 は、銅を主成分とした金属で構成されている。「銅を主成分とする金属」とは、銅単体であってもよいし、銅に対してニッケル、コバルト、鉄などが添加された合金であってもよい。銅を主成分とする金属を合金とする場合、銅に対するニッケルなどの添加量は好ましくは 20% 以下である。

[0100] 配線パターン 5 1 4 は主に、下部配線部 5 1 4 a、連結配線部 5 1 4 b および上部配線部 5 1 4 c から構成されている。以後の説明を分かり易くするために、配線パターン 5 1 4 をこれら部位に区画しているが、これら部位は

実際には一体に形成されている。

- [0101] 下部配線部 5 1 4 a は、絶縁層 5 1 3 に被覆されている。絶縁層 5 1 3 は、所定パターンにパターニングされており、下部配線部 5 1 4 a の一部が絶縁層 5 1 3 の開口部 5 1 3 a から露出している。下部配線部 5 1 4 a の露出部が外部接続電極として機能するようになっており、当該露出部に半田ボールなどが形成され、半導体装置 5 0 0 がマザーボードなどの回路基板に実装される。
- [0102] 連結配線部 5 1 4 b は、絶縁層 5 1 3 及び基板 5 1 1 を貫通するように形成され、上下端部において下部配線部 5 1 4 a と上部配線部 5 1 4 c とに接続され、これら配線部を連結している。
- [0103] 上部配線部 5 1 4 c は、絶縁層 5 1 2 中に形成されている。上部配線部 5 1 4 c には、ポスト 5 1 5 が形成されている。ポスト 5 1 5 は、絶縁層 5 1 2 を貫通した状態で配線パターン 5 1 4 上に立設されている。ポスト 5 1 5 の先端部（頂部 5 1 5 b）は、絶縁層 5 1 2 から露出している。絶縁層 5 1 2 は、ポストの先端部（頂部 5 1 5 b）を突出させた状態でポスト 5 1 5 の側面を被覆しており、ポスト 5 1 5 を保護する保護層として機能している。
- [0104] ポスト 5 1 5 上には、半田バンプ 5 1 5 a が形成されている。半田バンプ 5 1 5 a は、半導体チップなどの電子デバイスと電氣的にフリップチップ接続するための突起電極であり、たとえばスズ－銀－銅合金から構成されている。
- [0105] 図 1 7 の拡大部に示すとおり、ポスト 5 1 5 は、頂部 5 1 5 b から基部 5 1 5 c に向けて先細り形状（逆テーパ状）を呈している。頂部 5 1 5 b は、半田バンプ 5 1 5 a を介してコントローラ C の半導体チップ C 1 と接続される部位である。基部 5 1 5 c は、配線パターン 5 1 4 の上部配線部 5 1 4 c と接続された部位である。たとえば、頂部 5 1 5 b の径は、半導体チップ C 1 の電極 C 5（図 1 6）の径に対し + 1 0 ~ 5 2 0 μm であり、基部 5 1 5 c の径は、半導体チップ C 1 の電極 C 5 の径に対し $\pm 1 0 \mu\text{m}$ である。
- [0106] ポスト 5 1 5 がこのような形状を呈するため、ポスト 5 1 5 の頂部 5 1 5

bは、基部515cより平面視したときの面積が広く、半導体チップC1との接続時における電極間の位置ずれを防止することができる。その一方、ポスト515の基部515cは、頂部515bより平面視したときの面積が狭く、ポスト515の形成時に上部配線部514cとの位置ずれや、ポスト515が所望の上部配線部514cの隣の上部配線部514cに誤って接続されるのを防止することができる。

[0107] なお、図17では省略しているが、基板511、絶縁層512および絶縁層513と配線パターン514との界面や、絶縁層512とポスト515との界面には、下地金属層が形成されている。このような下地金属層により、配線パターン514やポスト515の基板511などに対する接着性が高められている。この下地金属層は、たとえばニッケルクロム合金や銅などから構成されている。

[0108] 以上の構成を有する半導体装置500の各種寸法は、たとえば、下記のとおりに設計されている（図16～図17参照）。

パッケージサイズ（多層配線基板510）は、11mm×515mmである。

チップサイズ（半導体チップC1）は、7mm×8mmである。

貫通電極C3の直径aは、20μmである。

貫通電極C3間のピッチbは、35μmである。

貫通電極C3の直径cは、20μmである。

貫通電極C3間のピッチdは、70μmである。

ポスト515の直径eは、ほぼ20μmである。

半田バンプ515a間のピッチfは、70μmである。

外部接続電極（半田ボール）間のピッチgは、800μmである。

半田バンプ515aの高さhは、5μmである。

ポスト515の高さiは、35μmである。

基板511の厚みjは、38μmである。

配線パターン514の連結配線部514bの高さkは、38μmである。

[0109] ここで、半導体装置500において、コントローラC（半導体チップC1）には底面から多層配線基板510側に向けて突出する電極C5が形成されている。この半導体チップC1の電極C5の高さと多層配線基板510のポスト515の高さとの合計H（図16参照）は、好ましくは $535\mu\text{m}$ 以上であり、さらに好ましくは $50\mu\text{m}$ 以上である。

[0110] この場合に、半導体チップC1の電極C5と多層配線基板510のポスト515とでいずれが高くてもよいが、好ましくはポスト515を高くしてポスト515の高さを $35\mu\text{m}$ 以上確保する。これは（i）半導体チップC1側で高さを確保しようとする、半導体チップC1ごとに（枚葉ごとに）電極C5を製造しなければならない手間がかかるのに対し、多層配線基板510側で高さを確保しようとする方がロールツーロール方式で容易にポスト515を製造することができるからである。また、（ii）半導体チップC1と多層配線基板510の歩留まりを考慮すると、多層配線基板510側で高さを確保したほうがトータルの歩留まりが良いからである。従って、好ましくは、半導体チップC1の電極C5はパッド電極のみから構成し、電極C5にはバンプなどを形成しないのが良い。

[0111] [4-3. 多層配線基板の製造方法]

続いて、多層配線基板510の製造方法について説明する。

図18に示すとおり、レーザを用いて基板511の所定位置に貫通孔A1を形成し、そのスミア（削りかす）を除去する（S1）。その後、基板511に金属をスパッタリングして金属下地層B1を形成する（S2）。

[0112] その後、金属下地層B1の所定位置に銅を主成分とする金属をめっきし、金属下地層に金属層ML1を形成するとともに、貫通孔A1にも金属層ML2を充填する（S3）。その後、金属層ML1から露出している金属下地層B1をエッチングして除去する（S4）。その結果、金属層ML1および金属層ML2から構成される配線パターン514（下部配線部514a、連結配線部514bおよび上部配線部514c）が形成される。

[0113] その後、基板511の上面側の配線パターン514（上部配線部514c

）上にキャストニングにより、ポリイミド樹脂よりなる絶縁層 5 1 2 を形成し、配線パターン 5 1 4 の上部配線部 5 1 4 c を絶縁層 5 1 2 で被覆する。併せて、基板 5 1 1 の下面側にも、配線パターン上にキャストニングによりポリイミド樹脂よりなる絶縁層 5 1 3 を形成し、配線パターン 5 1 4 の下部配線部 5 1 4 a を絶縁層 5 1 3 で被覆する（S 5）。

[0114] ここで、本実施形態の絶縁層のキャストニングにおいては、上述のとおり、ボイドの発生を防止するために、ポリイミド樹脂の前駆体である粘度の低いワニス回路間に充填し乾燥後、粘度の高いワニスをキャストニングする。このキャストニングは、平坦性を出すために複数回行う。

[0115] その後、絶縁層 5 1 2 上に樹脂製のドライフィルム D 1 を貼付し、露光してドライフィルム D 1 を硬化させる（S 6）。その後、レーザを用いてドライフィルム D 1 および絶縁層 5 1 2 の所定位置に上部配線部 5 1 4 c が露出するまで貫通孔 A 2 を形成する。それとともに、レーザを用いて絶縁層 5 1 3 の所定位置にも下部配線部 5 1 4 a が露出するまで貫通孔（開口部 5 1 3 a）を形成し、それらスミア（削りかす）を除去する（S 7）。

[0116] その後、図 1 9 に示すとおり、ドライフィルム D 1 および貫通孔 A 2 に金属をスパッタリングして金属下地層 B 2 を形成するとともに、絶縁層 5 1 3 および開口部 5 1 3 a にも金属をスパッタリングして金属下地層 B 3 を形成する（S 8）。その後、金属下地層 B 3 に樹脂製のドライフィルム D 2 を貼付するとともに、金属下地層 B 2 に銅を主成分とする金属をめっきし、金属下地層 B 2 に金属層 M L 3 を形成し、さらに、貫通孔 A 2 にも金属層 M L 4 を充填する（S 9）。その後、ドライフィルム D 1 上の金属下地層 B 2 および金属層 M L 3 をエッチングして除去する（S 1 0）。その結果、金属層 M L 4 から構成されるポスト 5 1 5 が形成される。

[0117] その後、ポスト 5 1 5 に半田をめっきして半田バンプ 5 1 5 a を形成し、半田バンプ 5 1 5 a およびドライフィルム D 1 上にドライフィルム D 3 をラミネートし、露光してドライフィルム D 3 を硬化させる（S 1 1）。その後、金属下地層 B 3 に形成されたドライフィルム D 2 を剥離する（S 1 2）。

その後、金属下地層 B 3 をエッチングして除去し、絶縁層 5 1 2 上のドライフィルム D 1, D 3 を同時に剥離する (S 1 3)。

以上の S 1 ~ S 1 3 の処理を経て多層配線基板 5 1 0 を製造することができる。

[0118] [4-4. 効果]

(基板の反り低減効果)

以上の多層配線基板 5 1 0 及びそれを備えた半導体装置 5 0 0 によれば、キャストリングすることで、絶縁層 5 1 2, 5 1 3 において、基板 5 1 1 の流れ方向である MD 方向と、基板 5 1 1 の垂直方向である TD 方向とにおいて強度を同じにすることができる。そのため、基板 5 1 1 の両面に絶縁層 5 1 2, 5 1 3 をビルドアップにより形成したとしても、これによる基板 5 1 1 の反りを低減することができる。特に、基板 5 1 1 を含む絶縁層のすべてを同じ材料により構成することにより、基板 5 1 1 の反りをより効果的に低減することができる。

[0119] また、上下絶縁層 5 1 2 及び 5 1 3 を、対称構造とすることで基板 5 1 1 の反りがなく、同時に低熱膨張を実現することができる。そのため、大きなサイズの基板であっても、実装ずれが生じることがない。

[0120] (ポリイミド樹脂を用いた効果)

基板 5 1 1 を含む、絶縁層 5 1 2, 5 1 3 のいずれか又はすべてをポリイミド樹脂に形成することで、良好な耐熱性と低誘電率、低線膨張係数からなる多層配線基板 5 1 0 を提供することができる。また、ポリイミド樹脂を用いて、エポキシ系絶縁材料及びソルダーレジストを使用しないことで、良好な耐熱性、低誘電率及び低線膨張率を実現することが可能となり、基板 5 1 1 が大きな場合でも、実装ずれがない。

[0121] このようなポリイミド樹脂により作製した多層配線基板 5 1 0 は、剛性が高く、ガラスエポキシ基板と同様の扱いが可能で、キャリア不要なフレキシブル基板となる。そのため、従来の搬送設備にて対応が可能で、リフロー方式にも対応することができる。さらに、エポキシ系絶縁材料に比較して、安

価な多層配線基板 510 を作製することができる。

[0122] (配線パターン上にキャストで絶縁層を形成する効果)

絶縁層 512, 513 をビルドアップするに当たって、キャスト (溶液流延法 (solution casting)) により行うことで、フィルムに物理的な圧力を加えないため高分子の配向が起こらず、強度や光学特性などに方向性が生じない。

[0123] また、フィルムとして市販されている絶縁層は、規格品で、厚さが決まっているが、本実施形態のように、絶縁層 512, 513 をキャストすることで、任意の厚みを形成でき、また例えば傾斜構造も作製可能である。そのため、不要な絶縁層厚さによる製品の肥大化も防止できる。また、信号の遅延を考慮した厚さを任意に設定することや、絶縁層として回路密度や目的にあった CTE (線膨張係数) の材料を用いることができ、設計の自由度が高まる。

[0124] 半導体パッケージ実装構造は、上述のように、LSI チップ / NCP (Non Conductive Paste) / インターポーザー / アンダーフィル / マザーボードの順で積層されている。このうち、LSI チップにおいて CTE は小さく (3 ~ 5 ppm)、マザーボードにおいて大きい。そこで、本実施形態では、例えば、半導体パッケージでは、多層配線基板 510 において、絶縁層 512 側 (LSI チップ側) に CTE の小さい材料を選択し、絶縁層 513 側 (マザーボード側) に CTE の大きい材料を選択する。これにより、1 次 (LSI チップとの接続)、2 次 (マザーボードとの接続) 接続端子への負荷を軽減できる。このように設計の自由度が極めて高い多層配線基板 510 を提供することができる。

[0125] また、キャストでは、溶融押出成型法に比べ樹脂にかかる熱量が低く (フィルム状樹脂のような溶融も不要)、熱安定剤などの添加量を低減できる。また、キャスト時の溶融温度の設定によりカール具合を調整することができる。

[0126] また、このようなキャストにより、溶液をろ過する工程を設置でき

るため樹脂の塊（フィッシュアイ）が発生せず、キズもつきにくいいため、絶縁層 5 1 2, 5 1 3 に用いるための透明性の高いフィルムを成型できる。

[0127] このように、絶縁層 5 1 2, 5 1 3 の成形にキャストイングを用いることで、厚み精度が高く、平滑性、透明性、光沢性に優れた絶縁層 5 1 2, 5 1 3 を形成できるといったメリットがある。なお、このようにキャストイングを用いることで、融点が高く押出成形が難しいポリイミドフィルムによって絶縁層 5 1 2, 5 1 3 を形成することが容易となる。

[0128] [5. 第 5 の実施形態]

第 5 の実施形態は、多層配線基板の構成において第 4 の実施形態と異なるものであり、その他の構成については、第 4 の実施形態と同様であるので、以下では第 4 の実施形態と異なる点についてのみ説明する。また、多層配線基板の構成であっても、特に言及しない点については、第 4 の実施形態における説明を援用するものとする。

[0129] [5 - 1. 多層配線基板の構成]

図 20 に示すとおり、本実施形態の多層配線基板 5 2 0 は、基板 5 2 1 の上部に絶縁層 5 2 2 を備え、これと対称に基板 5 2 1 の下部に絶縁層 5 2 3 を備える。これらの絶縁層は、第 4 の実施形態と同様、ポリイミド樹脂により形成されており、基板 5 2 1 に対してキャストイングを用いてビルドアップして形成される。このようにビルドアップされた絶縁層 5 2 2, 5 2 3 のいずれか又は両方が、基板の流れ方向である MD 方向と、基板の垂直方向である TD 方向とにおいて強度を同じにすることができる。

[0130] 基板 5 2 1 上には、絶縁層 5 2 2 から絶縁層 5 2 3 にかけて 3 次元的構造を有する配線パターン 5 2 4 が形成されている。配線パターン 5 2 4 は主に、最上部配線部 5 2 4 a、上部配線部 5 2 4 b、連結配線部 5 2 4 c、下部配線部 5 2 4 d および最下部配線部 5 2 4 e から構成されている。ここでは、第 4 の実施形態と同様、説明の便宜上、配線パターン 5 2 4 をこれら部位に区画しているが、これら部位は実際には一体に形成されている。

[0131] 下部配線部 5 2 4 d 及び最下部配線部 5 2 4 e は、絶縁層 5 2 3 に被覆さ

れ、最下部配線部 5 2 4 e の一部が絶縁層 5 2 3 の開口部 5 2 3 a から露出している。最下部配線部 5 2 4 e の露出部が外部接続電極として機能するようになっており、当該露出部に半田ボールなどが形成され、半導体装置 5 0 0 がマザーボードなどの回路基板に実装される。

[0132] 連結配線部 5 2 4 c は、基板 5 2 1 を貫通するように形成され、上下端部において上部配線部 5 2 4 b と下部配線部 5 2 4 d とに接続され、これら配線部を連結している。

[0133] 上部配線部 5 2 4 b は絶縁層 5 2 2 に被覆されており、この上部配線部 5 2 4 b と接続した最上部配線部 5 2 4 a は、絶縁層 5 2 2 の上部に露出して配置されている。絶縁層 5 2 2 は、最上部配線部 5 2 4 a を突出させた状態となっている。

[0134] 最上部配線部 5 2 4 a 上には、半田バンプ 5 2 5 が形成され、最上部配線部 5 2 4 a は、半田バンプ 5 2 5 を介してコントローラ C の半導体チップ C 1 と接続される部位である。半田バンプ 5 2 5 は、半導体チップなどの電子デバイスと電氣的にフリップチップ接続するための突起電極であり、たとえばスズー銀ー銅合金から構成されている。

[0135] なお、第 4 の実施形態と同様、基板 5 2 1、絶縁層 5 2 2 および絶縁層 5 2 3 と配線パターン 5 2 4 との界面や、下地金属層が形成されている。このような下地金属層により、配線パターン 5 2 4 の基板 5 2 1 などに対する接着性が高められている。この下地金属層は、たとえばニッケルクロム合金や銅などから構成されている。

[0136] 以上の構成を有する多層配線基板 5 2 0 の各種寸法は、たとえば、下記のとおりに設計されている（図 2 0 参照）。

（a）絶縁層 5 2 2 に形成されたビアホールの直径は、 $15\ \mu\text{m}$ ～ $100\ \mu\text{m}$ の範囲で設計される。

（b）ビアランドの幅は、 $160\ \mu\text{m}$ より大きく設計される。

（c）最上部配線部 5 2 4 a 間のスペースは、 $15\ \mu\text{m}$ より大きく設計される。

- (d) ラインの幅は、 $15\ \mu\text{m}$ より大きく設計される。
- (e) 最上部配線部524aの厚さは、 $18\ \mu\text{m}$ より小さく設計される。
- (f) 半田バンプ525の厚さは、 $2\sim 8\ \mu\text{m}$ の範囲で設計される。
- (g) 最下部配線部524eにおける開口部523a間のピッチは、 $250\ \mu\text{m}$ より小さく設計される。
- (h) 最下部配線部524eの厚さは、 $18\ \mu\text{m}$ より小さく設計される。
- (i) 基板521の厚さは、 $12.5, 5, 25, 38, 40, 50\ \mu\text{m}$ のいずれかにより設計される。

[0137] [5-2. 多層配線基板の製造方法]

続いて、多層配線基板520の製造方法について説明する。

図21に示すとおり、レーザを用いて基板521の所定位置に貫通孔A1を形成し、そのスミア（削りかす）を除去する（S1）。その後、基板521に金属をスパッタリングして金属下地層B1を形成する（S2）。

[0138] その後、基板521の下面側の金属下地層B1に樹脂製のドライフィルムD1をラミネートし、上部配線部524b、連結配線部524c及び下部配線部524dに対応するパターンのマスクを用いてドライフィルムD1を露光・現像することによって形成する。これにより、金属下地層B1を所定パターンの樹脂層（ドライフィルムD1）で被覆することとなる（S3）。

[0139] その後、ドライフィルムD1から露出している金属下地層B1の所定位置に銅を主成分とする金属をめっきし、金属下地層B1に金属層ML1及びML2を形成する（S4）。その後、ドライフィルムD1及びドライフィルムD1の位置にある金属下地層B1をエッチングして除去する（S5）。その結果、金属層ML1および金属層ML2から構成される配線パターン524の一部（上部配線部524b、連結配線部524c及び下部配線部524d）が形成される。

[0140] その後、基板521の上面側と下面側との双方に、ポリイミド樹脂を絶縁層522及び523としてキャストニングする。さらに、レーザを用いて絶縁層522及び523の所定位置に、配線パターン524が露出するまで貫

通孔 A 2 を形成し、そのスミア（削りかす）を除去する（S 6）。その後、絶縁層 5 2 2 及び 5 2 3 に金属をスパッタリングして金属下地層 B 2 を形成する（S 7）。

[0141] その後、絶縁層 5 2 2 及び 5 2 3 上に樹脂製のドライフィルム D 2 を貼付し、露光してドライフィルム D 2 を硬化させる（S 8）。その後、図 2 2 に示すように、絶縁層 5 2 2 及び 5 2 3 の所定位置に銅を主成分とする金属をめっきし、絶縁層 5 2 2 及び 5 2 3 に金属層 ML 3 及び ML 4 を形成する（S 9）。その後、ドライフィルム D 2 と、ドライフィルム D 2 の位置にある金属下地層 B 2 をエッチングして除去する（S 1 0）。これにより、金属層 ML 3 から最上部配線部 5 2 4 a が形成され、金属層 ML 4 から最下部配線部 5 2 4 e が形成される。

[0142] その後、基板 5 2 1 の上面及び下面側と、配線部に樹脂製のドライフィルム D 3 をラミネートし、半田バンプ 5 2 5 に対応するパターンを、マスクを用いて露光してドライフィルム D 3 を硬化させる。その後、絶縁層 5 2 2 上に設けられた配線パターン 5 2 4 の最上部配線部 5 2 4 a 上に、スズー銀ー銅合金からなる半田バンプ 5 2 5 が形成される（S 1 1）。半田バンプ 5 2 5 は、半導体チップなどの電子デバイスと電氣的にフリップチップ接続するための突起電極である。その後、基板 5 2 1 に形成されたドライフィルム D 3 を剥離する（S 1 2）。

[0143] その後、基板下面側にポリイミド樹脂をキャストする（絶縁層 5 2 3 の残存部分の形成）。さらに絶縁層 5 2 3 の所定位置に、レーザを用いて最下部配線層 5 2 4 e が露出するまで貫通孔 5 2 3 a を形成し、そのスミア（削りかす）を除去する（S 1 3）。

以上の S 1 ～ S 1 3 の処理を経て多層配線基板 5 2 0 を製造することができる。

[0144] [5-3. 効果]

以上のような本実施形態における多層配線基板 5 2 0 によれば、基板 5 2 1 に対して絶縁層 5 2 2 及び 5 2 3 をビルドアップするに際して、配線パタ

ーン524上にキャストニングにより絶縁層を形成する。これにより、絶縁層の厚みなど、設計の自由度が高いため、多層基板の作製を容易に行うことができる。そのため、ビア・オン・ビアやフィルドビアでの設計自由度、高密度実装、層間信頼性、層厚安定が高く、平坦性によるインピーダンス整合を得ることもできる。また、本実施形態の多層配線基板では、フィルドビアを用いることにより、接続強度を良好にすることができる。

[0145] [6. 第6の実施形態]

第6の実施形態は、多層配線基板の構成において第4及び第5の実施形態と異なるものであるが、その他の構成については、第4及び第5の実施形態と同様であるので、以下では第4及び第5の実施形態と異なる点についてのみ説明する。また、多層配線基板の構成についても、特に言及しない点については第4及び第5の実施形態における説明を援用するものとする。

[0146] [6-1. 多層配線基板の構成]

図23に示すように、本実施形態に係る多層配線基板530は、ベースとなる樹脂製の基板531の下部に、絶縁層532が形成され、この絶縁層532の下部にさらに、絶縁層533が形成されている。これらの絶縁層は、ポリイミド樹脂により形成されており、基板531に対してキャストニングを用いてビルドアップして形成される。

[0147] 第4の実施形態において説明したのと同様、このように絶縁層532、513のいずれか又は両方がビルドアップされることで、基板の流れ方向であるMD (Machine Direction) 方向と、基板の垂直方向であるTD方向 (Transverse Direction) とにおいて強度を同じにすることができる。

[0148] 基板531上では、絶縁層532から絶縁層533にかけて3次元構造を有する配線パターン534が形成されている。配線パターン534は主に、上部配線部534a、連結配線部534bおよび下部配線部534cから構成されている。ここでは、第4及び第5の実施形態と同様、説明の便宜上、配線パターン534をこれら部位に区画しているが、これら部位は実際には一体に形成されている。

- [0149] 上部配線部 534a は、絶縁層 532 中に形成されている。上部配線部 534a には、ポスト 535 が形成されている。ポスト 535 は、基板 531 を貫通した状態で配線パターン 534 上に立設されている。ポスト 535 の先端部（頂部 535b）は、基板 531 からわずかに露出している。基板 531 は、ポストの先端部（頂部 535b）を突出させた状態でポスト 535 の側面を被覆しており、ポスト 535 を保護する保護層として機能している。
- [0150] 連結配線部 534b は、基板 531 及び絶縁層 532 を貫通するように形成されている。連結配線部 534b は、上部配線部 534a と下部配線部 534c とに接続され、これら配線部を連結している。
- [0151] 下部配線部 534c は、絶縁層 533 に被覆されている。絶縁層 533 は、所定パターンにパターニングされており、下部配線部 534c の一部が絶縁層 533 の開口部 533a から露出している。下部配線部 534c の露出部が外部接続電極として機能するようになっており、当該露出部に半田ボールなどが形成され、半導体装置 500 がマザーボードなどの回路基板に実装される。
- [0152] ポスト 535 上には、半田バンプ 535a が形成されている。半田バンプ 535a は、半導体チップなどの電子デバイスと電氣的にフリップチップ接続するための突起電極であり、たとえばスズ－銀－銅合金から構成されている。
- [0153] なお、第 4 の実施形態と同様、基板 531、絶縁層 532 および絶縁層 533 と配線パターン 534 との界面や、基板 531 とポスト 535 との界面には、下地金属層が形成されている。このような下地金属層により、配線パターン 534 やポスト 535 の基板 531 などに対する接着性が高められている。この下地金属層は、たとえばニッケルクロム合金や銅などから構成されている。
- [0154] 以上の構成を有する多層配線基板 530 の各種寸法は、たとえば、下記のとおりに設計されている（図 23 及び図 24 参照）。

パッケージサイズ（多層配線基板 530）は、 $11\text{ mm} \times 51.5\text{ mm}$ である。

ポスト 535 の直径 e は、ほぼ $20\text{ }\mu\text{ m}$ である。

半田バンプ 535 a 間のピッチ f は、 $70\text{ }\mu\text{ m}$ である。

外部接続電極（半田ボール）間のピッチ g は、 $800\text{ }\mu\text{ m}$ である。

半田バンプ 535 a の高さ h は、 $5\text{ }\mu\text{ m}$ である。

ポスト 535 の高さ i は、 $35\text{ }\mu\text{ m}$ である。

基板 531 の厚み j は、 $25\text{ }\mu\text{ m}$ である。

配線パターン 534 の連結配線部 534 b の高さ k は、 $38\text{ }\mu\text{ m}$ である。

[0155] ここで、半導体装置 500 において、コントローラ C（半導体チップ C1）には底面から多層配線基板 530 側に向けて突出する電極 C5 が形成されている。この半導体チップ C1 の電極 C5 の高さ と多層配線基板 530 のポスト 535 の高さとの合計 H （図 16 参照）は、好ましくは $35\text{ }\mu\text{ m}$ 以上であり、さらに好ましくは $50\text{ }\mu\text{ m}$ 以上である。

[0156] [6-2. 多層配線基板の製造方法]

続いて、多層配線基板 530 の製造方法について説明する。

多層配線基板 530 は、所定のロールに巻かれた長尺の基板 531 が別のロールに巻き取られるように搬送され、その搬送過程で配線パターン 534 などが形成されるロールツーロール方式により、製造される。

[0157] 具体的には、はじめに、図 24 に示すとおり、基板 531 に樹脂製のドライフィルム D1 をラミネートし、露光してドライフィルム D1 を硬化させる（S1）。その後、レーザを用いて基板 531 およびドライフィルム D1 の所定位置に貫通孔 A1 を形成し、そのスミア（削りかす）を除去する（S2）。

[0158] その後、基板 531 およびドライフィルム D1 に金属をスパッタリングして金属下地層 B1 を形成する（S3）。その後、基板 531 の下面側の金属下地層 B1 に樹脂製のドライフィルム D2 をラミネートする。そして、上部配線部 534 a に対応するパターンでドライフィルム D2 を露光・現像し、

金属下地層 B 1 を所定パターンの樹脂層（ドライフィルム D 2）で被覆する（S 4）。

[0159] その後、ドライフィルム D 1 上の金属下地層 B 1 とドライフィルム D 2 から露出している金属下地層 B 1 とに、銅を主成分とする金属をめっきし、金属下地層 B 1 上に金属層 M L 1 を形成するとともに、貫通孔 A 1 にも金属層 M L 2 を充填する（S 5）。その後、基板 5 3 1 の下面側の金属層 M L 1 およびドライフィルム D 2 上に樹脂製のドライフィルム D 3 を貼付し、ドライフィルム D 1 の上面側の金属下地層 B 1 および金属層 M L 1 をエッチングして除去する（S 6）。その結果、金属層 M L 1 から構成されるポスト 5 3 5 が形成される。

[0160] なお、S 2 の処理では、レーザの出力を調整して上方から下方にかけて徐々に低下させ、貫通孔 A 1 を先細り形状（逆テーパ状）に形成する。その結果、先細り形状のポスト 5 3 5 を形成することができる（図 2 3 拡大部参照）。

[0161] その後、ポスト 5 3 5 に半田をめっきして半田バンプ 5 3 5 a を形成し（S 7）、基板 5 3 1 に形成されたドライフィルム D 1、D 2、D 3 を剥離する（S 8）。

[0162] その後、図 2 5 に示すとおり、基板 5 3 1 に樹脂製のドライフィルム D 4 を貼付するとともに、基板 5 3 1 の下面においてドライフィルム D 2 で被覆されていた部分の金属下地層 B 1 をエッチングして除去する（S 9）。その結果、金属層 M L 2 から構成される配線パターン 5 3 4 の上部配線部 5 3 4 a が形成される。その後、基板 5 3 1 の下面側にキャストにより、絶縁層 5 3 2 をビルドアップし、配線パターン 5 3 4 の上部配線部 5 3 4 a を絶縁層 5 3 2 で被覆する（S 10）。

[0163] その後、ドライフィルム D 4 を剥離する（S 11）。続いて、レーザを用いて絶縁層 5 3 2 の所定位置に上部配線部 5 3 4 a が露出するまで貫通孔 A 2 を形成し、そのスミア（削りかす）を除去する（S 12）。

[0164] その後、絶縁層 5 3 2、貫通孔 A 2 および上部配線部 5 3 4 a に金属をス

パタリングして金属下地層B2を形成する(S13)。その後、基板531に樹脂製のドライフィルムD5をラミネートする。これとともに、金属下地層B2にも樹脂製のドライフィルムD6をラミネートする。そして、下部配線部534cおよび連結配線部534bに対応するパターンのマスクを用いてドライフィルムD6を露光・現像し、金属下地層B2を所定パターンの樹脂層(ドライフィルムD6)で被覆する(S14)。

[0165] その後、図26に示すとおり、ドライフィルムD6から露出している金属下地層B2に銅を主成分とする金属をめっきし、金属下地層B2、貫通孔A2および上部配線部534aに金属層ML2を形成する(S15)。その後、ドライフィルムD6を剥離する(S16)。その後、ドライフィルムD6で被覆されていた金属下地層B2をエッチングして除去する。その結果、金属層ML2から構成される配線パターン534の下部配線部534cおよび連結配線部534bが形成される。

[0166] その後、ドライフィルムD5を剥離し、絶縁層532、下部配線部534cおよび連結配線部534bに、ソルダーレジストを使用せずにポリイミド樹脂によりキャストリングを用いて絶縁層533を形成し、レーザを用いて、絶縁層533に開口部533aが形成することで、下部配線部534cの一部が開口部533aから露出する(外部接続電極が形成される。)(S17)。

以上のS1～S17の処理を経て多層配線基板530を製造することができる。

[0167] [6-3. 効果]

以上のような本実施形態の多層配線基板530によれば、第4の実施形態同様、基板531上に絶縁層532、533をビルドアップしたことで、基板531の流れ方向であるMD方向と、基板531の垂直方向であるTD方向とにおいて強度を同じにすることができる。これにより、基板531の反りを低減することができる。特に、基板531を含む絶縁層のすべてを同じ材料により構成することにより、基板531の反りをより効果的に低減するこ

とができる。

[0168] 基板 5 3 1 を含む、絶縁層 5 3 2, 5 3 3 のいずれか又はすべてをポリイミド樹脂に形成することで、良好な耐熱性と低誘電率、低線膨張係数からなる基板 5 3 1 を提供することができる。また、ポリイミド樹脂を用いて、エポキシ系絶縁材料及びソルダーレジストを使用しないことで、良好な耐熱性、低誘電率及び低線膨張率を実現することが可能となり、基板 5 3 1 が大きなサイズであっても、実装ずれがない。

[0169] さらに、絶縁層 5 3 2, 5 3 3 をビルドアップするに当たって、キャストイングにより行うことで、フィルムに物理的な圧力を加えないため高分子の配向が起こらず、強度や光学特性などに方向性が生じない。

[0170] [7. 本発明の実施形態のまとめ]

本発明の第 1 の態様は、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンの一部を被覆する絶縁層とを有し、前記配線パターン上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポストが立設され、前記ポストが前記基板を貫通した状態で前記配線パターン上に立設されていることを特徴とする配線基板が提供される。

[0171] 本発明の第 2 の態様によれば、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンの一部を被覆する絶縁層とを有し、前記配線パターン上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポストが立設され、前記ポストが前記絶縁層を貫通した状態で前記配線パターン上に立設されていることを特徴とする配線基板が提供される。

[0172] 本発明の第 3 の態様によれば、樹脂製の基板の所定位置に第 1 の貫通孔を形成する工程と、前記基板に第 1 の金属下地層を形成する工程と、前記基板の一面側の前記第 1 の金属下地層を所定パターンの第 1 の樹脂層で被覆する工程と、前記第 1 の樹脂層から露出している前記第 1 の金属下地層に銅を主成分とする第 1 の金属層を形成するとともに、前記第 1 の貫通孔に銅を主成

分とする第2の金属層を充填する工程と、前記基板の前記第1の樹脂層が形成された面の反対面に形成された前記第1の金属下地層および前記第1の金属層を除去し、前記第2の金属層から構成されるポストを形成する工程と、前記第1の樹脂層を除去する工程と、前記第1の樹脂層で被覆されていた部分の前記第1の金属下地層を除去し、前記第1の金属層から構成される配線パターンの一部を形成する工程と、前記配線パターンの一部を被覆する第1の絶縁層を形成する工程と、前記第1の絶縁層の所定位置に前記配線パターンの一部が露出するまで第2の貫通孔を形成する工程と、前記第1の絶縁層に第2の金属下地層を形成する工程と、前記第2の金属下地層を所定パターンの第2の樹脂層で被覆する工程と、前記第2の樹脂層から露出している前記第2の金属下地層に銅を主成分とする第3の金属層を形成する工程と、前記第2の樹脂層を除去する工程と、前記第2の樹脂層で被覆されていた部分の前記第2の金属下地層を除去し、前記第3の金属層から構成される配線パターンの残り部分を形成する工程と、前記配線パターンの残り部分を第2の絶縁層で被覆する工程と、を有することを特徴とする配線基板の製造方法が提供される。

- [0173] 本発明の第4の態様によれば、樹脂製の基板の所定位置に第1の貫通孔を形成する工程と、前記基板に第1の金属下地層を形成する工程と、前記第1の金属下地層に銅を主成分とする所定パターンの第1の金属層を形成する工程と、前記第1の金属層から露出した前記第1の金属下地層を除去し、前記第1の金属層から構成される配線パターンを形成する工程と、前記基板の両面に絶縁層をそれぞれ形成し、前記配線パターンを第1の絶縁層と第2の絶縁層とで被覆する工程と、前記第1の絶縁層の所定位置に前記配線パターンが露出するまで第2の貫通孔を形成する工程と、前記第1の絶縁層と前記第2の貫通孔とに第2の金属下地層を形成する工程と、前記第2の金属下地層に銅を主成分とする第2の金属層を形成するとともに、前記第2の貫通孔に銅を主成分とする第3の金属層を充填する工程と、前記第1の絶縁層上の前記第2の金属下地層および第2の金属層を除去し、前記第3の金属層から構

成されるポストを形成する工程と、を有することを特徴とする配線基板の製造方法が提供される。

[0174] 本発明の第5の態様によれば、貫通電極を有する複数枚の半導体チップを、上記第1の態様又は上記第2の態様の配線基板上に積層した半導体装置において、前記半導体チップには前記配線基板と接続される電極が形成され、前記配線基板のポストの高さと前記半導体チップの電極の高さとの合計が $35\mu\text{m}$ 以上であることを特徴とする半導体装置が提供される。

[0175] 本発明の第6の態様によれば、複数枚の半導体チップを、1枚ごとに、上記第1の態様又は上記第2の態様の配線基板に実装した半導体装置において、前記半導体チップには前記配線基板と接続される電極が形成され、前記配線基板のポストの高さと前記半導体チップの電極の高さとの合計が $35\mu\text{m}$ 以上であることを特徴とする半導体装置が提供される。

[0176] 本発明の第7の態様は、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンを被覆しつつ、前記基板の両面に対称にビルドアップして形成した絶縁層と、を有し、前記絶縁層は、MD方向及びTD方向において強度が同じであることを特徴とする。

[0177] 本発明の第8の態様は、上記第7の態様の多層配線基板の製造方法であって、樹脂製の基板の所定位置に第1の貫通孔を形成する工程と、前記基板の上面及び下面に第1の金属下地層を形成する工程と、前記第1の金属下地層の所定位置に銅を主成分とする第1の金属層を形成するとともに、前記第1の貫通孔に銅を主成分とする第2の金属層を充填する工程と、前記第1の金属層から露出している前記第1の金属下地層を除去し、前記第1及び第2の金属層から構成される配線パターンの一部を形成する工程と、前記基板の上面側及び下面側であって、前記一部の配線パターン上に、ポリイミド樹脂よりなる絶縁層をキャストニングにより形成し、前記第1の金属層を被覆する工程と、前記絶縁層の所定位置に前記配線パターンの一部が露出するまで第2の貫通孔を形成する工程と、前記第2の貫通孔に第2の金属下地層を形成するとともに、前記絶縁層に第3の金属下地層を形成する工程と、前記第2

の金属下地層を形成した前記第 2 貫通孔に、銅を主成分とする第 3 の金属層を充填するとともに、前記第 3 の金属下地層に第 4 の金属層を形成する工程と、前記第 4 の金属層より露出している前記第 3 の金属下地層を除去する工程と、前記第 2 及び第 3 の金属層から構成される配線パターンの残り部分を形成する工程と、を有することを特徴とする。

[0178] 以上の態様では、絶縁層において、基板の流れ方向である MD (Machine Direction) 方向と、基板の垂直方向である TD 方向 (Transverse Direction) とを、同じ強度に設定した。これにより、基板に絶縁層をビルドアップしても反りの少ない平坦性ある多層配線基板を提供することができる。また、基板の上面と下面において上下対称構造とすることで基板の反りがなく、同時に低熱膨張を実現可能であり、大きなサイズの基板であっても、実装ずれが生じることがない。

[0179] 本発明の第 9 の態様は、上記第 7 の態様において、前記絶縁層は、キャストニングにより形成したことを特徴とする。

[0180] 以上の態様では、絶縁層をビルドアップするに当たって、キャストニング (溶液流延法 (solution casting)) により行うことで、フィルムに物理的な圧力を加えないため高分子の配向が起こらず、強度や光学特性などに方向性が生じない。また、フィルムとして市販されている絶縁層は、規格品で、厚さが決まっているが、上記態様のとおり、絶縁層をキャストニングすることで、任意の厚みを形成でき、また例えば傾斜構造も作製可能である。そのため、不要な絶縁層厚さによる製品の肥大化も防止できる。また、信号の遅延を考慮した厚さを任意に設定することや、絶縁層として回路密度や目的にあった CTE (線膨張係数) の材料を用いることができ、設計の自由度が高まる。

[0181] 本発明の第 10 の態様は、上記第 7 又は第 8 の態様において、前記基板及び前記絶縁層のいずれもが、ポリイミド樹脂によりなることを特徴とする。

[0182] 基板を含む、絶縁層のいずれか又はすべてをポリイミド樹脂にて形成することで、良好な耐熱性と低誘電率、低線膨張係数からなる多層配線基板を提

供することができる。また、ポリイミド樹脂を用いて、エポキシ系絶縁材料及びソルダーレジストを使用しないことで、良好な耐熱性、低誘電率及び低線膨張率を実現することが可能となり、大きな基板でも、実装ずれがない。このようなポリイミド樹脂により作製した多層配線基板は、剛性が高く、従来のガラスエポキシ基板と同様の扱いが可能で、キャリア不要なフレキシブル基板となる。そのため、従来の搬送設備にて対応が可能で、リフロー方式にも対応することができる。さらに、エポキシ系絶縁材料に比較して、安価な多層配線基板を作製することができる。

[0183] 本発明の第11の態様は、上記第7又は第8の態様において、多層配線基板を備えた半導体装置であって、半導体チップ積層体と、上記第7又は第8の態様に記載の多層配線基板と、前記多層配線基板と半導体チップ積層体と、から構成されることを特徴とする。

符号の説明

[0184] 10…半導体チップ積層体
12…半導体チップ
14…貫通孔
16…貫通電極
20…コントローラ
22…半導体チップ
24…貫通孔
26…貫通電極
28…アンダーフィル
30…インターポーザ
32…基板
34…絶縁層
36…接着剤層
38…補強フィルム
40…絶縁層

4 2 …開口部
5 0 …配線パターン
5 2 …下部配線部
5 4 …連結配線部
5 6 …上部配線部
6 0 …ポスト
6 2 …半田バンプ
6 4 …頂部
6 6 …基部
7 0 …ドライフィルム
7 2 …貫通孔
7 4 …金属下地層
7 6 …ドライフィルム
7 8, 7 9 …金属層
8 0, 8 2 …ドライフィルム
8 4 …貫通孔
8 6 …金属下地層
8 8, 9 0 …ドライフィルム
9 2 …金属層
1 0 0 …半導体装置
2 0 0 …インターポーザ
2 1 0 …貫通孔
2 1 2 …金属下地層
2 1 4, 2 1 6 …金属層
2 1 8 …ドライフィルム
2 2 0 …貫通孔
2 2 2, 2 2 4 …金属下地層
2 2 6 …ドライフィルム

2 2 8, 2 3 0…金属層
2 3 2…ドライフィルム
2 4 0…インターポーザ
2 4 2…絶縁層
2 5 0…インターポーザ
3 0 0…半導体装置
3 1 0…半導体チップ
3 1 2…電極
3 2 0…プリント基板
3 2 2…ボンディングパッド
3 2 4…電極パッド
3 2 6…半田ボール
3 3 0, 3 4 0…接着剤層
3 5 0…ボンディングワイヤ
3 6 0…封止樹脂
4 0 0…インターポーザ
4 1 0…絶縁層
4 1 2…金属層
4 2 0…孔
4 2 2…貫通孔
4 2 4…金属下地層
4 2 6, 4 2 8…ドライフィルム
4 3 0, 4 3 2…金属層
4 3 4…ドライフィルム
5 0 0…半導体装置
5 1 0…多層配線基板
5 1 1…基板
5 1 2, 5 1 3…絶縁層

5 1 3 a …開口部
5 1 4 …配線パターン
5 1 4 a …下部配線部
5 1 4 b …連結配線部
5 1 4 c …上部配線部
5 1 5 …ポスト
5 1 5 a …半田バンプ
5 1 5 b …頂部
5 1 5 c …基部
5 2 0 …多層配線基板
5 2 1 …基板
5 2 2, 5 2 3 …絶縁層
5 2 3 a …開口部
5 2 4 …配線パターン
5 2 4 a …最上部配線部
5 2 4 b …上部配線部
5 2 4 c …連結配線部
5 2 4 d …下部配線部
5 2 4 e …最下部配線部
5 2 5 …半田バンプ
5 3 0 …多層配線基板
5 3 1 …基板
5 3 2, 5 3 3 …絶縁層
5 3 3 a …開口部
5 3 4 …配線パターン
5 3 4 a …上部配線部
5 3 4 b …連結配線部
5 3 4 c …下部配線部

5 3 5 …ポスト

5 3 5 a …半田バンプ

5 3 5 b …頂部

A 1, A 2 …貫通孔

B 1 ～ B 3 …金属下地層

C …コントローラ

C 1 …チップ

C 2 …貫通孔

C 3 …貫通電極

C 4 …アンダーフィル

C 5 …電極

D 1 ～ D 6 …ドライフィルム

ML 1 ～ ML 4 …金属層

S …半導体チップ積層体

S 1 …半導体チップ

S 2 …貫通孔

S 3 …貫通電極

請求の範囲

- [請求項1] ベースとなる樹脂製の基板と、
前記基板上に形成された配線パターンと、
前記配線パターンの一部を被覆する絶縁層とを有し、
前記配線パターン上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポストが立設され、
前記ポストが、前記基板を貫通した状態で前記配線パターン上に立設されていることを特徴とする配線基板。
- [請求項2] ベースとなる樹脂製の基板と、
前記基板上に形成された配線パターンと、
前記配線パターンの一部を被覆する絶縁層とを有し、
前記配線パターン上の所定位置には、銅を主成分とした金属から構成され、半導体チップと接続されるポストが立設され、
前記ポストが、前記絶縁層を貫通した状態で前記配線パターン上に立設されていることを特徴とする配線基板。
- [請求項3] 前記ポストは、高さが35 μm 以上であることを特徴とする請求項1または2に記載の配線基板。
- [請求項4] 前記ポストは、半導体チップと接続される頂部から前記配線パターンと接続された基部に向けて先細の逆テーパ状を呈していることを特徴とする請求項1または2に記載の配線基板。
- [請求項5] 前記基板が、前記ポストの側面を被覆する保護層として機能していることを特徴とする請求項1または2に記載の配線基板。
- [請求項6] 前記絶縁層が、前記ポストの側面を被覆する保護層として機能していることを特徴とする請求項2に記載の配線基板。
- [請求項7] 前記ポストの頂部には、半田バンプが設けられていることを特徴とする請求項1または2に記載の配線基板。
- [請求項8] 樹脂製の基板の所定位置に第1の貫通孔を形成する工程と、
前記基板に第1の金属下地層を形成する工程と、

前記基板の一面側の前記第 1 の金属下地層を、所定パターンの第 1 の樹脂層で被覆する工程と、

前記第 1 の樹脂層から露出している前記第 1 の金属下地層に銅を主成分とする第 1 の金属層を形成するとともに、前記第 1 の貫通孔に銅を主成分とする第 2 の金属層を充填する工程と、

前記基板の前記第 1 の樹脂層が形成された面の反対面に形成された前記第 1 の金属下地層および前記第 1 の金属層を除去し、前記第 2 の金属層から構成されるポストを形成する工程と、

前記第 1 の樹脂層を除去する工程と、

前記第 1 の樹脂層で被覆されていた部分の前記第 1 の金属下地層を除去し、前記第 1 の金属層から構成される配線パターンの一部を形成する工程と、

前記配線パターンの一部を被覆する第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層の所定位置に前記配線パターンの一部が露出するまで第 2 の貫通孔を形成する工程と、

前記第 1 の絶縁層に第 2 の金属下地層を形成する工程と、

前記第 2 の金属下地層を所定パターンの第 2 の樹脂層で被覆する工程と、

前記第 2 の樹脂層から露出している前記第 2 の金属下地層に銅を主成分とする第 3 の金属層を形成する工程と、

前記第 2 の樹脂層を除去する工程と、

前記第 2 の樹脂層で被覆されていた部分の前記第 2 の金属下地層を除去し、前記第 3 の金属層から構成される配線パターンの残り部分を形成する工程と、

前記配線パターンの残り部分を第 2 の絶縁層で被覆する工程と、

を有することを特徴とする配線基板の製造方法。

[請求項9]

樹脂製の基板の所定位置に第 1 の貫通孔を形成する工程と、

前記基板に第 1 の金属下地層を形成する工程と、

前記第 1 の金属下地層に銅を主成分とする所定パターンの第 1 の金属層を形成する工程と、

前記第 1 の金属層から露出した前記第 1 の金属下地層を除去し、前記第 1 の金属層から構成される配線パターンを形成する工程と、

前記基板の両面に絶縁層をそれぞれ形成し、前記配線パターンを第 1 の絶縁層と第 2 の絶縁層とで被覆する工程と、

前記第 1 の絶縁層の所定位置に前記配線パターンが露出するまで第 2 の貫通孔を形成する工程と、

前記第 1 の絶縁層と前記第 2 の貫通孔とに第 2 の金属下地層を形成する工程と、

前記第 2 の金属下地層に銅を主成分とする第 2 の金属層を形成するとともに、前記第 2 の貫通孔に銅を主成分とする第 3 の金属層を充填する工程と、

前記第 1 の絶縁層上の前記第 2 の金属下地層および第 2 の金属層を除去し、前記第 3 の金属層から構成されるポストを形成する工程と、
を有することを特徴とする配線基板の製造方法。

[請求項10] 前記第 3 の金属層から構成されるポストを形成する工程の後に、前記第 1 の絶縁層を剥離する工程を有することを特徴とする請求項 9 に記載の配線基板の製造方法。

[請求項11] 貫通電極を有する複数枚の半導体チップを、請求項 1 または 2 に記載の配線基板上に積層した半導体装置において、

前記半導体チップには前記配線基板と接続される電極が形成され、
前記配線基板のポストの高さと前記半導体チップの電極の高さとの合計が $35\ \mu\text{m}$ 以上であることを特徴とする半導体装置。

[請求項12] 複数枚の半導体チップを、1 枚ごとに、請求項 1 または 2 に記載の配線基板に実装した半導体装置において、

前記半導体チップには前記配線基板と接続される電極が形成され、

前記配線基板のポストの高さと前記半導体チップの電極の高さとの合計が $35\mu\text{m}$ 以上であることを特徴とする半導体装置。

[請求項13] ベースとなる樹脂製の基板と、
前記基板上に形成された配線パターンと、
前記配線パターンの一部をビルドアップして形成した絶縁層と、を
有し、

前記絶縁層は、MD方向及びTD方向において強度が同じであることを特徴とする配線基板。

[請求項14] 前記絶縁層は、キャストニングにより形成したことを特徴とする請求項13記載の配線基板。

[請求項15] 前記基板及び前記絶縁層のいずれもが、ポリイミド樹脂によりなることを特徴とする請求項13又は14記載の配線基板。

[請求項16] 樹脂製の基板の所定位置に第1の貫通孔を形成する工程と、
前記基板の上面及び下面に第1の金属下地層を形成する工程と、
前記第1の金属下地層の所定位置に銅を主成分とする第1の金属層を形成するとともに、前記第1の貫通孔に銅を主成分とする第2の金属層を充填する工程と、

前記第1の金属層から露出している前記第1の金属下地層を除去し、
前記第1及び第2の金属層から構成される配線パターンの一部を形成する工程と、

前記基板の上面側及び下面側であって、前記一部の配線パターン上に、
ポリイミド樹脂よりなる絶縁層をキャストニングにより形成し、
前記第1の金属層を被覆する工程と、

前記絶縁層の所定位置に前記配線パターンの一部が露出するまで第2の貫通孔を形成する工程と、

前記第2の貫通孔に第2の金属下地層を形成するとともに、前記絶縁層に第3の金属下地層を形成する工程と、

前記第2の金属下地層を形成した前記第2貫通孔に、銅を主成分と

する第3の金属層を充填するとともに、前記第3の金属下地層に第4の金属層を形成する工程と、

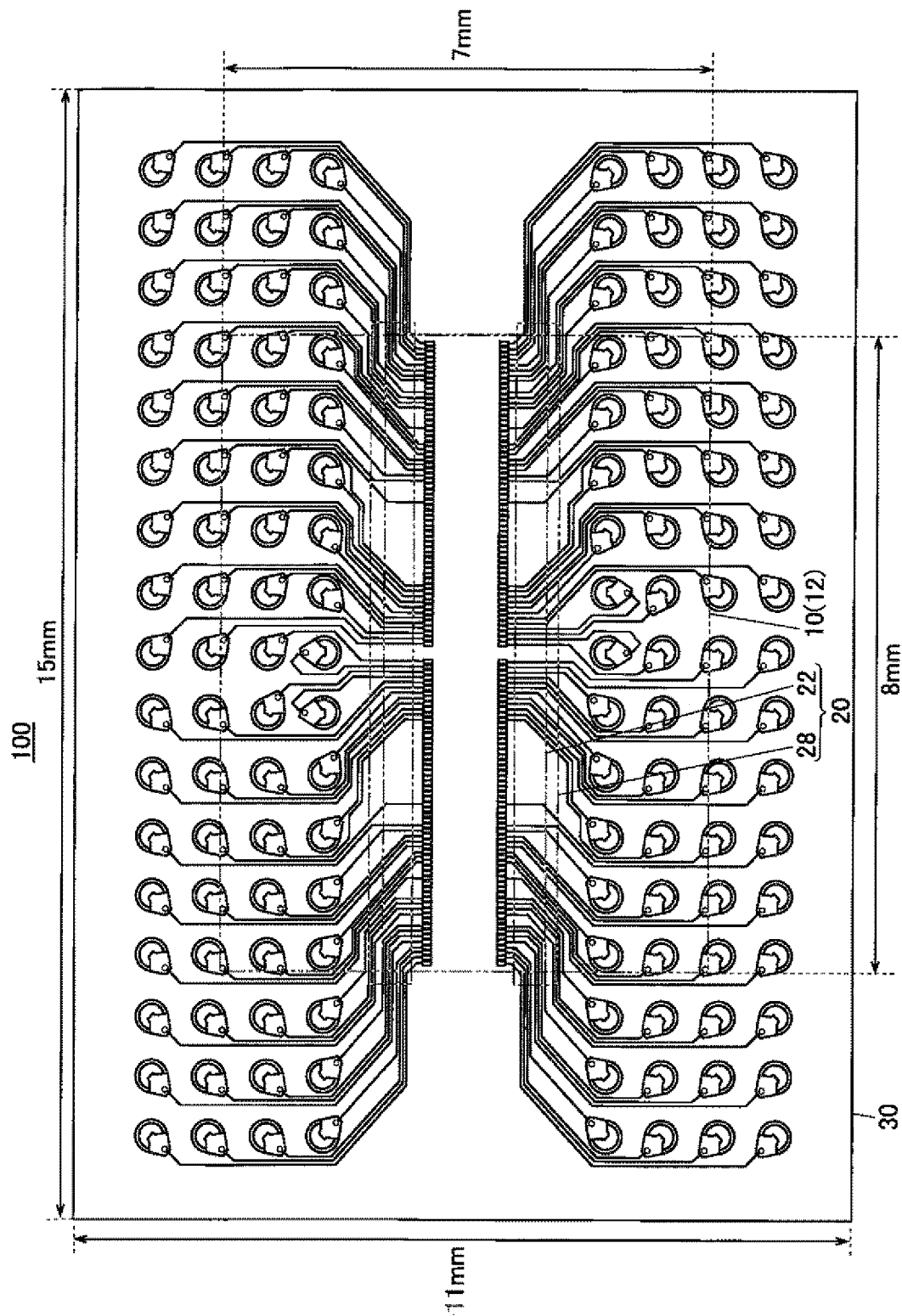
前記第4の金属層より露出している前記第3の金属下地層を除去する工程と、

前記第2及び第3の金属層から構成される配線パターンの残り部分を形成する工程と、

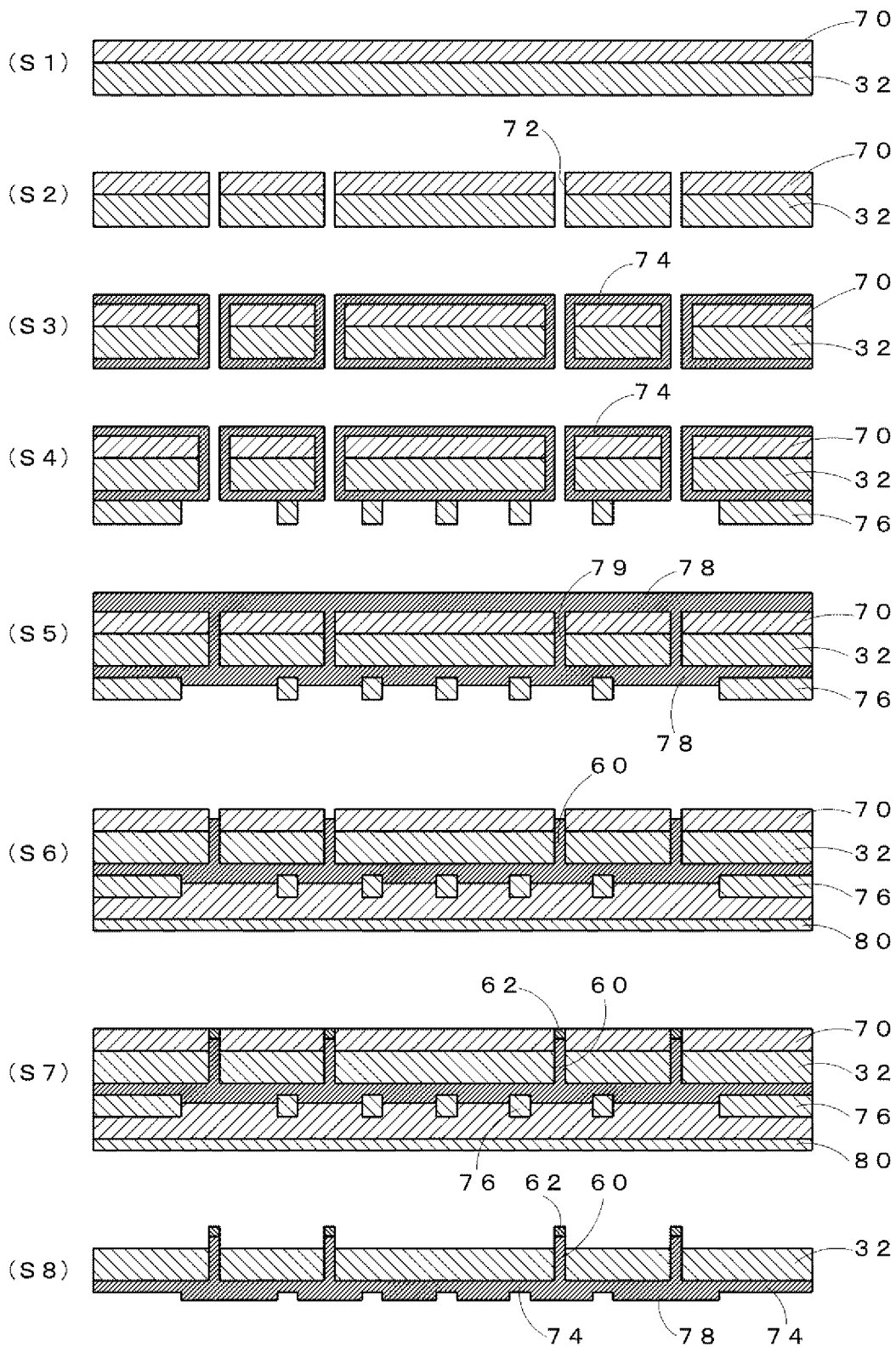
を有することを特徴とする配線基板の製造方法。

[請求項17] 半導体チップ積層体と、請求項13又は14に記載の多層配線基板と、前記多層配線基板と半導体チップ積層体と、から構成されることを特徴とする半導体装置。

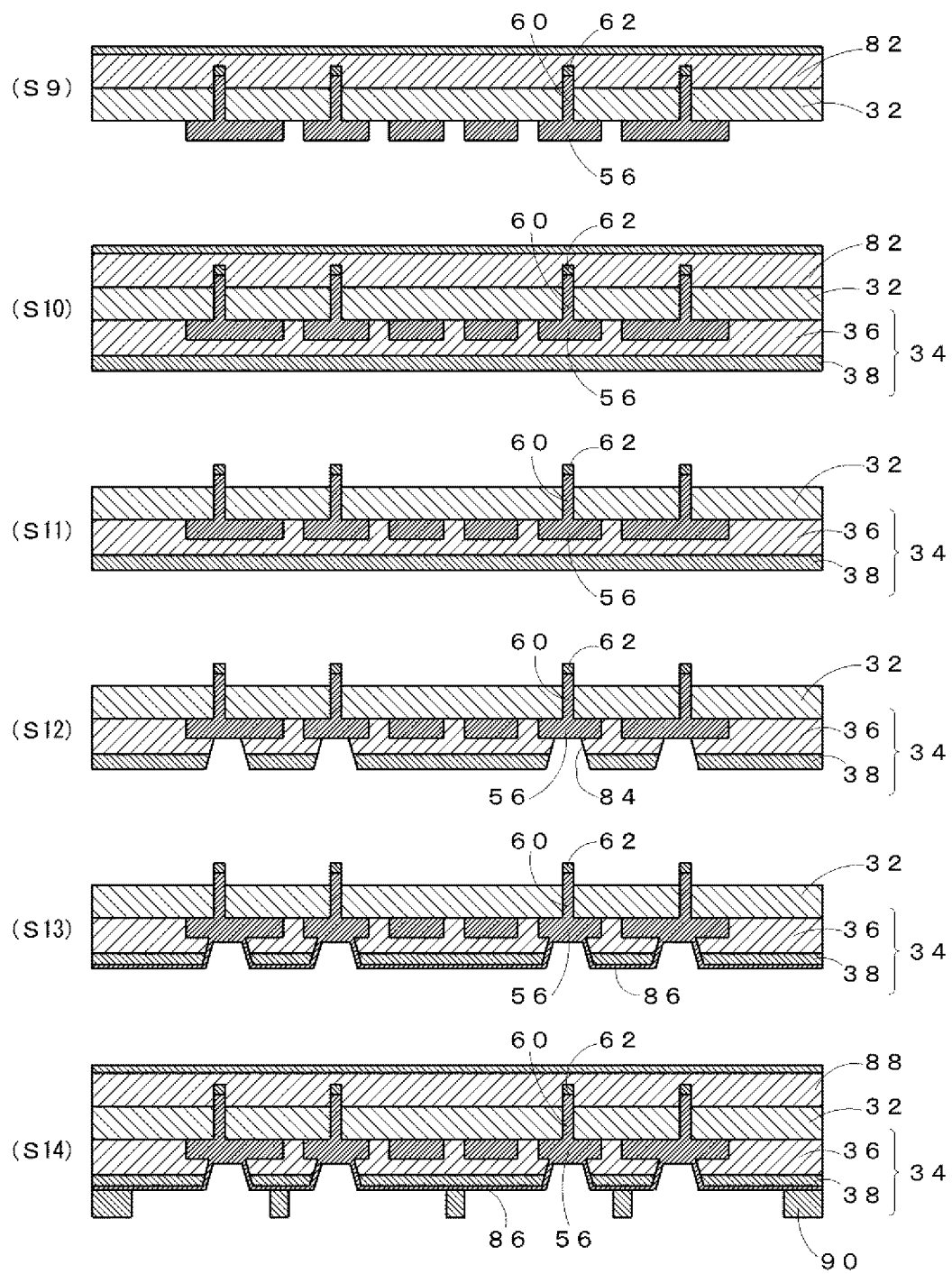
[図1]



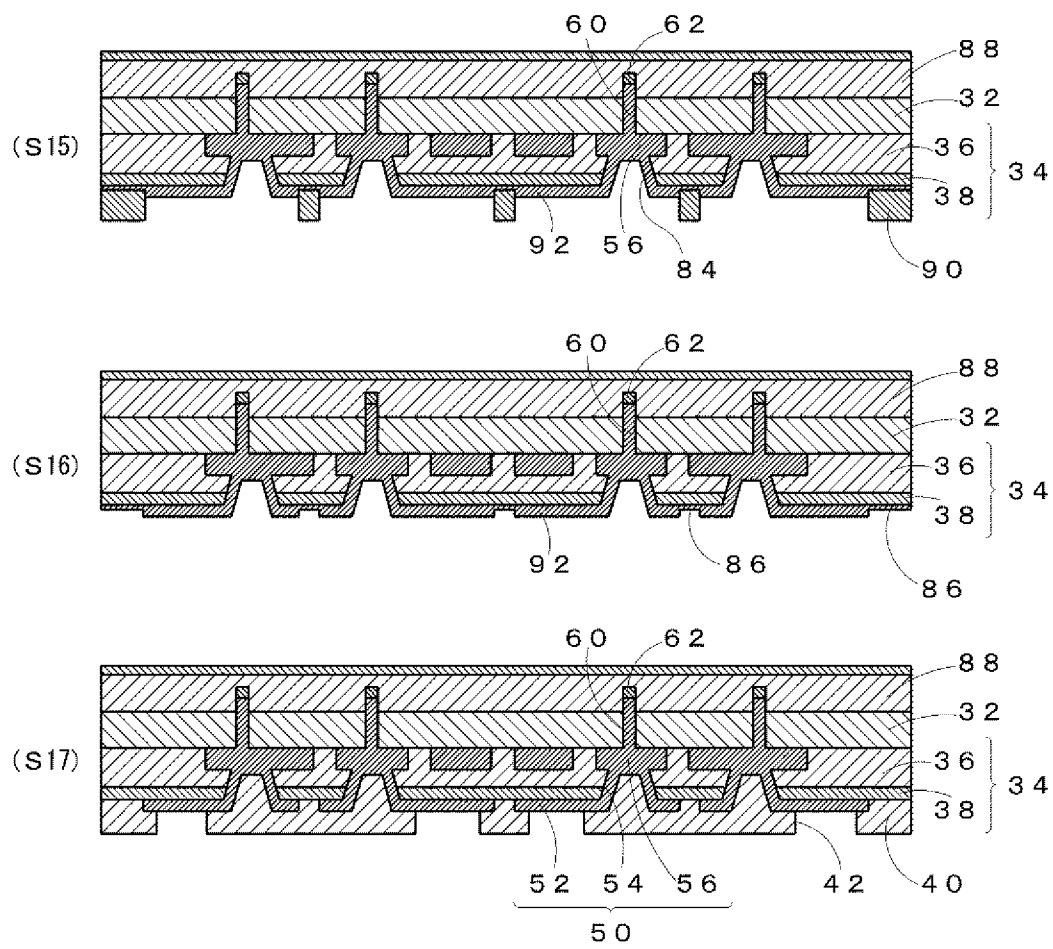
[図4]



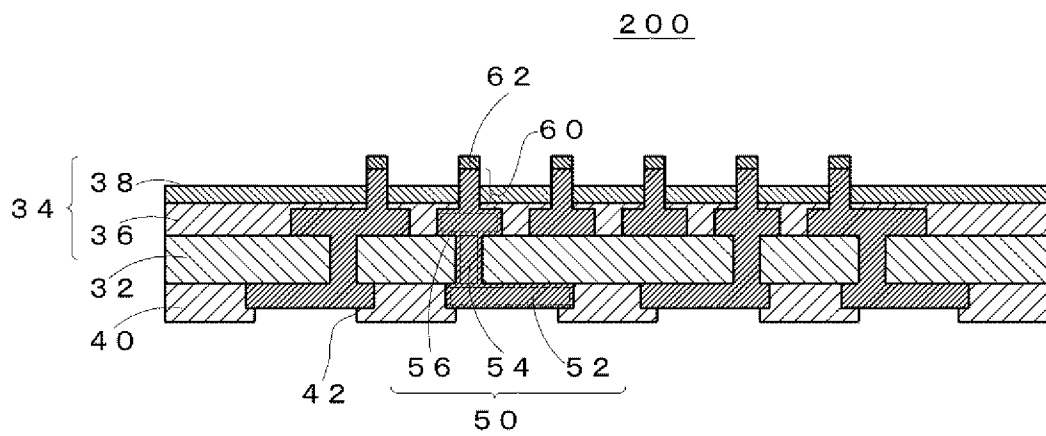
[図5]



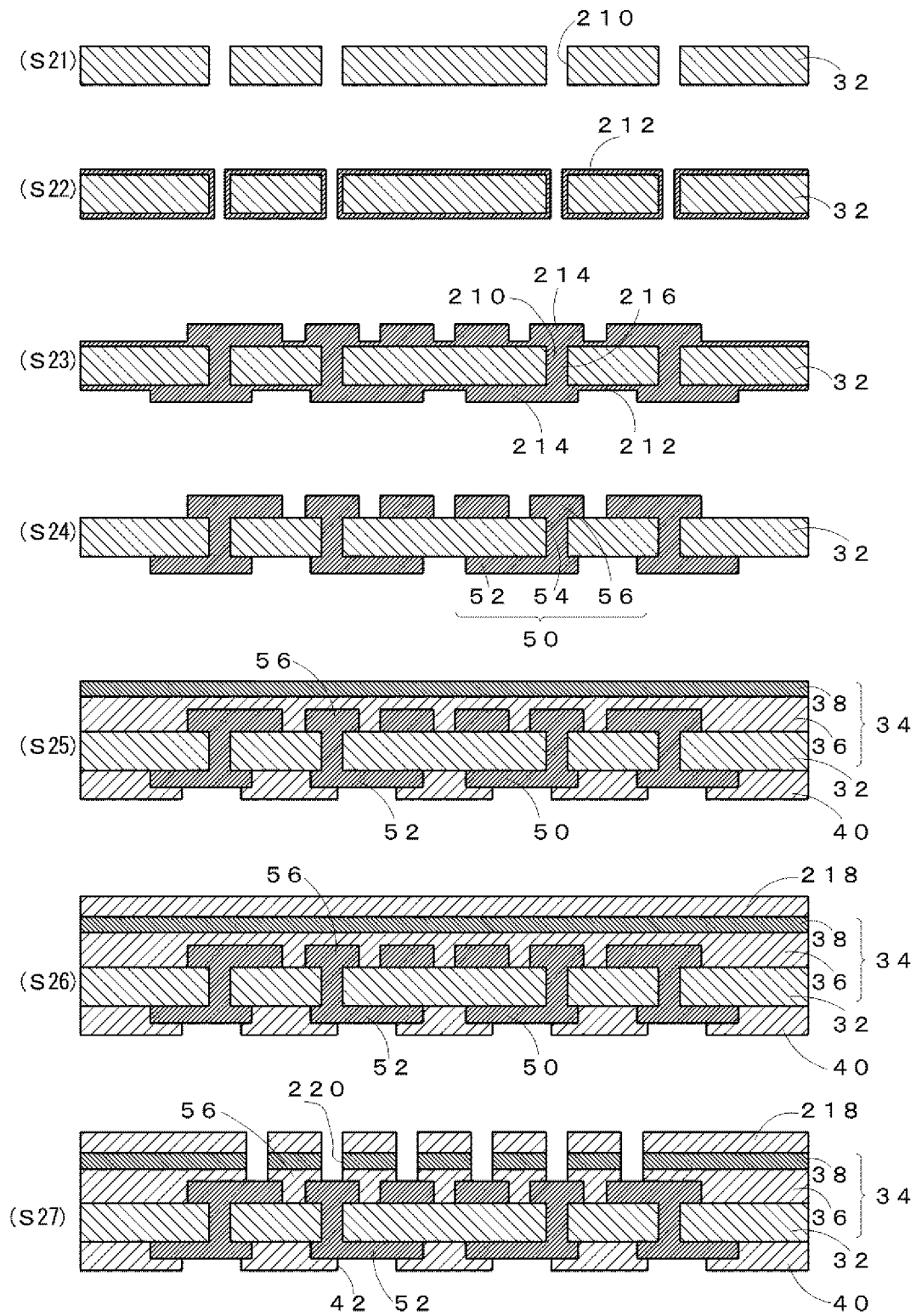
[図6]



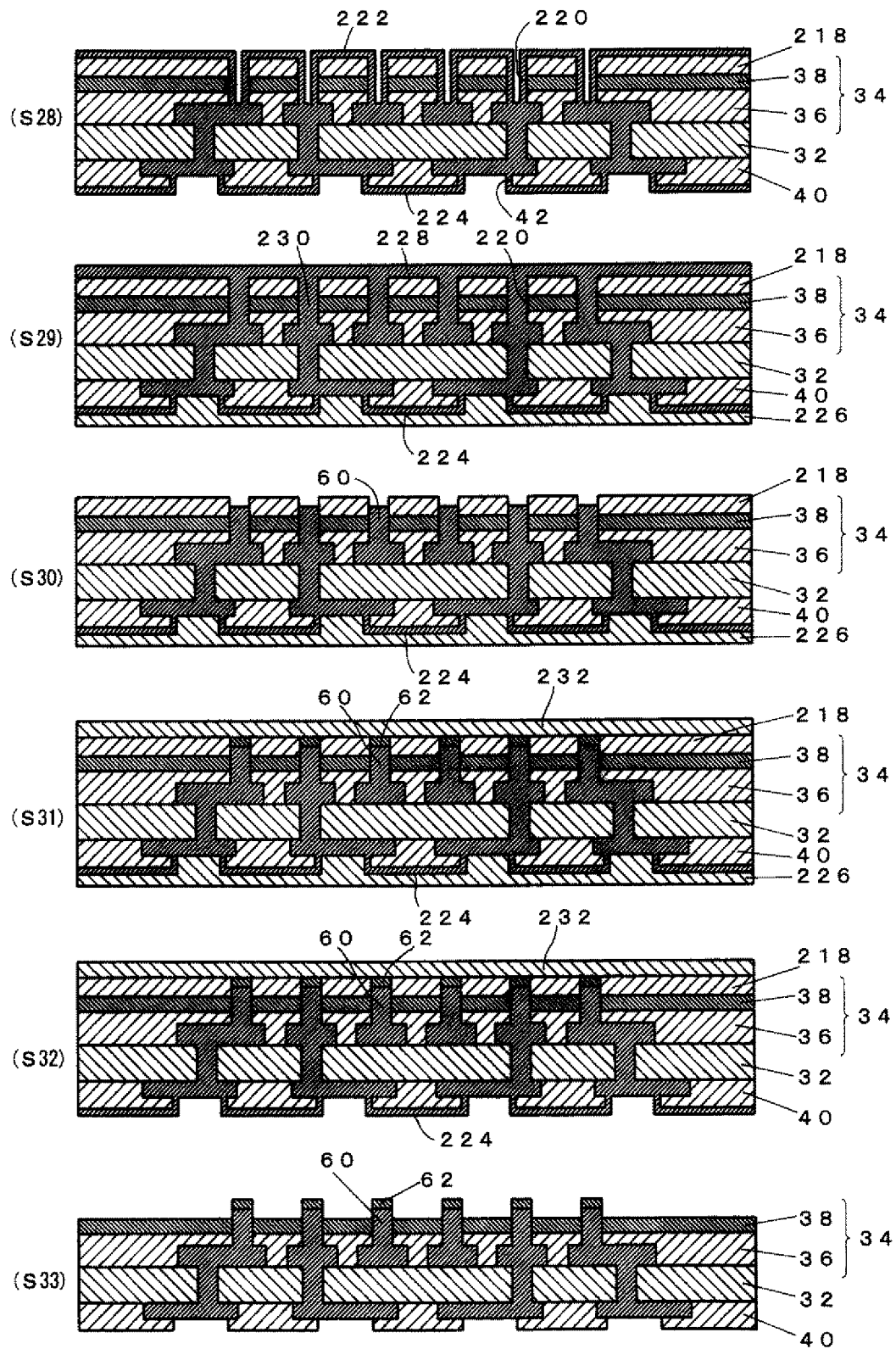
[図7]



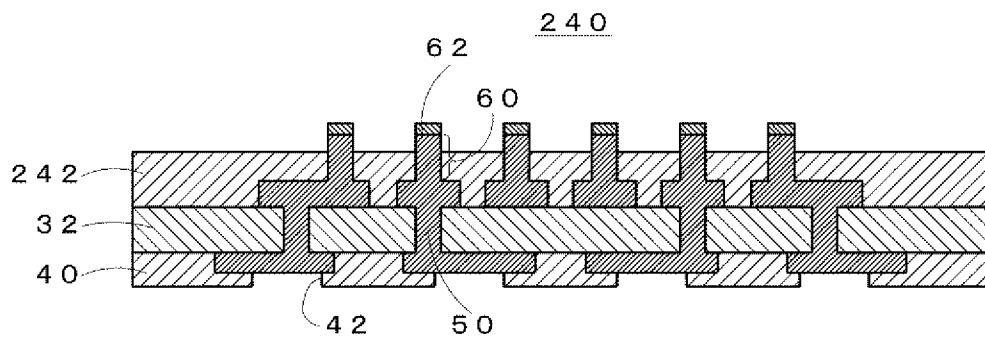
[図8]



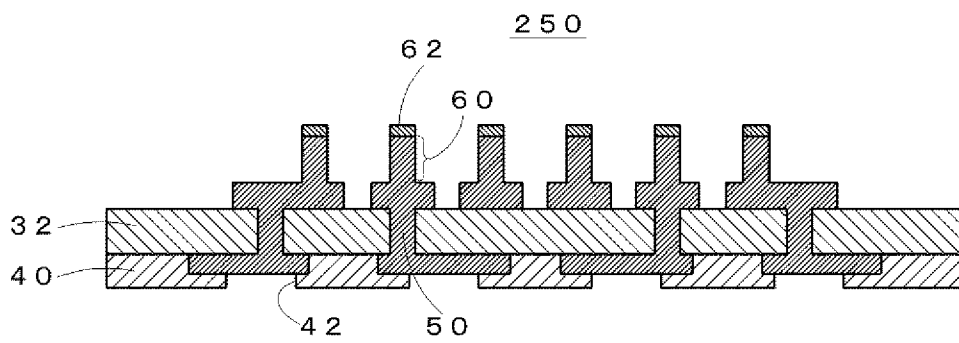
[図9]



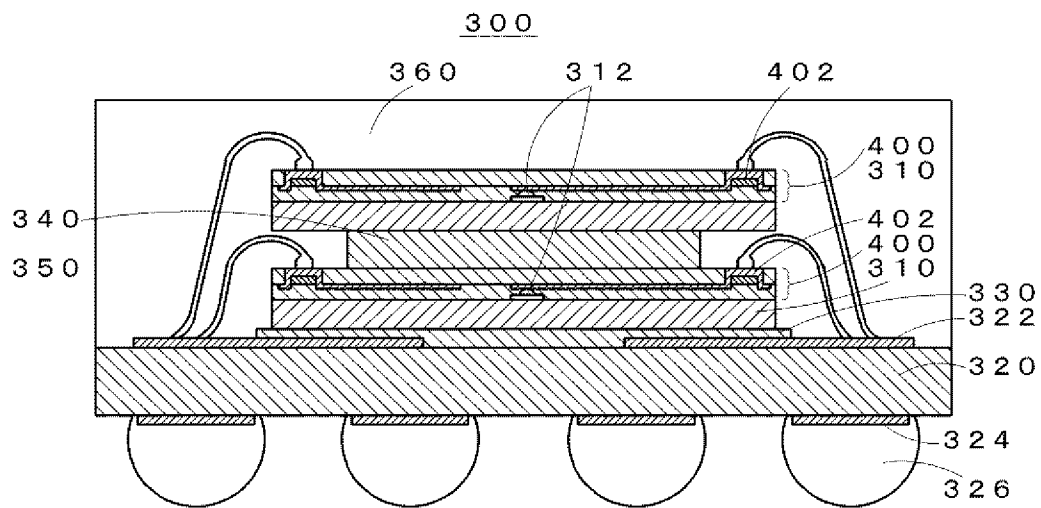
[図10]



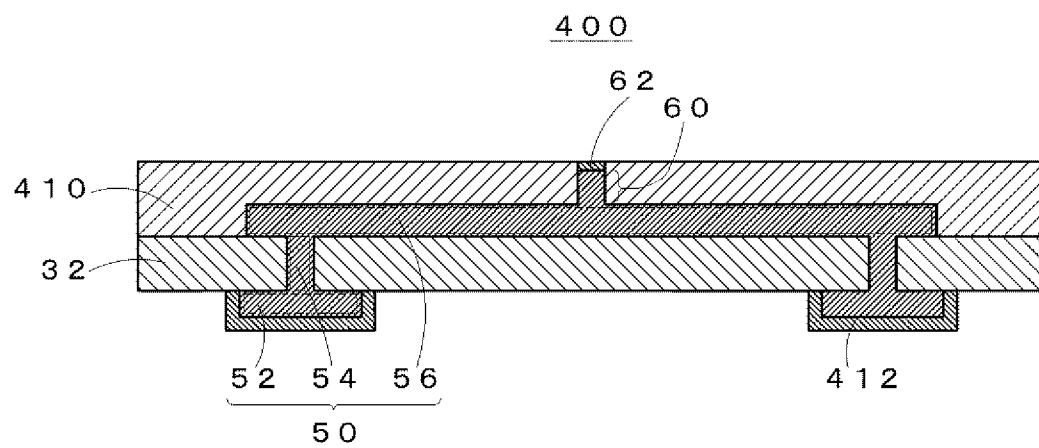
[図11]



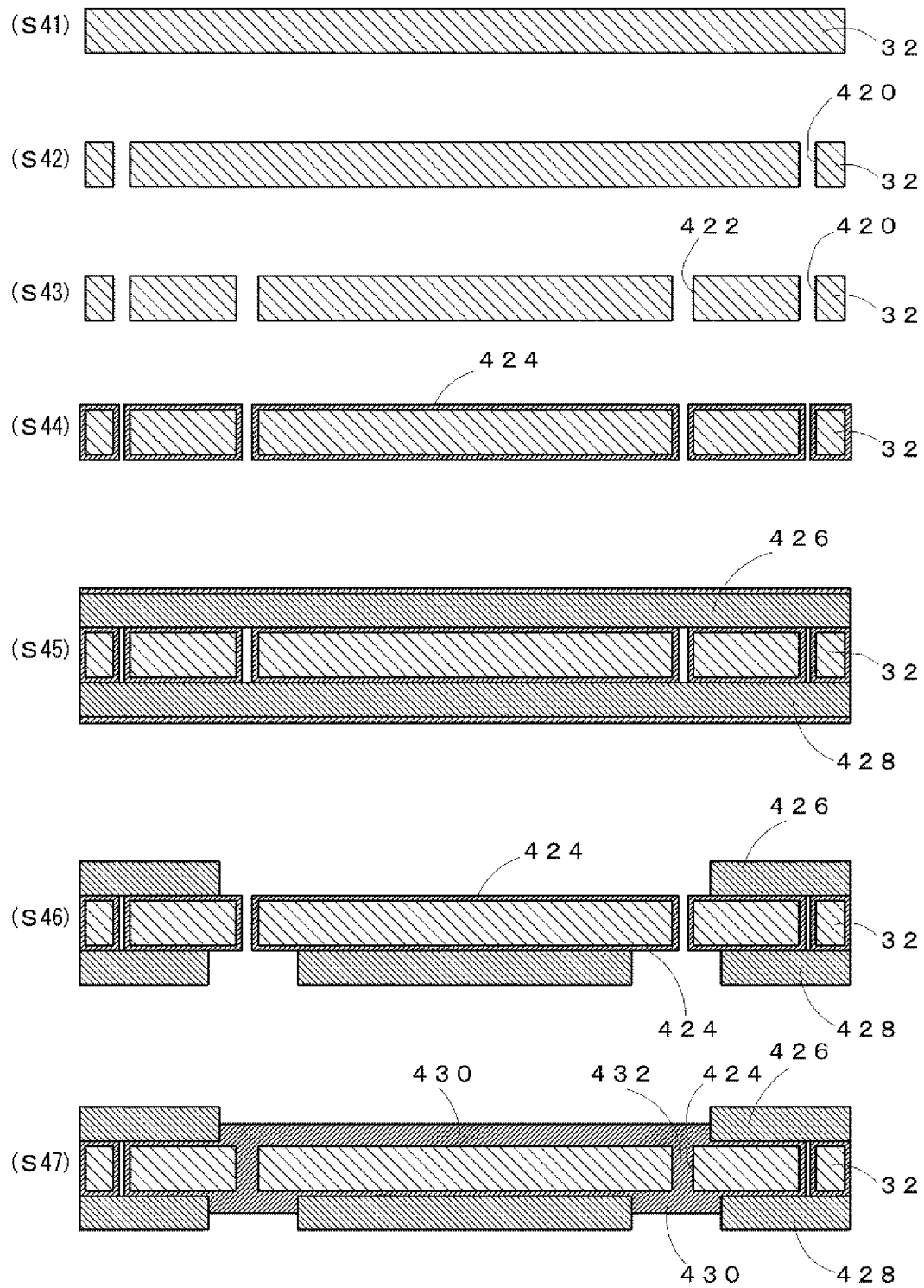
[図12]



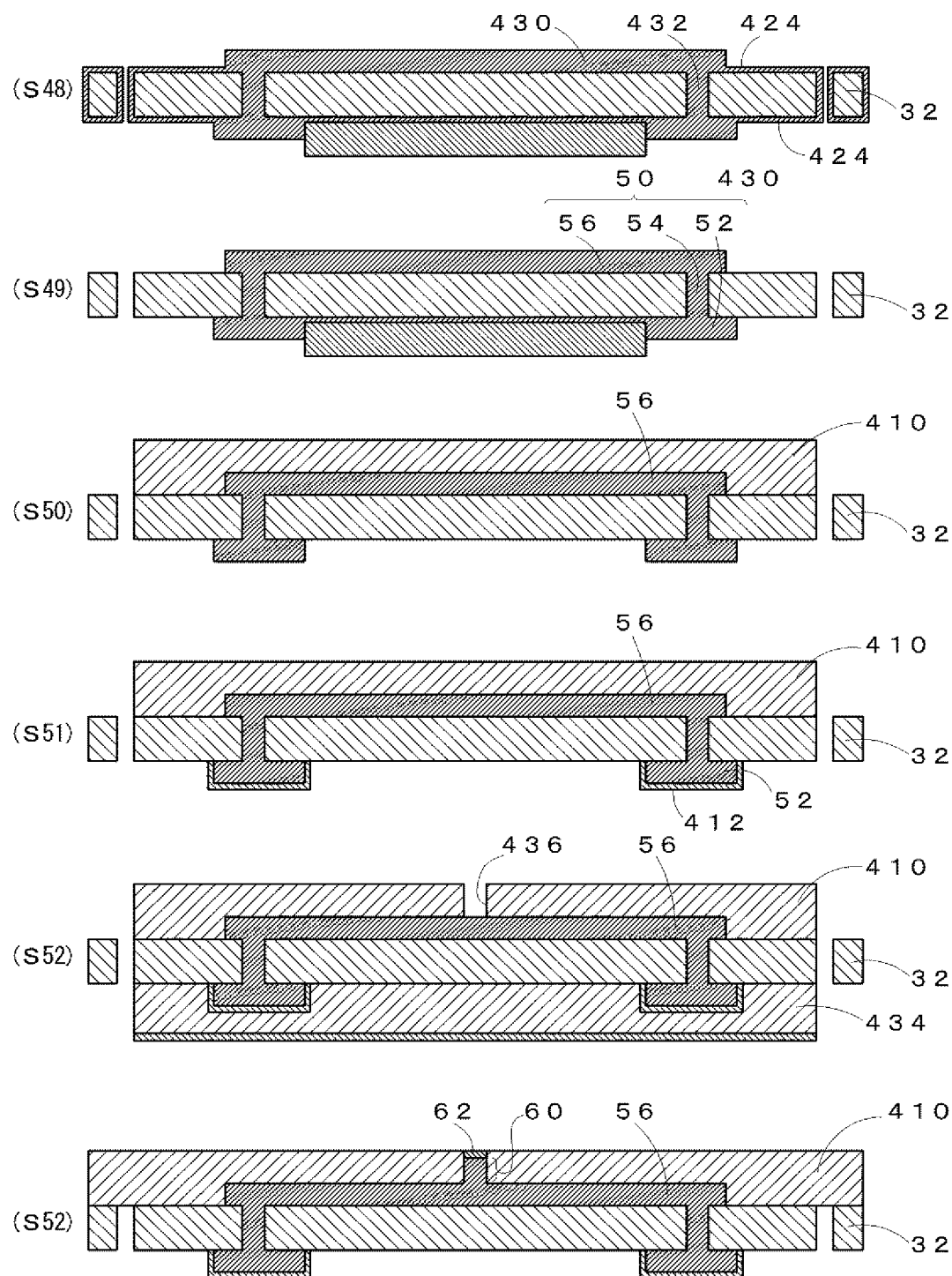
[図13]



[図14]

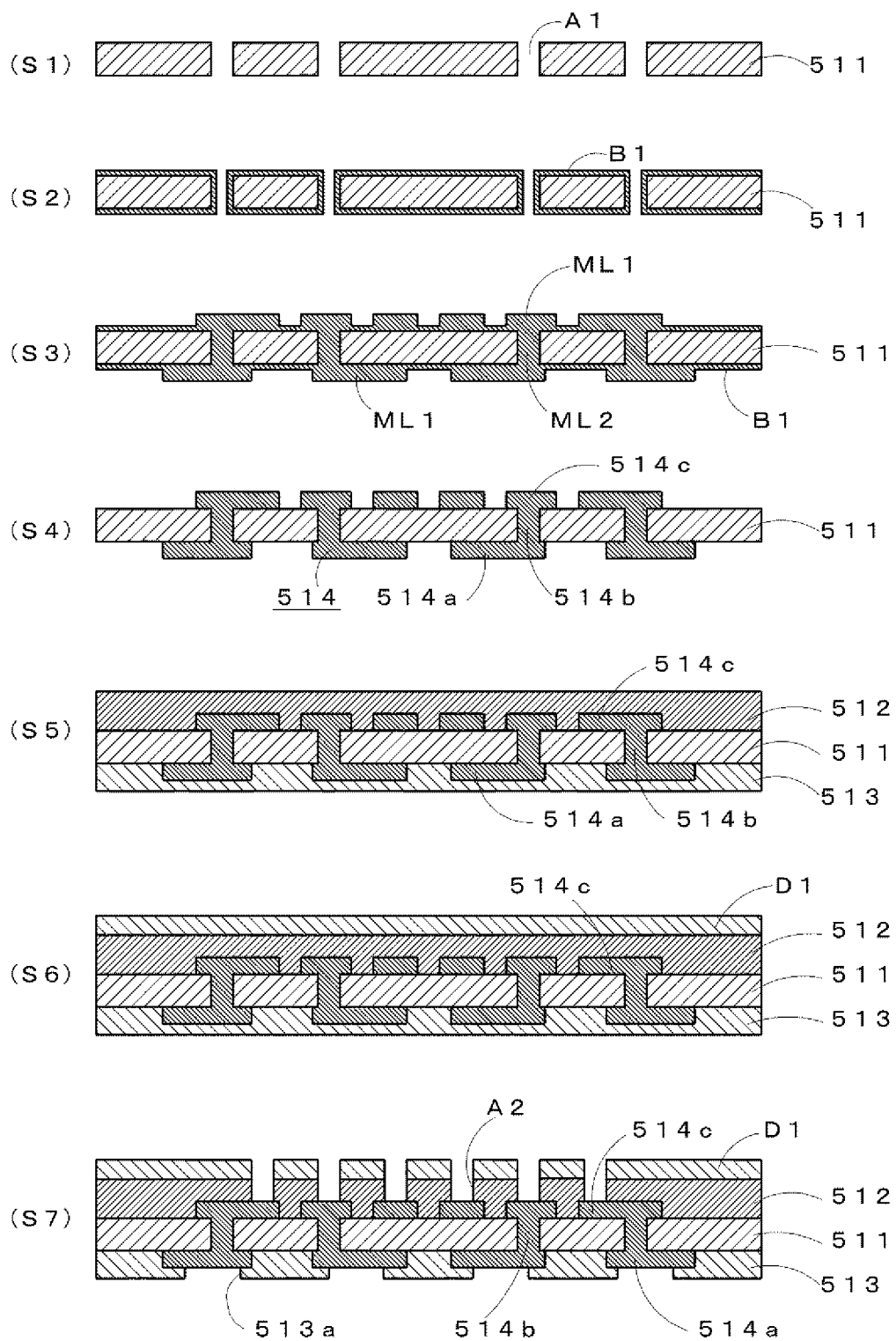


[図15]

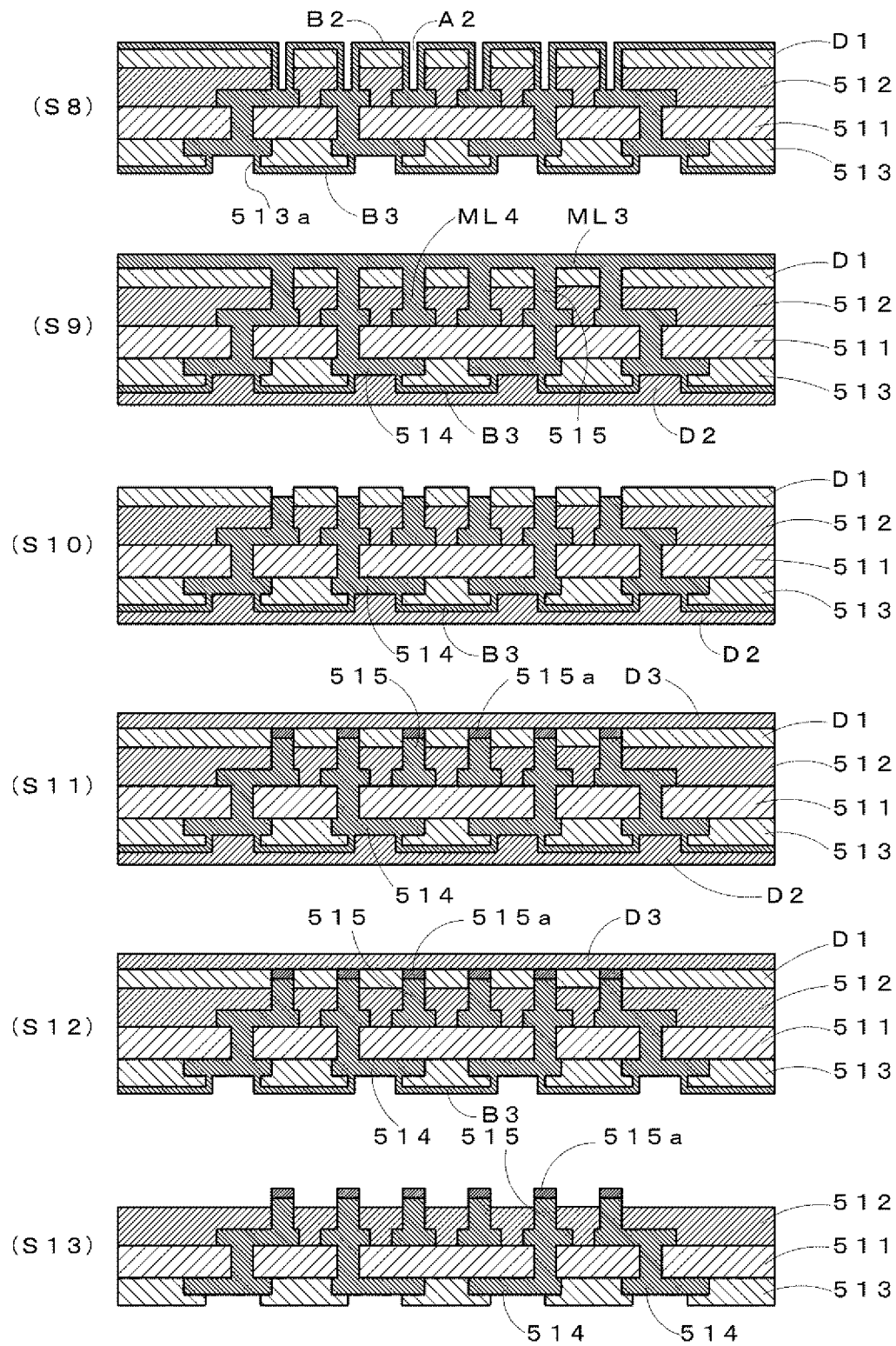


[illegible][illegible]

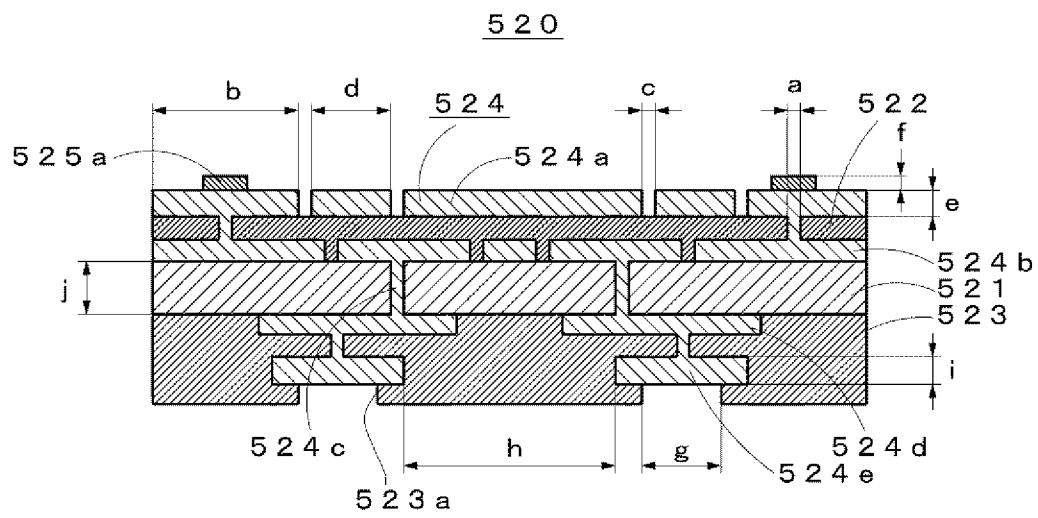
[図18]



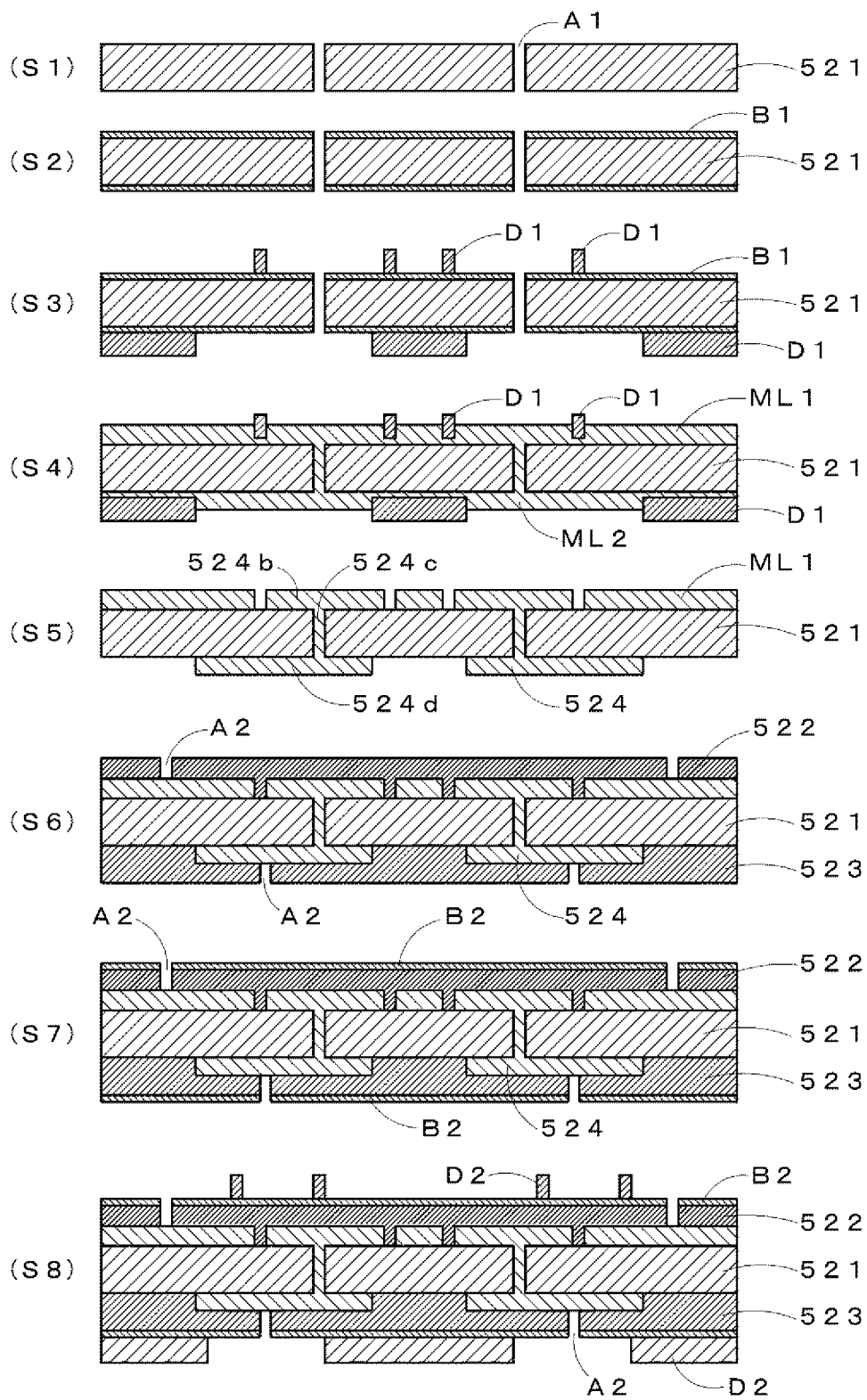
[図19]



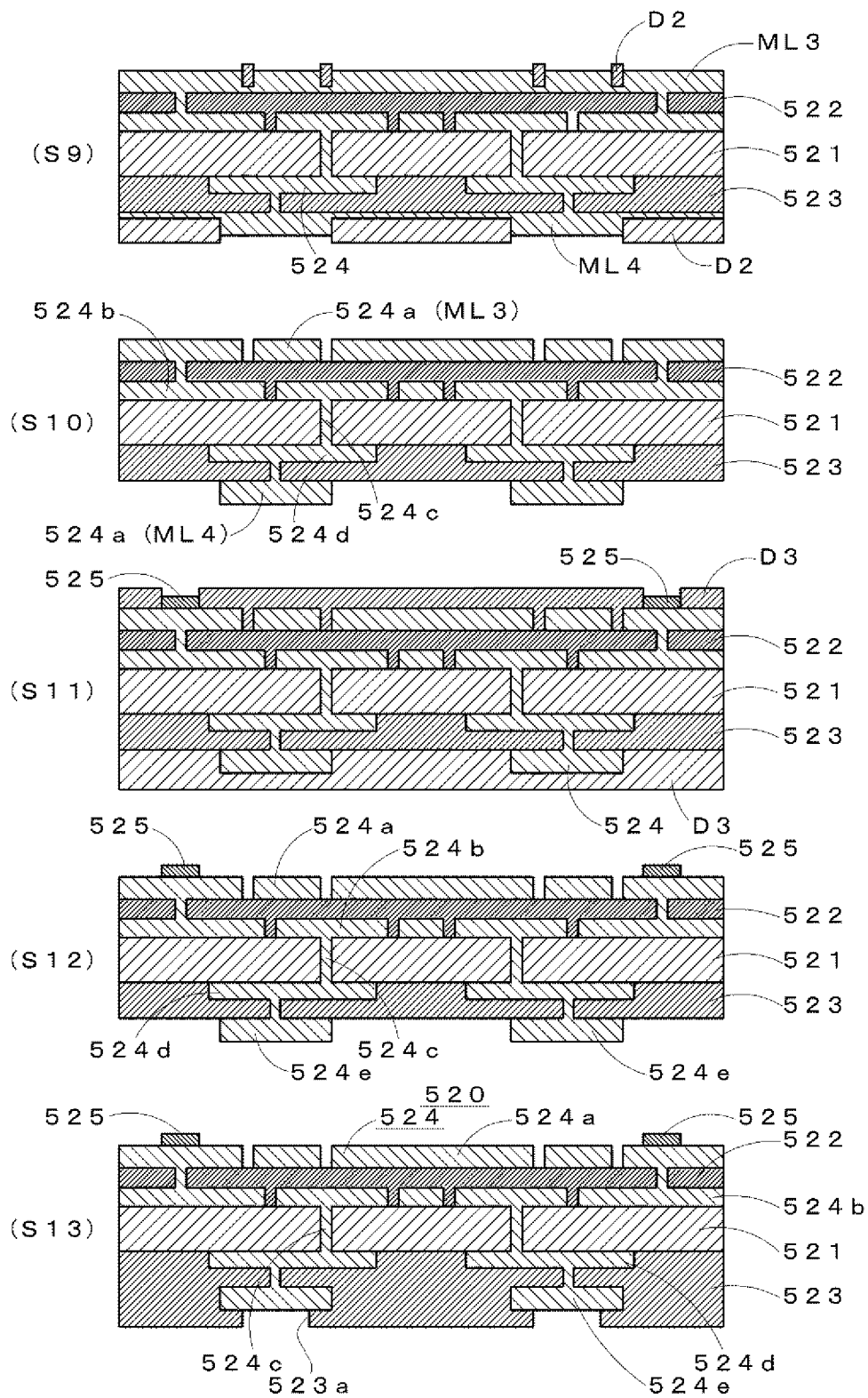
[図20]



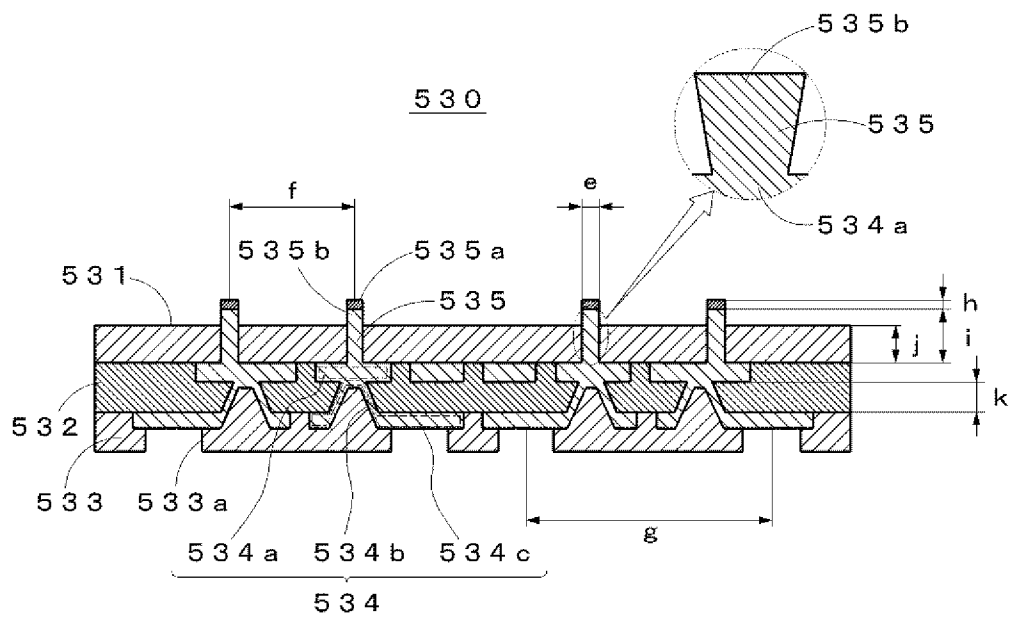
[図21]



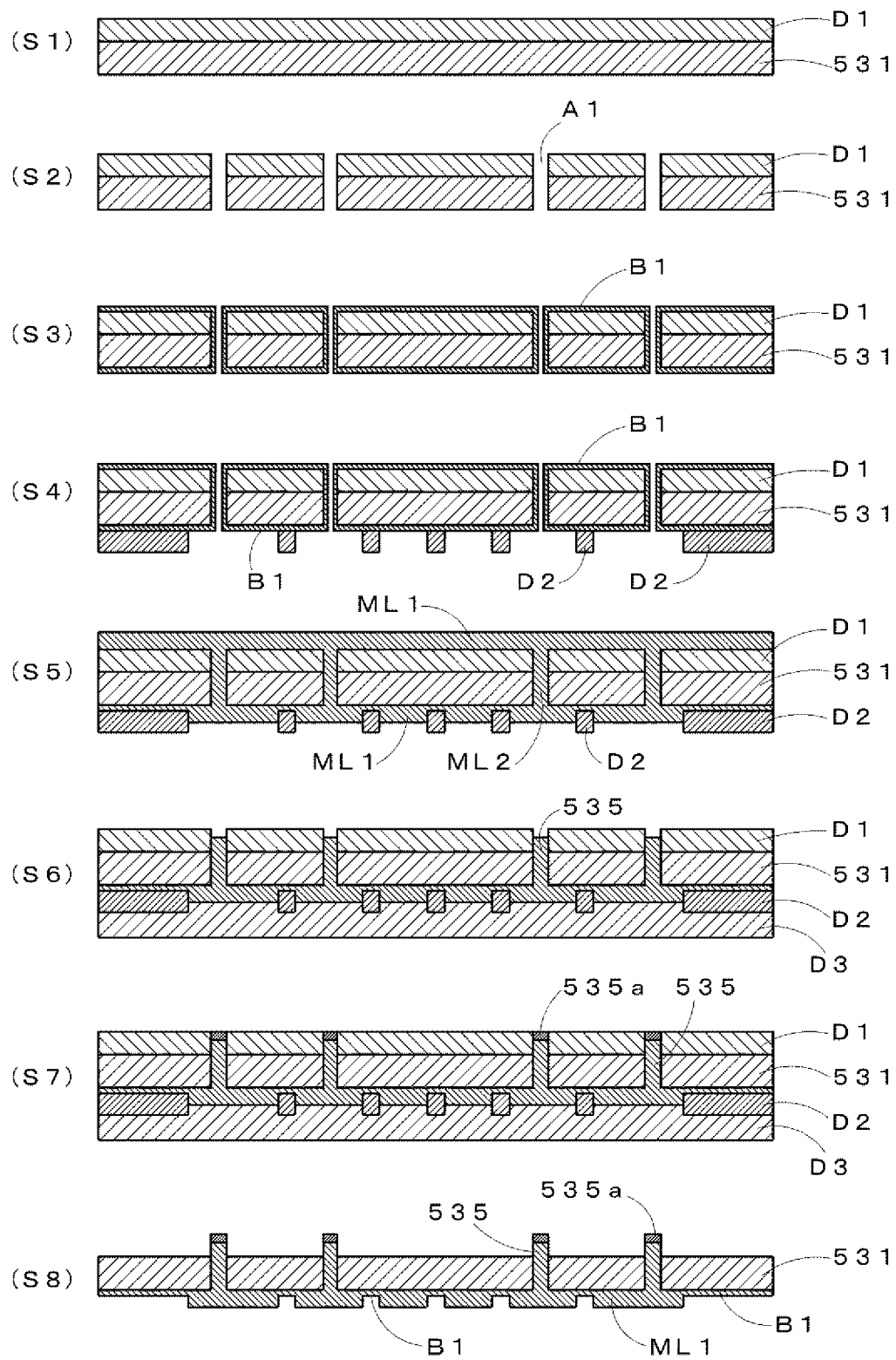
[図22]



[図23]



[図24]



[図25]

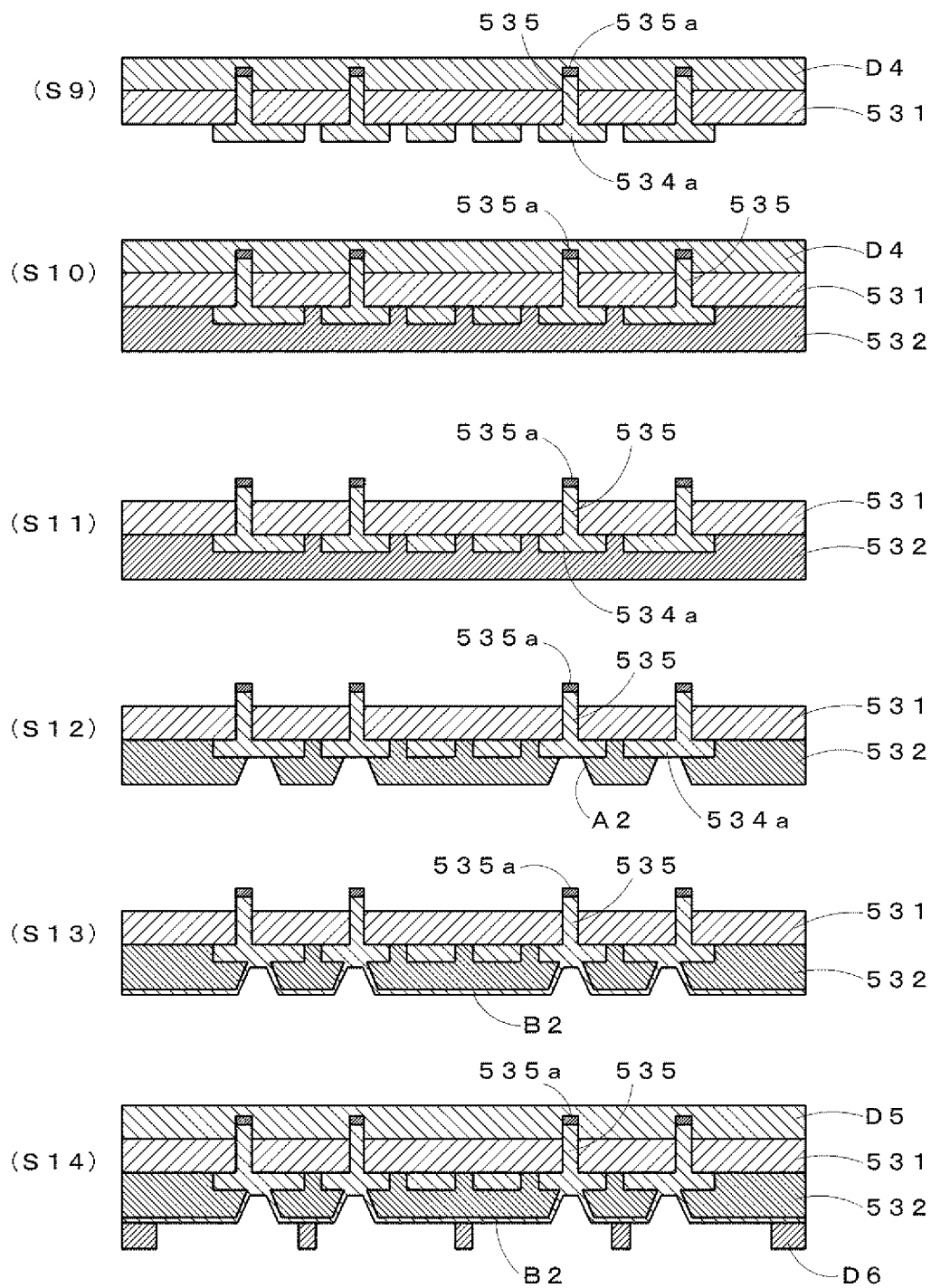


Fig. 15 shows three cross-sectional views of the semiconductor device in stages S15, S16, and S17. In stage S15, the device has a top layer 535 with openings 535a. Below this is a layer 531, followed by a layer 532 with openings. A middle layer ML2 is partially formed. In stage S16, the middle layer ML2 is more developed, and a new layer B2 is formed below it. The openings in the top layer are now labeled 534a, 534b, and 534c, collectively labeled as 534. In stage S17, the middle layer ML2 is further refined, and a new layer 533 is formed below B2. The openings in the top layer are still labeled 534a, 534b, and 534c, collectively labeled as 534. The openings in the bottom layer are now labeled 533a.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053843

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01L25/065, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2010-34324 A (Kyocera Corp.), 12 February 2010 (12.02.2010), paragraphs [0014] to [0048]; fig. 1 to 9 (Family: none)	1, 3, 5, 7, 12 4, 11 8-10, 16-17
X Y A	JP 2001-274277 A (Taiyo Ink Manufacturing Co., Ltd.), 05 October 2001 (05.10.2001), paragraphs [0013] to [0024] (Family: none)	2-3, 6-7, 12 4, 11 8-10, 16-17
X	JP 2001-308542 A (Nippon Shokubai Co., Ltd.), 02 November 2001 (02.11.2001), paragraphs [0115] to [0116] (Family: none)	13-15

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 May, 2012 (11.05.12)Date of mailing of the international search report
22 May, 2012 (22.05.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053843

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-211722 A (Toshiba Corp.), 11 August 1995 (11.08.1995), paragraph [0101]; fig. 3 (Family: none)	4
Y	JP 2006-301863 A (Elpida Memory, Inc.), 02 November 2006 (02.11.2006), paragraphs [0013] to [0025]; fig. 1 & US 2006/0235577 A1	11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053843

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

It is considered that the inventions of claims 1-17 are linked to one another by only the matter which is relevant to wiring board comprising a substrate composed of a resin as a base, a wiring pattern formed on the substrate, and an insulation layer which covers a portion of the wiring pattern.

However, the above-said matter cannot be considered to be a special technical feature, since the matter does not make a contribution over the prior art in the light of the contents disclosed in the documents 1 and 2 which are cited in this international search report.

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053843

Continuation of Box No.III of continuation of first sheet (2)

Consequently, since the inventions of claims 1-17 cannot be considered to share a special technical feature, it is not considered that a group of these inventions are so linked as to form a single general inventive concept.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H01L25/065, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2010-34324 A（京セラ株式会社）2010.02.12, 段落 0014-0048, 図 1-9（ファミリーなし）	1, 3, 5, 7, 12 4, 11 8-10, 16-17
X Y A	JP 2001-274277 A（太陽インキ製造株式会社）2001.10.05, 段落 0013-0024（ファミリーなし）	2-3, 6-7, 12 4, 11 8-10, 16-17

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

石野 忠志

4 R

3 5 4 7

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2001-308542 A (株式会社日本触媒) 2001. 11. 02, 段落 0115-0116 (ファミリーなし)	13-15
Y	JP 7-211722 A (株式会社東芝) 1995. 08. 11, 段落 0101, 図 3 (ファミリーなし)	4
Y	JP 2006-301863 A (エルピーダメモリ株式会社) 2006. 11. 02, 段落 0013-0025, 図 1 & US 2006/0235577 A1	11

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

請求項 1-17 に係る発明は、ベースとなる樹脂製の基板と、前記基板上に形成された配線パターンと、前記配線パターンの一部を被覆する絶縁層とを有する配線基板という事項でのみ関連していると認める。

しかしながら、上記事項は国際調査報告で引用された文献1及び2の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴であるとはいえない。

よって、請求項 1-17 に係る発明は特別な技術的特徴を共有するものとはいえないから、これら一群の発明は単一の一般的発明概念を形成するように連関しているとは認められない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。