



등록특허 10-2809444



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년05월19일
(11) 등록번호 10-2809444
(24) 등록일자 2025년05월14일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *H10D 62/83* (2025.01)
(52) CPC특허분류
H01L 21/02499 (2013.01)
H01L 21/02444 (2013.01)
(21) 출원번호 10-2018-7010014
(22) 출원일자(국제) 2016년09월08일
심사청구일자 2021년09월08일
(85) 번역문제출일자 2018년04월09일
(65) 공개번호 10-2018-0051602
(43) 공개일자 2018년05월16일
(86) 국제출원번호 PCT/US2016/050701
(87) 국제공개번호 WO 2017/044577
국제공개일자 2017년03월16일
(30) 우선권주장
62/215,223 2015년09월08일 미국(US)
(뒷면에 계속)

(56) 선행기술조사문헌

Jeehwan Kim et al. "Principle of direct van der Waals epitaxy of single-crystalline films on epitaxial graphene". Nature Communications. Sep. 2014, pp. 1-7*

(뒷면에 계속)

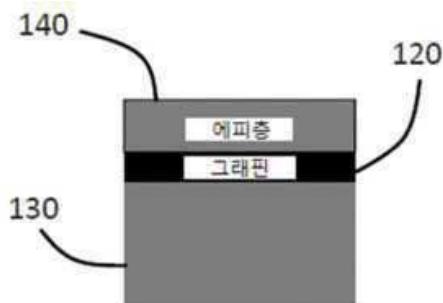
전체 청구항 수 : 총 25 항

심사관 : 한상국

(54) 발명의 명칭 그래핀-기반 층 전달 시스템 및 방법

(57) 요약

그래핀-기반 층 전달(GBLT) 기술이 개시되어 있다. 이 접근법에서, III-V 반도체, Si, Ge, III-N 반도체, SiC, SiGe 또는 II-VI 반도체를 포함하는 디바이스 층이, 기판 상에 배치된 그래핀 층 상에 제조된다. 그래핀 층 또는 기판은 디바이스 층의 결함을 줄이기 위해 디바이스 층과 격자-매칭될 수 있다. 제조된 디바이스 층은 그 후, 예를 들어 디바이스 층에 부착된 스트래서를 통해, 기판으로부터 제거된다. GBLT에서, 그래핀 층은 디바이스 층을 성장시키기 위한 재사용 가능하고 보편적 인 플랫폼 역할을 하며 또한 그래핀 표면에서 신속하고 정밀하며 반복적인 방출을 가능하게 하는 이형층으로 기능한다.

대표도**도. 1D**

(52) CPC특허분류

H01L 21/0254 (2013.01)
H01L 21/02546 (2013.01)
H01L 21/02595 (2013.01)
H01L 21/02598 (2013.01)
H01L 21/02642 (2013.01)
H01L 21/02647 (2013.01)
H01L 21/02658 (2013.01)
H10D 62/882 (2025.01)

(56) 선행기술조사문현

KR1020130090114 A*
JP2011009268 A*
US20140014171 A1*
US20120141799 A1
JP2013124215 A
JP2011009281 A
*는 심사관에 의하여 인용된 문현
(30) 우선권주장
62/335,784 2016년05월13일 미국(US)
62/361,717 2016년07월13일 미국(US)

명세서

청구범위

청구항 1

기판 상의 연속적인 그래핀 층 상에 단결정 막을 형성하고- 상기 연속적인 그래핀 층 상에 상기 단결정 막을 형성하는 것은 상기 기판을 상기 단결정 막의 시드로 사용하는 것을 포함하고, 상기 연속적인 그래핀 층은 단지 이형층(release layer)으로서 작용하고, 애피택셜 성장은 상기 기판으로부터만 시드됨-; 그리고,

상기 단결정 막과 상기 기판을 분리하는 것을 포함하는, 방법.

청구항 2

기판 상의 연속적인 그래핀 층 상에 단결정 막을 형성하고- 상기 단결정 막은 제1 단결정 막이고, 상기 연속적인 그래핀 층 상에 상기 제1 단결정 막을 형성하는 것은 상기 기판을 상기 제1 단결정 막의 시드로 사용하는 것을 포함함-;

상기 제1 단결정 막과 상기 기판을 분리하고; 그리고,

상기 제1 단결정 막과 상기 기판이 분리된 후, 상기 기판 상에 제2 단결정 막을 형성하는 것을 포함하는, 방법.

청구항 3

청구항 1 또는 청구항 2에 있어서,

상기 기판 상에 상기 연속적인 그래핀 층을 형성하는 것을 더 포함하는, 방법.

청구항 4

청구항 3에 있어서,

상기 기판 상에 상기 연속적인 그래핀 층을 형성하는 것은, 상기 기판 상에 상기 연속적인 그래핀 층을 성장시키는 것을 포함하는, 방법.

청구항 5

청구항 3에 있어서,

상기 기판은 제1 기판이고, 그리고,

상기 제1 기판 상에 상기 연속적인 그래핀 층을 형성하는 것은, 상기 연속적인 그래핀 층을 제2 기판에서 상기 제1 기판으로 전사하는 것을 포함하는, 방법.

청구항 6

청구항 1 또는 청구항 2에 있어서,

상기 연속적인 그래핀 층은 복수의 그래핀 층 중 어느 하나이고, 그리고,

상기 단결정 막을 형성하는 것은, 상기 복수의 그래핀 층 상에 상기 단결정 막을 형성하는 것을 포함하는, 방법.

청구항 7

청구항 1 또는 청구항 2에 있어서,

상기 연속적인 그래핀 층은 상기 단결정 막과 상기 기판 사이의 유일한 그래핀층인, 방법.

청구항 8

청구항 1 또는 청구항 2에 있어서,

상기 연속적인 그래핀 층은 단결정 그래핀 층인, 방법.

청구항 9

청구항 1 또는 청구항 2에 있어서,

상기 연속적인 그래핀 층은 다결정 그래핀 층인, 방법.

청구항 10

청구항 2에 있어서,

상기 제1 단결정 막과 상기 기판을 분리하는 동안, 상기 연속적인 그래핀 층을 이형층으로 사용하는, 방법.

청구항 11

청구항 2에 있어서,

상기 연속적인 그래핀 층 상에 상기 제1 단결정 막을 형성하는 것은, 상기 기판 및 상기 연속적인 그래핀 층의 조합을 상기 제1 단결정 막의 시드로 사용하는 것을 포함하는, 방법.

청구항 12

청구항 1 또는 청구항 2에 있어서,

상기 단결정 막을 형성하는 것은, 상기 연속적인 그래핀 층 상에 상기 기판의 재료를 증착하는 것을 포함하는, 방법.

청구항 13

청구항 1 또는 청구항 2에 있어서,

상기 단결정 막과 상기 기판을 분리하는 것은, 상기 단결정 막을 박리하는 것을 포함하는, 방법.

청구항 14

청구항 1 또는 청구항 2에 있어서,

상기 단결정 막과 상기 기판을 분리하는 것은,

상기 단결정 막 상에 금속 스트레서(metal stressor)를 형성하고,

상기 금속 스트레서에 가요성 테이프를 배치하고, 그리고,

상기 단결정 막 및 상기 금속 스트레서를 상기 가요성 테이프를 이용하여 상기 연속적인 그래핀 층으로부터 떼내는 것을 포함하는, 방법.

청구항 15

청구항 1에 있어서,

상기 단결정 막은 제1 단결정 막이고, 그리고,

상기 제1 단결정 막과 상기 기판이 분리된 후, 상기 기판 상에 제2 단결정 막을 형성하는 것을 더 포함하는, 방법.

청구항 16

청구항 1 또는 청구항 2에 있어서,

상기 단결정 막은 반도체 재료를 포함하는, 방법.

청구항 17

청구항 1 또는 청구항 2에 있어서,

상기 기판은 반도체 기판인, 방법.

청구항 18

청구항 1 또는 청구항 2에 있어서,

상기 연속적인 그래핀 층은 상기 기판 상에 직접 위치하는, 방법.

청구항 19

청구항 1 또는 청구항 2에 있어서,

상기 단결정 막은 SiC를 포함하는, 방법.

청구항 20

전위 장을 갖는 기판 상의 그래핀 층 상에 단결정 막을 형성하고- 상기 기판의 상기 전위 장은 상기 그래핀 층을 넘어서서 상기 단결정 막의 성장을 시드하고, 상기 그래핀 층은 단지 이형층으로서 작용하고, 애피택설 성장은 상기 기판으로부터만 시드됨-; 그리고,

상기 단결정 막과 상기 기판을 분리하는 것을 포함하는, 방법.

청구항 21

청구항 20에 있어서,

상기 단결정 막은 제1 단결정 막이고,

상기 제1 단결정 막과 상기 기판이 분리된 후, 상기 기판 상에 제2 단결정 막을 형성하는 것을 더 포함하는, 방법.

청구항 22

전위 장을 갖는 기판 상의 그래핀 층 상에 단결정 막을 형성하고- 상기 단결정 막은 제1 단결정 막이고, 상기 기판의 상기 전위 장은 상기 그래핀 층을 넘어서서 상기 제1 단결정 막의 성장을 시드함-;

상기 제1 단결정 막과 상기 기판을 분리하고; 그리고,

상기 제1 단결정 막과 상기 기판이 분리된 후, 상기 기판 상에 제2 단결정 막을 형성하는 것을 포함하는, 방법.

청구항 23

청구항 20 또는 청구항 22에 있어서,

상기 단결정 막은 반도체 재료를 포함하는, 방법.

청구항 24

청구항 20 또는 청구항 22에 있어서,

상기 기판은 반도체 기판인, 방법.

청구항 25

청구항 20 또는 청구항 22에 있어서,

상기 단결정 막은 SiC를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 관련 출원의 상호 참조

[0002] 본 출원은 2015년 9월 8일 출원된 발명의 명칭 "GRAPHENE-BASED LAYER TRANSFER PROCESS FOR ADVANCED COST-

EFFICIENT ELECTRONICS/ PHOTONICS"의 미국특허출원 제62/215,223호의 우선권을 35 U.S.C. § 119(e) 하에 주장하며, 그 내용 전체는 본 발명에 참고로 포함된다.

[0003] 본 출원은 2016년 5월 13일 출원된 발명의 명칭 "DISLOCATION-FREE III-V INTEGRATION ON A SI WAFER"의 미국 특허출원 제62/335,784호의 우선권을 35 U.S.C. § 119(e) 하에 주장하며, 그 내용 전체는 본 발명에 참고로 포함된다.

[0004] 본 출원은 2016년 7월 13일 출원된 발명의 명칭 "COST-EFFECTIVE LAYER-TRANSFER TECHNIQUE FOR ALL ELECTRONIC/PHOTONIC/MAGNETIC MATERIALS"의 미국특허출원 제62/361,717호의 우선권을 35 U.S.C. § 119(e) 하에 주장하며, 그 내용 전체는 본 발명에 참고로 포함된다.

배경 기술

[0005] 첨단 전자 및 광 기술에서, 보통 III-N 반도체, III-V 반도체, II-VI 반도체 및 Ge와 같은 기능성 반도체로 디바이스가 제조된다. 이들 기능성 반도체의 격자 상수는 통상적으로 실리콘 기판의 격자 상수와 일치하지 않는다. 당해 기술 분야에서 이해되는 바와 같이, 기판과 기판상의 에피택셜층 사이의 격자 상수 불일치는 에피택셜층에 응력변형을 일으킬 수 있어서, 결합이 없는 더 두꺼운 층의 에피택셜 성장을 막는다. 따라서, 일반적으로 대부분의 기능성 반도체의 에피택셜 성장을 위한 시드로 비-실리콘 기판이 사용된다. 그러나 기능성 재료의 격자 상수와 일치하는 격자 상수를 갖는 비-Si 기판은 비싸고 따라서 비-Si 전자/광 디바이스의 개발을 제한한다.

[0006] 비-실리콘 기판의 고비용을 해결하기 위한 하나의 방법은 격자-매칭 기판 상에서 기능성 디바이스 층이 성장된 다음 제거되어 다른 기판으로 전달되는 "층 전달"(layer transfer) 기술이다. 나머지 격자-매칭된 기판은 그 후 다른 디바이스 층을 제조하기 위해 재사용될 수 있으며, 그에 따라 비용을 감소시킨다. 제조 비용을 현저하게 줄이기 위해 층 전달 방법이 다음과 같은 성질을 갖는 것이 바람직할 수 있다: 1) 기판 재사용성; 2) 층 방출 후에 최소 기판 재보수 단계; 3) 빠른 방출 속도; 및 4) 박리 두께의 정밀한 제어.

[0007] 격자-매칭된 기판으로부터 디바이스 층을 제거하고 전이하는 종래의 방법은 화학적 리프트-오프(에피택셜 리프트-오프 또는 ELO라고도 함), 광학 리프트-오프(또한 레이저 리프트-오프 또는 LL0라고도 함) 및 기계적 리프트-오프(제어된 스팔링(controlled spalling)이라고도 함). 불행하게도 이 두 가지 방법은 동시에 네 가지 원하는 특성을 갖지 못한다.

[0008] 화학적 리프트-오프 기술은 GaAs 웨이퍼로부터 III-V 반도체로 만들어진 디바이스 층을 리프팅(lifting off)하는데 사용될 수 있다. AlAs의 희생 층이 일반적으로 디바이스 층과 기판 사이에 에피택셜 방식으로 삽입된다. 화학적 리프트-오프 기술은 습식 화학 용액에서 희생 층을 선택적으로 에칭하여 디바이스 층을 방출한다.

[0009] 지난 30년 동안 계속되는 발전에도 불구하고, 화학적 리프트-오프는 여전히 몇 가지 단점을 가지고 있다. 예를 들어, 희생 층을 통한 화학적 에칭제의 느린 침투로 인해 방출 속도가 느리다(예를 들어, 통상적으로 단일 8인치 웨이퍼를 방출하기 위해 며칠간). 둘째, 에칭 잔류물이 방출 후 표면 오염되는 경향이 있다. 셋째, 화학 리프트-오프는 거친 기판 표면을 에피-준비 표면으로 복원하기 위해 방출 후 수행되는 화학적 기계적 평탄화(CMP)로 인해 재사용이 제한된다. 넷째, 릴리스된 에피 층을 화학 용액으로 처리하는 것이 어려울 수 있다.

[0010] 광학 리프트-오프 기술은 대개 고출력 레이저를 이용하여 격자-매칭 기판(예: 투명 사파이어 또는 SiC 기판)의 뒷면을 조사하고, 디바이스-기판 인터페이스를 선택적으로 가열하여 인터페이스를 분해하고 디바이스 층을 방출시킨다(예를 들어, III-N 막). 이 기술은 III-N 기반의 발광 다이오드(LED)를 제조하는 비용을 절감하고 방출된 III-N을 높은 열전도도를 갖는 기판으로 옮김으로써 디바이스로부터의 열 축적 문제를 해결할 수 있다.

[0011] 그러나, 광학 리프트-오프는 그 자체의 한계가 있다. 첫째, 용융된 III-N/기판 계면이 기판을 거칠게 만들 수 있기 때문에, 재사용 전에 재조정 단계가 일반적으로 수행되어, 재사용 가능성이 5배 이하로 줄어든다. 둘째, 고출력 열 조사에 의해 야기된 계면에서 국부적인 가압은 균열 또는 전위를 유도할 수 있다. 셋째, 레이저 스캐닝 속도가 너무 느려서 처리량이 높지 않을 수 있다.

[0012] 제어된 스팔링은 광학 리프트-오프보다 높은 처리량을 가질 수 있다. 이 기술에서 고-응력 막("스트레서(stresser)"라고도 함)이 에피택셜 막에 중착되어 에피 층 아래에서 파단(fracture)을 일으키고 활성 물질이 기판에서 분리된다. 계면에 충분한 인장 응력이 가해지면, K_{II} 전단 모드는 균열을 일으킬 수 있고 K_I 개방 모드는 에피 층과 기판 사이의 계면에 평행한 균열의 전파를 허용할 수 있다. 스트레서의 내부 응력과 두께를 제어함으

로써 임계 K_I 에 도달하기에 충분한 변형 에너지가 제공될 수 있으며, 이로써 막/기판 계면이 파손될 수 있다. 박리는 균열 진전을 통해 일어나기 때문에, 스플링 공정은 막의 신속한 방출을 야기할 수 있다.

[0013] 그러나, 제어된 스플링은 적어도 다음의 이유로 인해 상업적 제조에 사용될 정도로 성숙하지 못하다. 첫째, 크랙 전파는 표면에 항시 수직으로 정렬되지 않는 절단면(cleavage planes)을 통해 일반적으로 발생하기 때문에 표면을 재사용하기 위해 연마가 필요할 수 있다. 두 번째로, 통상적으로 굽은 스트레서를 이용하여, 강한 공유 결합을 분리할 수 있는 충분한 에너지를 제공할 수 있으며, 특히 III-N 반도체와 같은 영률(Young's modulus)이 높은 재료로 작업할 때 그렇다.셋째, 스트레서의 내부 응력은 좁은 범위 내에서만 조절될 수 있으며, 이는 결과적으로 스플링되는 막의 달성 가능한 두께를 제한한다. 예를 들어, 전형적인 Ni 스트레스의 최대 내부 응력은 약 1 GPa이기 때문에, GaAs 막의 스플링을 시작하기 위한 1 GPa 인장 응력 하에서 임계 Ni 두께는 약 1.5 μm 이며, 이는 GaAs의 두께는 약 10 μm 일 경우 GaAs 막 자체의 스플링을 유도할 수 있다. 따라서 Ni 스트레서를 사용할 때 GaAs 박막을 10 μm 미만으로 만드는 것은 어려울 수 있지만 일반적으로 대부분의 디바이스는 훨씬 얇은 박막을 사용한다.

발명의 내용

과제의 해결 수단

[0014] 본 발명의 실시예에는 나노 제작을 위한 장치, 시스템 및 방법을 포함한다. 일 실시예에서, 반도체 디바이스 제조 방법은 제 1 기판 상에 그래핀 층을 형성하는 단계와, 상기 제 1 기판으로부터 제 2 기판으로 상기 그래핀 층을 전사하는 단계를 포함한다. 상기 방법은 상기 그래핀 층 상에 단결정 막을 형성하는 단계를 또한 포함한다.

[0015] 다른 예에서, 반도체 처리 방법은, 실리콘 카바이드 기판 상에 그래핀 단층을 형성하는 단계와, 그래핀 단층을 상기 실리콘 카바이드 기판으로부터 반도체 기판으로 전달하는 단계를 포함한다. 상기 방법은 상기 그래핀 단층에 복수의 구멍을 형성하는 단계와, 반도체 재료의 제 1 단결정 층을 그래핀 단층 상에 형성하는 단계를 또한 포함한다. 상기 반도체 기판은 반도체 재료의 제 1 단결정 층을 위한 시드(seed)로서 작용한다. 상기 방법은 상기 그래핀 단층으로부터 반도체 재료의 제 1 단결정 층을 제거하는 단계와, 상기 그래핀 단층 상에 반도체 재료의 제 2 단결정 층을 형성하는 단계를 또한 포함한다. 상기 반도체 기판은 반도체 재료의 제 2 단결정 층을 위한 시드로서 작용한다. 상기 방법은 상기 그래핀 단층으로부터 상기 반도체 재료의 제 2 단결정 층을 제거하는 단계를 더 포함한다.

[0016] 또 다른 예에서, 반도체 처리 방법은, 제 1 기판 상에 그래핀 층을 형성하는 단계와, 상기 제 1 기판으로부터 제 2 기판으로 상기 그래핀 층을 전사하는 단계를 포함한다. 상기 방법은 상기 그래핀 층 상에 반도체 층을 증착하는 단계와, 상기 반도체 층 상에 스트레서 층을 증착하는 단계를 또한 포함한다. 상기 스트레서 층은 상기 반도체 층과 상기 그래핀 층 사이에 크랙(crack)의 전파를 야기한다. 상기 방법은 상기 스트레서 층 상에 가요성 테이프를 배치하는 단계와, 상기 반도체 층 및 상기 스트레서 층을 상기 가요성 테이프를 이용하여 상기 그래핀 층으로부터 떼내는 단계를 더 포함한다.

[0017] 앞서의 개념 및 아래에서 더 상세히 논의되는 추가적인 개념의 모든 조합들이 (이러한 개념들이 상호 배치되지 않을 경우) 여기서 개시되는 발명의 주제의 일부분으로 간주된다. 특히, 본 개시의 종료부에 나타나는 청구되는 주제의 모든 조합들이 여기서 개시되는 발명의 주제의 일부분으로 간주된다. 참고자료로 포함하는 임의의 개시사항에 또한 나타날 수 있는 여기서 명확하게 이용되는 용어가 여기서 개시되는 특정 개념과 가장 일치하는 의미로 합의되어야 한다.

도면의 간단한 설명

[0018] 당 업자는 도면들이 주로 예시적인 목적을 위한 것이며 여기에 기술된 발명 주제의 범위를 제한하려는 의도가 아니라는 것을 이해할 것이다. 도면이 반드시 축척에 맞지는 않는다. 몇몇 경우들에서, 본 명세서에 개시된 본 발명의 주제의 다양한 실시형태는 상이한 특징들의 이해를 용이하게 하기 위해 도면에서 과장되거나 확대하여 도시될 수 있다. 도면에서, 유사한 참조 문자는 일반적으로 유사한 특징(예를 들어, 기능적으로 유사하고 및/또는 구조적으로 유사한 요소)을 지칭한다.

도 1a 내지도 1d는 그래핀-기반 층 전달 프로세스를 사용하여 반도체 디바이스를 제조하는 방법을 도시한다.

도 2는 도 1a-1d에 도시된 그래핀-기반 기술을 사용하여 디바이스를 제조하는데 사용될 수 있는 물질과, 이러한 물질의 격자 상수 및 격자 불일치를 나타내는 그레프다.

도 3a-3f는 스트레서 층 및 테이프를 사용하는 그래핀-기재 층 제조 및 전달 방법을 도시한다.

도 4a-4b는 그래핀 층과, 그래핀 층 상의 디바이스 층들의 성장에 대한, 그래핀 층 두께 및 하위 기판의 효과를 도시한다.

도 5a-5e는 얇은 그래핀 층을 사용하는 그래핀-기반 층 전달 방법을 도시한다.

도 6a는 SiO_2 기판 상에 배치된 그래핀 상에 성장된 GaN의 고해상도 X-선 회절(HRXRD) 스캔을 도시한다.

도 6b는 SiC 기판 상에 배치된 그래핀 상에 성장된 GaN의 HRXRD 스캔을 도시한다.

도 7a 내지 도 7c는 상이한 두께의 그래핀 층을 사용하는 그래핀-기반 제조 기술의 3 가지 구성을 도시한다.

도 8a 내지 도 8h는 도 7c에 도시된 구성에 대응하는 다공성 그래핀을 이용한 그래핀-기반 층 제조 및 전달 방법을 나타낸다.

또한, 도 9a 및 9b는 각각 손상된 그래핀 상에 성장된 Ge 및 GaAs 에피 층의 주사 전자 현미경(SEM) 이미지다.

도 10a 및 도 10b는 기판으로부터 방출 후, 도 9a 및 도 9b에 도시된 Ge 및 GaAs 에피 층의 SEM 이미지다.

도 11a 내지 도 11h는 그래핀-기반 층 제조 및 전달 기술을 사용하여 발광 다이오드를 제조하는 방법을 도시한다.

도 12a 내지 도 12g는 그래핀-기반 층 제조 및 전달 기술을 사용하여 GaAs 태양 전지를 제조하는 방법을 도시한다.

도 13a 내지 도 13e는 그래핀-기반 층 제조 및 전달 기술을 사용하는 다중-접합 태양 전지의 제조 방법을 도시한다.

도 14a-14c는 그래핀-기반 층 제조 및 전달 기술을 사용하는 트랜지스터 제조 방법을 도시한다.

도 15a-15f는 그래핀-기반 층 제조 및 전달 기술을 사용하는 헤테로-집적 방법을 도시한다.

또한, 도 16a-16f는 그래핀-기반 층 제조 및 전달 기술을 사용하여 III-V 디바이스를 제조하기 위한 플랫폼을 제조하는 방법을 예시한다.

발명을 실시하기 위한 구체적인 내용

[0019] 그래핀-기반 층 성장

전술한 바와 같이, 층-전달 방법은 기판 재사용성, 방출 후 처리에 대한 최소 요구, 빠른 방출 속도, 방출 계면의 정확한 제어, 및 얕은 범위의 디바이스 재료에 대한 보편성을 갖는 것이 바람직할 수 있다. 통상적인 층-전달 공정은 소정의 바람직한 특성을 나타낼 수 있다. 예를 들어, 화학적 또는 광학적 리프트-오프보다 기계적 리프트-오프의 경우 층 방출이 훨씬 빠른 반면, 화학 및 광학 리프트-오프에서는 방출 위치를 더 잘 제어할 수 있다. 그러나, 통상적인 층-전달 방법은 층 방출 후에 거친 표면 형성을 겪어서 기판의 재사용을 제한한다. 실제로, 통상적인 층-전이 방법에서 기판 표면을 보수하기 위한 공정 비용은 통상적으로 기판 비용을 초과하기 때문에, 제조에서의 실제 응용은 어려울 수 있다. 또한 각각의 기준 방법은 일반적으로 제한된 수의 특정 재료(예: III-V 재료의 화학적 리프트-오프, 격자가 GaAs에 가까운 리프트-오프, 투명에서 성장할 수 있는 재료의 광학 리프트-오프 기판)로 작업된다. 따라서 이러한 방법을 보편적으로 사용하는 것도 어렵다.

종래의 층-전달 방법의 단점을 해결하기 위해, 본원에 기재된 시스템 및 방법은 디바이스를 제조하기 위한 그래핀-기반 층 전달(GBLT) 접근법을 사용한다. 이 방법에서, 기능성 디바이스가 그래핀 층 상에 제조되며, 그래핀 층은 기능성 디바이스 층과 격자-매칭된 기판 상에 배치된다. 일 실시예에서, 그래핀 층은 격자-매칭 기판 상에 직접 증착된다. 다른 예에서, 그래핀 층은 다른 기판으로부터 격자-매칭 기판으로 전달된다. 그 다음, 제조된 기능성 디바이스는, 예를 들어, 기능성 디바이스에 부착된 스트레서를 통해, 격자-매칭 기판으로부터 제거될 수 있다.

이 GBLT 접근 방식에서, 그래핀은 디바이스 층을 성장시키기 위한 재사용 가능하고 보편적인 플랫폼으로서의 역할을 하며, 또한 그래핀 표면에서 신속하고, 정밀하며, 반복 가능한 방출을 가능하게 하는 이형층을 제공한다. GBLT는 기존의 방법과 비교할 때 몇 가지 장점이 있다. 첫째, 그래핀은 결정질 막이기 때문에 에피택셜 오버 레이어를 성장시키는 데 적합한 기판이다. 둘째, 다른 재료와의 그래핀의 약한 상호 작용은 에피택셜 성장에 대한

격자 불일치 규칙을 실질적으로 완화할 수 있으며, 잠재적으로 낮은 결함 밀도를 갖는 대부분의 반도체성 박막의 성장을 가능하게 한다. 셋째, 그래핀 기판 상에 성장한 에피 층(예를 들면, 기능성 디바이스)은 그래핀의 약한 반 데르 발스(van der Waals) 상호 작용에 기인하여 기판으로부터 쉽고 정밀하게 방출될 수 있으며, 방출된 표면의 방출 후 재생 조절없이 에피 층의 신속한 기계적 방출을 가능하게 한다. 넷째, 그래핀의 기계적 견고성은 다중 성장/방출 사이클에 대한 재사용성을 극대화할 수 있다.

[0023] GBLT는 현재의 반도체 프로세싱에 사용되는 값 비싼 밀리미터 두께의 단결정 웨이퍼없이 디바이스를 제조할 가능성이 있기 때문에, 일반적인 재료 시스템을 위한 GBLT의 구현은 과학적 및 산업적 모두에 상당한 영향을 미칠 수 있다. 또한, 전체 기능성 디바이스가 추가적인 유연한 기능을 위해 그래핀 층으로부터 전달될 수 있다.

[0024] 도 1a-1d는 플랫폼으로서 그래핀을 사용하여 디바이스 층을 제조하는 방법(100)을 도시한다. 도 1에 도시된 바와 같이, 그래핀 층(120)은 Si 기판, SiC 기판 또는 구리 호일과 같은 제 1 기판(110) 상에 제조된다. 이렇게 제조된 그래핀 층(120)은 그 후 도 1b에 도시된 바와 같이 제 1 기판(110)으로부터 제거된다. 제거된 그래핀 층(120)은 도 1c에 도시된 바와 같이 Ge 기판과 같은 제 2 기판(130) 상에 배치된다. 도 1d는 그 후, 에피 층(140)(예를 들어, 높은 전기 및 광학 디바이스 성능을 갖는 단결정 막)이 그래핀 층(120) 상에 제조됨을 나타낸다. 이 에피 층(140)은 또한 본원에서 디바이스 층 또는 기능성 층으로 지칭된다.

[0025] 그래핀 층(120)은 다양한 방법으로 제 1 기판(110) 상에 제조될 수 있다. 일 예시에서, 그래핀 층(120)은 단결정 배향을 갖는 에피택셜 그래핀을 포함할 수 있고, 기판(110)은 (0001) 4H-SiC 실리콘 표면을 가진 웨이퍼를 포함할 수 있다. 그래핀 층(120)의 제조는 다단계 어닐링 단계를 포함할 수 있다. 제 1 어닐링 단계는 표면 에칭 및 비시널라이제이션(vicinalization)을 위해 H₂ 가스에서 수행될 수 있고, 제 2 어닐링 단계는 고온(예를 들어, 약 1,575 °C)에서 흑연화를 위해 Ar에서 수행될 수 있다.

[0026] 다른 예에서, 그래핀 층(120)은 화학 기상 증착(CVD) 공정을 통해 제 1 기판(110) 상에 성장될 수 있다. 기판(110)은 니켈 기판 또는 구리 기판을 포함할 수 있다. 대안적으로, 기판(110)은 SiO₂, HfO₂, Al₂O₃, Si₃N₄ 및 CVD에 의한 실질적으로 임의의 다른 고온 호환성 평면 재료의 절연 기판을 포함할 수 있다.

[0027] 또 다른 예에서, 제 1 기판(110)은 그래핀 층(120)을 유지할 수 있는 임의의 기판 일 수 있으며, 제조는 기계적 박리 공정을 포함할 수 있다. 이 예에서, 제 1 기판(110)은 그래핀 층(120)을 위한 임시 홀더로서 기능할 수 있다.

[0028] 그래핀 층(120)을 제 1 기판(110)에서 제 2 기판으로 전사시키는 데에도 다양한 방법이 사용될 수 있다. 일 실시예에서, 캐리어 막이 그래핀 층(120)에 부착될 수 있다. 캐리어 막은 폴리(메틸 메타크릴레이트)(PMMA) 또는 열 방출 테이프의 두꺼운 막을 포함할 수 있으며, 부착은 스판-코팅 공정을 통해 실현될 수 있다. 캐리어 막과 그래핀 층(120)의 조합이 제 2 기판(130) 상에 배치된 후에, 캐리어 막은 그래핀 층(120) 상에 에피 층(140)의 추가 제조를 위해 (예를 들어, 아세톤에) 용해될 수 있다.

[0029] 다른 예에서, 예컨대, 폴리디메틸실록산(PDMS)과 같은 탄성 중합체 재료를 포함하는 스템프 층이 그래핀 층(120)에 부착될 수 있고, 제 1 기판이 에칭되어, 스템프 층 및 그래핀 층(120)의 조합을 남길 수 있다. 스템프 층 및 그래핀 층(120)이 제 2 기판(130) 상에 배치된 후에, 스템프 층은 기계적 분리에 의해 제거되어, 추가 처리를 위해 그래핀 층(120)의 깨끗한 표면을 생성할 수 있다.

[0030] 또 다른 예에서, 자기-방출 전달 방법을 이용하여 그래핀 층(120)을 제 2 기판(130)으로 전달할 수 있다. 이 방법에서, 자기-이형층은 우선 그래핀 층(120) 위에 스핀-캐스팅(spun-cast)된다. 탄성중합체 스템프가 그 후 자기-이형층과 등각 접촉 상태로 놓인다. 제 1 기판(110)은 항상 에칭되어, 스템프 층, 자기 박리 층 및 그래핀 층의 조합을 남기게 된다. 이러한 조합이 제 2 기판(130) 상에 배치된 후에, 스템프 층은 기계적으로 제거될 수 있고 자기 이형층은 적당한 용매 중에서 온화한 조건하에 용해될 수 있다. 이러한 이형층은, 폴리스티렌(PS), 폴리(이소부틸렌)(PIB) 테플론 AF(폴리[4,5-디플루오로-2,2-비스(트리플루오로메틸)-1,3-디옥솔-코-테트라플루오로에틸렌])를 포함할 수 있다.

[0031] 에피 층(140)은 다른 것들 중에서도, III-V 반도체, Si, Ge, III-N 반도체, SiC, SiGe 및 II-VI 반도체를 포함할 수 있다. 일 실시예에서, 제 2 기판(130)의 격자는 에피 층(140)에 매칭되며, 이 경우 제 2 기판(130)은 그래핀 층(120)이 충분히 다공성이거나 얇은 경우에(가령, 그래핀 층(120)의 일 층 두께인 경우) 에피 층(140)의 성장을 위한 시드로 기능한다. 제 2 기판(130)과 에피 층(140) 사이에 그래핀 층(120)을 샌드위치하는 것은 에피 층(140)의 신속하고 손상없는 방출 및 전달을 용이하게 할 수 있다.

- [0032] 다른 예에서, 그래핀 층(120)이 에피 층(140)을 성장시키기 위한 시드로 기능할 만큼 충분한 두께 일 수 있고(예를 들면, 여러 층의 두께), 이 경우 에피 층(140)은 그래핀 층(120)에 격자-매칭될 수 있다. 본 예는 제 2 기판(130)의 반복 사용을 또한 가능하게 한다. 또 다른 예에서, 그래핀 층(120)과 함께 제 2 기판(130)은 에피 층(140)을 성장시키는 시드로서 기능할 수 있다.
- [0033] 에피 층(140)을 제조하기 위한 시드로서 그래핀을 사용하는 것은 또한 에피 층 재료와 그래핀 사이의 격자 상수의 불일치에 대한 허용공차(내성)를 증가시킬 수 있다.
- [0034] 임의의 특정 이론 또는 작동 모드에 구애 됨이 없이, 2 차원(2D) 재료(예: 그래핀) 또는 준-2D 층 결정의 표면은 통상 땡글링(dangling) 본드가 없으며 약한 반 데르 벌스(van der Waals)와 같은 힘을 통해 위의 물질과 상호작용한다. 약한 상호 작용 때문에, 에피 층은 소량의 결함을 가진 계면을 형성하는 자체 격자 상수로 시작으로부터 성장할 수 있다. 이러한 종류의 성장은 Van Der Waals Epitaxy(VDWE)라고 할 수 있다. 격자-매칭 조건은 VDWE에 대해 대폭 완화될 수 있어 고도로 격자가 일치하지 않는 시스템에서도 다양한 종류의 상이한 혜택으로 구조를 가능하게 한다.
- [0035] 실제로, 격자 부정합은 약 0 % 내지 약 70 % 사이일 수 있다(예를 들어, 약 0 %, 약 10 %, 약 20 %, 약 30 %, 약 40 %, 약 50 %, 약 60 % 및 약 70 %, 그리고 그 사이의 모든 값과 하위 범위 포함).
- [0036] *일 예시에서, 에피 층(140)은 2D 재료 시스템을 포함한다. 다른 예에서, 에피 층(140)은 3D 재료 시스템을 포함한다. 2D 및 3D 재료 시스템을 모두 제조할 수 있는 유연성은 당 업계에 공지된 폭넓은 범위의 광, 광 전자 및 광자 디바이스를 제조할 수 있게 한다.
- [0037] 도 2는 에피 층(140)을 형성하기 위해 그래핀 층(120) 상에 증착될 수 있는 물질을 도시하는 그림이다. 도 2는 또한 이를 물질의 격자 상수 및 그래핀에 대한 이를 격자 상수의 불일치를 보여준다. 이를 재료는 SiC, AlN, GaN, InN, GaP, AlP, 실리콘, AlAs, Ge, GaAs 및 InP를 포함한다. 도 2에 열거된 이를 물질은, 단지 예시적인 목적을 위한 것이다. 실제로, 그래핀에 대해 유사한 격자 불일치를 갖는 다른 물질이 또한 에피 층(140)을 형성하는데 사용될 수 있다.
- [0038] 에피 층(140)의 제조는 당 업계에 공지된 반도체 제조 기술을 사용하여 수행될 수 있다. 예를 들어, 저압 금속-유기 화학 기상 증착(MOCVD)은 그래핀 층(120) 상에 에피 층(140)(예를 들어, GaN 막)을 성장시키는데 사용될 수 있으며, 이어서 그래핀 층이 제 2 기판(130) 상에 배치된다(가령, SiC 기판). 이 예에서, 그래핀 층(120) 및 제 2 기판(130)은 표면을 세정하기 위해 (예를 들어, > 1100 °C에서 > 15 분 동안 H₂ 하에서) 베이킹될 수 있다. 이어서, GaN을 포함하는 에피 층(140)의 증착이 예를 들어 200 mbar에서 수행될 수 있다. Ga 소스, 질소 소스 및 캐리어 가스로서 각각 트리메틸갈륨, 암모니아 및 수소를 사용할 수 있다. 변형된 2 단계 성장을 사용하여, 에피택셜 그래핀(120) 상에 평평한 GaN 에피택셜 막을 얻을 수 있다. 제 1 단계는 1100 °C의 성장 온도에서 몇 분 동안 수행될 수 있으며, 테라스 에지에서의 유도된 핵 생성이 촉진될 수 있다. 제 2 성장 단계는 1250 °C의 고온에서 수행되어 측면 성장(lateral growth)을 촉진한다. 이 경우의 수직 형 GaN 성장 속도가 분당 약 20 nm 일 수 있다.
- [0039] **그래핀-기반 층 전달**
- [0040] 도 3a-3f는 그래핀-기재 층 전달 방법(300)을 예시한다. 무화파. 도 3a는 단결정 웨이퍼 일 수 있는 도너 웨이퍼(310) 상에 그래핀 층(320)이 형성되거나 배치되는 것을 도시한다. 예를 들어, 그래핀 층(320)은 당 업계에 공지된 바와 같이 도너 웨이퍼(310) 상에 성장된 에피택셜 그래핀을 포함할 수 있다. 대안적으로, 그래핀 층(320)은 박리되어 다른 웨이퍼(도시되지 않음)로부터 도너 웨이퍼(310)로 전사될 수 있다. 또 다른 예에서, 도 1a-1d를 참조하여 상술한 임의의 그래핀 전달 기술은, 여기서, 도너 웨이퍼(320) 상에 배치된 그래핀 층(320)을 제조하는데 사용될 수 있다.
- [0041] 도 3b는 에피 층(330)이 그래핀 층(320) 상에 에피택셜 성장되는 것을 도시한다. 에피 층(330)은 전자 층, 광자 층, 또는 임의의 다른 가능성 디바이스 층을 포함할 수 있다. 에피 층(330)을 제조하는 방법은 도 1a-1d와 관련하여 전술한 임의의 방법 및 기술을 포함할 수 있다.
- [0042] 도 3c는 스트래서(340)가 에피 층(330) 상에 배치되는 것을 도시한다. 예를 들어, 스트래서(330)는 Ni 막과 같은 고-응력 금속 막을 포함할 수 있다. 이 예에서 Ni 스트래서는 1×10^{-5} Torr의 진공도에서 증발기(evaporator)에 증착될 수 있다.

- [0043] 도 3d는 테이프 층(350)이 스트레서(340)를 처리하기 위해 스트레서(340) 상에 배치된 것을 도시한다. 테이프(350) 및 스트레서(340)를 사용하면, 에피 층(330)과 그래핀 층(320) 사이의 계면에 고-응력변형 에너지를 가함으로써 고속 방출 속도로 그래핀 층(320)으로부터 에피 층(330)을 기계적으로 박리시킬 수 있다. 방출 속도는 에피 층(330)과 같은 다른 물질 사이의 약한 반데르 발스 결합으로 인해, 고속일 수 있다.
- [0044] 도 3e에서, 방출된 에피 층(330)은 스트레서(340) 및 테이프 층(350)과 함께 호스트 웨이퍼(360) 상에 배치된다. 도 3f에 도시된 바와 같이, 테이프(340) 및 스트레서(340)는 제거되어, 더 정교한 디바이스를 형성하거나 추가 물질을 에피 층(330) 상에 증착하는 것과 같은 추가 처리를 위해 에피 층(330)을 남긴다. 한 예에서, 테이프 층(350) 및 스트레서(340)가 FeCl_3 기반 용액에 의해 에칭될 수 있다.
- [0045] 방법(300)에서, 도 3d에 도시된 에피 층(330)의 방출 후, 잔여 도너 웨이퍼(310) 및 그래핀 층(320)은 에피 층 제작의 다음 사이클 동안 재사용될 수 있다. 대안으로, 그래핀 층(320)이 또한 방출될 수 있다. 이 경우에, 새로운 그래핀 층은 다음 에피 층 제조 주기 전에 도너 웨이퍼(310) 상에 배치될 수 있다. 어느 경우에나, 그래핀 층(320)은 도너 웨이퍼(310)를 손상으로부터 보호하여 다중 사용을 허용하고 비용을 감소시킨다.
- [0046] 대조적으로, 통상적인 공정은 일반적으로 웨이퍼 표면을 재구성하기 위해 방출된 후 화학 기계적 평탄화(CMP)를 포함한다. CMP는 비교적 두꺼운 재료를 소비할 수 있으며 CMP를 반복하면 웨이퍼가 파손될 가능성이 높아진다. GBLT는 원자 적으로 매끄러운 방출 표면을 만들기 때문에 재사용성을 높이거나 최대화할 수 있다. GBLT에서, 그래핀의 약한 반데르 발스 힘(van der Waals force)이 인접 물질에 대한 강한 결합을 허용하지 않기 때문에, 층 방출이 에피 층(330)과 그래핀 층(320) 사이의 계면에서 정밀하게 발생할 수 있다. 이는 그래핀 층(320)이 기계적 견고성으로 인하여 연마 단계를 필요로 하지 않고 그래핀 손상없이 다수의 성장/박리 사이클 동안 그래핀 층(320)을 재사용될 수 있게 한다. 또한 GBLT는 빠른 방출 속도와 다양한 재료에 대한 보편적인 적용을 보장할 수 있다. 에피 층(330)이 약한 그래핀 표면으로부터 기계적으로 방출되기 때문에, GBLT에서의 층 방출 속도가 높을 수 있다. 종래의 층 전달 방법은 특정 물질에 국한되는 반면에, VDWE는 극도로 높은 격자 부정합을 극복할 수 있고 대부분의 반도체 막이 그래핀 상에서 에피택셜 성장될 수 있기 때문에 GBLT가 보편적으로 적용될 수 있다.
- [0047] 또한, 도 3d에 도시된 바와 같이 방출 후 고도로 변형된 자립형 에피 층(330)을 가짐으로써, 에피 층(330)으로 만들어진 디바이스는 보다 높은 전자 또는 정공 이동성을 가질 수 있다. 에피 층(330)으로 제조된 광전자 디바이스는 또한 항상된 광학 응답을 가질 수 있다.
- [0048] 그래핀 층(320)으로부터의 에피 층(330)의 기계적 방출을 위해, 스트레서(340)의 재료가 손상없는 박리/전달을 촉진시키기 위해 충분한 변형 에너지를 에피 층/그래핀 계면에 제공하는 것이 바람직할 수 있다. 기계적 방출 공정에 대한 하나의 관심은 박리 중 에피 층(330)의 휨과, 스트레서(340) 중착 중 자체-박리일 수 있다. 박리 중 곡률 반경이 감소하면 변형 에너지가 에피 층(330) 내에서 증가할 수 있다. 변형 에너지가 임계점에 도달하면 균열이 생길 수 있다. 또한, 스트레서의 변형 에너지가 에피 층/그래핀 계면 에너지를 초과하면, 에피 층(330)은 스트레서 중착 중 박리될 수 있다. 이 문제를 해결하기 위해, 그래핀 상의 박막의 전달이 피드백 루프 제어에 의해 수행될 수 있다.
- [0049] **에피 층에 대한 기판 장의 영향**
- [0050] 도 1a-1d 및 도 3a-3f에 도시되는 방법에서, 디바이스 층들이 그래핀 층 상에 제조된다. 일반적으로 그래핀은 1 원자 두께 정도(예: 3 Å 정도)이므로 그래핀 바로 아래에 공유 결합된 기판 표면은 예를 들어 디바이스 층의 결정 방향을 변경함으로써, 디바이스 층의 에피택셜 성장에 영향을 줄 수 있다. 따라서, 예를 들어, 디바이스 층 상의 결합 밀도를 감소시키도록, 그리고, 디바이스 층의 결정질 배향과 같은 성질을 제어하기 위해, 디바이스 층의 성장에 대한 하위 기판의 영향을 이해하는 것이 유익할 수 있다.
- [0051] 도 4a-4b는 디바이스 층의 성장에 대한 하부 기판의 효과를 예시하기 위해 그래핀-기반 제조 시스템의 개략도를 도시한다. 도 4a는 기판(411) 및 기판(411) 상에 배치된 그래핀 층(421)을 포함하는 시스템(401)을 도시한다. 디바이스 층(431)은 그래핀 층(421) 상에 제조된다. 기판(411)은 도 4a에 화살표로 표시된 전위 장(441)(예를 들어, van De Waals 힘 또는 원자 또는 분자력)을 나타낸다. 이 경우, 그래핀 층(421)은 단층의 그래핀 층(즉, 그래핀 층(421)이 1 원자 두께)을 포함하고, 전위 장(441)은 그래핀 층(421)을 넘어서서 디바이스 층(431)과 상호 작용할 수 있다. 그 결과, 기판(411)의 물질 특성(결정질 배향과 같은)에 의존하는 전위 장(441)이 디바이스 층(431)의 성장에 영향을 미칠 수 있다. 동시에, 그래핀 층(421)은 자체 전위 장(도 4a에 도시되지 않음)을 가져서, 디바이스 층(431)의 성장에 유사하게 영향을 미칠 수 있다. 그 결과, 디바이스 층(431)이 (100) 및 (111) 배향과 같은 2 개의 상이한 배향을 갖는 막(431a 및 431b)을 포함할 수 있다. 대안으로, 기판 힘은 그래핀 장을

극복하기에 충분히 강할 수 있으며, 이 경우 기판과 유사한 단결정 막이 성장할 수 있다.

[0052] 도 4b는 기판(412) 및 기판(412) 상에 배치된 그래핀 층(422)을 포함하는 시스템(402)을 나타낸다. 디바이스 층(432)은 그래핀 층(422) 상에 제조된다. 기판(412)은 도 4b에 화살표로 표시되는 전위 장(442)을 가진다. 도 4a의 그래핀 층(421)에 반해, 도 4b의 그래핀 층(422)은 단층 그래핀의 다수 스택을 포함한다(즉, 그래핀 층(422)의 두께가 하나보다 많음). 따라서, 전위 장(442)은 그래핀 층(422)과만 상호작용할 수 있고, 디바이스 층(432)에 도달하지 않을 수 있다. 다시 말해서, 디바이스 층(432)의 VDWE는 기판(412)의 전위 장(442) 외부에서 발생한다. 이 경우에, 그래핀 층(422)의 전위 장은 디바이스 층(432)의 성장에 영향을 미친다.

[0053] 도 4a-4b는 디바이스 층(예를 들어, 431 및 432)의 성장에 대한 기판(예를 들어, 411 및 412)의 효과가 그들 사이의 거리에 의존한다는 것을 나타낸다. 즉, 기판과 디바이스 층 사이에 샌드위치된 그래핀 층(예컨대, 421 및 422)의 두께가 상호 작용 강도를 결정한다. 임계 거리 후에, 하부 기판은 디바이스 층의 에피택셜 성장에 영향을 미치지 않을 수 있다. 이 임계 거리는 그래핀 두께의 함수로서 에피 층의 결정 방위를 모니터링하기 위해 고분해능 X 선 회절(HRXRD)을 사용하여 검증될 수 있다. 왜냐하면 에피 층이 임계 거리 이상으로 그래핀 격자를 깊을 수 있기 때문이다.

[0054] 도 5a-5e는 얇은 그래핀 층을 사용하는 그래핀-기반 층 전달 방법(500)을 도시한다. 도 5a에서, 도너 웨이퍼(510a)가 그래핀 층(520)(도 5b에 도시됨)을 성장시키기 위해 제공된다. 도 5b는 III-N 반도체, II-IV 반도체, III-V 반도체 및 IV 반도체를 포함할 수 있는 제 2 웨이퍼(510b)로 그래핀 층(520)이 전달되는 것을 도시한다.

[0055] 도 5c에서, 막(530)이 그래핀 층(520) 위에 에피택셜 성장된다. 이 경우에 그래핀 층(520)이 충분히 얇기 때문에, 막(530)의 성장은 그래핀 층(520) 아래의 제 2 웨이퍼(510b)에 의해 시정된다. 도 5d에 도시된 바와 같이, 스트레서(540)가 후속 층 전달을 용이하게 하기 위해 막(530) 상에 중착된다. 스트레서(540)는 니켈과 같은 고응력 금속 재료를 포함할 수 있다. 도 5e에 도시된 바와 같이, 테이프 층(550)은 스트레서(540) 상에 배치되어, 그래핀 층(520) 및 제 2 웨이퍼(510b)로부터 막(530)을 방출하도록 스트레서(540)를 처리한다. 방법(500)에서, 그래핀 층(520)은 충분히 얇고, 기판 시정 효과가 강하면서도 그래핀 시정 효과가 사라질 수 있다. 이러한 방식으로, 방법(500)을 통해 임의의 방출가능 막을 제조할 수 있다.

[0056] 도 6a-6b는 상이한 하부 기판을 사용하여 그래핀 층에 성장된 에피 층의 결정학적 배향의 변화를 도시한다. 도 6a는 그래핀/SiO₂(SiO₂ 기판상의 그래핀)에서 GaN의 HRXRD에서 ω -2 Θ 스캔을 보여준다. 도 6b는 그래핀/SiC(SiC 기판상의 그래핀)에 대한 GaN의 ω -2 Θ 스캔을 도시한다.

[0057] *에피택셜 그래핀(epitaxial graphene)과 SiC 기판 사이의 에피택셜 관계를 제거하기 위해, 도 6a에 사용되는 에피택셜 그래핀은 SiC로부터 박리된 후 비정질 SiO₂로 코팅된 Si 기판으로 전달될 수 있다. 그러면 GaN은 기판 위에서 성장할 수 있다. HRXRD ω -2 Θ 스캔은 SiO₂ 상부의 에피택셜 그래핀 층에 성장된 GaN 막이 (0002)-텍스처 다결정질인 반면, SiC 상부에서 에피택셜 그래핀 층에 성장된 GaN 막은 단일 (0002) 배향을 가짐을 보여 주었다(도 6a 및 6b 참조). 이것은 그래핀 층 바로 아래의 기판이 에피택셜 배향을 결정하는 데 중요한 역할을 한다는 것을 의미한다. 따라서, 기판의 재료(또는 결정질 배향)는 디바이스 층의 에피택셜 배향을 제어하는데 사용될 수 있다.

그래핀-기반 층 제조 및 전달에서 씨딩 위치의 제어

[0058] 그래핀-기반 층 제조 및 전달의 실제적인 응용에서, 에피택셜 등록은 그래핀 층에 고품질 단결정 막을 얻기 위해 그래핀 또는 기판 중 어느 하나에 조율할 수 있는 것이 유리할 수 있다. 시정 위치의 이러한 제어로, 그래핀 층의 직접 에피택시 또는 원격 에피택시가 실현될 수 있다. 그래핀의 직접 에피 택시에서, 그래핀은 시드 역할만이 아니라 이형층의 역할까지 한다. 기판으로부터 시정된 원격 에피 택시에서, 그래핀은 단지 이형층이 되고 기판은 시드로서 작용한다.

[0059] 도 7a-7c는 상이한 두께의 그래핀 층을 사용하는 3 가지 상이한 유형의 그래핀-기반 층 제조 시스템의 개략도를 도시한다. 응용 프로그램에서 사용자는 디바이스 층과 하부 기판 사이의 원하는 상호 작용 강도에 따라 또는 대안으로서 디바이스 층과 그래핀 간의 원하는 상호 작용 강도에 따라, 이러한 시스템 중 하나를 사용하도록 선택할 수 있다. 이 세 가지 옵션은 상이한 제조 작업을 수용할 수 있는 폭넓은 유연성을 제공한다.

[0060] 도 7a는 기판(711) 및 기판(711) 상에 성장된 그래핀 층(721)을 포함하는 시스템(701)(유형 I 시스템으로도 지칭 됨)을 도시한다. 다음으로, 에피 층(731)이 그래핀 층(721) 상에 성장된다. 유형 I 시스템(701)에서, 그래핀 층(721) 및 기판(711)은 도 7a의 화살표로 표시된 바와 같이 에피 층(731)과 상호 작용한다.

- [0062] 일 실시예에서, 에피택셜 그래핀(721)(예를 들어, 단층 그래핀)은 유형 I 시스템에서 사용하기 위해 SiC 기판 상에 성장될 수 있다. 이 예에서, 그래핀과 SiC의 결정학적 배향이 정렬되기 때문에, 둘 다 <0001> 우르자이트 구조에 대해 헥사고놀(hexagonal)(육각형) 시드를 제공할 수 있다. 이 기판은 III-N 반도체와 그래핀 사이의 격자 부정합이 작기 때문에 단결정 우르자이트(Wurtzite) III-N(또는 SiC) 막 성장에 사용될 수 있다. 이 에피택셜 그래핀/SiC 기판은 그래핀 및 SiC 모두가 (111) 배향의 시드가 되기 때문에 (111) 큐빅 III-V, Si 및 Ge 막을 성장시키는 데에도 사용될 수 있다.
- [0063] 다른 예에서, 기판(711)은 게르마늄(Ge)을 포함하여 그래핀 층(721)을 에피택셜 성장시킨다. Ge와 다른 큐빅 물질 사이의 격자 불일치는 일반적으로 SiC와 큐빅 물질 사이의 격자 불일치보다 작다. 이 예에서, 그래핀 층(721)은 MOCVD 기술을 통해 Ge 기판(711) 상에 성장될 수 있다. 또 다른 예에서, 그래핀은 GaAs, InP 및 GaN과 같은 다른 반도체 웨이퍼상에서 직접 성장될 수 있다.
- [0064] 도 7b는 기판(712) 및 기판(712) 상에 성장된 그래핀 층(722)을 포함하는 시스템(702)(유형 II 시스템으로도 지칭 됨)을 도시한다. 다음으로, 에피 층(732)이 그래핀 층(722) 상에 성장된다. 유형 II 시스템(702)에서, 그래핀 층(722)의 두께는 기판(712)과 에피 층(732) 사이의 상호작용의 임계 거리보다 크거나 실질적으로 동일하다. 따라서, 에피 층(732)은 순수한 VDWE를 제공하는 에피택셜 그래핀(722)과만 상호 작용한다. 이 유형 II 시스템은 그래핀과의 격자 부정합이 실질적으로 높지 않기 때문에 III-N 반도체 막 또는 SiC 단결정 막을 성장시키는데 적합할 수 있다. 구리 호일은 큰 크기(예를 들어, 8 "이상, 12"이상, 또는 그 이상)의 다결정질 그래핀을 제조하는데 사용될 수 있다.
- [0065] 도 7c는 기판(713) 및 기판(713) 상에 성장된 그래핀 층(723)을 포함하는 시스템(703)(유형 III 시스템으로도 지칭 됨)을 도시한다. 다음에 에피 층(733)이 그래핀 층(723) 상에 성장된다. 유형 III 시스템(703)에서, 층(723)은 단지 이형층으로서 작용하고 에피택셜 성장은 기판(713)으로부터만 시드된다. 에피 층(733)과 동일하거나 유사한 격자를 갖는 기판 물질이 사용될 수 있다. 그래핀 층(723)은 에피 층(733)의 결정 배향을 결정하는데 관여하지 않는다. 따라서, 그래핀 층(723)은 단결정 그래핀 또는 다결정 그래핀을 포함할 수 있다.
- [0066] 유형 III 시스템은 기판에 대한 에피 층(733)의 레지스트레이션을 할당한다. 이 구성의 한 가지 장점은 호모에피택시와 마찬가지로 격자 일치 기판에서 고품질 에피 층을 성장시킬 수 있으며 그래핀 표면으로부터 에피 층이 방출될 수 있다는 것이다. 이것을 달성하기 위해, 성장 동안 그래핀 층(723)이 에피 층(733)에 실질적으로 투명하게 되는 것이 바람직할 수 있다. 이는 이온을 통해 그래핀을 비정질화 또는 손상시킴으로써(예를 들어, 건식 에칭을 통해) 달성될 수 있다. 그래핀 층(723)의 손상은 그래핀 층(723)이 에피 층(733)의 결정 방위를 안내하지 않도록 그래핀 층(723)을 통해 에피 층(733)과 기판(713)의 직접 상호 작용을 허용할 수 있다.
- [0067] 일 예시에서, 기판은 III-V 기판, III-N 기판, II-V 기판 및/또는 이온 결합 기판(예를 들어, 산화물, 페로브스 카이트)과 같은 극성을 가지며, 깨끗한 그래핀(pristine graphene)은 웨이퍼 상으로 전사될 수 있으며, 에피 층은 웨이퍼와 동일한 결정화도를 가질 수 있고, 성장된 막은 즉시 박리될 준비가 될 수 있다. 다른 예에서, 기판은 극성을 갖지 않을 수 있으며(예를 들어, 그룹 IV), 손상된 그래핀은 기판/에피 층 상호 작용을 촉진시키는데 도움을 줄 수 있다.
- [0068] 도 8a-8h는 이후에 다공성 그래핀으로 지칭되는, 주기적인 홀을 갖는 그래핀을 사용하는 그래핀-기반 층 제조 및 전달 방법(800)을 도시한다. 상기 방법(800)은 유형 III 시스템으로 구현될 수 있고, 여기서 상기 그래핀은 이형층으로서 기능하고 상기 기판은 하나 이상의 기능 층들의 에피택셜 성장을 시드(seed)한다.
- [0069] 도 8a에 도시된 바와 같이, 그래핀 층(820)이 기판(810) 상에 배치된다. 그래핀 층(820)은 예를 들어 화학 기상 증착을 통해 기판(810) 상에 성장될 수 있다. 또는, 그래핀 층(820)은 기판(810)으로 전달될 수 있다. 그 다음, 다공성 막(830)(예를 들어, 산화물, 질화물 또는 포토레지스트 막)이 도 8b에 도시되는 바와 같이 그래핀 층(820) 상에 배치된다. 다공성 막(830)은 고밀도의 펀홀(예를 들어, 1 제곱마이크론 당 약 1 개의 구멍)을 갖는다. 다르게는, 다공성 막(830)은 도 8c-8h에 도시된 후속 처리를 가능하게 하는 구멍이 있는 임의의 막을 포함할 수 있다.
- [0070] 도 8c에 도시된 바와 같이, Ar 플라즈마 또는 O₂ 플라즈마를 이용한 건식 에칭이 수행되어 다공성 막(830) 내의 펀홀을 개방한다. 이 에칭은 다공성 막(830) 내에 다수의 구멍(835)을 생성하여 에칭 플라즈마 내의 이온이 다공성 막(830)을 통과하여 그래핀 층(820)에 도달할 수 있게 한다. 에칭 플라즈마는 다공성 막(830) 내의 펀홀(835) 바로 아래에 있는 그래핀 층(820)의 일부분을 에칭한다. 에칭 플라즈마 내의 이온은 그래핀 층(820)에 복수의 구멍(825)을 생성함으로써 그래핀 층(820)을 손상시킬 수 있고, 이에 따라 이제 다공질 그래핀 층(820)이

된다. 일 실시예에서, 다공성 막(830)의 에칭 및 그레핀 층(820)의 에칭은 동일한 에칭 플라즈마로 달성될 수 있다. 다른 예에서, 다공성 막(830)의 에칭 및 그레핀 층(820)의 에칭은 상이한 에칭 플라즈마로 달성될 수 있다.

[0071] 도 8e에 도시된 바와 같이, 다공성 막(830)은 제거되어, 현재 다공성 인 그레핀 층(820)을 추가 처리에 노출시킨다. 일 예시에서, 다공성 막(830)은 포토 레지스트 물질을 포함하고 아세톤에 의해 제거될 수 있다. 다른 예에서, 다공성 막(830)은 산화물 또는 질화물을 포함하고 불화 수소(HF)에 의해 제거될 수 있다. 도 8e는 다공성 그레핀 층(820) 상에 에피 층(840)이 성장한 것을 또한 도시한다. 성장은 구멍(825)이 생성된 영역으로부터 시작한다. 구멍(825)은 기판(810)과 에피 층(840)의 방향 상호 작용을 허용하여, 기판(810)이 에피 층(840)의 결정 배향을 안내하게 한다. 그 다음에 에피 층(840)의 성장은 전체 그레핀 층(820)을 덮도록 연장되어, 평면형 에피 층(840)을 형성한다.

[0072] 또한, 도 8g에 도시된 바와 같이, 형성된 에피 층(840)은 그레핀 층(820) 및 기판(810)으로부터 방출된다. 방출된 에피 층(840)은 기능성 디바이스 형성과 같은 추가 처리를 위해, 도 8h에 도시된 바와 같이 타겟 기판(850)에 전달된다. 도 8g에 도시된 에피 층(840)의 방출 후에, 그레핀 층(820) 및 기판(810)은 그 후 다른 에피 층을 제조하기 위해 재사용되고, 사이클은 여러 번 반복될 수 있다.

[0073] 도 9a-9b는 각각 손상된 그레핀 상에 성장된 Ge 및 GaAs 막의 주사 전자 현미경(SEM) 이미지이다. 그레핀상의 핵 형성이 제한적이고 성장 전면의 불완전한 충돌로 인해 피트가 표면에 나타나기는 하지만, 기판으로부터 완전히 시드된 평면(100) 결정이 관찰된다.

[0074] 도 10a 및 도 10b는 Ni 스트레서를 이용하여 박리된 후, 각각 도 9a 및 9b에 도시된 Ge 및 GaAs 막의 SEM 이미지이다. 매끄러운 박리 표면은 그레핀으로부터의 정밀한 층 방출을 의미하며, 이것은 습식 전달 중에 그레핀과 같은 주름의 흔적을 관찰함으로써 확인된다.

[0075] 도 8a-8h에 도시된 바와 같은, 그리고, 도 9a-9b 및 도 10a-10b에서 실험적으로 조사된, 이 다공성 그레핀 접근법은, 여러 다른 재료 시스템에 적용될 수 있다. 일례로, InP 막은 InP 웨이퍼 상에 배치된 손상된 그레핀 상에 제조될 수 있다. 또 다른 예시에서, Si 막은 Si 웨이퍼 상에 배치된 손상된 그레핀 상에 성장될 수 있다. 또 다른 예시에서, GaN 막은 GaN 웨이퍼 상에 배치된 손상된 그레핀 상에 성장될 수 있다. 에피 층의 에피택셜 등록은 기판 상에 그레핀을 통한 성공적인 에피택셜 성장을 보장하기 위해 기판에 맞추어 질 수 있다.

기능성 플렉시블 디바이스의 제조 및 혼테로-통합

[0076] 그레핀-기반의 층 제조 및 전달 기술은 그레핀 위에 성장한 에피 층을 기반으로 다양한 기능성 디바이스를 제조하는 데 사용할 수 있다. 일 예시에서, III-N 고 전자 이동도 트랜지스터(HEMT)는 III-N 에피 층으로부터 제조될 수 있다. 그런 다음 트랜지스터는 열 발산을 위해 다결정 다이아몬드 기판으로 전달될 수 있다. GaN 파워 디바이스는 또한 이러한 막들로 구성될 수 있다. 다른 예에서, 가요성 GaAs 태양 전지는 III-V 에피 층으로부터 제조될 수 있다. Si 접적 회로와 통합된 광전자 디바이스는 III-V 에피 층에서도 만들 수 있다. 또 다른 예에서, Ge-기반 LED 및 광 검출기는 그레핀 상에 IV 에피 층을 성장시키고, 이를 박리한 후, 자립 Ge를 인장-응력받은 Ge로 스트레칭하고, 그 후 이를 Si 접적 회로로 전달함으로써 제조될 수 있다. 또 다른 예에서, Ge는 12 "Si 웨이퍼에서 성장한 다음 단결정 그레핀을 성장시키는 시드로 사용할 수 있다. 그런 다음 III-V 광전자 재료는 전위없이 Ge/Si 웨이퍼상의 그레핀 위에 성장할 수 있다.

[0077] 도 11a-11h는 전술한 그레핀-기반 층 전달 기술을 사용하여 발광 다이오드(LED)를 제조하는 방법(1100)을 예시한다. 도 11a에서, 기판(1110)(예를 들어, 6" SiC 기판) 상에 그레핀 층(1120)이 성장된다. 그 후, 그레핀 층(1120)은 도 11b에 도시된 바와 같이 기판(1110)으로부터 빙출되고, 도 11c에 도시된 바와 같이, 타겟 기판(1130)으로 전달된다. 타겟 기판(1130)은 예를 들어 도 11a에서 사용된 SiC 웨이퍼보다 저렴할 수 있다.

[0078] 도 11d에서, LED 스택(1140)(가령, 가시 LED 스택)이 그레핀 층(1120) 상에 제조된다. 본 예에서, LED 스택(1140)은 p-GaN 및 n-GaN 층 사이에 개재된 3주기의 III-나이트라이드 다중-양자 우물(InGaN 우물 및 GaN 장벽)을 포함한다. 당 업자가 쉽게 알 수 있는 바와 같이, 다른 유형의 LED 스택이 또한 그레핀 층(1120) 상에 성장될 수 있다.

[0079] 제조된 LED 스택(1140)은 적어도 두 가지 방식으로 처리될 수 있다. 한 가지 방법으로, 도 11e에 도시된 바와 같이, 전극(1150)은 LED 스택(1140) 상에 증착되어 전기적 접촉을 형성할 수 있다. 예를 들어, 얇은 Ni/Au(5nm/5nm)는 LED 스택(1140) 상에 증착될 수 있고, 이어서 500°C에서 10분 동안 어닐링될 수 있다. 이는

기판(1130)을 포함하는 LED를 산출한다.

[0081] 대안으로, 도 11f에 도시되는 바와 같이, 기판(1130)으로부터 LED 스택(1140)이 제거될 수 있다. 기판(1130)으로부터 LED 스택(1140)을 제거하기 위해, 스트레서 층(1160)이 LED 스택(1140) 상에 배치되어 LED 스택(1140)을 타겟 기판(1130) 및 그레핀(1120)으로부터 방출시킨다. 그 다음에, 스트레서 층(1160)과 LED 스택(1140)의 조합을 뒤집어서 도 11g에 도시된 바와 같이 제 2 타겟 기판(1135) 상에 배치한다. 스트레서 층(1160)은 제 2 타겟 기판(1135)과 접촉하고 LED 스택(1140)은 추가 처리를 위해 노출된다. 예를 들어, 도 11g는 LED 메사(1145)가 LED 스택(1140)으로부터 에칭되는 것을 도시한다. 도 11f에 도시된 바와 같이, 추가적인 전기 접점(1170)은 LED 메사(1145) 및 스트레서 층(1160)과 통합된다.

[0082] 일 예시에서, 그레핀 층(1120)은 LED 스택(1140)의 성장을 시드할 수 있고 타겟 기판(1130)은 LED 스택(1140)의 성장에 어떠한 영향도 미치지 않을 수 있다. 다른 예에서, 유형 III 시드(가령, 도 7c 참조)를 사용할 수 있다. 이 경우에, 그레핀 층(1120)은 얇을 수 있고 타겟 기판(1130)은 LED 스택(1140)의 성장을 시드할 수 있다. 타겟 기판(1130)은 GaN 기판을 포함할 수 있다.

[0083] 도 12a-12g는 그레핀-기반 층 전달 기술을 사용하여 GaAs 태양 전지를 제조하는 방법(1200)을 도시한다. 도 12a를 참조하면, 기판(1210)(예를 들어, 6" SiC 웨이퍼) 상에 그레핀 층(1220)(예를 들어, 단결정 그레핀 층)이 제조된다. 그 후, 그레핀 층(1220)은 도 12b에 도시된 바와 같이 타겟 기판(1230)으로 전달된다. 도 12c는 GaAs 태양 전지(1240)가 예를 들어 당 업계에 공지된 에피택셜 성장 기술을 통해 그레핀 층(1220) 상에 제조됨을 도시한다. 도 12d는 이후의 디바이스 전달을 용이하게 하기 위해 스트레스서층(1250)이 태양 전지(1240) 상에 증착되는 것을 도시한다. 테이프 층(1260)은 스트레서(1250) 상에 배치되어, 도 12e에 도시된 바와 같이 디바이스 전달의 취급을 돋는다.

[0084] 타겟 기판(1230)으로부터 방출된 후에, 태양 전지(1240)는 자유롭게 서 있고 2 가지 방식으로 처리될 수 있다. 한 가지 방법으로, 도 12f에 도시된 바와 같이, 태양 전지(1240)는 후속 모듈 제조를 위해 금속(1240) 상에 배치될 수 있다. 태양 전지(1240)는 직접 접착 또는 당 업계에 공지된 임의의 다른 기술을 통해 금속(1240) 상에 배치될 수 있다. 대안으로, 도 12g에 도시된 바와 같이, 자립형 태양 전지(1240)는 스트레서 층(1250) 및 테이프 층(1260)과 함께 그들 자신의 경량이고 유연한 태양 전지 조립체를 형성한다. 이 유연한 태양 전지 조립체는 전력 전자 디바이스를 포함한 다른 시스템에 쉽게 통합될 수 있다.

[0085] 일 예시에서, 그레핀 층(1220)은 태양 전지(1240)의 성장을 시드할 수 있고 타겟 기판(1230)은 태양 전지(1240)의 성장에 어떠한 영향도 미치지 않을 수 있다. 다른 예에서, 유형 III 시드(가령, 도 7c 참조)를 사용할 수 있다. 이 경우, 그레핀 층(1220)은 얇을 수 있고 타겟 기판(1230)은 태양 전지(1240)의 성장을 시드할 수 있다. 타겟 기판(1230)은 GaAs 기판을 포함할 수 있다.

[0086] 도 13a-13e는 그레핀-기반 층 전달 기술을 사용하여 다중-접합 태양 전지를 제조하는 방법(1300)을 도시한다. 이 방법(1300)은 도 13a에 도시된 바와 같이 투명 전도성 산화물(TCO) 표면을 갖는 유리 기판(1310) 상에 그레핀 층(1320)을 배치함으로써 시작된다. 그레핀 층(1320)은 본원에 기술된 임의의 방법 또는 당 업계에 공지된 임의의 다른 방법을 통해 유리 기판(1310)으로 전달될 수 있다.

[0087] 도 13b는 InGaP 층(1330), InGaP 층(1330)상의 GaAs 층(1340), 및 GaAs 층(1340)상의 제 2 그레핀 층(1350)을 포함하는 3 개의 물질 층이 그레핀 층(1320) 상에 증착됨을 보여준다. 도 13c는 InGaAs 층(1360)이 제 2 그레핀 층(1350) 상에 증착되는 것을 도시한다. 제 2 그레핀 층(1350)은 InGaAs 층(1360)의 제조 동안 격자-매칭을 도울 수 있다. 금속 접점들(1370)은 도 13d에 도시되는 바와 같이 전기 전도를 위해 InGaAs 층(1360)에 연결된다. 다음으로, 도 13e에 도시된 바와 같이, InGaP 층(1330), GaAs 층(1340), 제 2 그레핀 층(1350) 및 InGaAs 층(1360)의 스택이 2개의 태양 전지 메사(1380) 내로 에칭되고, 그 각각은 각각 금속 접점(1370) 아래에 놓인다.

[0088] 도 14a-14c는 트랜지스터를 제조하는 방법(1400)을 도시한다. 도 14a에서, 그레핀 층(1420)은 SiC 웨이퍼와 같은 기판(1410) 상에 배치된다. 그레핀 층(1420) 상에 InGaAs 층(1430)이 증착된다. 그 다음, InGaAs 층(1430)은 실리콘 웨이퍼(1440)에 전달되고, 도 14b에 도시된 바와 같이, 옥사이드 층(1450)이 실리콘 웨이퍼(1440)의 표면 상에 배치된다. 이어서, 상부 게이트 유전체로서 InGaAs 층(1430) 상에 Al₂O₃ 층(1470)이 증착된다. 게이트(1480)는 Al₂O₃ 층(1470) 상에 제조되어, 도 14c에 도시된 바와 같이, 트랜지스터를 형성한다.

[0089] 일 예시에서, 그레핀 층(1420)은 InGaAs 층(1430)의 성장을 시드할 수 있고 실리콘 웨이퍼(1440)는 InGaAs 층(1430)의 성장에 어떠한 영향도 미치지 않을 수 있다. 다른 예에서, 유형 III 시드(가령, 도 7c 참조)를 사용할

수 있다. 이 경우, 그래핀 층(1420)은 얹을 수 있고 실리콘 웨이퍼(1440)는 InGaAs 층(1430)의 성장을 시드하기 위해 InP 기판으로 대체될 수 있다.

[0090] 도 15a-15f는 그래핀-기반 층 전달 기술을 사용하여 헤테로 구조물을 형성하는 방법(1500)을 도시한다. 도 15a를 참조하면, SiC 웨이퍼와 같은 기판(1510) 상에 그래핀 층(1520)(예를 들어, 단층 그래핀)이 배치된다. 이어서, 그래핀 층(1520) 상에 h-BN 층(1530)(즉, 육각형 형태의 질화 봉소)이 에피택셜 성장된다. 도 15b는 h-BN 층(1530) 상에 스트레서 층(1540)(예를 들어, 니켈 막)이 코팅되어 있고 스트레서 층(1540) 상에 테이프 층(1550)이 배치되어 있음을 보여준다. 앞서 설명한 바와 같이, 테이프 층(1550) 및 스트레서 층(1540)은 도 15c에 도시된 바와 같이, 상부에 옥사이드 층(1565)(가령, 실리콘 옥사이드)을 갖는 실리콘 웨이퍼(1560)를 포함하는 twp 2 기판에 h-BN 층(1530)을 전달할 수 있다. 도 15c는 추가 처리를 위해 h-BN 층(1530)을 남기면서, 스트레서 층(1540) 및 테이프 층(1550)이 애칭되어 제거됨을 도시한다.

[0091] 도 15d에 도시된 바와 같이, MoS₂ 층(1570)은 h-BN 층(1530) 상에 증착되고, 제 2 h-BN 층(1580)은 MoS₂ 층(1570) 상에 증착되어 h-BN/MoS₂ 헤테로 구조를 형성한다. 도 15f는 HfO₃ 층(1590)이 상부 게이트 유전체로서 제 2 h-BN 층(1580) 상에 증착되고 상부 게이트(1595)가 전기 전도를 위해 HfO₃ 층(1590) 상에 증착되는 것을 도시한다.

[0092] 도 16a-16f는 그래핀-기반 층 제조 및 전달 기술을 사용하여 III-V 디바이스를 제조하기 위한 플랫폼을 제조하는 방법(1600)을 도시한다. 도 16a는 12" 실리콘 웨이퍼(1610)를 도시한다. 그 다음에, 완화된 Ge 막(1620)은 도 12b에 도시되는 바와 같이, 예를 들어 에피택셜 성장을 통해, 웨이퍼(1610) 상에 배치된다. 그 다음, Ge 막(1620)은 도 16c에 도시된 바와 같이, 에피택셜하게 그래핀 층(1630)을 성장시키기 위한 시드로서 기능한다. 그래핀 층(1630)은 단결정 그래핀을 포함할 수 있다.

[0093] 도 16d를 참조하면, 그래핀 층(1630)은 예를 들어 당 업계에 공지된 리소그래피 기술을 통해 패터닝된다. 패터닝은 그래핀 층(1630)에 캡(1635)을 가져온다. 다시 말해서, 그래핀 층(1630)은 고립되고 작은 조각들의 그래핀 층으로 패터닝될 수 있다. 도 16e를 참조하면, 디바이스 층(1640)은 그래핀 층(1620) 상에 제조된다. 디바이스 층(1640)은 예를 들어 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET), 레이저 또는 당 업계에 공지되어있는 임의의 다른 구조와 같은, III-V 물질 또는 구조를 포함할 수 있다. 그 후, 디바이스 층들(1640)은 도 16f에 도시된 바와 같이 추가 디바이스들(1650)을 형성하기 위한 플랫폼 들로서 기능한다.

결론

[0095] 다양한 본 발명의 실시예가 본 명세서에서 설명되고 예시되었지만, 당 업자는 기능을 수행하고 및/또는 결과를 얻는 다양한 다른 수단 및/또는 구조 및/또는 하나 이상의 본원에 기술된 장점들, 및 이러한 변화들 및/또는 변형들 각각은 본원에 기술된 본 발명의 실시예들의 범위 내에 있는 것으로 간주된다. 보다 일반적으로, 당 업자들은 여기에 기술된 모든 파라미터들, 치수들, 재료들 및 구성들이 예시적인 것으로 의도된 것이고 실제 파라미터들, 치수들, 재료들 및/또는 구성들은 본 발명이 사용되는 특정 응용예(들)에 좌우될 것임을 쉽게 이해할 것이다. 당 업자는 일상적인 실험만을 사용하여 본 명세서에 기재된 구체적인 발명의 실시예에 대한 많은 균등물을 인식할 수 있거나 확인할 수 있을 것이다. 그러므로, 전술한 실시예는 단지 예로서 제시되고, 첨부된 청구 범위 및 그에 대응하는 범위 내에서, 본 발명의 실시예는 구체적으로 설명되고 청구된 것과 다르게 실시될 수 있음을 이해해야 한다. 본 개시의 발명적인 실시예는 본 명세서에 기재된 각각의 개별적인 특징, 시스템, 물품, 재료, 키트 및/또는 방법에 관한 것이다. 또한 그러한 피쳐, 시스템, 기사, 재료, 키트 및/또는 방법이 상호 불일치하지 않는 경우 그러한 두 개 이상의 피쳐, 시스템, 기사, 재료, 키트 및/또는 방법의 모든 조합이 본 발명의 진보성 범위 내에 포함된다. .

[0096] 전술한 실시예는 다양한 방식으로 구현될 수 있다. 예를 들어, 본 명세서에 개시된 기술을 설계하고 제조하는 실시예는 하드웨어, 소프트웨어 또는 이들의 조합을 사용하여 구현될 수 있다. 소프트웨어로 구현될 때 소프트웨어 코드는 단일 컴퓨터에서 제공되든 또는 여러 컴퓨터간에 배포되든 관계없이 적절한 프로세서 또는 프로세서 모음 상에서 실행될 수 있다.

[0097] 또한, 컴퓨터는 랙 탑재 형 컴퓨터, 데스크톱 컴퓨터, 랩톱 컴퓨터 또는 태블릿 컴퓨터와 같은 다수의 형태 중 임의의 형태로 구현될 수 있음을 이해해야 한다. 또한 컴퓨터는 일반적으로 컴퓨터는 아니지만 PDA(Personal Digital Assistant), 스마트 폰 또는 기타 휴대용 또는 고정 전자 디바이스를 포함하여 적절한 처리 기능을 갖춘 디바이스에 내장될 수 있다.

- [0098] 또한, 컴퓨터는 하나 이상의 입력 및 출력 디바이스를 가질 수 있다. 이러한 디바이스는 무엇보다도 사용자 인터페이스를 제공하는 데 사용될 수 있다. 사용자 인터페이스를 제공하기 위해 사용될 수 있는 출력 디바이스의 예로는 출력을 청각적으로 표현하기 위한 스피커 또는 다른 소리 발생 디바이스와, 출력을 시각적으로 표시하기 위한 프린터 또는 디스플레이 화면이 있다. 사용자 인터페이스에 사용할 수 있는 입력 디바이스의 예로는 키보드, 마우스, 터치 패드 및 디지털화 태블릿과 같은 포인팅 디바이스가 있다. 다른 예로서, 컴퓨터는 음성 인식 또는 다른 청취 가능한 포맷을 통해 입력 정보를 수신할 수 있다.
- [0099] 그러한 컴퓨터는 기업 네트워크 및 지능형 네트워크(IN) 또는 인터넷과 같은 근거리 통신망 또는 광역 네트워크를 포함하는 임의의 적합한 형태의 하나 이상의 네트워크에 의해 상호 접속될 수 있다. 그러한 네트워크는 임의의 적합한 기술에 기초할 수 있으며, 임의의 적합한 프로토콜에 따라 동작할 수 있고 무선 네트워크, 유선 네트워크 또는 광섬유 네트워크를 포함할 수 있다.
- [0100] 다양한 방법들 또는 프로세스들(본 명세서에서 개략적으로 설명 됨)은 다양한 운영 시스템들 또는 플랫폼들 중 임의의 하나를 사용하는 하나 이상의 프로세서들상에서 실행 가능한 소프트웨어로서 코딩될 수 있다. 또한, 그러한 소프트웨어는 다수의 적합한 프로그래밍 언어 및/또는 프로그래밍 또는 스크립팅 툴을 포함할 수 있으며, 또한 프레임 워크 또는 가상 머신상에서 실행되는 실행 가능 머신 언어 코드 또는 중간 코드로서 컴파일될 수 있다.
- [0101] 이와 관련하여, 다양한 발명의 개념이, 하나 이상의 컴퓨터 또는 기타 프로세서 상에서 실행될 때 앞서 논의된 발명의 다양한 실시예들을 구현하는 방법을 수행하는 하나 이상의 프로그램으로 인코딩된 컴퓨터 판독 가능 저장 매체(또는 다수의 컴퓨터 판독 가능 저장 매체)(예를 들어, 컴퓨터 메모리, 하나 이상의 플로피 디스크, 콤팩트 디스크, 광학 디스크, 자기 테이프, 플래시 메모리, 필드 프로그램 가능한 게이트 어레이들 또는 다른 반도체 디바이스들에서의 회로 구성들, 또는 다른 비-일시적 매체 또는 유형의 컴퓨터 저장 매체)로 구체화될 수 있다. 컴퓨터 판독 가능 매체 또는 매체는 이송 가능할 수 있어서, 그 위에 저장된 프로그램 또는 프로그램이 전술한 바와 같이 본 발명의 다양한 실시형태를 구현하기 위해 하나 이상의 상이한 컴퓨터 또는 다른 프로세서 상에 로딩될 수 있다.
- [0102] "프로그램" 또는 "소프트웨어"라는 용어는 본 명세서에서 일반적인 의미로 컴퓨터 또는 다른 프로세서를 프로그래밍하여 다양한 측면을 구현하도록 사용될 수 있는 컴퓨터-실행 가능 명령어 세트 또는 컴퓨터-실행 가능 명령어 세트를 지칭하는데 사용된다. 전술한 바와 같은 실시예들을 포함한다. 또한, 일 실시형태에 따르면, 실행될 때, 본 발명의 방법을 수행하는 하나 이상의 컴퓨터 프로그램은 단일 컴퓨터 또는 프로세서 상에 존재할 필요는 없지만, 본 발명의 다양한 실시형태를 구현하기 위해 다수의 상이한 컴퓨터 또는 프로세서들 사이에 모듈 방식으로 분산될 수 있음을 알아야 한다.
- [0103] 컴퓨터 실행 가능 명령은 하나 이상의 컴퓨터 또는 다른 디바이스에 의해 실행되는 프로그램 모듈과 같은 많은 형태를 취할 수 있다. 일반적으로 프로그램 모듈은 특정 작업을 수행하거나 특정 추상 데이터 유형을 구현하는 루틴, 프로그램, 객체, 구성 요소, 데이터 구조 등을 포함한다. 통상적으로, 프로그램 모듈의 기능은 다양한 실시예에서 요구되는 바와 같이 결합되거나 분산될 수 있다.
- [0104] 또한, 데이터 구조는 임의의 적합한 형태로 컴퓨터 판독 가능 매체에 저장될 수 있다. 예시의 단순화를 위해, 데이터 구조는 데이터 구조 내의 위치를 통해 관련된 필드를 갖는 것으로 나타낼 수 있다. 이러한 관계는 필드들 간의 관계를 전달하는 컴퓨터 판독 가능 매체 내의 위치들을 필드에 대한 저장 디바이스에 할당함으로써 유사하게 달성을할 수 있다. 그러나 포인터, 태그 또는 데이터 요소 간의 관계를 설정하는 기타 메커니즘의 사용을 포함하여 데이터 구조의 필드에 있는 정보 간의 관계를 설정하는 데 임의의 적합한 메커니즘을 사용할 수 있다.
- [0105] 또한, 본 발명의 개념은 하나 이상의 방법으로 구현될 수 있으며, 그 예가 제공되어있다. 방법의 일부로 수행된 행위는 적절한 방식으로 명령할 수 있다. 따라서, 예시된 실시예에서 순차적인 동작으로 도시되어 있지만, 몇몇 동작을 동시에 수행하는 것을 포함할 수 있는, 도시된 것과 다른 순서로 동작들이 수행되는 실시예가 구성될 수 있다.
- [0106] 본원에서 정의되고 사용된 모든 정의는 사전적 정의, 참조로 편입된 문헌의 정의 및/또는 정의된 용어의 통상적인 의미를 통제하는 것으로 이해되어야 한다.
- [0107] 본 명세서 및 청구의 범위에서 사용된 바와 같이, 반대로 명백하게 표시되어 있지 않는 한, "적어도 하나"를 의미하는 것으로 이해되어야 한다.

[0108]

본 명세서 및 청구의 범위에서 사용된 "및/또는"이라는 문구는 이와 같이 결합된 요소들 중 "어느 하나 또는 둘 모두"를 의미하는 것으로 이해되어야 하며, 즉, 어떤 경우에는 결합적으로 존재하고 다른 경우에는 분리적으로 존재하는 요소를 의미하는 것으로 이해되어야 한다. "및/또는"과 함께 나열된 다수의 구성 요소는 동일한 방식으로, 즉 결합된 구성 요소 중 "하나 이상"으로 해석되어야 한다. 구체적으로 식별된 요소와 관련이 있는지 여부와 상관없이 "및/또는" 절에 의해 구체적으로 식별되는 요소 이외에 다른 요소가 선택적으로 존재할 수 있다. 따라서, 비 한정적인 예로서, "포함하는(comprising)"과 같은 제한이 없는 언어와 함께 사용될 때, "A 및/또는 B"에 대한 참조는 일 실시예에서 A만을(B를 제외한 다른 요소를 선택적으로 포함함), 다른 실시 실시형태에서는 B만을(A 이외의 요소를 선택적으로 포함함), 또 다른 구현 예에서는, A 및 B 모두를(임의로 다른 원소를 선택적으로 포함함) 지칭할 수 있다.

[0109]

본 명세서 및 청구의 범위에서 사용된 "또는"은 상기에서 정의된 "및/또는"과 동일한 의미를 갖는 것으로 이해되어야 한다. 예를 들어, 목록에서 항목을 분리할 때, "또는" 또는 "및/또는"은 포괄적인 것으로 해석되어야 하며, 즉, 다수의 요소들 또는 요소들의 리스트 중 적어도 하나를 포함하고, 하나보다 많은 값을 포함하며, 선택적으로, 나열되지 않은 추가 항목들을 포함할 수 있다. "오직 하나" 또는 "정확히 하나"와 같이 반대로 명백하게 표시된 용어 또는 청구 범위에서 사용되는 경우 "~로 이루어진"이라는 용어만이 번호 또는 목록의 정확히 하나의 요소를 포함하는 것을 의미할 것이다 집단. 일반적으로, 본원에서 사용된 "또는"이라는 용어는 "어느 하나", "그 중 하나" 또는 "그 중 단 하나", 또는 "그 중 정확히 하나"와 같이, 배타적인 용어가 선행될 때, 대안의 배제(즉, "하나 또는 다른 하나, 그러나 둘 다는 아님")를 표시하는 것으로 해석되어야 한다. 특히 청구 범위에서 사용될 때 "~으로 본질적으로 구성되는"은 특허법 분야에서 통상적으로 사용되는 의미를 지닌다.

[0110]

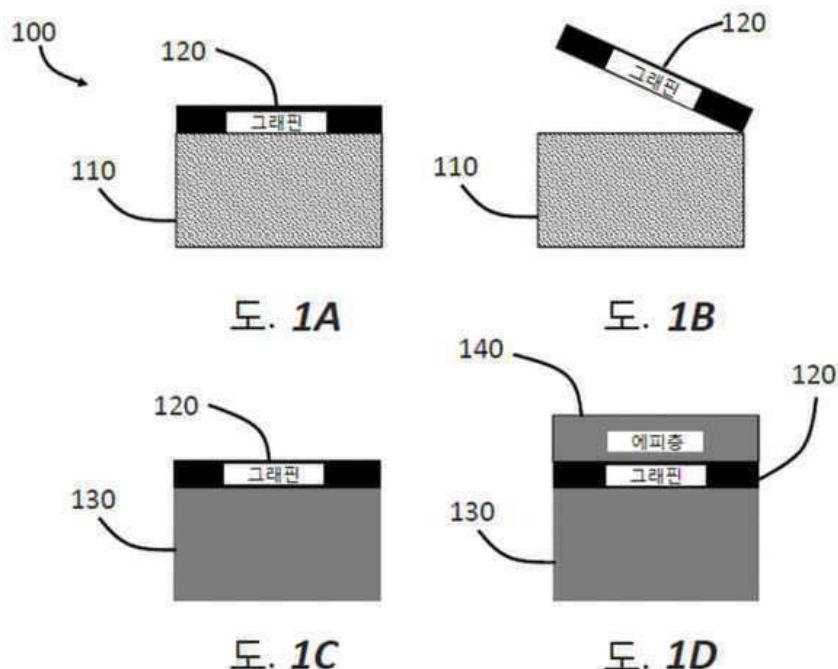
본 명세서 및 청구의 범위에서 사용된 바와 같이, 하나 이상의 구성 요소의 리스트와 관련하여 "적어도 하나"라는 문구는 상기 구성 요소 중 하나 이상을 선택하는 적어도 하나의 구성 요소를 의미하는 것으로 이해되어야 한다. 요소 목록에 특별히 나열된 각 요소와 요소 목록 중 적어도 하나를 포함하지 않으며 요소 목록의 요소 조합을 제외하지 않아야 한다. 이 정의는 또한 "적어도 하나"라는 문구가, 구체적으로 식별된 요소와 관련이 있느냐 없느냐에 관계없이, 지칭하는 요소 목록 내에서 구체적으로 식별된 요소 이외에 요소들이 선택적으로 존재할 수 있게 한다. 따라서, 비 제한적인 예로서, "A 및 B 중 적어도 하나"(또는 동등하게, "A 또는 B 중 적어도 하나" 또는 동등하게 "A 및/또는 B 중 적어도 하나")는 일 실시예에서, 적어도 하나의 A를 지칭하지만 하나보다 많은 A를 선택적으로 포함하고 B는 존재하지 않으며(B 외의 다른 요소들을 선택적으로 포함함), 다른 실시예에서, 적어도 하나의 A와 적어도 하나의 B를 지칭하지만 하나보다 많은 B를 선택적으로 포함하고 A는 존재하지 않으며(A 외의 다른 요소들을 선택적으로 포함함), 또 다른 실시예에서, 적어도 하나의 A와 적어도 하나의 B를 지칭하지만 하나보다 많은 A를 선택적으로 포함하고 하나보다 많은 B를 선택적으로 포함한다(그외 다른 요소들을 선택적으로 포함함).

[0111]

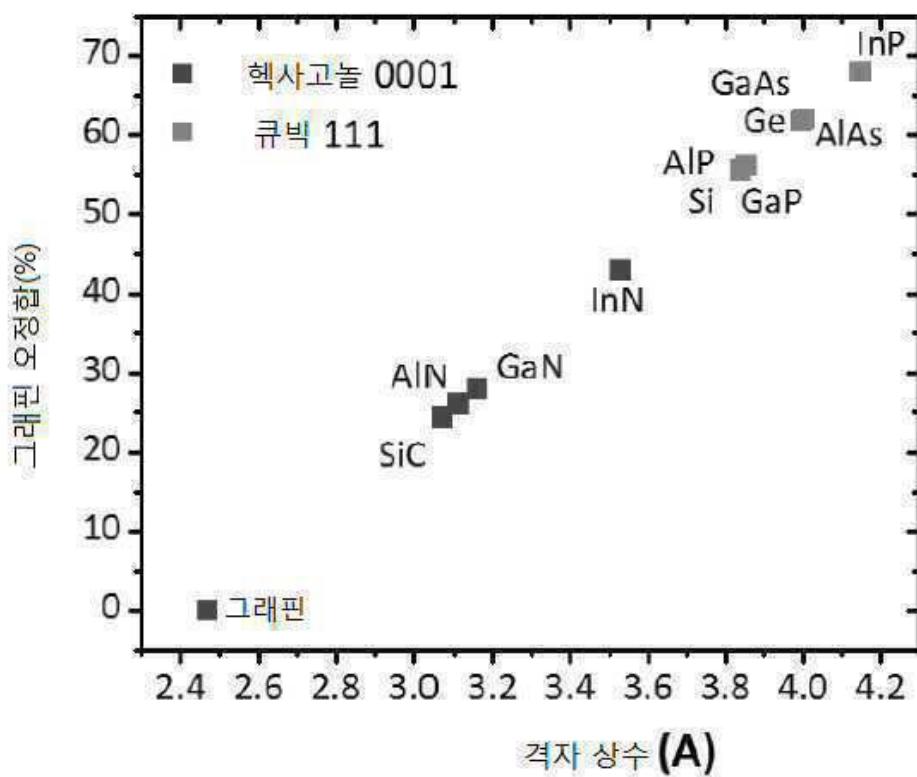
청구 범위에서, 상기 명세서에서와 마찬가지로, "포함한다", "포함하다", "들고 있다", "가지고 있다", "지니고 있다", "수반한다", "쥐고 있다", "구성된다", 등과 같은 모든 용어는 개방형으로 이해되어야 한다. 즉 포함하지만 이에 한정되지는 않는 것으로 이해되어야 한다. "~으로 구성되는"과 "~으로 본질적으로 구성되는"과 같은 과도기 문구만이 United States Patent Office Manual of Patent Examining Procedures, Section 2111.03에 규정된 바와 같이 각각 단한 또는 반-단한 과도 문구이어야 한다.

도면

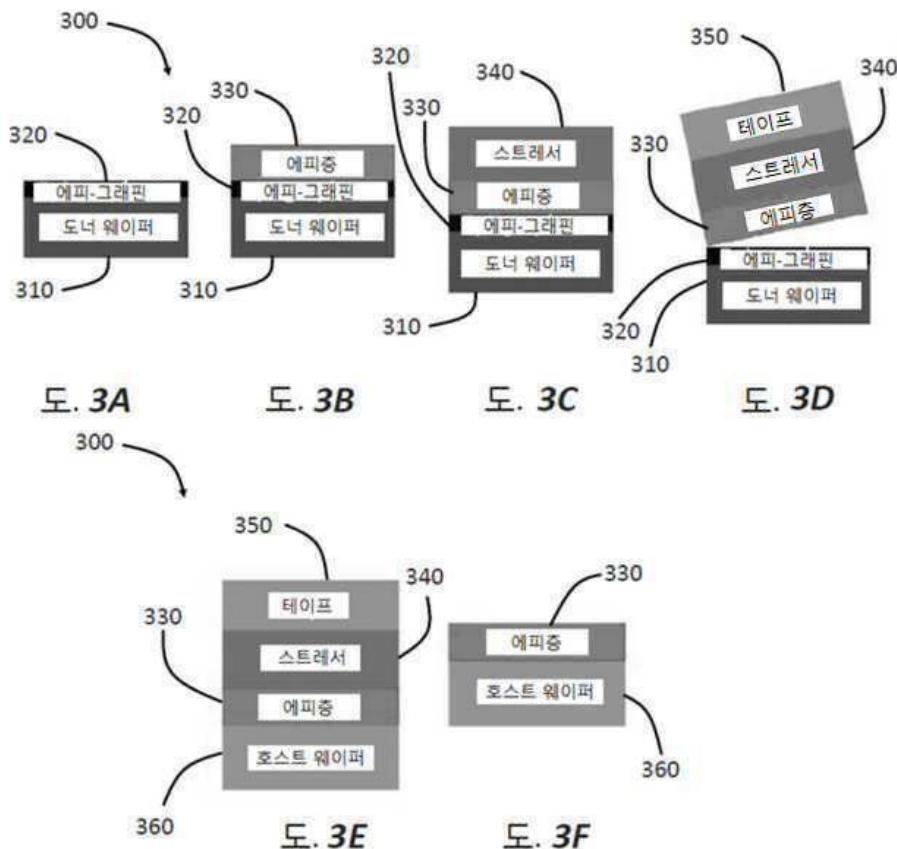
도면1



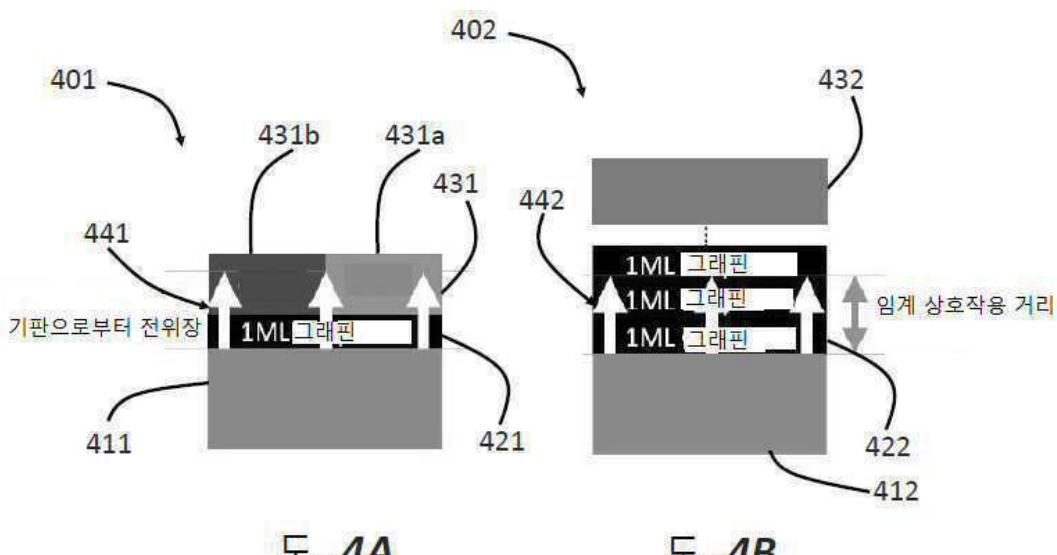
도면2



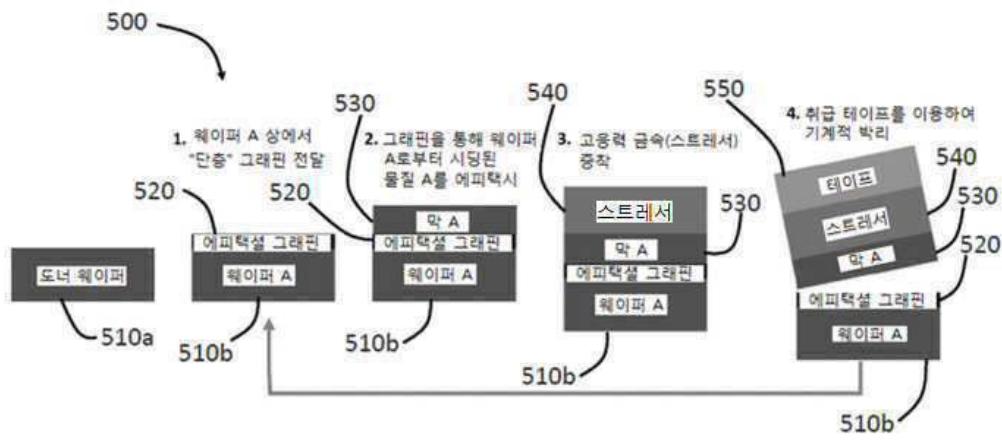
도면3



도면4



도면5



도. 5A

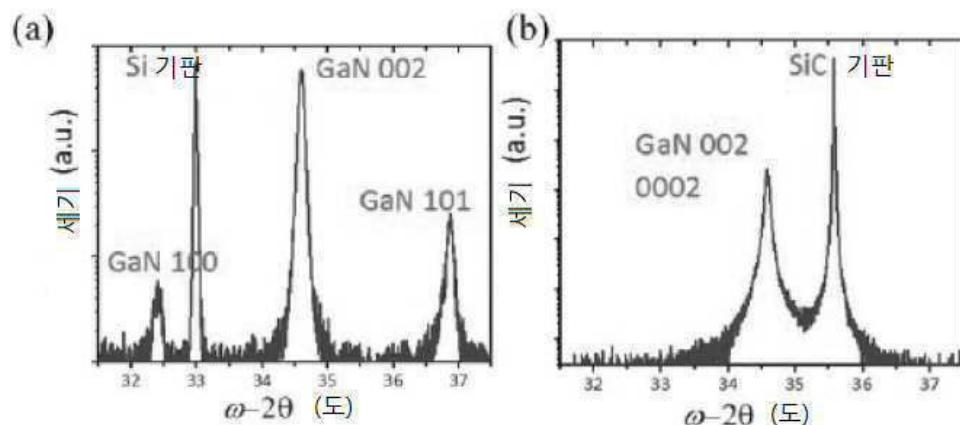
도. 5B

도. 5C

도. 5D

도. 5E

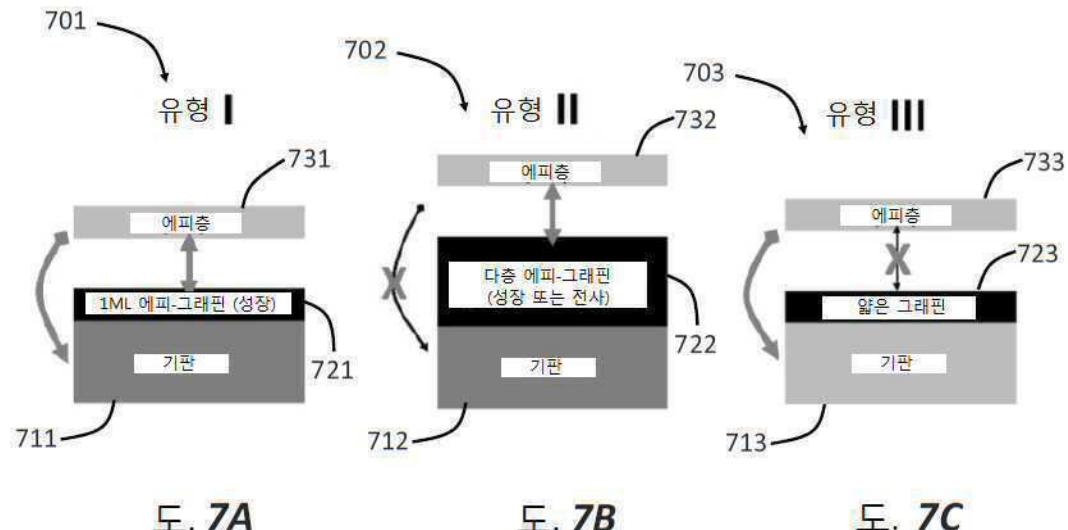
도면6



도. 6A

도. 6B

도면7

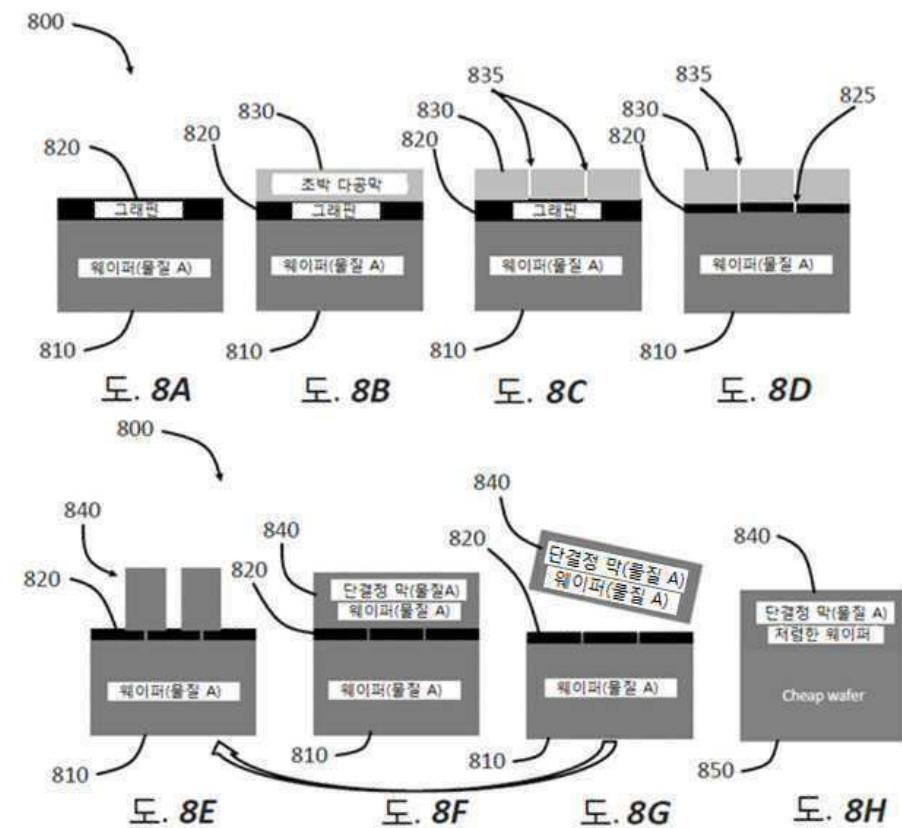


도. 7A

도. 7B

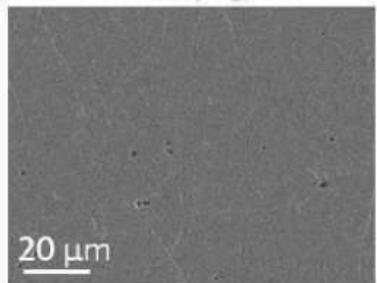
도. 7C

도면8

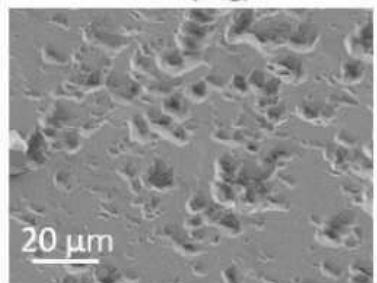


도면9

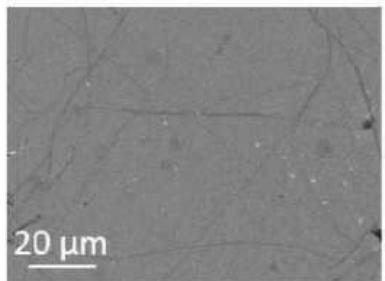
도. 9A



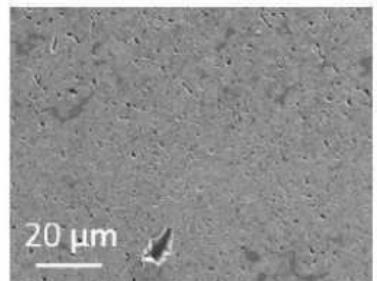
도. 9B



도면10

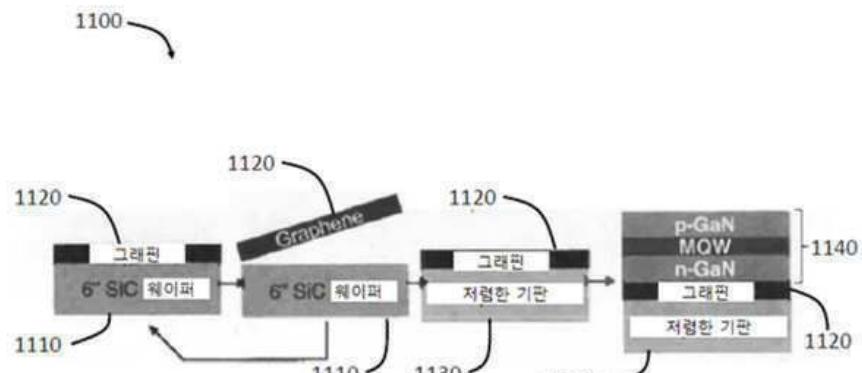


도. 10A



도. 10B

도면11

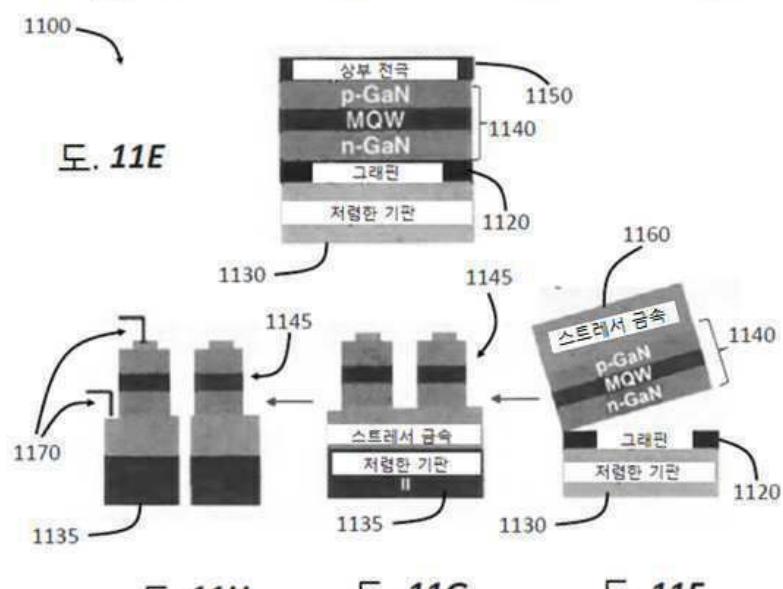


도. 11A

도. 11B

도. 11C

도. 11D



도. 11E

1170

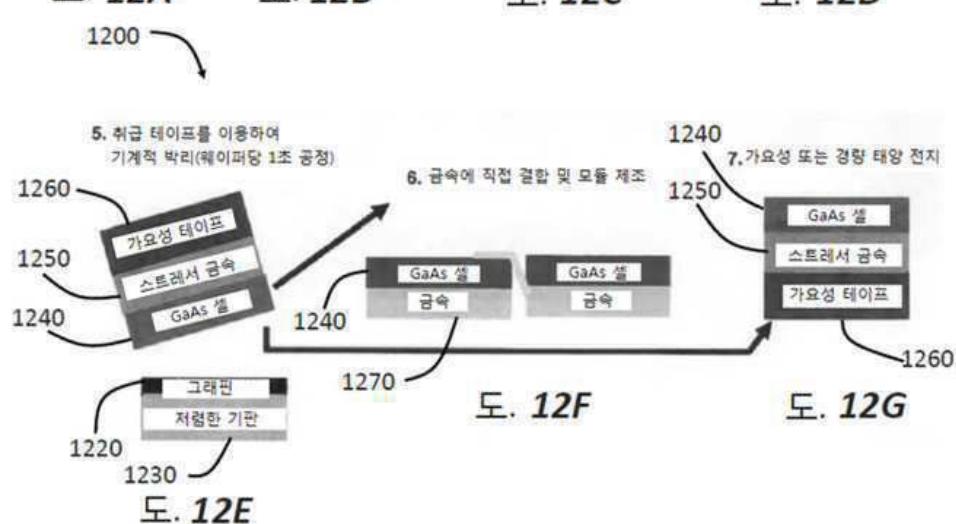
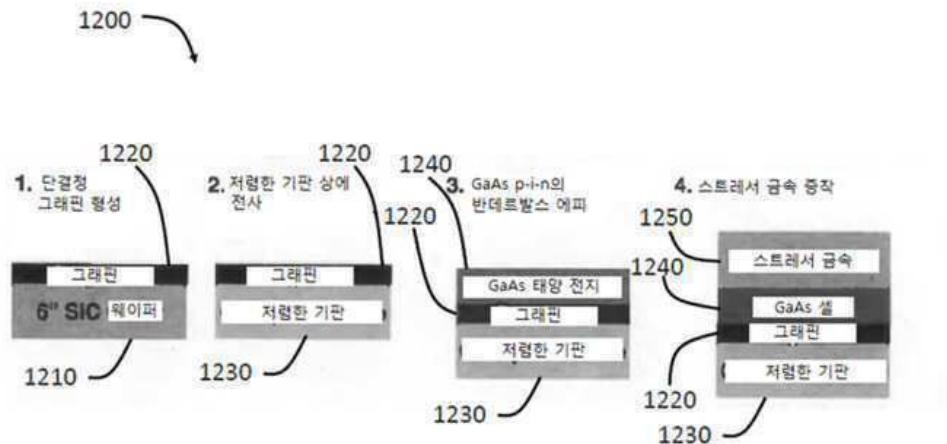
1135

도. 11H

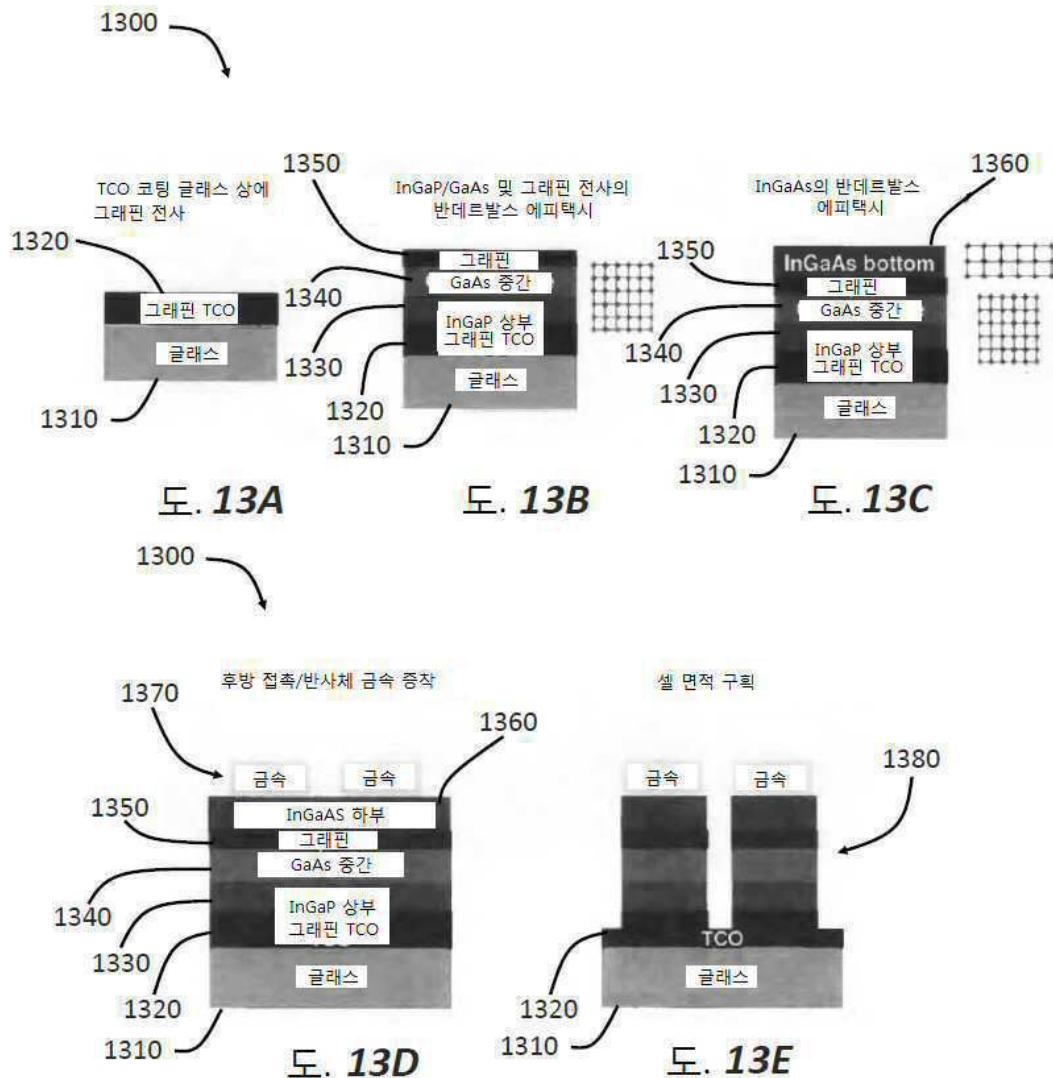
도. 11G

도. 11F

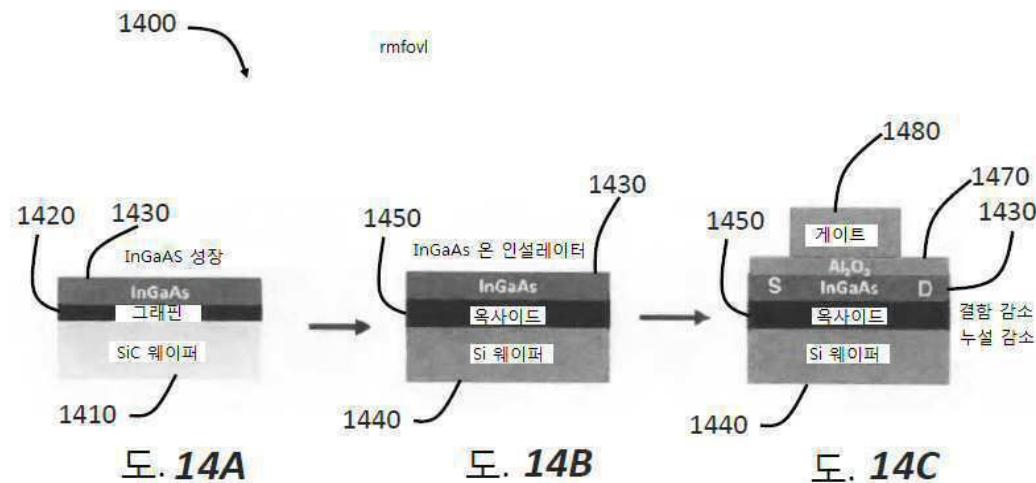
도면12



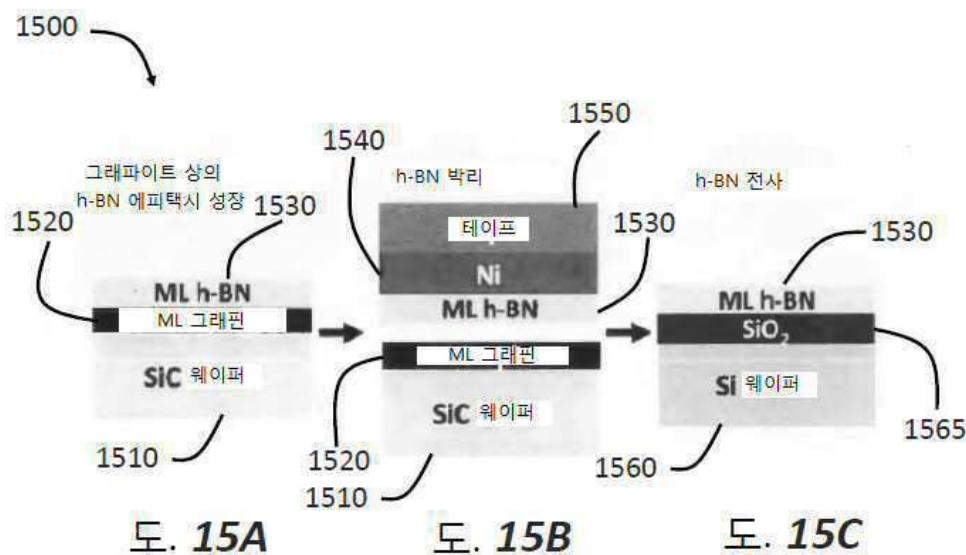
도면13



도면14



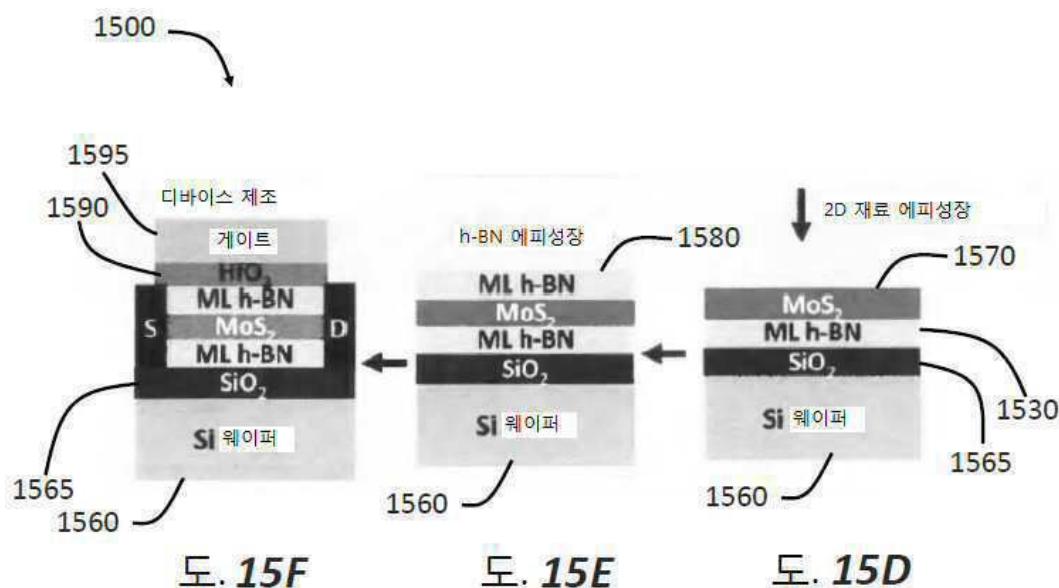
도면 15



도. 15A

도. 15B

도. 15c



五. 15F

도. 15E

도. 15D

도면16

