

公告本

申請日期	90 / 1 / 5
案 號	90100268
類 別	H01L 21/8242

A4
C4

508757

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND PROCESS FOR MANUFACTURING THE SAME
二、發明 創作人	姓 名	1.山田 悟 2.大湯 靜憲 3.德永 尚文 4.榎本 裕之 5.關口 敏宏
	國 籍	1-5皆日本
三、申請人	住、居所	1-5皆 日本國東京都千代田區丸之内一丁目5番1號新九大 樓日立製作所股份有限公司知的所有權本部內
	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年01月21日 特願2000-013476 ☒有 ☐無 主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

五、發明說明(1)

發明之技術領域

本發明與半導體積體電路裝置及其製造方法有關，特別針對有關適用於DRAM半導體積體電路裝置之製造。

近年之DRAM隨記憶單元微小化，為彌補資料儲存用電容元件之堆積電荷量減少，在記憶單元選擇用MISFET之上方配置資料儲存用電容元件，即採用所謂堆疊電容構造。採用此堆疊電容構造之DRAM可區分為CUB (Capacitor Under Bitline) 在位元線下方配置資料儲存用電容元件(例特開平7-192723號公報、特開平8-204144號公報等)及COB (Capacitor Over Bitline) 在位元線上方配置資料儲存用電容元件(例特開平7-122654號公報、USP 5976929特開平7-106437號公報等)。

上述兩種堆疊電容構造中位元線上方配置資料儲存用電容元件COB構造比CUB構造更適於記憶單元微小化。這是因為增加微小化的資料儲存用電容元件之堆積電荷量時將其構造立體化須增加表面積，在資料儲存用電容元件上部配置位元線之CUB構造其位元線和記憶單元選擇用MISFET連接之接觸孔的縮圖比變得非常大，增加開孔困難。

又，最近的高容量DRAM(如64百萬位元為(Mbit)或256百萬位元DRAM)，對於在微小化記憶單元選擇用MISFET之閘極空間上形成為了將位元線或資料儲存用電容元件和基板連接之接觸孔，時採用自行對齊開孔技術(Self Align Contact: SAC)(例特開平9-252098號公報)，即用氮化矽膜覆蓋在閘極上部及側壁，利用氧化矽膜和氮化矽膜之蝕刻

五、發明說明(2)

速率差以閘極空間自行整合將接觸孔開孔，或採用為降低閘極電阻用鎢等高熔點金屬材料為主體構成之多金屬閘極構造(特開平7-94716號公報)。

發明概述

本發明者在研發256百萬位元(Mbit)及10億位元(Gbit)之大容量DRAM過程中為延長再生時間間隔，檢討降低位元線電容是其中對策之一。

位元線電容可分為對鄰接位元線、對基板、對積蓄電極、對字元線、及屏極。但對於位元線上方配置資料儲存用電容元件COB構造而言對字元線電容是主要成分。因此要降低位元線電容先從降低對字元線電容著手是最優先課題。

如前所述以往採用之自動對齊接觸(SAC)技術之製造程序在閘極上部及側壁覆以相對於氧化矽膜蝕刻選擇比大之氮化矽膜。但是氮化矽膜之介電常數比氧化矽膜之介電常數約大兩倍，若以氮化矽膜覆蓋在閘極上部及側壁位元線對字元線之電容變大。

本發明之目的是在製造微小化記憶單元DRAM時提供降低位元線電容之技術。

本發明之其他目的及新的特徵在本文及附圖中詳細說明。

本發明之代表概要簡單說明如下：

(1)本發明之半導體積體電路裝置具有：MISFET，形成在半導體基板上；接觸孔，形成在前述MISFET之源極、汲極區上；導電體，形成在前述接觸孔內部且與前述源極、汲

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明(3)

極區通電連接；及第1絕緣膜，形成在前述導電體周圍，其中前述第1絕緣膜在前述接觸孔底部係包圍前述導電體之周圍而形成，而在前述接觸孔上部則至少除去一部分而不包圍前述導電體之周圍而形成。

(2)本發明之半導體積體電路裝置具有：MISFET，形成在半導體基板上；接觸孔，形成在前述MISFET之源極、汲極區上；導電體，形成在前述接觸孔內部且與前述源極、汲極區通電連接；及第1絕緣膜，形成在前述導電體周圍，其中前述第1絕緣膜之高度部分或全體比前述導電體為低。

(3)本發明之半導體積體電路裝置具有：第1及第2字元線，形成在半導體基板上；第1及第2絕緣膜，分別形成在前述第1及第2字元線上；接觸孔，形成在前述第1及第2字元線之間；及導電體，形成在前述接觸孔內部；其中前述第1及第2字元線之間，形成第3及第4絕緣膜構成前述接觸孔側壁，在前述導電體周圍形成第5絕緣膜，前述第5側壁絕緣膜之高度部分或全體比前述第3及第4側壁絕緣膜之上端部為低。

(4)本發明之半導體積體電路裝置之製造方法包含以下步驟：

(a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；

(b)蝕刻前述第1導電膜及第1絕緣膜，以形成第1及第2字元線、及覆蓋前述第1及第2字元線上部之第1及第2蓋絕緣膜之步驟；

五、發明說明(4)

(c)形成以前述第1字元線之一部分為閘極之第1 MISFET及以前述第2字元線之一部分為閘極之第2 MISFET之步驟；

(d)在包含前述第1及第2字元線之間，前述半導體基板上形成第2絕緣膜後，在前述第2絕緣膜上形成具有溝狀開孔部之光罩圖樣之步驟；

(e)用具有溝狀開孔部之光罩圖樣、及前述第1及第2蓋絕緣膜做為光罩蝕刻前述第2絕緣膜，在前述第1及第2 MISFET之源極、汲極區之一者之上部形成開孔部，並在前述源極、汲極區之另一者之上部形成第2開孔部之步驟；

(f)在前述第1及2開孔部內部形成第2導電膜之步驟；及

(g)形成穿過前述第1開孔和前述源極、汲極區一側通電連接之位元線、穿過前述第2開孔和前述源極、汲極區另一側通電連接之電容元件之步驟。

(5)本發明之半導體積體電路裝置之製造方法包含以下步驟：

(a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；

(b)蝕刻前述第1導電膜及第1絕緣膜，以形成第1及第2配線、及覆蓋前述第1及第2配線上部之第1及第2蓋絕緣膜之步驟；

(c)在包含前述第1及第2配線之間，前述半導體基板上形成第2絕緣膜後，在前述第2絕緣膜上形成具有溝狀開孔部之第1膜之步驟；

(d)以前述第1膜為光罩，以前述第1及第2蓋絕緣膜為蝕刻

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(5)

阻隔膜，蝕刻第2絕緣膜，以在前述第2絕緣膜上形成開孔部之步驟；

(e)在前述開孔部內部形成側壁絕緣膜之步驟。

(f)除去一部分前述側壁絕緣膜之步驟；及

(g)在形成前述側壁絕緣膜之前述開孔部內部形成栓柱之步驟。

(6)本發明之半導體積體電路裝置之製造方法包含以下步驟：

(a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；

(b)在前述第1絕緣膜上形成第2絕緣膜後，在前述第2絕緣膜上形成光阻膜之步驟；

(c)以前述光阻膜為光罩蝕刻前述第1及第2絕緣膜之步驟；

(d)以前述第1絕緣膜為光罩蝕刻前述第1導電膜以形成第1及第2配線之步驟；

(e)在包含前述第1及第2配線之間，前述半導體基板上形成第3絕緣膜後，在前述第3絕緣膜上形成第1膜之步驟；及

(f)以相對於前述第1膜及第1絕緣膜之蝕刻速度比前述第2絕緣膜之蝕刻速度為小的方法蝕刻第2絕緣膜以形成前述第1及第2配線間開孔之步驟。

發明之實施形態

以下以圖面詳細說明本發明之實施形態。又在為說明實施形態之全圖對同一機能之部材用同一符號且不再重複說明。

五、發明說明(6)

實施形態1

圖1是形成本發明之一種實施態DRAM (Dynamic Random Access Memory)半導體晶片1A全體平面圖。

在長方形半導體晶片1A之主面形成例256 Mbit記憶容量之DRAM。此DRAM是由複數個記憶陣列(MARY)組成之記憶部及配置在其周邊之周邊電路PC所構成。又在半導體晶片1A之中央部有線路及沖擊電極等連接複數個連接片BP配置成一行。

圖2是表示上述記憶部之一端部半導體基板(以下簡稱基板)之斷面圖。

係在以p型單晶矽做成之基板1之主面上形成p型阱2，在p型阱2上形成元件分離溝4。在以元件分離溝4界定周圍之此p型阱2之主動區上形成複數個記憶單元。記憶單元分別由以n通道型MISFET (Metal Insulator Semiconductor Field Effect Transistor)構成一個記憶單元選擇用MISFETQt及在其上部形之一個資料儲存用電容元件通道所構成。記憶單元選擇用MISFETQt主要是由閘極絕緣膜6、在主動區以外區域構成字元線WL之閘極7及一對n型半導體區(源極、汲極區)8所構成。閘極7(字元線WL)是由例摻雜P(磷)之n型多結晶矽膜、WN(氮化鎢)膜、及W(鎢)膜等3層堆積而成之導電膜所構成。

在周邊部PC(未在圖上表示)基板1上形成p型阱及n型阱。在p型阱之主動區上形成n通道型MISFET，n型阱之主動區上形成p通道型MISFET。n通道型MISFET主要是由閘極絕

五、發明說明(7)

緣膜、閘極及一對n型半導體區(源極、汲極區)所構成，p通道型MISFET主要是由閘極絕緣膜、閘極及一對p型半導體區(源極、汲極區)所構成。即周邊電路部(PC)是由n通道型MISFET及p通道型MISFET及組合相補型MISFET所構成。

如圖2所示在記憶單元選擇用MISFETQt之閘極7(字元線WL)之側壁形成2層側壁絕緣膜10、11。此側壁絕緣膜10、11之中外側之第1側壁絕緣膜11是由例厚約30 nm左右之氧化矽膜所構成，內側之第2側壁絕緣膜10是由比第1側壁絕緣膜11小(例10 nm~15 nm)之氮化矽膜所構成。氧化矽膜所構成之側壁絕緣膜11之高度比閘極7(字元線WL)上面高，但比覆蓋在閘極7(字元線WL)上部之蓋絕緣膜9之上端部低。

在閘極7之空間形成被前述2層側壁絕緣膜10、11所包圍之接觸孔(開孔部)12、13，在接觸孔12、13內部埋入例以磷(P)摻雜之n型多結晶矽膜構成之栓柱14。

在記憶單元選擇用MISFETQt之上部形成氧化矽膜31，在氧化矽膜31之上部形成讀出記憶單元資料之位元線BL。位元線BL是由例TiN(氮化鈦)膜上層積W(鎢)之電膜所構成。位元線BL是在氧化矽膜31上形成之通孔32及通過在其下部前述接觸孔12與記憶單元選擇用MISFETQt之n型半導體區(源極、汲極區)8之一側通電連接。在通孔32之內部埋入由例在TiN膜上部層積W膜之導電膜所構成之栓柱33。

在位元線BL上部形成氧化矽膜34及氮化矽膜35，在氮化矽膜35上部形成資料儲存用電容元件C。資料儲存用電容元

五、發明說明(8)

件C是在蝕刻在氮化矽膜35上部厚膜之氧化矽膜39形成之深溝40內部形成，由下部電極41、電容絕緣膜42、及上部電極43所構成。

資料儲存用電容元件C之下部電極41是以例Ru(鈷)膜所構成，通過通孔36及其下部之接觸孔13與記憶單元選擇用MISFETQt之n型半導體區(源極、汲極區)8之另一側通電連接。電容絕緣膜42是由例BST($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ ；Barium Strontium Titanate)膜所構成，上部電極43是由例Ru(鈷)膜所構成。

以下是如上述構成本實施形態之DRAM之製造方法依步驟順序以圖3~圖41說明。

首先如圖3(記憶體部一端之平面圖)、圖4(圖3沿A-A線斷面圖)及圖5(圖3沿B-B線斷面圖)所示在基板1之主面元件分離區上形成元件分離溝4。元件分離溝4是將基板1之主面蝕刻300~400 nm深度之溝槽，接著在包含在基板1之溝槽內部以CVD法堆積厚約600 nm之氧化矽膜5，然後，將溝槽外部之氧化矽膜5以化學機械研磨(Chemical Mechanical Polishing；CMP)法除去多餘部分而形成。如圖3所示因此元件分離溝4形成後，四周被元件分離溝4包圍同時形成多數個細長島狀主動區L。

其次如圖6及圖7所示在基板1注入P(磷)後，將基板1加熱處理使雜質在基板1內擴散形成p型阱2。

其次如圖8所示將基板1熱氧化後，在p型阱2表面形成厚約6 nm~7 nm氧化矽閘極絕緣膜6，接著在閘極絕緣膜6上部形成閘極電極材料之第1導電膜7A後，在導電膜7A上部形

五、發明說明(9)

成蓋絕緣膜材料之第1絕緣膜9A。

上述導電膜7A是將摻雜例P(磷)厚約70 nm之n型多結晶膜以CVD法堆積在閘極絕緣膜6上，接著在其上部以濺鍍法將厚約5 nm之WN(氮化鎢)膜及厚約60 nm之W(鎢)膜堆積而成。又絕緣膜9A雖可如以往用自動對齊穿孔(SAC)技術在導電膜9A上以CVD法堆積氮化矽膜，但在本實施形態是將例厚約50 nm之氧化矽膜、厚約70 nm之氮化矽膜、及厚約80 nm之氧化矽膜以CVD法堆積而成。即絕緣膜9A是在2層氧化矽膜之間，加入一層氮化矽膜共3層之絕緣膜構造。

其次如圖9所示以光阻膜20為光罩將絕緣膜9A以乾蝕法在形成閘極區導電體膜7A上形成前述3層絕緣膜(絕緣膜9A)構造之蓋絕緣膜9。

通常氧化矽對光阻蝕刻選擇比(對阻選擇比)較氮化矽為大，(氮化矽約1.3而氧化矽約1.6)。因此蓋絕緣材料(絕緣膜9A)以2層氧化矽膜及1層氮化矽膜構造和蓋絕緣材料只用1層氮化矽構造相比其對阻選擇比較大，因此光阻膜20之厚度減少可變小進而可提高蓋絕緣膜9加工尺寸精度。

其次將光阻膜20除去後，如圖10所示以蓋絕緣膜9為光罩將導電膜7A以乾蝕刻形成以多結晶矽膜、WN膜及W膜構成之閘極7(字元線WL)。以W膜及多結晶矽膜為主體即多金屬構造閘極7(字元線WL)和以多晶矽膜或多結晶矽耐火金屬矽化膜(高熔點金屬多晶矽耐火金屬矽化膜及多結晶矽膜之層積膜)構造閘極相比電阻較小，因此可減低字元線之信號延遲。又在W膜和多結晶矽膜之間，加入之WN膜在高溫

五、發明說明 (10)

處理時W膜和多結晶矽膜反應，具有防止在兩者界面形成高電阻之金屬矽化物層能障層之機能。可用WN膜或例TiN(氮化鈦)膜構成能障層。

如圖11所示閘極7(字元線WL)在和主動區L長邊交叉方向延伸，其閘極長約例 $0.13\mu\text{m}\sim 1.4\mu\text{m}$ ，兩相鄰閘極7(字元線WL)的間隔約例 $0.12\mu\text{m}$ 。

通常構成閘極材料(導電膜7A)一部分之W膜對氧化膜之蝕刻選擇比較對氮化膜之蝕刻選擇比為大(對氮化膜之選擇比為1.0而對氧化膜之選擇比為1.2)。因此以氧化膜構成蓋絕緣膜9之最上部和以氮化膜構成相比可得到較大之W膜選擇比。可以在蓋絕緣膜9之膜減小較少狀態下對閘極加工，這可提高對蓋絕緣膜9及對閘極7加工尺寸精度。又可以省去包夾氮化矽膜2層氧化矽膜中之任1層。

其次如圖12所示在p型阱中注入砷離子，在閘極7之兩側p型阱形成n型半導體區(源極、汲極區)8。到此為止記憶單元選擇用MISFETQt概略完成。接著在基板1上以CVD法堆積 $10\text{ nm}\sim 15\text{ nm}$ 左右薄氮化矽膜10A。這氮化矽膜10A是在往後步驟中，在閘極7之空間為形成接觸孔(開孔部)乾蝕刻時，防止元件分離溝4之內部氧化膜被削去當成蝕刻阻隔。因此若氧化矽膜5削去量不成問題時也可不必形成氮化矽膜10A。

其次如圖13所示在基板1上以CDV法堆積厚約 70 nm 之氧化矽膜21，在閘極7(字元線WL)之空間埋入氧化矽膜21。使用氧化矽膜21將周邊電路部之MISFET(n通道型MISFET

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(11)

及p通道型MISFET)做成LDD (Lightly Doped Drain)構造。即(圖示省略)上述氧化矽膜堆積後，在記憶部之基板1上覆上光阻膜，將周邊電路部之氧化矽膜以21非等方向性蝕刻在周邊電路部之閘極之側壁形成側壁絕緣膜。之後在周邊電路部之p型阱上注入As或P離子形成高雜質濃度之 n^+ 型半導體區(源極、汲極區)，在n型阱上注入B離子形成高雜質濃度之 p^+ 型半導體區域(源極、汲極區)。到此為止周邊電路部之n通道型MISFET及p通道型MISFET概略完成。

其次如圖14所示基板1上以CVD法堆積厚約600 nm之厚氧化矽膜22後，再用CMP法研磨使之平坦，將氧化矽膜22表面磨成和記憶部及周邊電路(未在圖上表示)等高。此時將構成蓋絕緣膜9一部分之氮化矽膜當成研磨阻隔將氧化矽膜22表面之高度切到蓋絕緣膜9之上面為止。

其次如圖15及圖16所示在氧化膜22上以CVD法堆積厚約10 nm之薄氧化矽膜23，接著在氧化矽膜23上部以CVD法堆積厚約70 nm之多結晶矽膜24A後，在多結晶矽膜24A上旋塗厚約60 nm之反射防止膜25及厚400 nm之光阻膜26。氧化矽膜23是為了修補在CMP研磨時下層氧化矽膜22表面細微傷痕。

其次如圖17及圖18所示以光阻膜26為光罩分別將反射防止膜25及多結晶矽膜24A之一部分以乾蝕刻形成耐蝕刻罩24。圖19是表示以多結晶矽膜24A構成之上述耐蝕刻罩24之圖樣(灰色部分)之平面圖。如圖所示耐蝕刻罩24上有橫切記憶部在主動區L之長邊方向延伸細長槽狀或溝狀開孔部27。為

五、發明說明（ 12 ）

了在閘極7之空間上形成接觸孔(開孔部) 12、13在耐蝕刻罩24開設這種槽狀(溝狀)開孔部27的理由容後再述。

其次除去光阻膜26及反射防止膜25後，如圖20及圖21所示以耐蝕刻罩24為光罩將開孔部27內部之氧化矽膜21、22、23乾蝕刻，在n型半導體區(源極、汲極區) 8之上部即閘極7之空間上形成接觸孔(開孔部) 12、13。接觸孔12、13之一端(接觸孔12)是用於和n型半導體區(源極、汲極區) 8之一端及位元線BL連接，另一端(接觸孔13)則是用於和n型半導體區(源極、汲極區) 8之他端及資料儲存用電容元件之下部電極41連接。

上述氧化矽膜21、22、23之乾蝕刻是以氮化矽膜10A及蓋絕緣膜9之一部所構成之氮化矽膜為蝕刻阻隔進行。因此不僅可防止在蝕刻氧化矽膜21、22、23時不慎削去元件分離溝4內部之氧化矽膜5，同時可防止將蓋絕緣膜9削去裸露出閘極7(字元線WL)等意外。到此為止的步驟在閘極7(字元線WL)之側壁上形成以氮化矽膜10A構成之側壁絕緣膜10。

其次如圖22及圖23所示在基板1上以CVD法堆積厚約30 nm氧化矽膜11A後，如圖24所示將氧化矽膜11A以非等方向性蝕刻在閘極7(字元線WL)之側壁形成以厚約30 nm之氧化矽膜11A構成之側壁絕緣膜11。此時如圖25所示沿槽狀(溝狀)之開孔部27之延伸方向氧化矽膜22、21之側壁也形成以氧化矽膜11A構成之側壁絕緣膜11。

上述氧化矽膜11A之非等方向蝕刻和前述氧化矽膜21、22、23之乾蝕刻同樣是以氮化矽膜10A及蓋絕緣膜9之一部分

五、發明說明(13)

氮化矽膜做為蝕刻阻隔來進行。因此在閘極7側壁形成之側壁絕緣膜11之高度變成比蓋絕緣膜9之上表面為低(圖24)。此時對側壁絕緣膜11施加之非等方向性蝕刻量即使考量以後，以蓋絕緣膜9之氮化矽膜為阻隔進行CMP時蓋絕緣膜減少的量，側壁絕緣膜11之上端及蓋絕緣膜9之上表面之高差也應預先保留，以便側壁絕緣膜11之上端確實高於蓋絕緣膜9之上表面。另一方面在氧化矽膜22、21上形成之側壁絕緣膜11比在閘極7之側壁形成之側壁絕緣膜11上端部之位置更高(圖25)。

依到此為止的步驟，在閘極7側壁形成由以薄膜之氮化矽膜(10A)及厚膜之氧化矽膜(11A)構成之2層側壁絕緣膜10、11。又由氧化矽膜(11A)構成之側壁絕緣膜11因為在閘極7之側壁上之高度比蓋絕緣膜9之上表面為低，故沿著在閘極7之空間上形成之接觸孔12、13之閘極長方向之斷面如圖24所示上部的徑(a)比底部的徑(b)為大($a > b$)。

其次如圖26及圖27所示在接觸孔12、13之底部殘留之薄氮化矽膜10A以乾蝕刻除去，使n型半導體區(源極、汲極區)8露出後，在因此乾蝕刻受損之n型半導體區(源極、汲極區)8表面進行輕微乾蝕刻。

其次如圖28及圖29所示以CVD法堆積例P摻雜厚約100 nm之n型多結晶矽膜14A，在接觸孔12、13的內部埋入n型多結晶矽膜14A。又在周邊電路區(未在圖上表示)上有比接觸孔12、13孔徑大的接觸孔時接觸孔內部之n型多結晶矽膜14A之膜厚不足，用以下方法將n型多結晶矽膜14A研磨時因恐

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

將周邊電路區之接觸孔之底部基板1切削，可在n型多結晶矽膜14A之上部以例CVD法再堆積厚約200 nm之氧化矽膜。

其次如圖30及圖31所示以CMP法研磨由n型多結晶矽膜14A、多結晶矽構成之耐蝕刻光罩24及其下層之氧化矽膜21、22、23，將接觸孔12、13外部之n型多結晶矽膜14A除去，在接觸孔12、13內部形成由n型多結晶矽膜14A構成之栓柱14。以蓋絕緣膜9之一部分之氮化矽膜阻隔進行此化學機械研磨。

如此在本實施形態首先用含有沿主動區L選擇電晶體長邊方向延伸槽狀(溝狀)之開孔部27的耐蝕刻光罩24蝕刻氧化膜21、22、23的方法在閘極7之空間形成接觸孔(開孔部)12、13。其次在以接觸孔12、13之壁面構成之閘極7之側壁及氧化矽膜22、21之側壁形成以氧化矽膜11A構成之側壁絕緣膜11後，在接觸孔12、13之內部形成栓柱14。

又在本實施形態因為具備蓋絕緣膜9之一部分是由氮化矽膜構成之層積構造，故在以CMP法研磨n型多結晶矽膜14A時可以前述氮化矽膜為阻隔，簡單地控制蓋絕緣膜9之厚度。

又本實施形態之蓋絕緣膜9因為是在前述CMP時在當成阻隔之氮化矽膜之下層設置氧化矽膜之層積構造，在對前述閘極7加工時可抑制從對光阻選擇比或鎢選擇比觀點來看不利之氮化矽膜之膜厚，以確保在研磨後蓋絕緣膜9之厚度。

圖32(a)是用有上述槽狀(溝狀)之開孔部27的耐蝕刻光罩24形成之接觸孔12之概略平面圖。因在此接觸孔12之側壁

五、發明說明 (15)

形成以氧化矽膜構成之側壁絕緣膜11，此側壁絕緣膜11之內側區(灰色部分)成為和在接觸孔12底部露出之n型半導體區8及栓柱14接觸區。

另一方面圖32(b)是用在接觸孔開孔區有孔狀開孔部30的耐蝕刻光罩形成之接觸孔12之概略平面圖。因在此接觸孔12之側壁形成側壁絕緣膜11，此側壁絕緣膜11之內側區(灰色部分)成為和在接觸孔12底部露出之n型半導體區8及栓柱14接觸區。然而以此有孔狀開孔部30的耐蝕刻光罩形成之接觸孔12時會因光罩對合偏離時開孔部30沿主動區L選擇電晶體之長邊方向偏離，如圖32(c)所示使n型半導體區8及栓柱14接觸區變小。與此相對若用有沿主動區L選擇電晶體長邊方向延伸槽狀(溝狀)之開孔部27的耐蝕刻光罩形成之接觸孔12，光罩對合偏離時開孔部27的位置縱使沿主動區選L之長邊方向偏離和n型半導體區8及栓柱14接觸區也不會變小。換言之以有槽狀(溝狀)之開孔部27的耐蝕刻光罩形成接觸孔12之本實施形態可確保和在接觸孔12埋入之栓柱14及n型半導體區8之接觸面積故可抑制栓柱14和n型半導體區8之間，接觸電阻增大。

依在耐蝕刻光罩上形成開孔部之形狀，栓柱14和n型半導體區8及接觸面積差是如以往自動對齊開孔(SAC)技術在閘極之側壁形成側壁絕緣膜後，在閘極之空間形成接觸孔之方法不同於如本實施形態在閘極之空間上形成接觸孔後，在閘極之側壁形成側壁絕緣膜之方法。

圖33(a)是關於在閘極之側壁形成側壁絕緣膜後，在閘極

五、發明說明 (16)

之空間上形成接觸孔之方法，槽狀(溝狀)之開孔部27之寬度及孔狀開孔部30之孔徑和上述接觸孔面積之關係圖。如圖所示在這種情形因開孔部30之形狀造成之接觸面積差小。另一方面圖33(b)是關於在閘極之空間上形成接觸孔後，在閘極之側壁形成側壁絕緣膜方法槽狀(溝狀)之開孔部27之寬度及孔狀開孔部之孔徑和上述接觸孔面積之關係圖。如圖所示在這種情形因開孔部之形狀造成之接觸面積差相當明顯，隨加工尺寸細微化接觸面積差變得更大。

其次如圖34~圖36所示在基板1上以CVD法堆積厚約300 nm之氧化矽膜31後，以光阻膜(未在圖上表示)為光罩乾蝕刻接觸孔12上部之氧化矽膜31形成往後形成之位元線BL和接觸孔12連接之通孔32。此時在周邊電路區(未在圖上表示)上也形成為和第1層之配線及元件連接之接觸孔。又在乾蝕刻接觸孔12上部之氧化矽膜31時為了防止削去埋在接觸孔12之栓柱14，在氧化矽膜31之下層堆積厚約10 nm之氮化矽膜(未在圖上表示)，將此氮化矽膜回蝕，也可在乾蝕刻氧化矽膜31後，再蝕刻氮化矽膜。

其次在通孔32內部形成栓柱33。栓柱33是以CVD法在氧化矽膜31上部堆積TiN等能障金屬膜，接著在能障金屬膜上部以CVD法堆積W膜，在通孔32內部將這些膜埋入後，以CMP法除去在通孔32外部之這些膜等步驟形成。此時在周邊電路區(未在圖上表示)之接觸孔內部也形成栓柱33。

其次如圖37~圖39所示在氧化矽膜31上部形成位元線BL。位元線BL是在氧化矽膜31上部以濺鍍法堆積厚約10 nm之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

TiN膜(或WN膜)及厚約50 nm之W膜後，以光阻膜為光罩將這膜乾蝕等步驟形成。位元線BL是用來通電連接埋在通孔32內部之栓柱33和介於埋在接觸孔12內部栓柱14之記憶單元選擇用MISFETQt之n型半導體區(源極、汲極區)8之一端。又元位線BL也可以用如特願平11-115871號記載之波紋鑲嵌(Damascene)法形成。

如此本實施形態之DRAM在記憶單元選擇用MISFETQt之閘極7之側壁上形成由氮化矽膜構成之側壁絕緣膜10及由氧化矽膜構成之側壁絕緣膜11，以這些側壁絕緣膜10、11將閘極7包圍，在閘極7之空間之接觸孔12、13內埋入栓柱14。因此和以往只用比氧化矽膜比介電常數大之氮化矽膜構成側壁絕緣膜之SAC技術比因可降低側壁絕緣膜之實效比介電常數，可降低位元線電容之主要成分對字元線電容量。

又本實施形態之DRAM是以氧化矽膜及氮化矽膜堆積在閘極7上部之蓋絕緣膜9上之層積膜所構成。因此只用比氧化矽膜比介電常數大之氮化矽膜構成蓋絕緣膜之SAC技術比因可降低蓋絕緣膜之實效比介電常數，可更進一步降低對字元線電容量。

其次如圖40所示在位元線BL上以CVD法堆積厚約300 nm之氧化矽膜34後，將其表面以CMP法磨平。然後以CVD法堆積厚約50 nm之氮化矽膜35後，乾蝕刻氮化矽膜35及氧化矽膜35、31在埋入前述栓柱14之接觸孔13上部形成通孔36。

其次在通孔36內部形成栓柱37，進一步在栓柱37之表面形成金屬能障膜38。栓柱37和金屬能障膜38是用以下方法

五、發明說明 (18)

形成。在氮化矽膜35上部以CVD法堆積P摻雜之n型多結晶矽膜，以於通孔36之內部埋設n型多結晶矽膜後，再用乾式蝕刻除去通孔外部之n型多結晶膜。此時，將在通孔36內部之n型多結晶矽膜過蝕刻使得栓柱37之表面退到氮化矽膜35表面下方，確保在氮化矽膜35上部埋入金屬能障膜38之空間。接著在通孔36內之栓柱37上部埋入TaN (氮化鉭)膜後，以CMP法磨除通孔36外部之TaN膜。

其次介於在通孔36上部形成之資料儲存用電容元件通道之下部電極及栓柱37之間的上述金屬能障膜38，其目的是在形成資料儲存用電容元件C之電容絕緣膜在高溫熱處理時抑制在構成下部電極之Ru膜及構成栓柱37之多結晶矽膜之界面產生不必要的反應。

如前所述在閘極7之側壁形成之2層側壁絕緣膜10、11，其中外側側壁絕緣膜11因為在閘極7之側壁上之高度比蓋絕緣膜9之上部為低，故沿著閘極長方向接觸孔12、13之斷面上部的徑比底部的徑為大(參照圖24)。即埋在接觸孔12、13內部之栓柱14之徑和在接觸孔12、13之底部比上部為大。

藉此，在接觸孔13之上部形成通孔36時，縱使光罩對合偏離使通孔36之中心偏離接觸孔13之中心，因接觸孔13之表面積夠大仍可確保兩者之接觸面積。

之後，在通孔36之上部形成由下部電極41、電容絕緣膜42及上部電極43構成之資料儲存用電容元件C，經由埋在通孔36內部之栓柱37及接觸孔13內部之栓柱14資料儲存用電容元件C之下部電極41和記憶單元選擇用MISFETQt之n型半導

五、發明說明（19）

體區（源極、汲極區）8之另一端通電連接，完成圖2所示DRAM記憶單元。

資料儲存用電容元件C形成時如圖41所示在氮化矽膜35上部以CVD法堆積厚約 $1\mu\text{m}$ 之厚氧化矽膜39，接著以光阻膜為光罩將氧化矽膜39乾蝕刻在通孔36上部形成溝40。以氮化矽膜35為阻隔蝕刻矽氧化膜39避免下層之氧化矽膜34被削除。

其次在光阻膜除去後，在包含溝40內部之氧化矽膜39部以CVD法堆積厚約70~80 nm之Ru膜。其次為防止除去溝40內部之Ru膜，在溝40內部埋入光阻膜後，以乾蝕刻除去沒被光阻膜包覆之溝40外部之Ru膜，再用拋光的方法除去埋在溝40內部之Ru膜，如此形成溝40側壁及底部由Ru膜構成之下部電極41。

其次在包含形成下部電極41之溝40內部之氧化矽膜39上形成電容絕緣膜42。電容絕緣膜42是以CVD法堆積厚約20 nm之BST膜所構成。除BST膜以外也可用其他如 BaTiO_3 （鈦酸鋇）、 PbTiO_3 （鈦酸鉛）、PZT、PLT、PLZT等Perovskite型金屬氧化物高導電膜構成電容絕緣膜42。其次在電容絕緣膜42上部形成上部電極43。上部電極43是以CVD法或濺鍍法堆積厚約200 nm之Ru膜所構成。到此為止完成由Ru膜構成之下部電極41、BST膜構成之電容絕緣膜42及由Ru膜構成上部電極43之資料儲存用電容元件C。此後在資料儲存用電容元件C上部形成包夾層間絕緣膜約2層之A1配線，在最上層A1配線上部形成保護膜（圖示省略）。

五、發明說明（20）

實施形態2

以圖42~圖45步驟順序說明本實施形態之DRAM製造方法。首先如圖42所示和前述實施形態1相同的方法形成記憶單元選擇用MISFETQt，接著在其上部形成氧化矽膜21~23後，在氧化矽膜23上部形成耐蝕光罩24。到此為止之步驟和前述實施形態1之圖3~圖18所示相同。

其次如圖43所示以耐蝕光罩24為光罩乾蝕刻氧化矽膜21、22、23，在閘極7之空間形成接觸孔(開孔部)12、13。此時在本實施形態也蝕刻覆在n型半導體區(源極、汲極區)8上之氮化矽膜10A，使n型半導體區(源極、汲極區)8從接觸孔(開孔部)12、13之底部露出。和前述實施形態1相同到此為止在閘極7(字元線WL)之側壁形成以氮化矽膜10A構成之側壁絕緣膜10。

其次在因乾蝕受損之n型半導體區(源極、汲極區)8表面輕微乾蝕後，如圖44所示在基板1以CVD法堆積厚約30 nm之氧化矽膜11A，接著如圖45所示非等方向性蝕刻氧化矽膜11A，在閘極7(字元線WL)之側壁形成厚約30 nm之氧化矽膜11A構成之側壁絕緣膜11。此後之步驟和前述實施形態1相同。

如此本實施形態之製造方法是在接觸孔12、13底部之氮化矽10A膜除去後，因在閘極7(字元線WL)之側壁形成側壁絕緣膜11，不會在側壁絕緣膜11之底部殘留氮化矽膜10A。(圖45)。

另一方面如前述第1實施形態之製造方法在閘極7(字元線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

WL)之側壁形成側壁絕緣膜11後，除去在接觸孔12、13底部之氮化矽膜10A，在側壁絕緣膜11之底部殘留氮化矽膜10A(圖26)。如此若在閘極7(字元線WL)之側壁端部殘留氮化矽膜10A，會使此氮化矽膜10A及其下層之閘極絕緣膜6之介面帶電，造成記憶單元漏電流變動之主因。

本實施形態之製造方法因在閘電極7(字元線WL)之側壁端部不留任何氮化矽膜10A，故可防止上述記憶單元特性變動等不良情形。

以上是以本發明實施形態之具體說明。但不限於前述實施形態，只要不超出其要旨範圍可有各種變更。

發明之效果

以下簡單說明本發明代表性效果。

本發明可降低位元線之電容因此在讀取資料儲存用電容元件積存之電荷(資料)時可加大信號電壓，使得信號之雜訊容忍變大，且可延遲再生週期減低電力消費。

又接在一條位元線上之記憶單數增加可減少讀出放大器個數，從而縮小晶片面積，增加單位晶圓之晶片數提高材料使用率。

圖式之簡單說明

【圖1】

形成本發明之一種實施態DRAM半導體晶片全體平面圖。

【圖2】

表示本發明之一種實施態DRAM構成半導體基板重要部分斷面圖。

五、發明說明（ 22 ）

【 圖 3 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分平面圖。

【 圖 4 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 5 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 6 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 7 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 8 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 9 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 10 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明（ 23 ）

【 圖 11 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分平面圖。

【 圖 12 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 13 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 14 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 15 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 16 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 17 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 18 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

五、發明說明（ 24 ）

【 圖 19 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分平面圖。

【 圖 20 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 21 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 22 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 23 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 24 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 25 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 26 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明（ 25 ）

【 圖 27 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 28 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 29 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 30 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 31 】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【 圖 32 】

(a) 是使用有溝狀開孔部之耐蝕刻光罩形成接觸孔之概略平面圖，(b) 及 (c) 是使用有孔狀開孔部之耐蝕刻光罩形成接觸孔之概略平面圖。

【 圖 33 】

(a) 是關於在閘極側壁形成側壁絕緣膜後，在閘極空間形成接觸孔之情形，溝狀開孔部之寬度及孔狀開孔部之徑及接觸面積之關係圖，(b) 是關於在閘極空間形成接觸孔後，在閘極側壁形成側壁絕緣膜之情形，溝狀開孔部之寬度及

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

孔狀開孔部之徑及接觸面積之關係圖。

【圖34】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分平面圖。

【圖35】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分斷面圖。

【圖36】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分斷面圖。

【圖37】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分平面圖。

【圖38】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分斷面圖。

【圖39】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分斷面圖。

【圖40】

表示本發明之一種實施態DRAM之製造方法半導體基板之重要部分斷面圖。

【圖41】

表示本發明之一種實施態DRAM之製造方法半導體基板之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (27)

重要部分斷面圖。

【圖 42】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分平面圖。

【圖 43】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【圖 44】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

【圖 45】

表示本發明之一種實施態 DRAM 之製造方法半導體基板之重要部分斷面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

減低記憶單元體積微小化DRAM之位元線電容。

將閘極電極7（字元線WL）之側壁絕緣膜以氮化矽側壁絕緣膜10及比這介電常數小之氧化矽側壁絕緣膜11構成，降低在閘極電極7（字元線WL）上形成位元線之對字元線電容。又將以氧化矽側壁絕緣膜11上端部的高做成比蓋絕緣膜9之上面高度為低，埋在閘極電極7（字元線WL）的空間（接觸孔12、13）之栓柱其上部之徑比底部之徑為大，以確保接觸孔13及在其上部形成之通孔的接觸面積。

英文發明摘要（發明之名稱：SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND PROCESS FOR MANUFACTURING THE SAME）

【課題】 メモリセルサイズが微細化されたDRAMのビット線容量を低減する。

【解決手段】 ゲート電極7（ワード線WL）の側壁絶縁膜を、窒化シリコンからなる側壁絶縁膜10とそれよりも比誘電率が小さい酸化シリコンからなる側壁絶縁膜11とによって構成し、ゲート電極7（ワード線WL）の上部に形成されるビット線に対するワード線容量を低減する。また、酸化シリコンからなる側壁絶縁膜11の上端部の高さを、キャップ絶縁膜9の上面の高さよりも低くすることによって、ゲート電極7（ワード線WL）のスペース（コンタクトホール12、13）に埋め込まれるプラグ14の上部の径を底部の径よりも大きくし、コンタクトホール13とその上部に形成されるスルーホールとの接触面積を確保する。

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵為具有：MISFET，形成在半導體基板上；接觸孔，形成在前述MISFET之源極、汲極區上；導電體，形成在前述接觸孔內部且與前述源極、汲極區通電連接；及第1絕緣膜，形成在前述導電體周圍，其中前述第1絕緣膜在前述接觸孔底部係包圍前述導電體之周圍而形成，而在前述接觸孔上部則至少除去一部分而不包圍前述導電體之周圍而形成。
2. 一種半導體積體電路裝置，其特徵為具有：MISFET，形成在半導體基板上；接觸孔，形成在前述MISFET之源極、汲極區上；導電體，形成在前述接觸孔內部且與前述源極、汲極區通電連接；及第1絕緣膜，形成在前述導電體周圍，其中前述第1絕緣膜之高度部分或全體比前述導電體為低。
3. 根據申請專利範圍第2項之半導體積體電路裝置，其中前述第1絕緣膜高度低的部分被前述導電體覆蓋。
4. 根據申請專利範圍第2項之半導體積體電路裝置，其中前述MISFET之閘極上形成蓋絕緣膜，前述第1絕緣膜低的部分之高度比前述閘極之上端部為高，前述蓋絕緣膜之上端部為低。
5. 根據申請專利範圍第4項之半導體積體電路裝置，其中前述蓋絕緣膜是以氮化矽為主成分。
6. 根據申請專利範圍第4項之半導體積體電路裝置，其中前述第1絕緣膜之比介電常數比前述蓋絕緣膜之比介電常數為小。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

7. 一種半導體積體電路裝置，其特徵為具有：MISFET，形成在半導體基板上；接觸孔，形成在前述MISFET之源極、汲極區上；導電體，形成在前述接觸孔內部且與前述源極、汲極區通電連接；第1側壁絕緣膜，包圍前述導電體周圍而形成，及第2側壁絕緣膜，包圍前述第1側壁絕緣膜周圍而形成，其中前述第1側壁絕緣膜之高度部分或全體比前述第2側壁絕緣膜為低。
8. 根據申請專利範圍第7項之半導體積體電路裝置，其中前述第1側壁絕緣膜是以氧化矽為主成分，前述第2側壁絕緣膜是以氮化矽為主成分。
9. 根據申請專利範圍第7項之半導體積體電路裝置，其中前述第1側壁絕緣膜之高度低的部分被前述導電體覆蓋。
10. 根據申請專利範圍第7項之半導體積體電路裝置，其中前述第1側壁絕緣膜之膜厚比前述第2側壁絕緣膜之膜厚為大。
11. 根據申請專利範圍第10項之半導體積體電路裝置，其中前述第1側壁絕緣膜之比介電常數比前述第2側壁絕緣膜之比介電常數為小。
12. 一種半導體積體電路裝置，其特徵為具有：第1及第2字元線，形成在半導體基板上；第1及第2絕緣膜，分別形成在前述第1及第2字元線上；接觸孔，形成在前述第1及第2字元線之間；及導電體，形成在前述接觸孔內部；其中前述第1及第2字元線之間，形成第3及第4絕緣膜構成前述接觸孔側壁，在前述導電體周圍形成第5絕緣膜，前

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

六、申請專利範圍

- 述第5側壁絕緣膜之高度部分或全體比前述第3及第4側壁絕緣膜之上端部為低。
13. 根據申請專利範圍第12項之半導體積體電路裝置，其中前述第5絕緣膜之高度低的部分被前述導電體覆蓋。
14. 根據申請專利範圍第12項之半導體積體電路裝置，其中前述半導體基板上形成以前述第1字元線的一部分為閘極之第1 MISFET及以前述第2字元線的一部分為閘極之第2 MISFET之，在前述接觸孔內部形成之前述導電體和前述第1及2 MISFET之源極、汲極區之一者通電連接。
15. 一種半導體積體電路裝置之製造方法，其包含以下步驟：
- (a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；
- (b)蝕刻前述第1導電膜及第1絕緣膜，以形成第1及第2字元線、及覆蓋前述第1及第2字元線上部之第1及第2蓋絕緣膜之步驟；
- (c)形成以前述第1字元線之一部分為閘極之第1 MISFET及以前述第2字元線之一部分為閘極之第2 MISFET之步驟；
- (d)在包含前述第1及第2字元線之間，前述半導體基板上形成第2絕緣膜後，在前述第2絕緣膜上形成具有溝狀開孔部之光罩圖樣之步驟；
- (e)用具有溝狀開孔部之光罩圖樣、及前述第1及第2蓋絕緣膜做為光罩蝕刻前述第2絕緣膜，在前述第1及第2 MISFET之源極、汲極區之一者之上部形成開孔部，並在

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

前述源極、汲極區之另一者之上部形成第2開孔部之步驟；

(f)在前述第1及2開孔部內部形成第2導電膜之步驟；及

(g)形成穿過前述第1開孔和前述源極、汲極區一側通電連接之位元線、穿過前述第2開孔和前述源極、汲極區另一側通電連接之電容元件之步驟。

16. 根據申請專利範圍第15項之半導體積體電路裝置之製造方法，其中前述光罩圖樣之開孔部是跨越在第1及第2字元線之上部形成的。

17. 一種半導體積體電路裝置之製造方法，其包含以下步驟：

(a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；

(b)蝕刻前述第1導電膜及第1絕緣膜，以形成第1及第2配線、及覆蓋前述第1及第2配線上部之第1及第2蓋絕緣膜之步驟；

(c)在包含前述第1及第2配線之間，前述半導體基板上形成第2絕緣膜後，在前述第2絕緣膜上形成具有溝狀開孔部之第1膜之步驟；

(d)以前述第1膜為光罩，以前述第1及第2蓋絕緣膜為蝕刻阻隔膜，蝕刻第2絕緣膜，以在前述第2絕緣膜上形成開孔部之步驟；

(e)在前述開孔部內部形成側壁絕緣膜之步驟；

(f)除去一部分前述側壁絕緣膜之步驟；及

(g)在形成前述側壁絕緣膜之前述開孔部內部形成栓柱

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

之步驟。

18. 根據申請專利範圍第17項之半導體積體電路裝置之製造方法，其中前述(g)步驟包含在包含開孔部內部之前述半導體基板上形成第2導體膜之步驟，及除去在前述蓋絕緣膜上之前述第2導電膜，在前述開孔部內部形成以第2導電膜之一部分構成之栓柱之步驟。
19. 根據申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述蓋絕緣膜之前述第2導電膜之除去步驟是以CMP法或回蝕法進行。
20. 根據申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述蓋絕緣膜之前述第2導電膜之除去步驟是以前述蓋絕緣膜阻隔之CMP法或回蝕法進行。
21. 根據申請專利範圍第17項之半導體積體電路裝置之製造方法，其中前述(f)步驟為其前述側壁絕緣膜至少一部分的高度做成較前述蓋絕緣膜之上面為低者。
22. 根據申請專利範圍第21項之半導體積體電路裝置之製造方法，其中前述(f)步驟為以非等方向性蝕刻法進行者。
23. 根據申請專利範圍第17項之半導體積體電路裝置之製造方法，其中另包含在進行前述(c)步驟之前在包含第1及第2配線之間，前述半導體基板上形成第3絕緣膜之步驟。
24. 根據申請專利範圍第23項之半導體積體電路裝置之製造方法，其中前述(f)步驟是以前述第3絕緣膜為蝕刻阻隔進行非等方向性蝕刻者。
25. 根據申請專利範圍第23項之半導體積體電路裝置之製造

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

方法，其中前述第3絕緣膜之厚度比前述側壁絕緣膜之膜厚小。

26. 根據申請專利範圍第23項之半導體積體電路裝置之製造方法，其中前述第3絕緣膜之比介電常數比前述側壁絕緣膜之比介電常數小。

27. 根據申請專利範圍第17項之半導體積體電路裝置之製造方法，其中沿前述第1及第2配線寬度方向前述側壁絕緣膜之膜厚大約等同於前述第1及第2配線和前述開孔部合併稍大的厚度。

28. 一種半導體積體電路裝置之製造方法，其包含以下步驟：

(a)在半導體基板上形成第1導電膜後，在前述第1導電膜上部形成第1絕緣膜之步驟；

(b)在前述第1絕緣膜上形成第2絕緣膜後，在前述第2絕緣膜上形成光阻膜之步驟；

(c)以前述光阻膜為光罩蝕刻前述第1及第2絕緣膜之步驟；

(d)以前述第1絕緣膜為光罩蝕刻前述第1導電膜以形成第1及第2配線之步驟；

(e)在包含前述第1及第2配線之間，前述半導體基板上形成第3絕緣膜後，在前述第3絕緣膜上形成第1膜之步驟；及

(f)以相對於前述第1膜及第1絕緣膜之蝕刻速度比前述第2絕緣膜之蝕刻速度為小的方法蝕刻第2絕緣膜以形成前述第1及第2配線間開孔之步驟。

(請先閱讀背面之注意事項再填寫本頁)

訂線

六、申請專利範圍

29. 根據申請專利範圍第28項之半導體積體電路裝置之製造方法，其中前述(c)步驟之蝕刻相對第2絕緣膜之蝕刻速度比前述第1絕緣膜之蝕刻速度為大的方法進行。
30. 根據申請專利範圍第28項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜是以氮化矽為主成分構成之絕緣膜，前述第2側壁絕緣膜是以氧化矽為主成分構成之絕緣膜。
31. 根據申請專利範圍第28項之半導體積體電路裝置之製造方法，其中前述第1絕緣膜是以氧化矽為主成分之絕緣膜及其上部形成之氮化矽為主成分之絕緣膜所構成，前述第2側壁絕緣膜是以氮化矽為主成分所構成。
32. 根據申請專利範圍第28項之半導體積體電路裝置之製造方法，其另包含以下步驟：
 - (g)在包含前開孔部側壁上之前述半導體基板主面上形成第4絕緣膜之步驟；及
 - (h)對前述第4絕緣膜之蝕刻速度比對前述第1絕緣膜之蝕刻速度為大的方法將前述第4絕緣膜以非方向性蝕刻在前述開孔部之側壁上形成以前述第4絕緣膜的一部分構成之側壁絕緣膜。

(請先閱讀背面之注意事項再填寫本頁)

訂 線

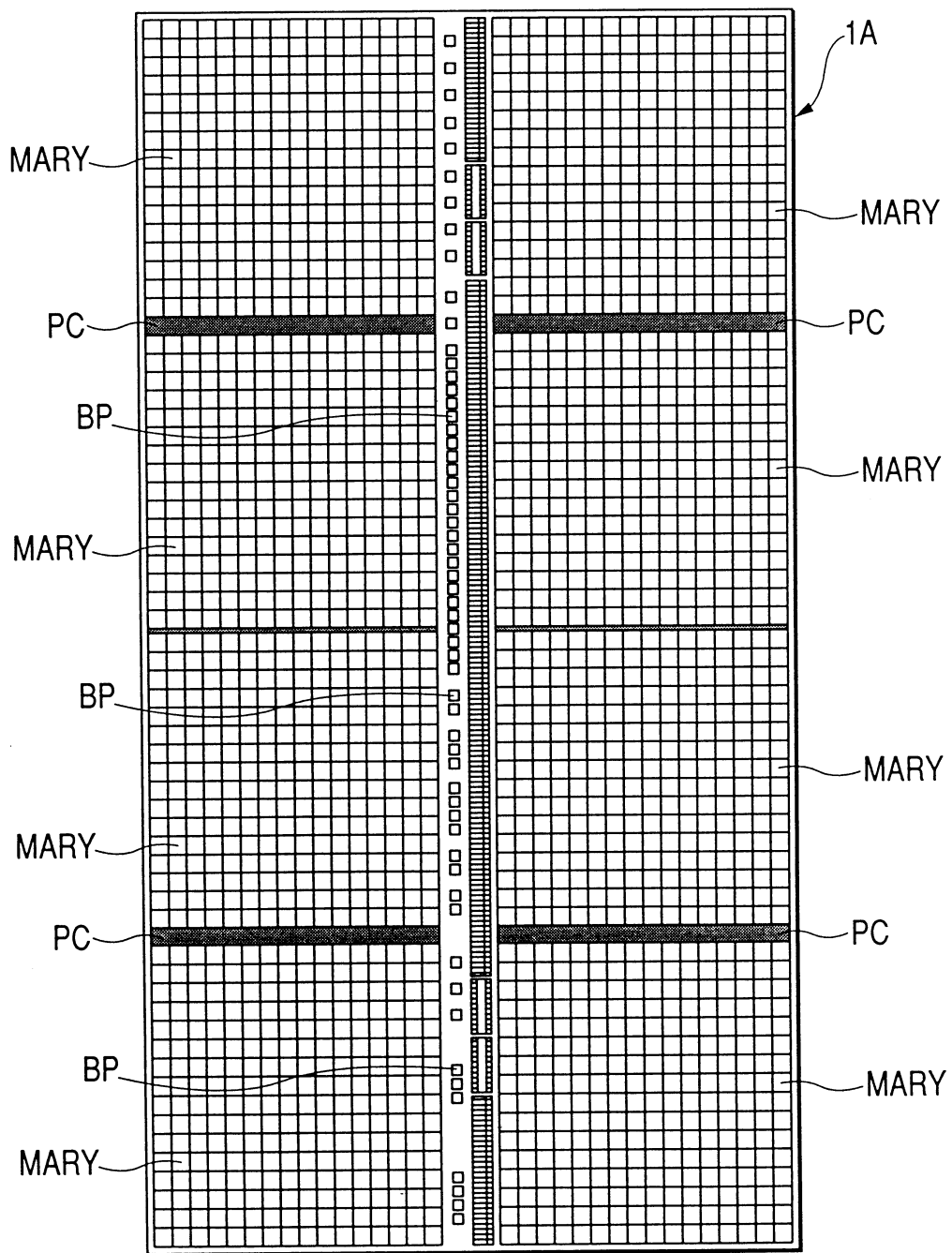


圖 1

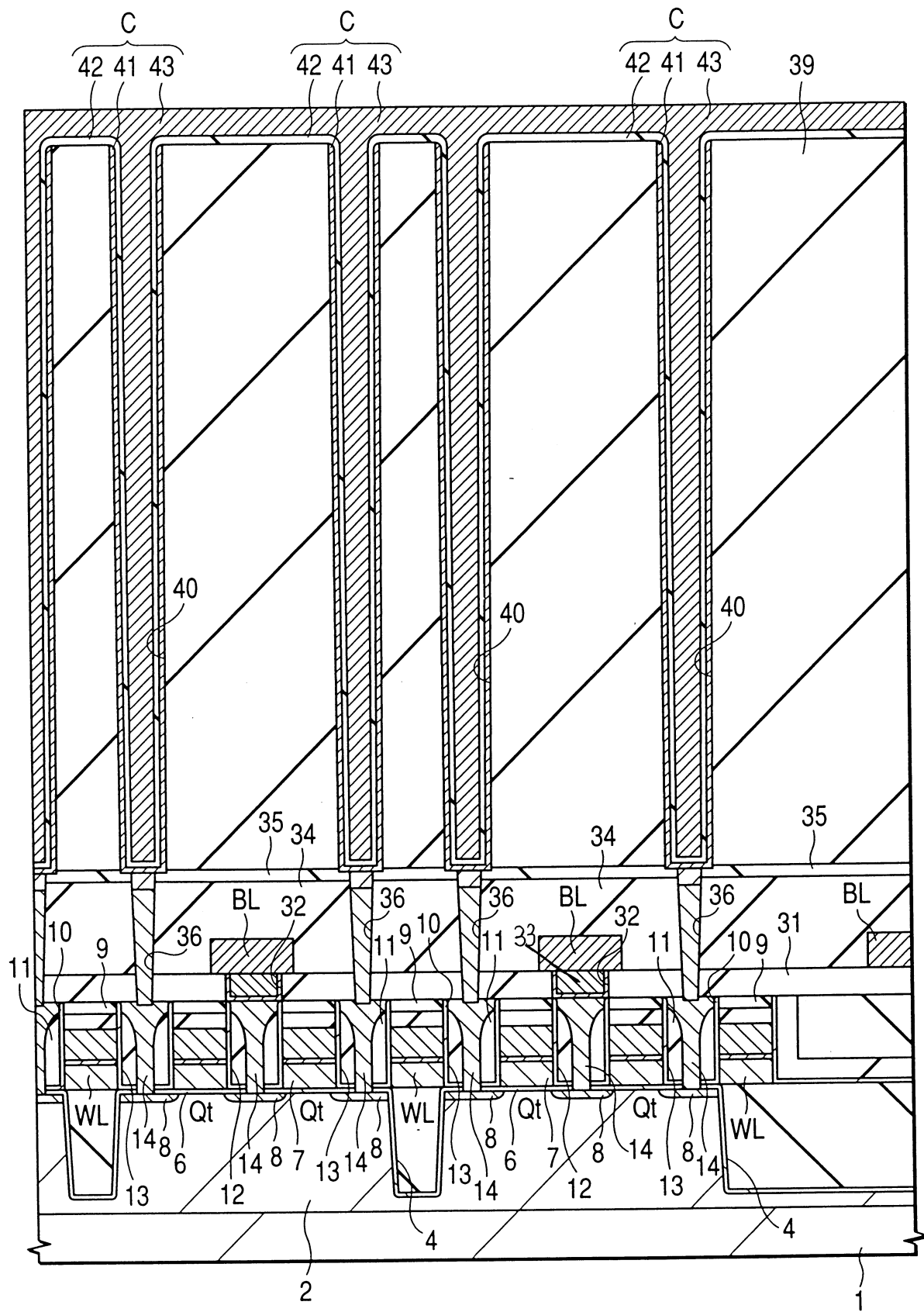
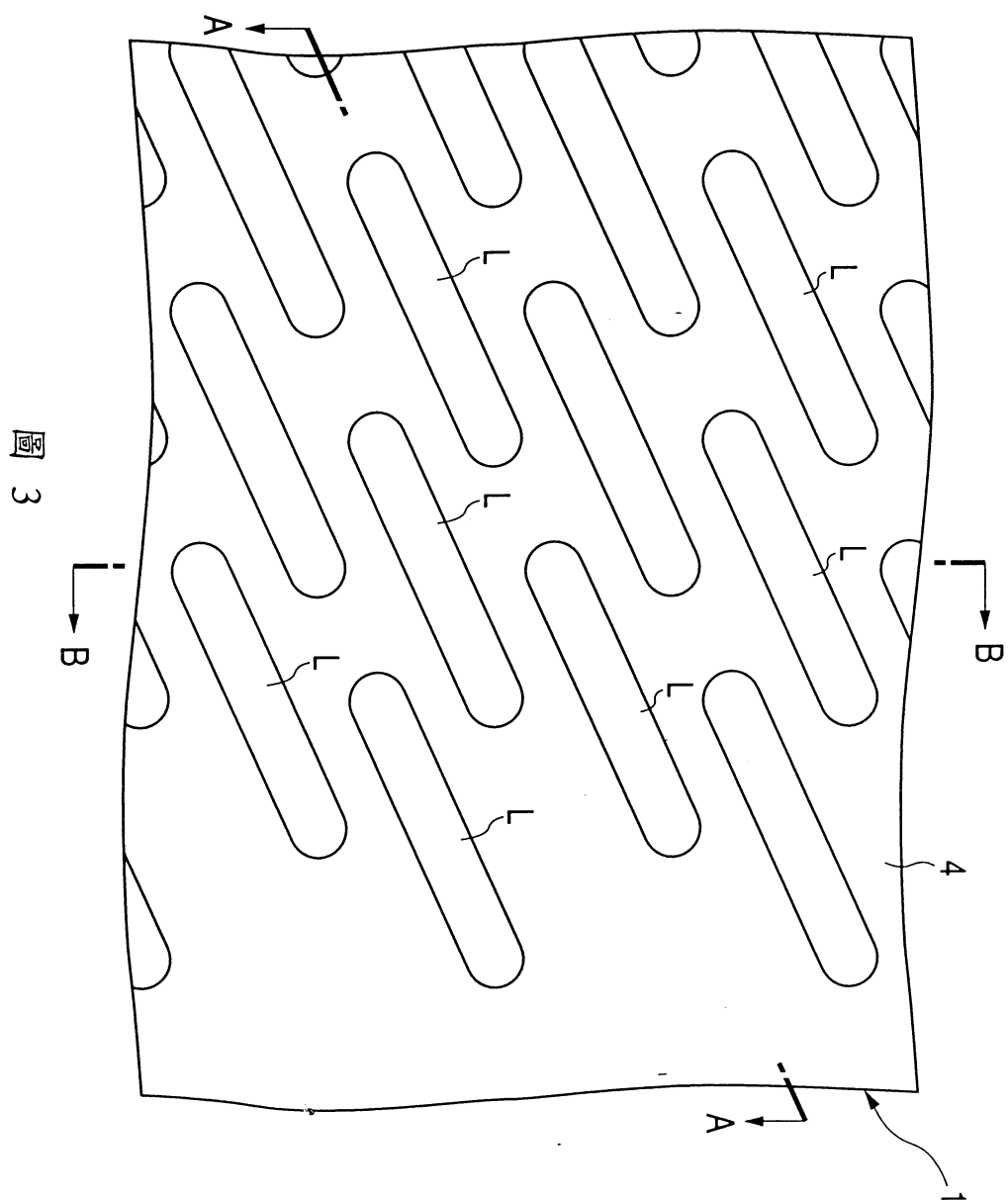


圖 2



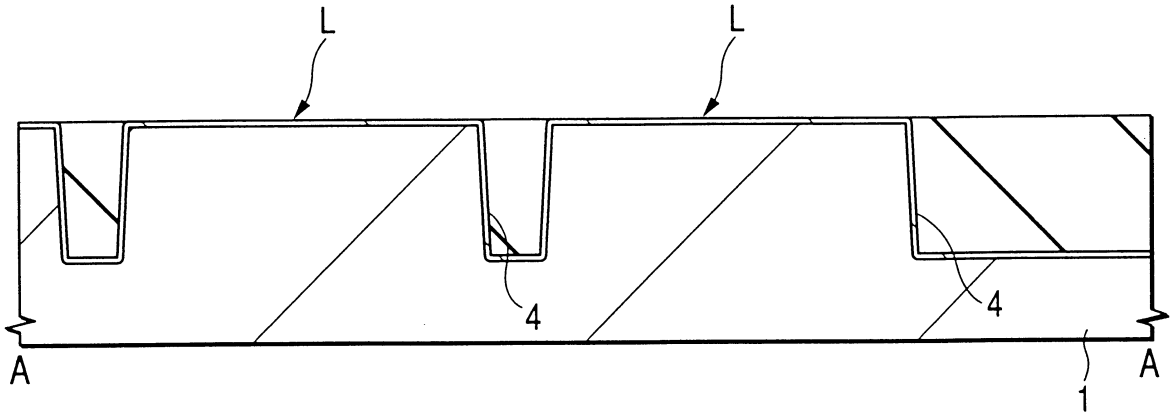


圖 4

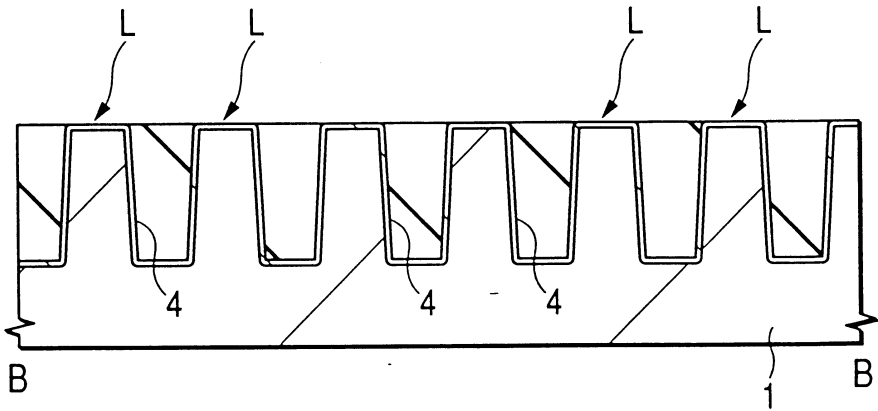


圖 5

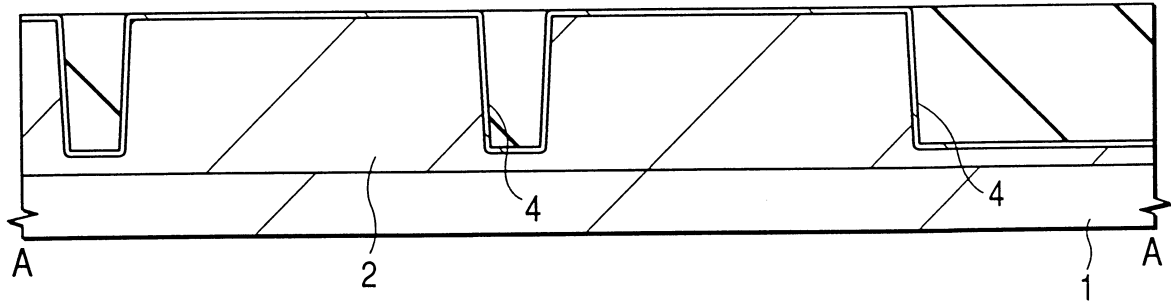


圖 6

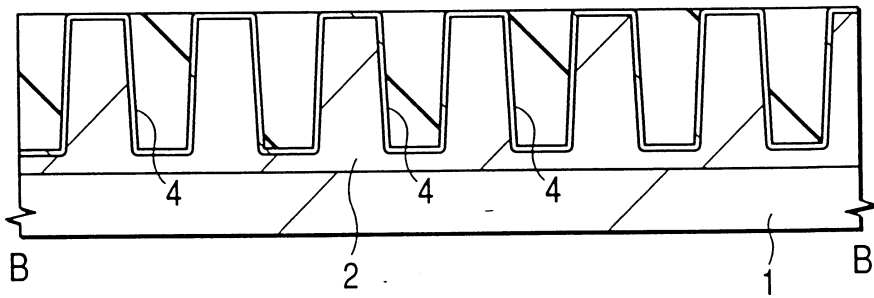


圖 7

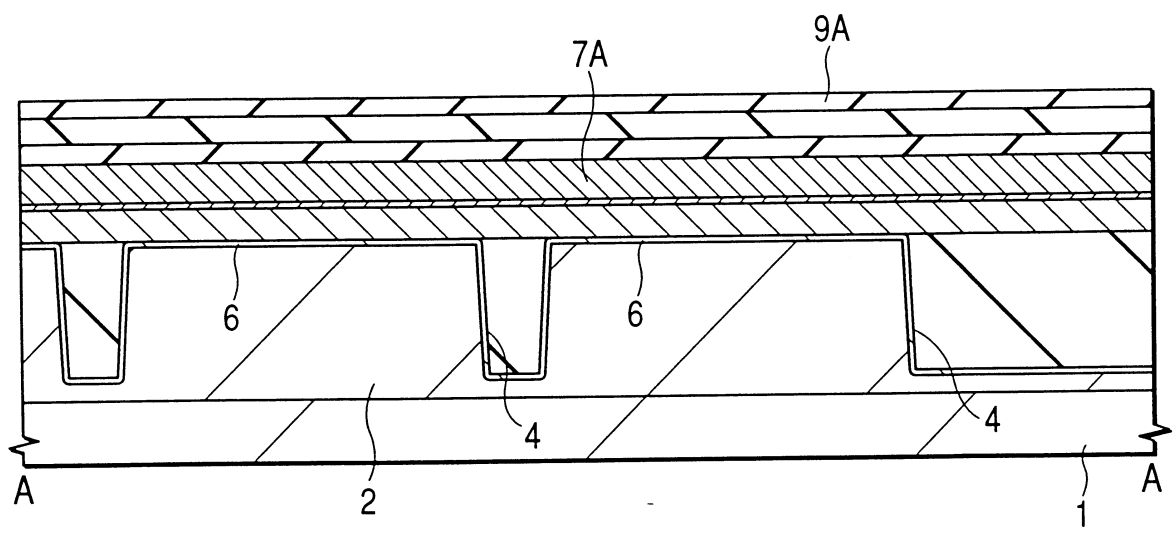


圖 8

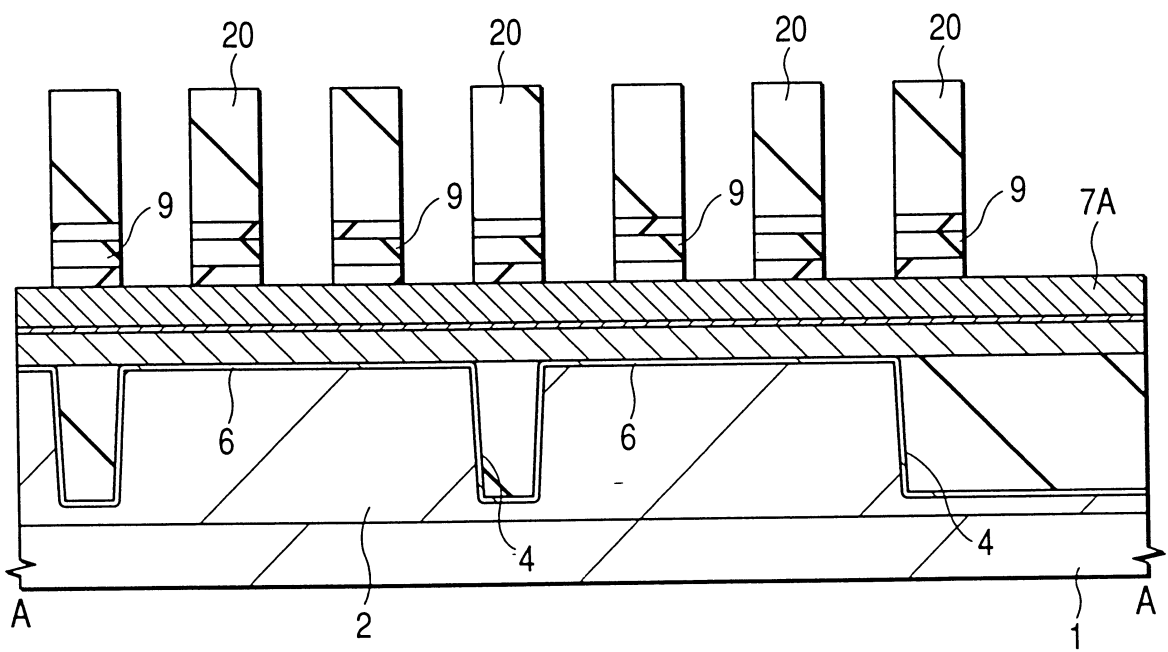


圖 9

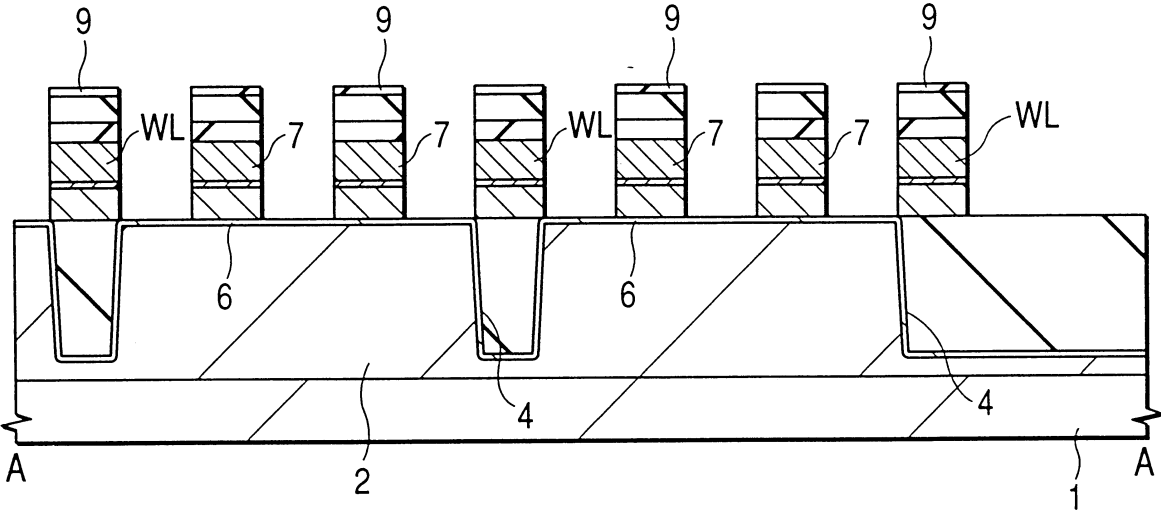


圖 10

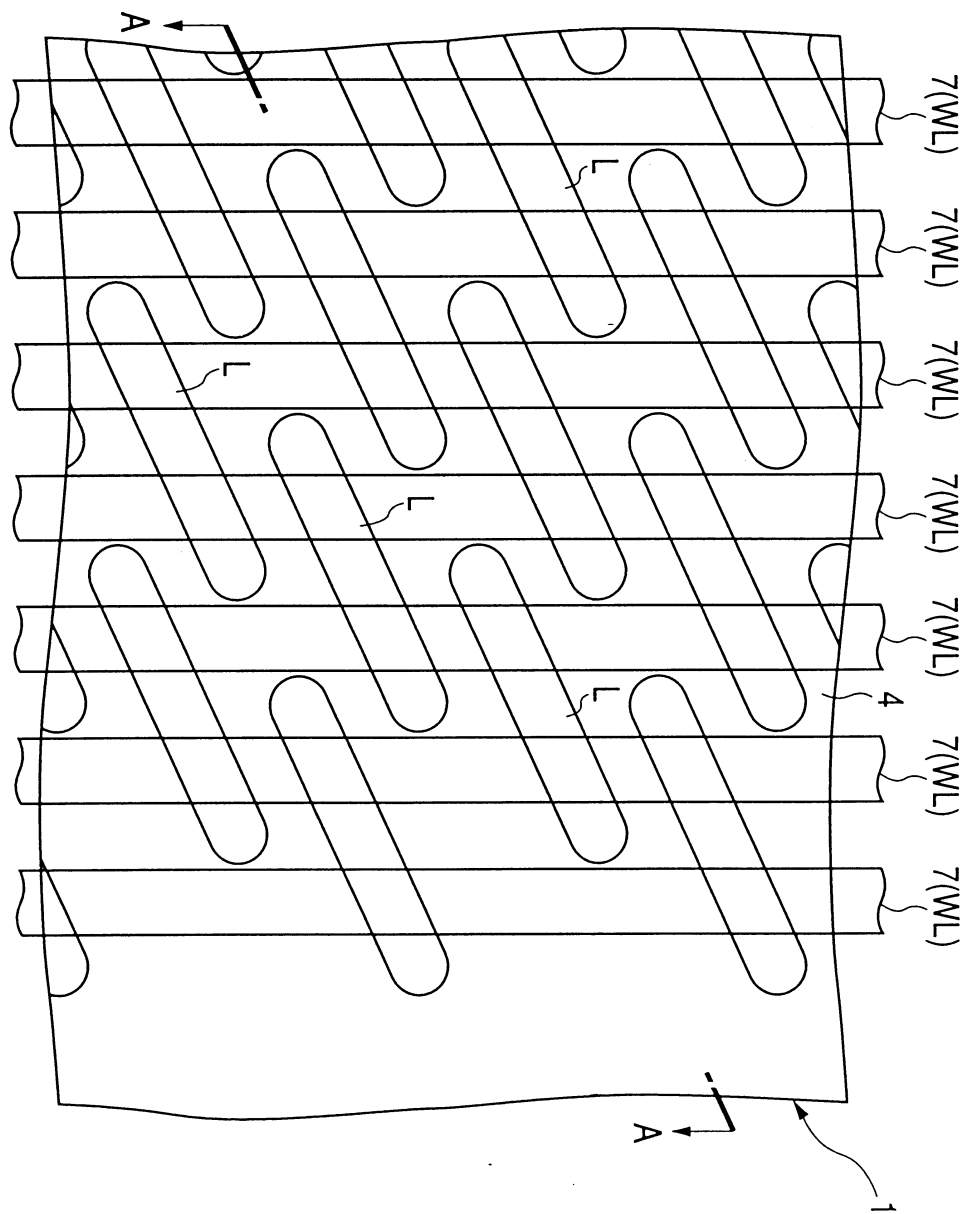


圖 11

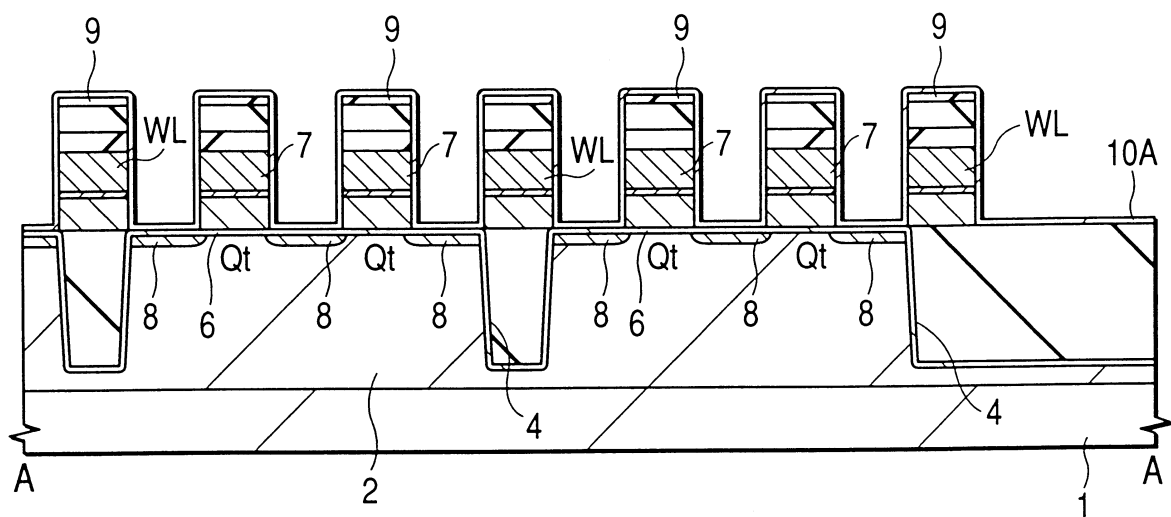


圖 12

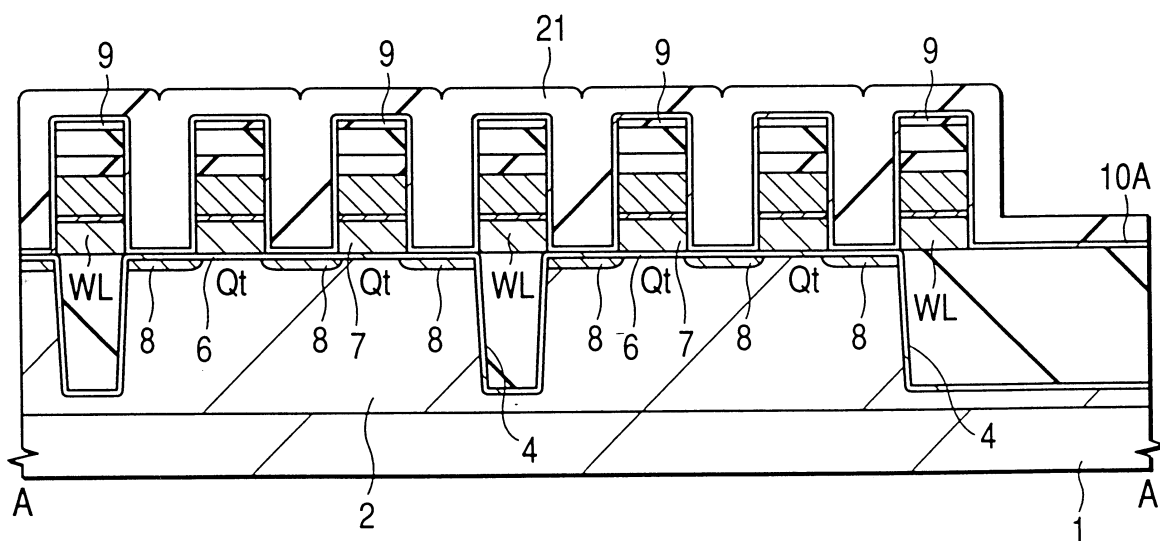


圖 13

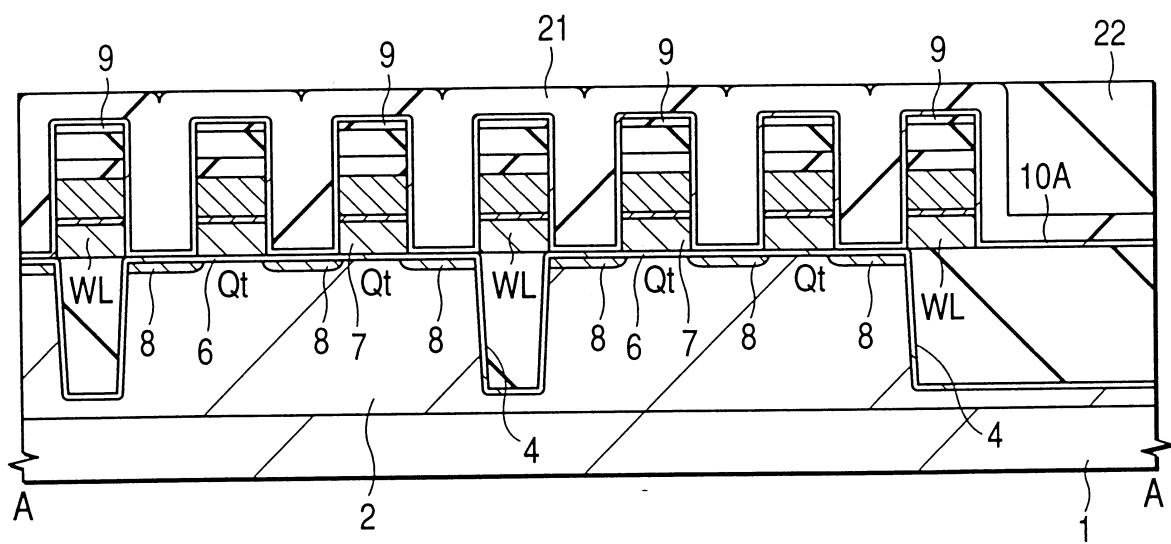


圖 14

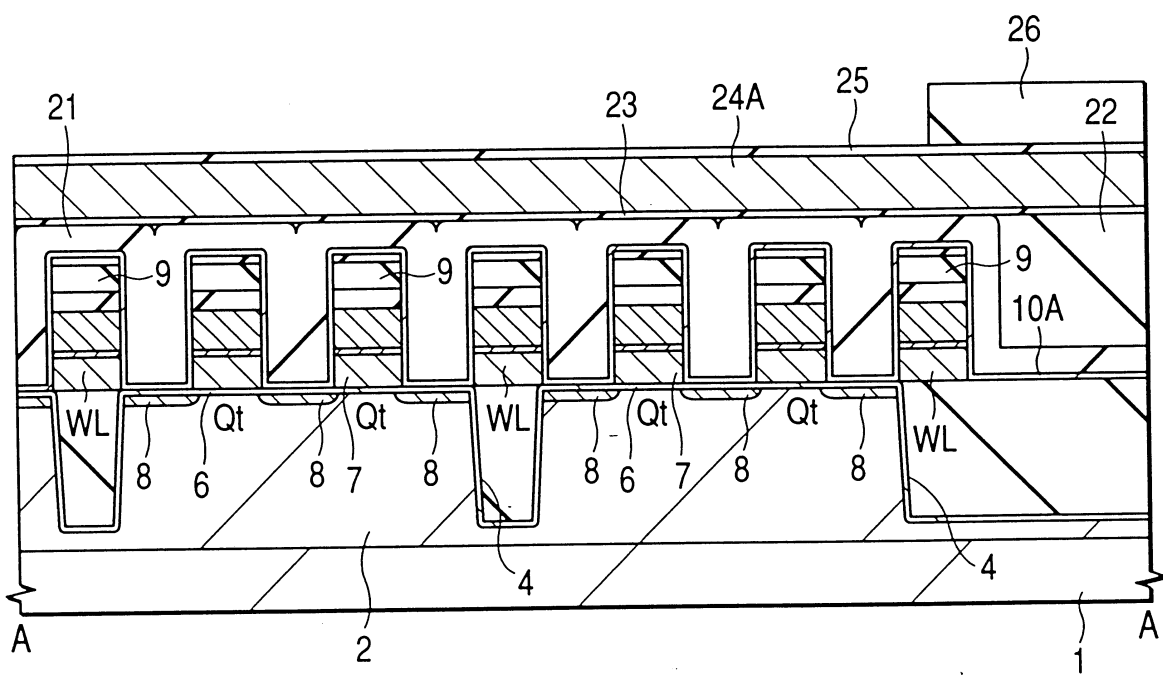


圖 15

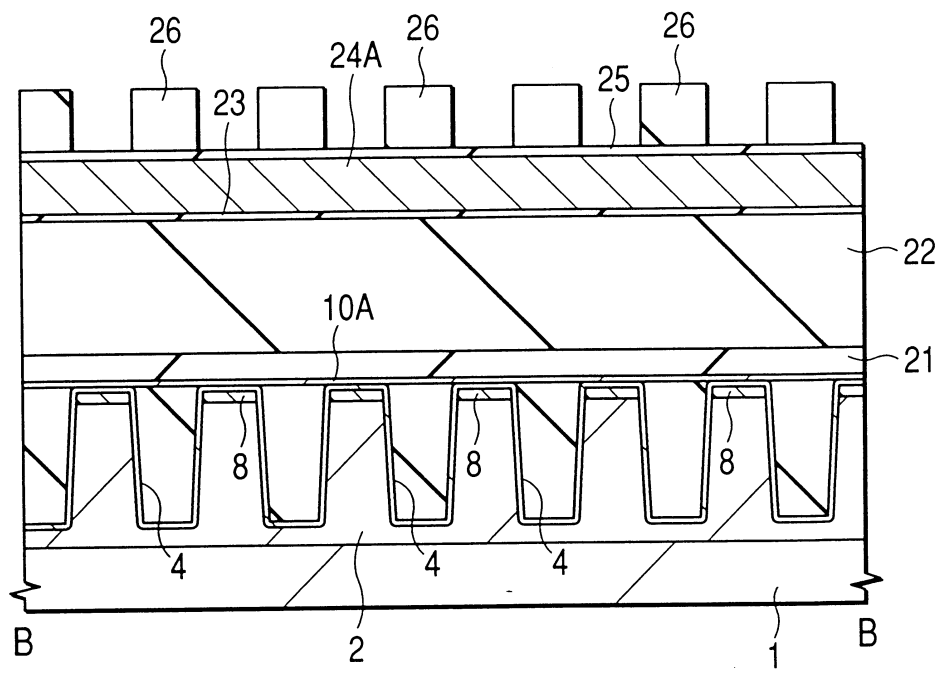


圖 16

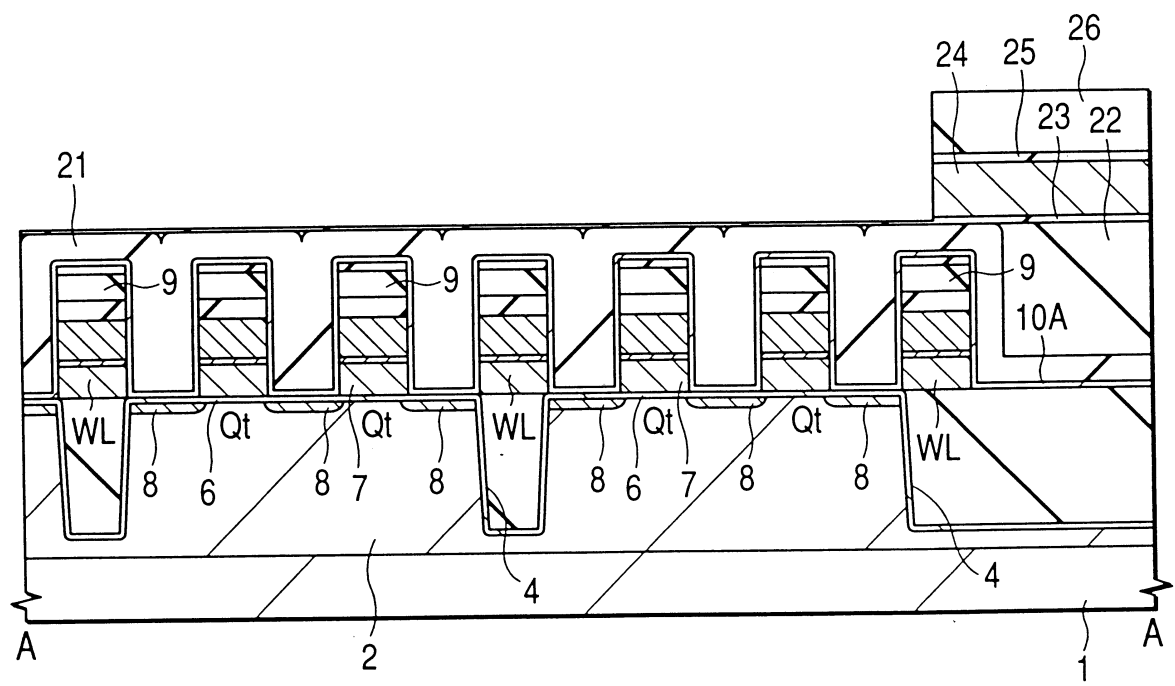


圖 17

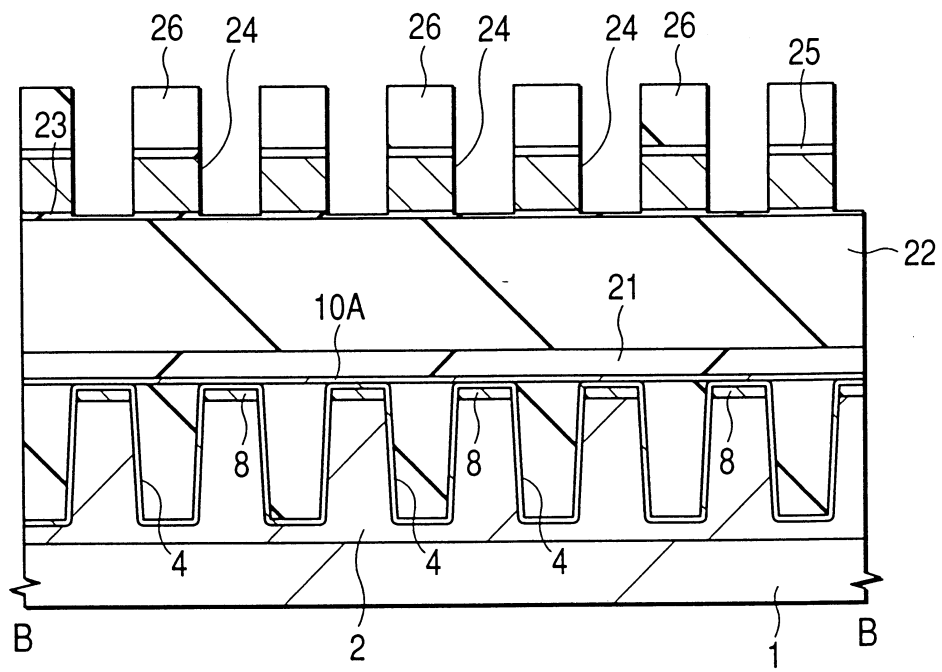


圖 18

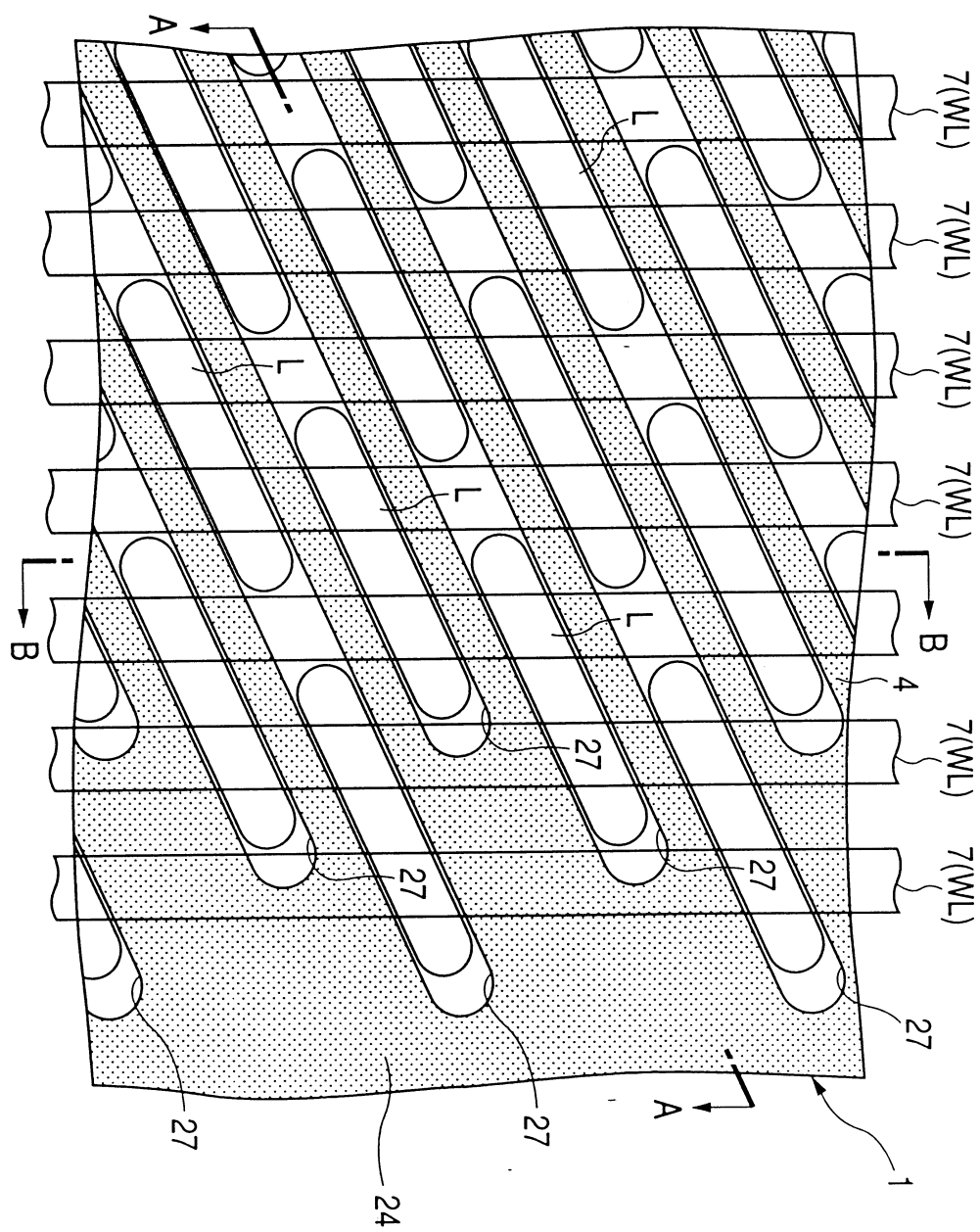


圖 19

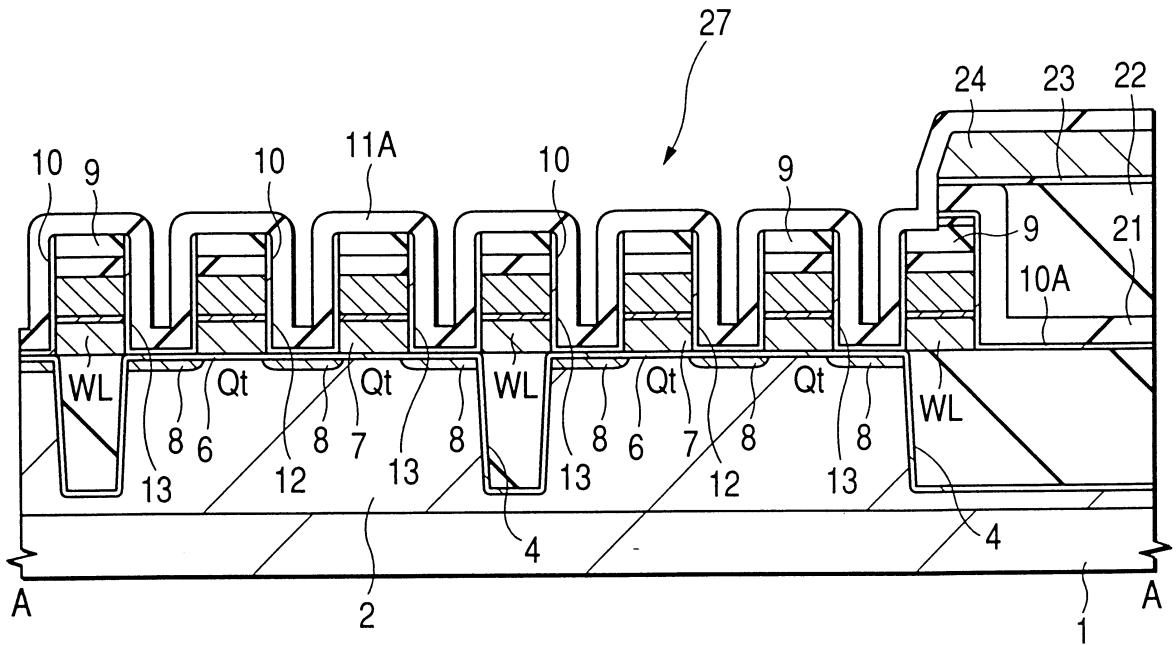


圖 22

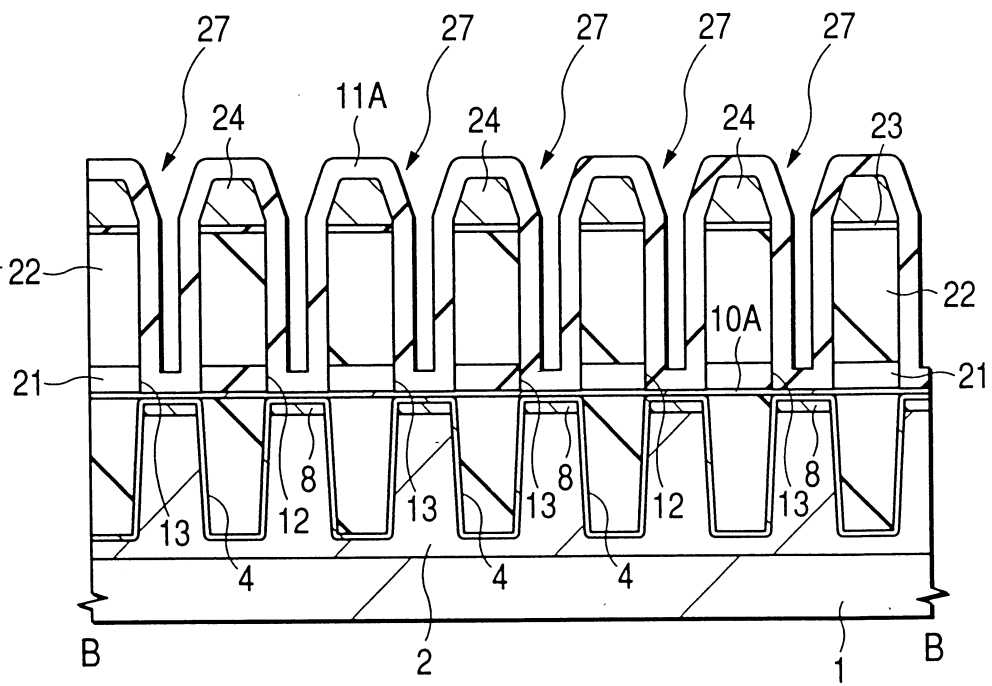


圖 23

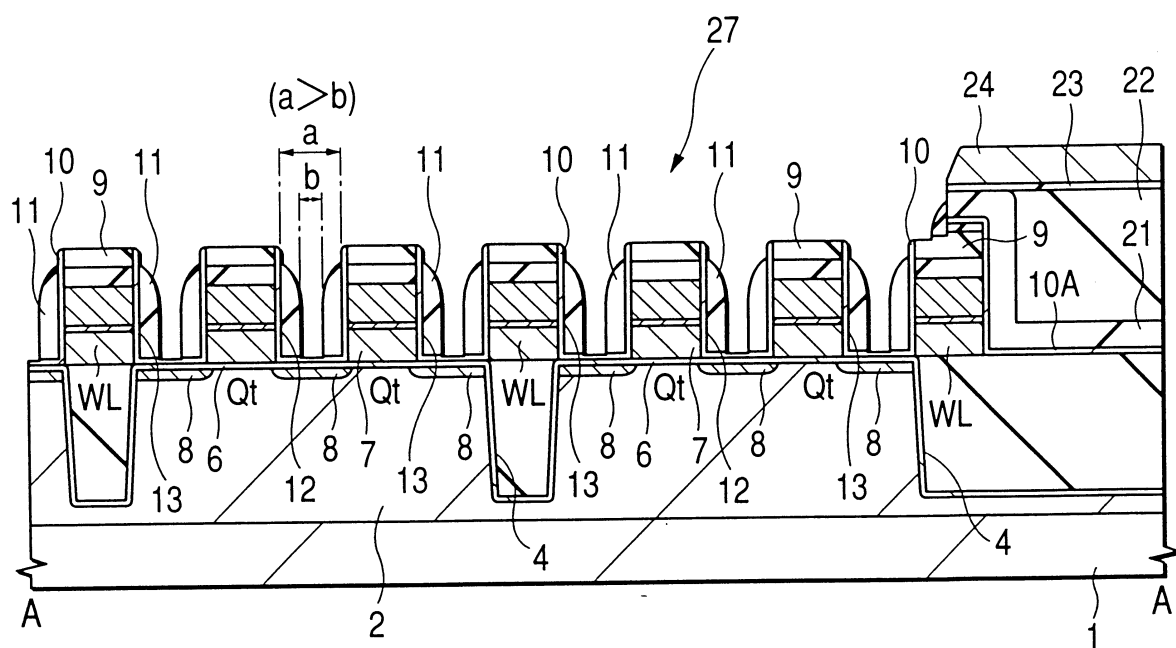


圖 24

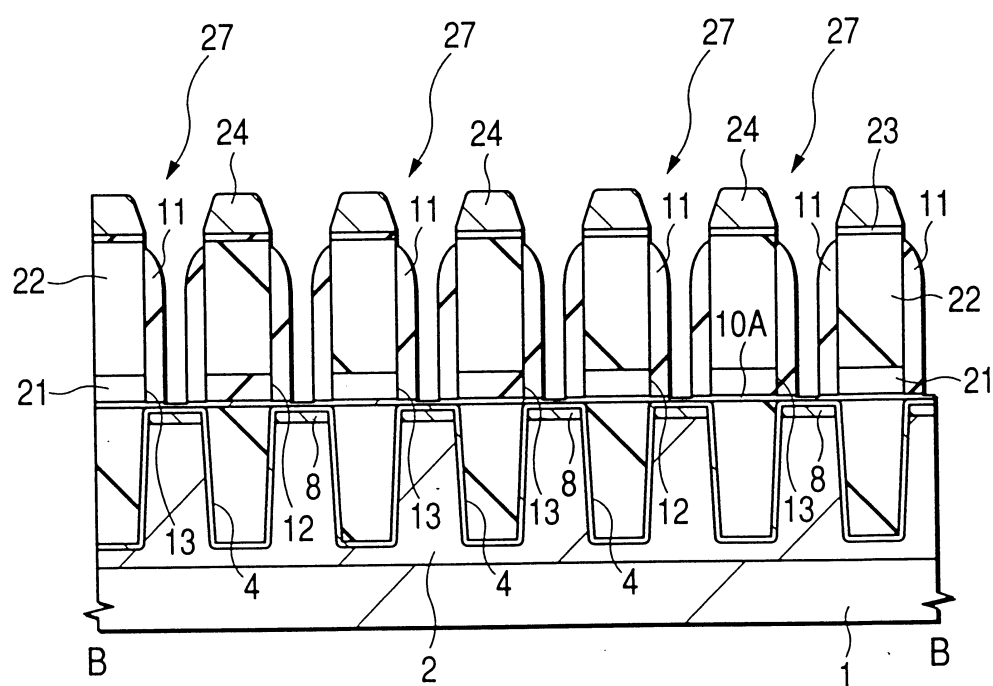


圖 25

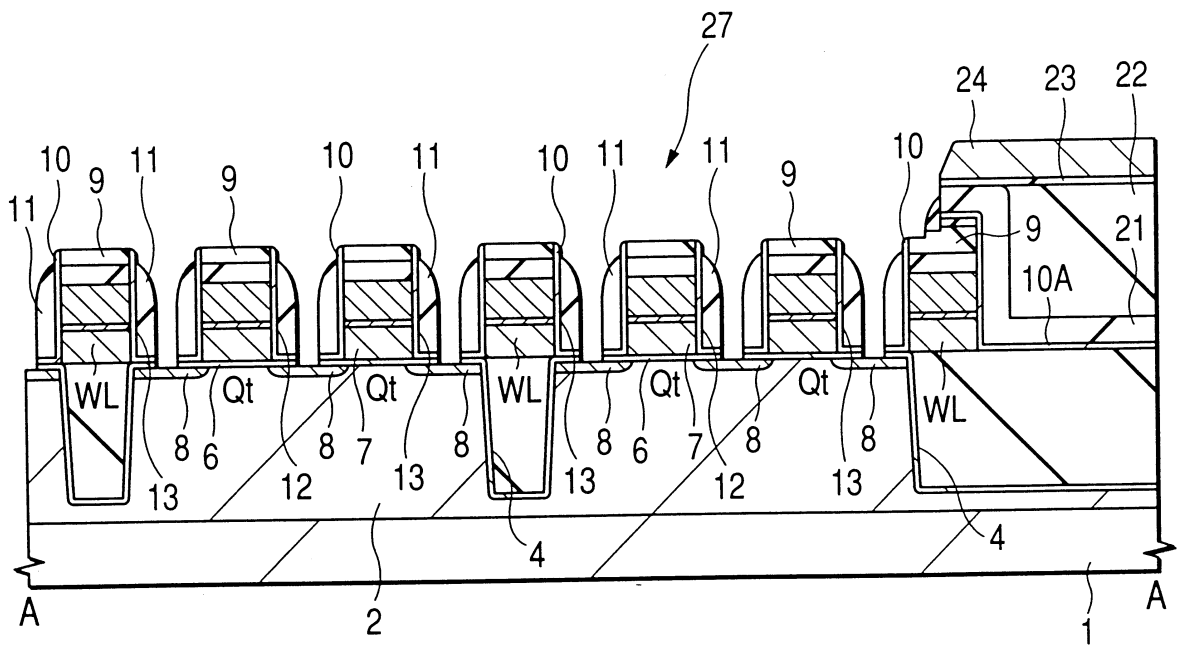


圖 26

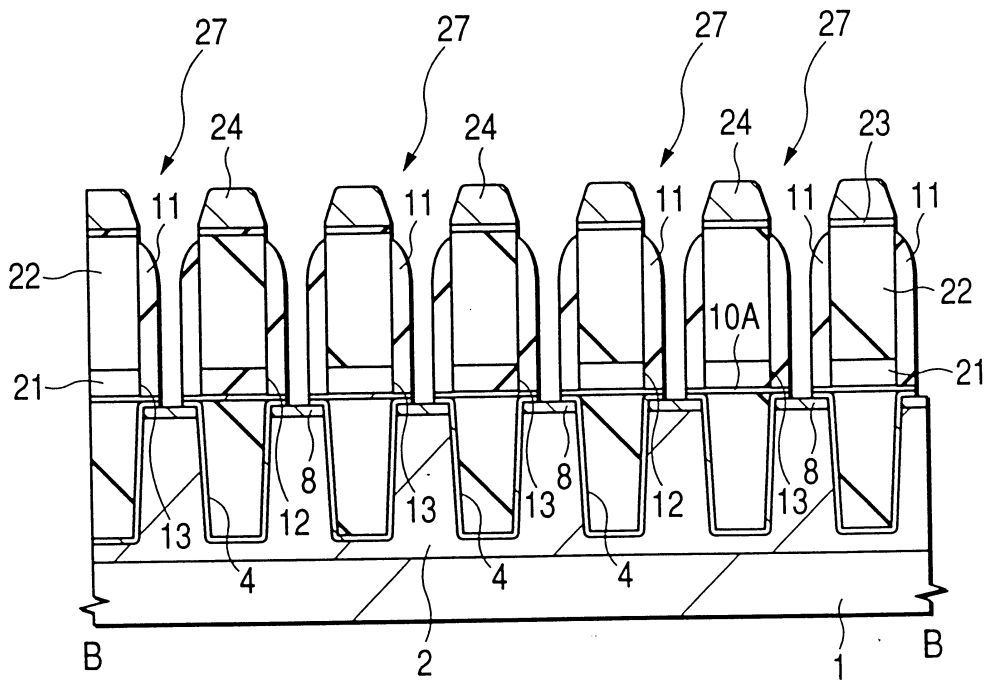


圖 27

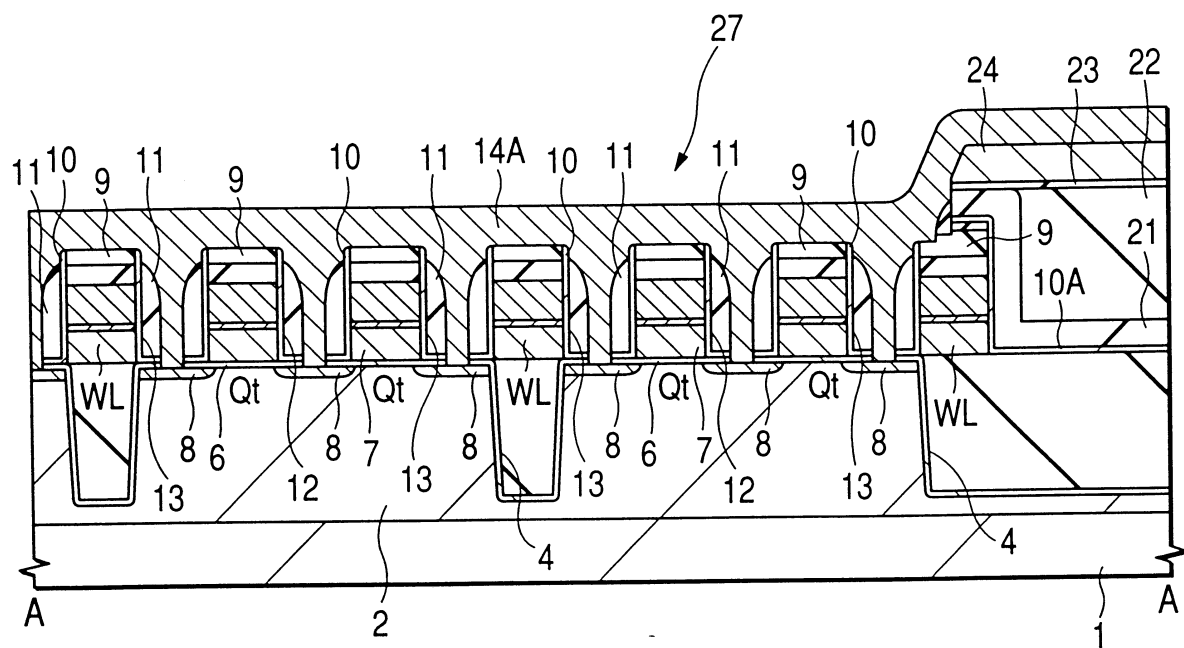


圖 28

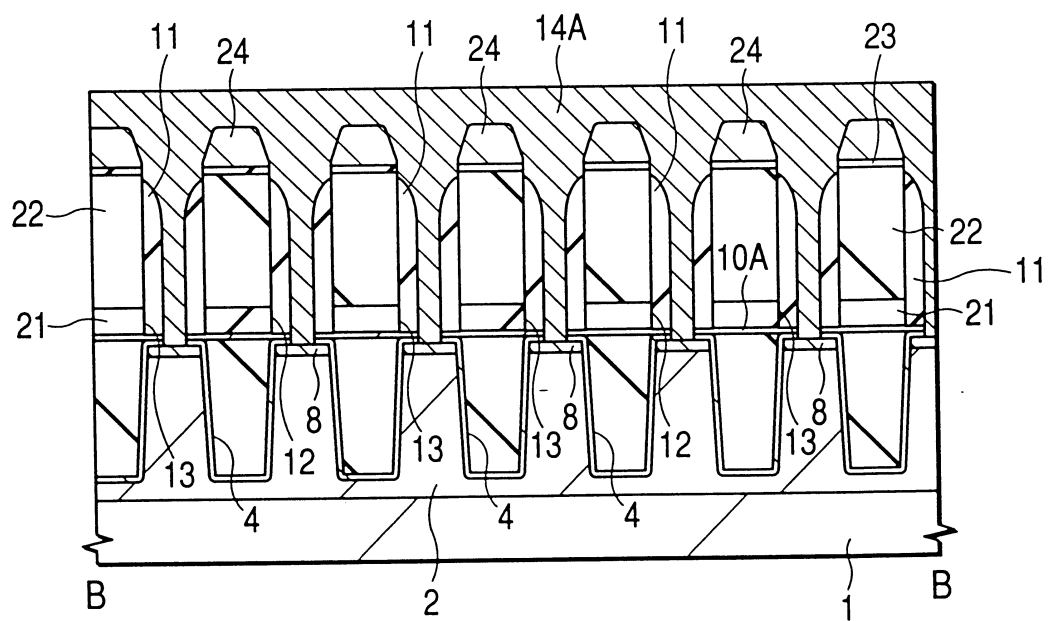


圖 29

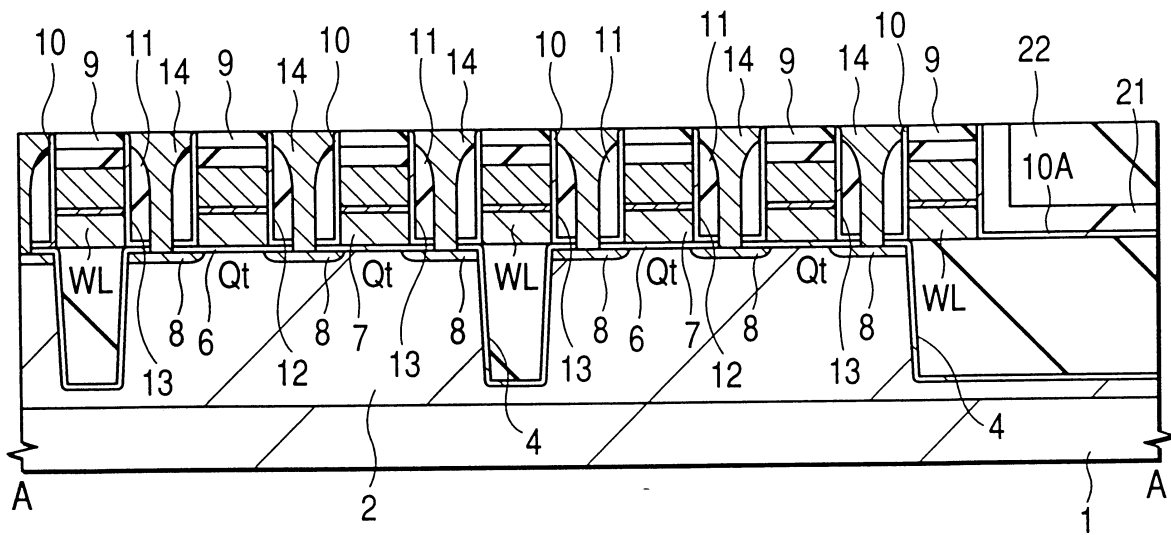


圖 30

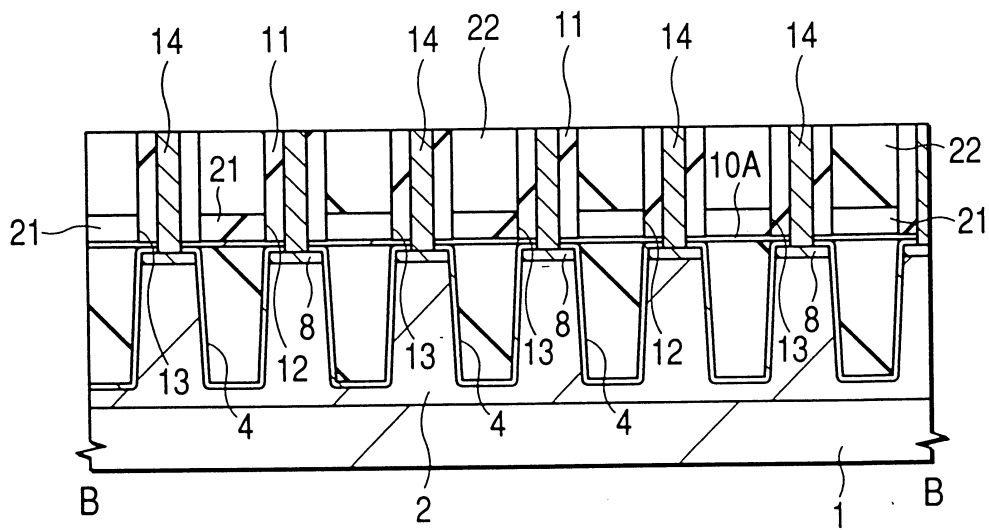


圖 31

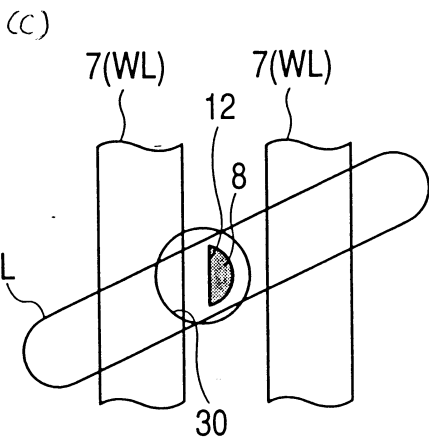
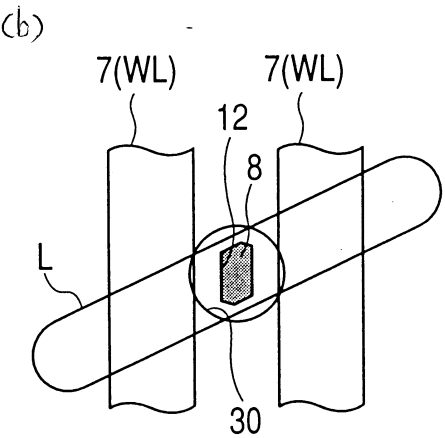
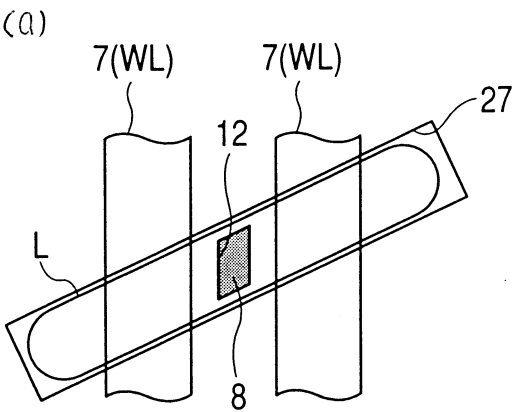


圖 32

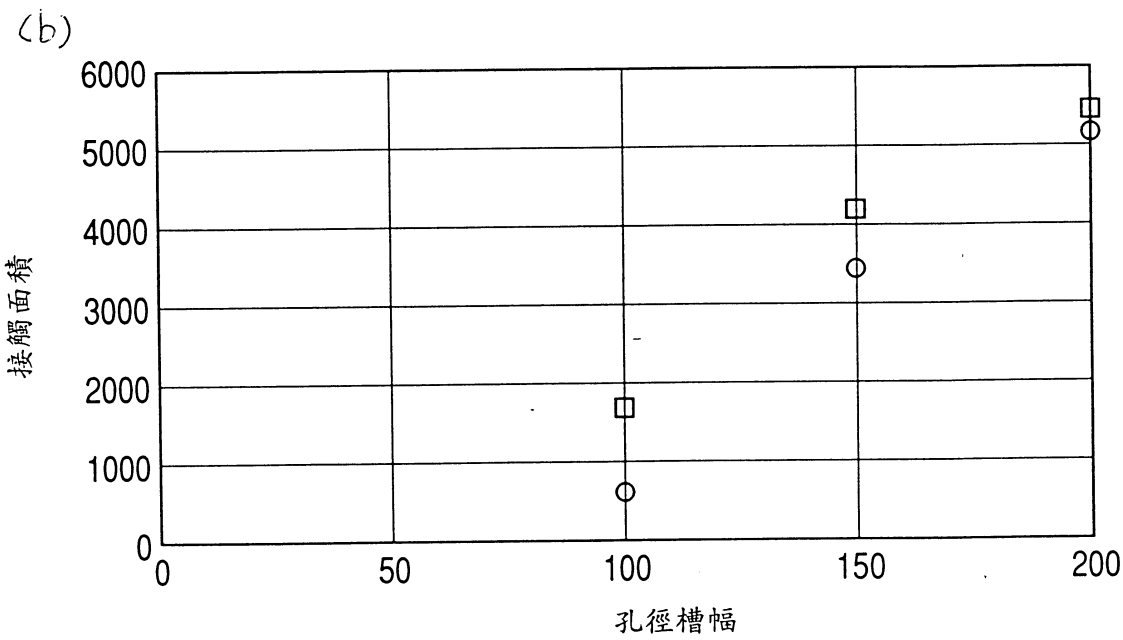
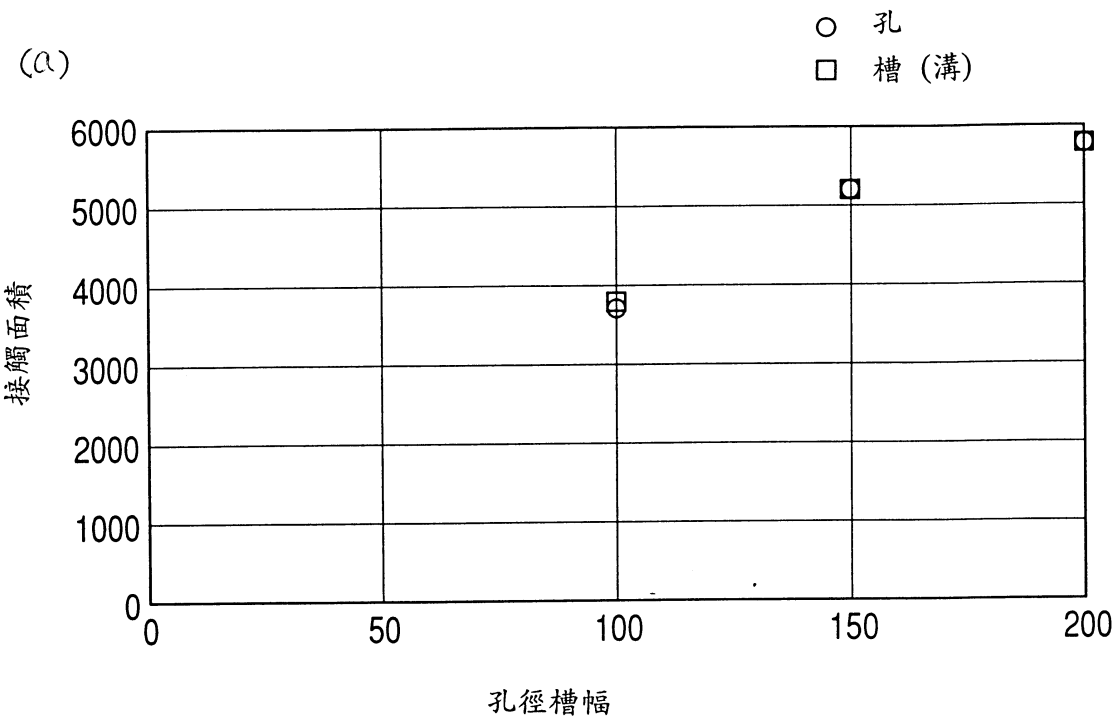


圖 33

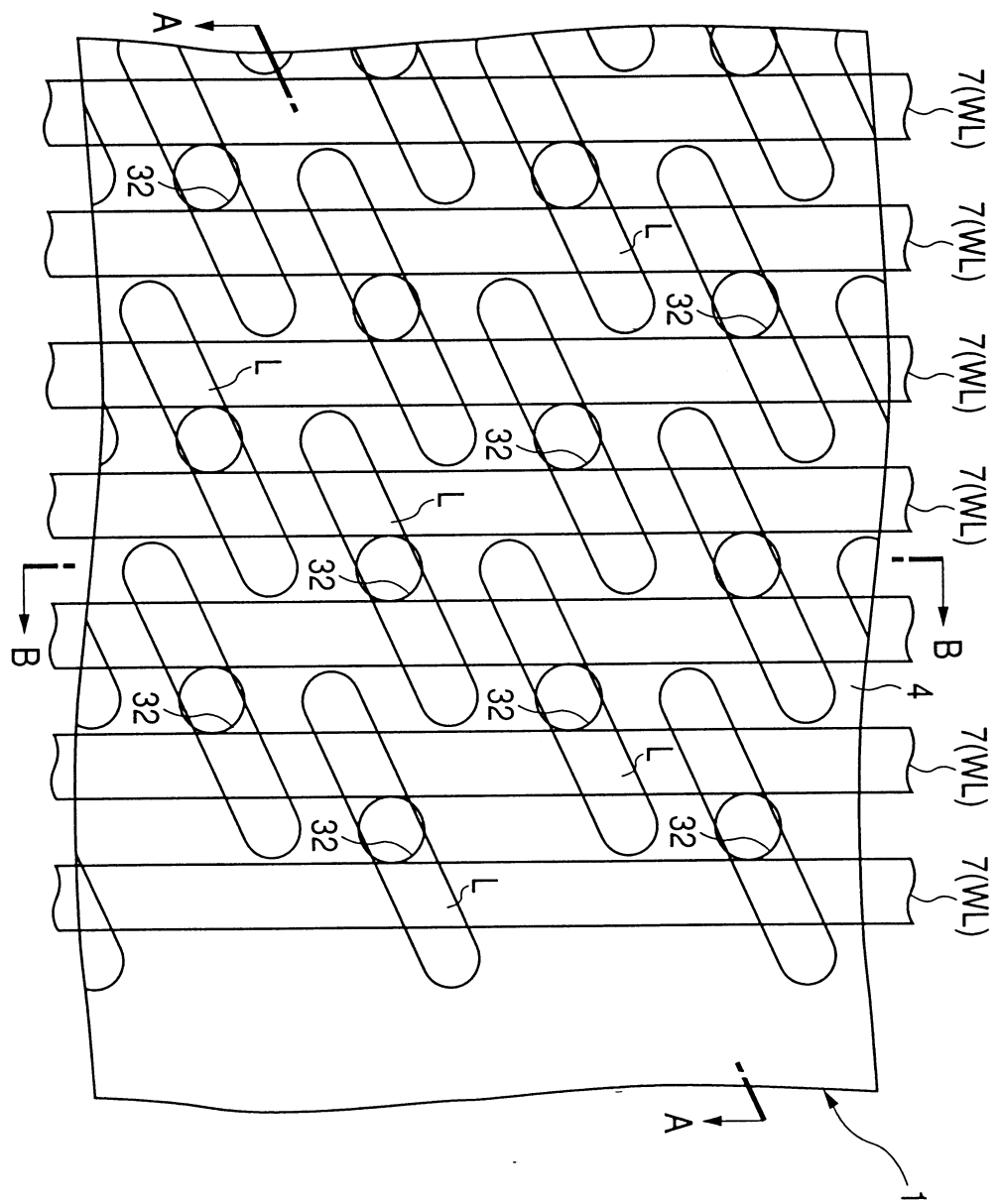


圖 34

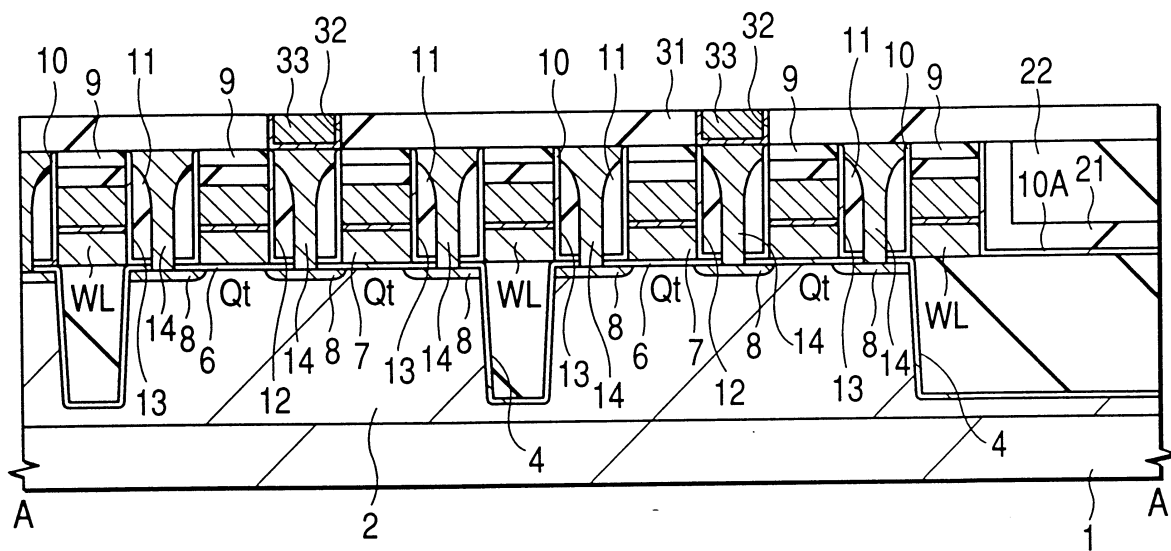


圖 35

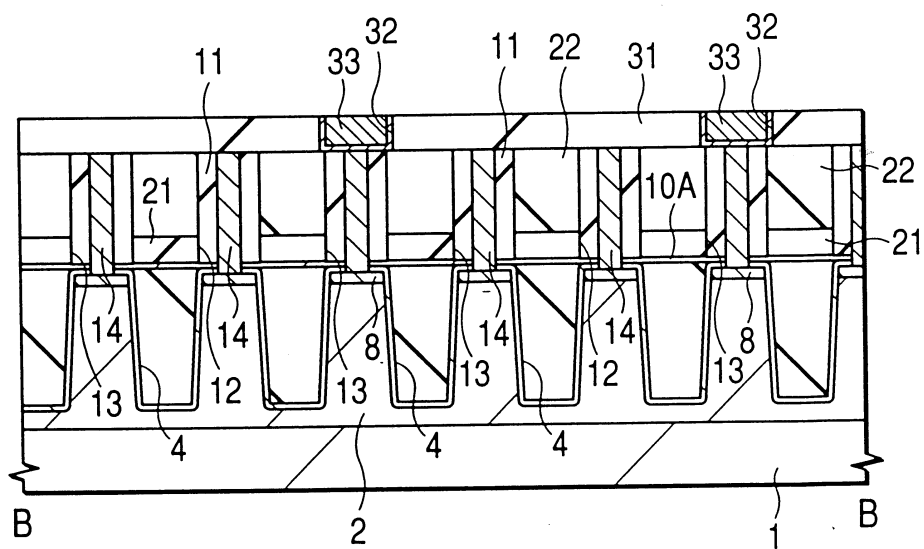


圖 36

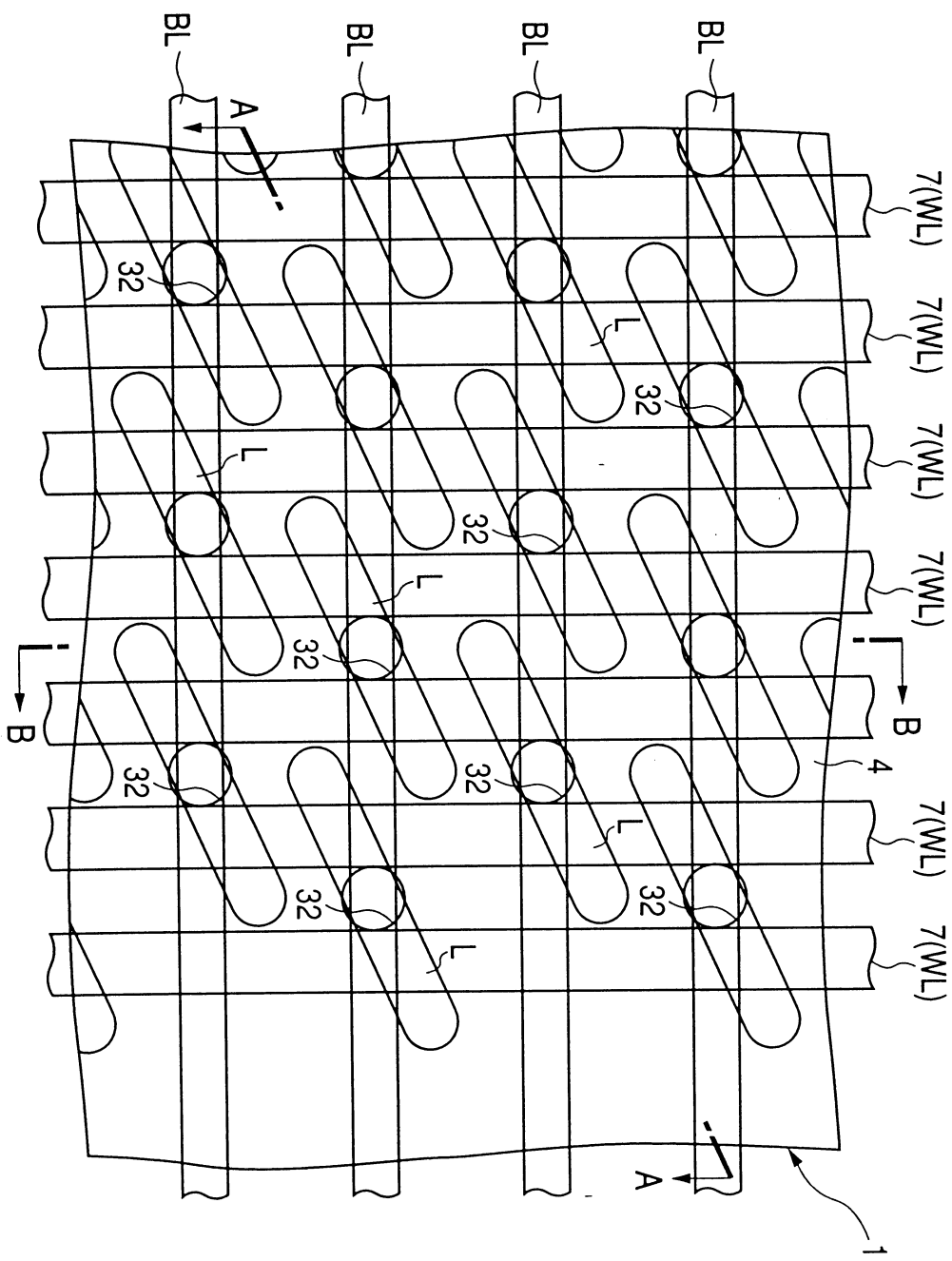


圖 37

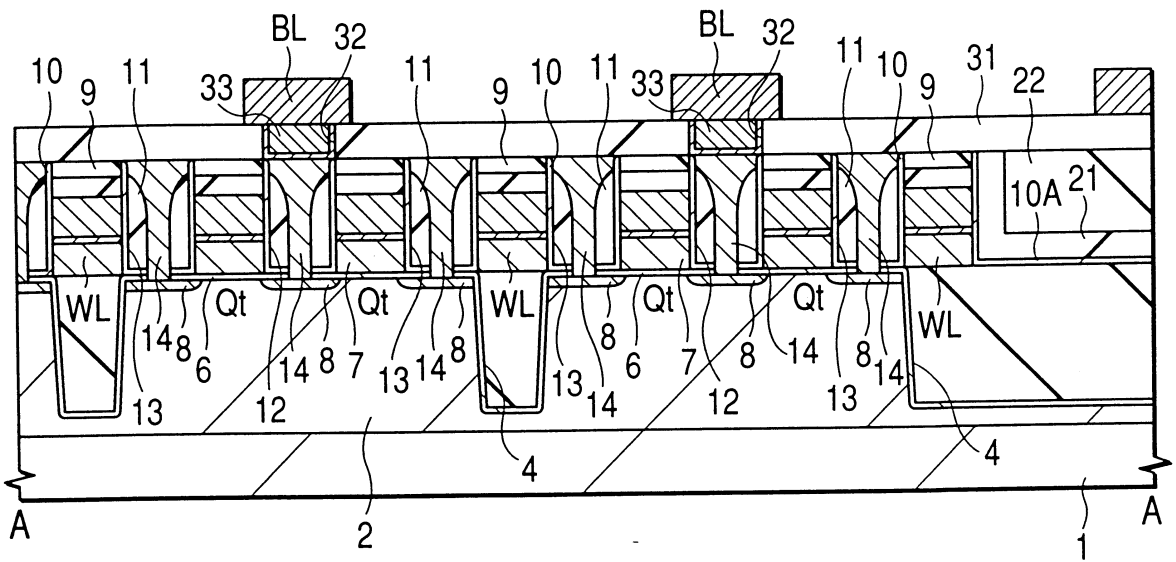


圖 38

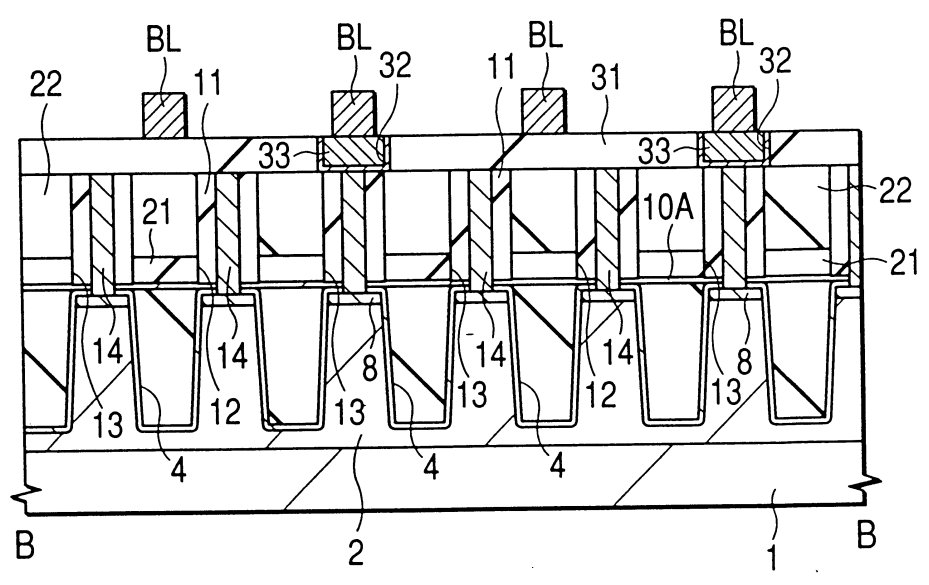


圖 39

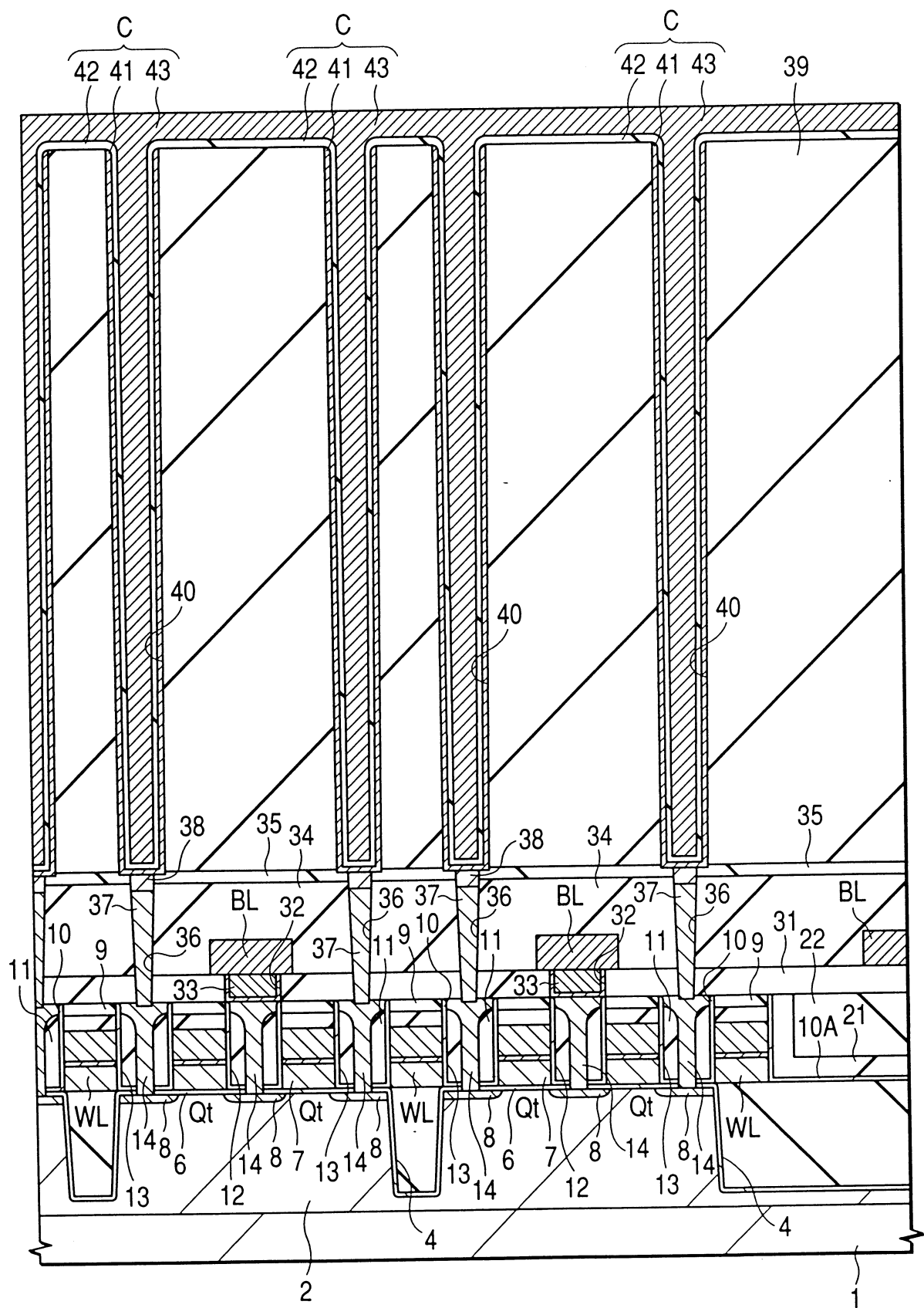


圖 41

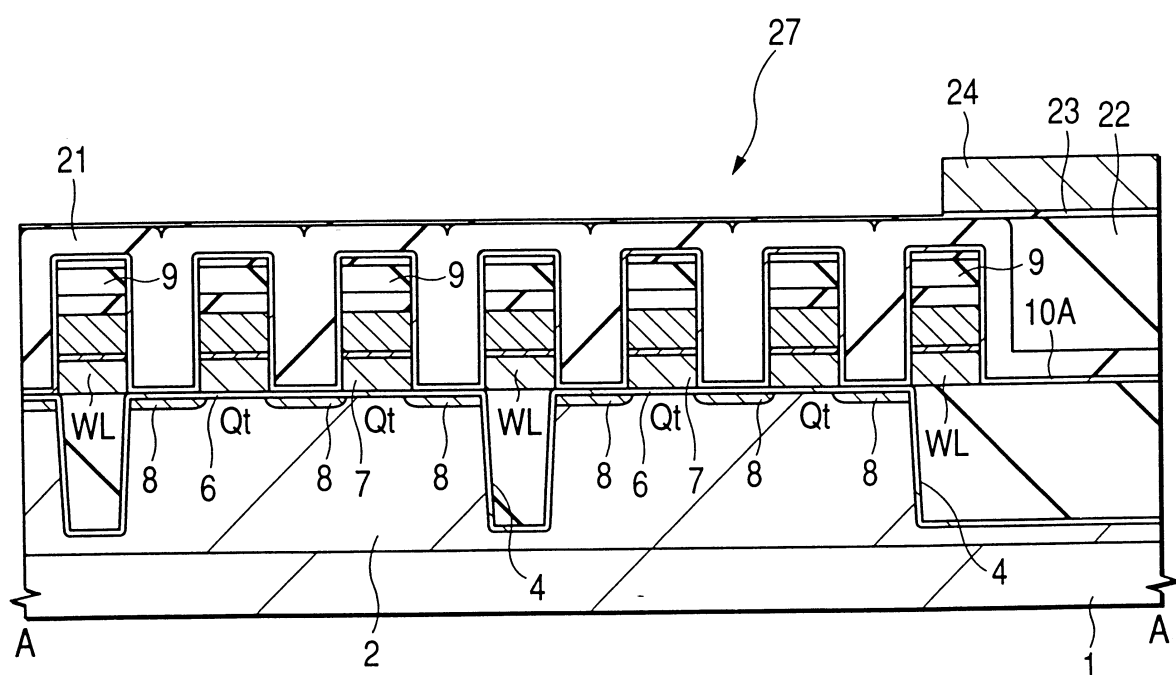


圖 42

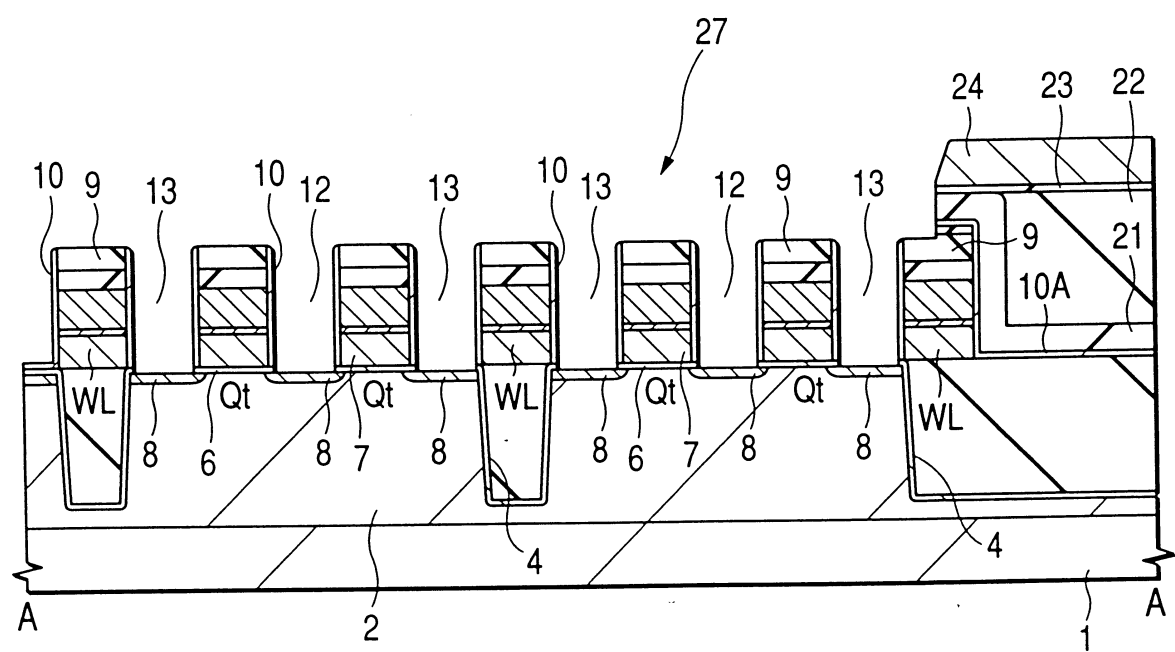


圖 43

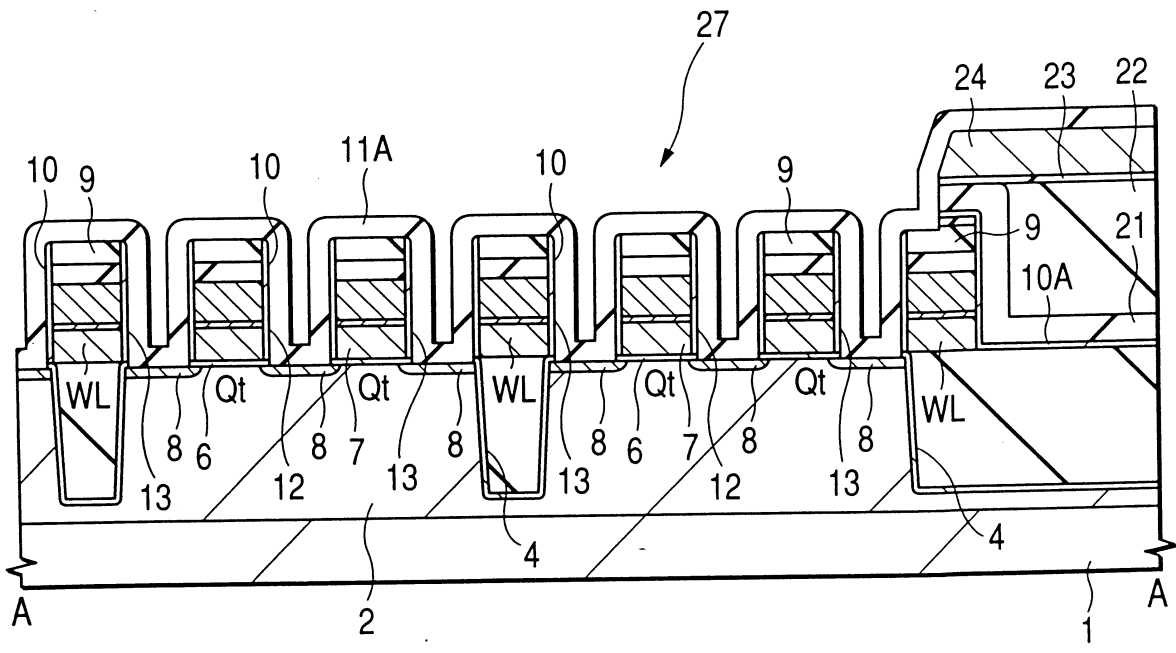


圖 44

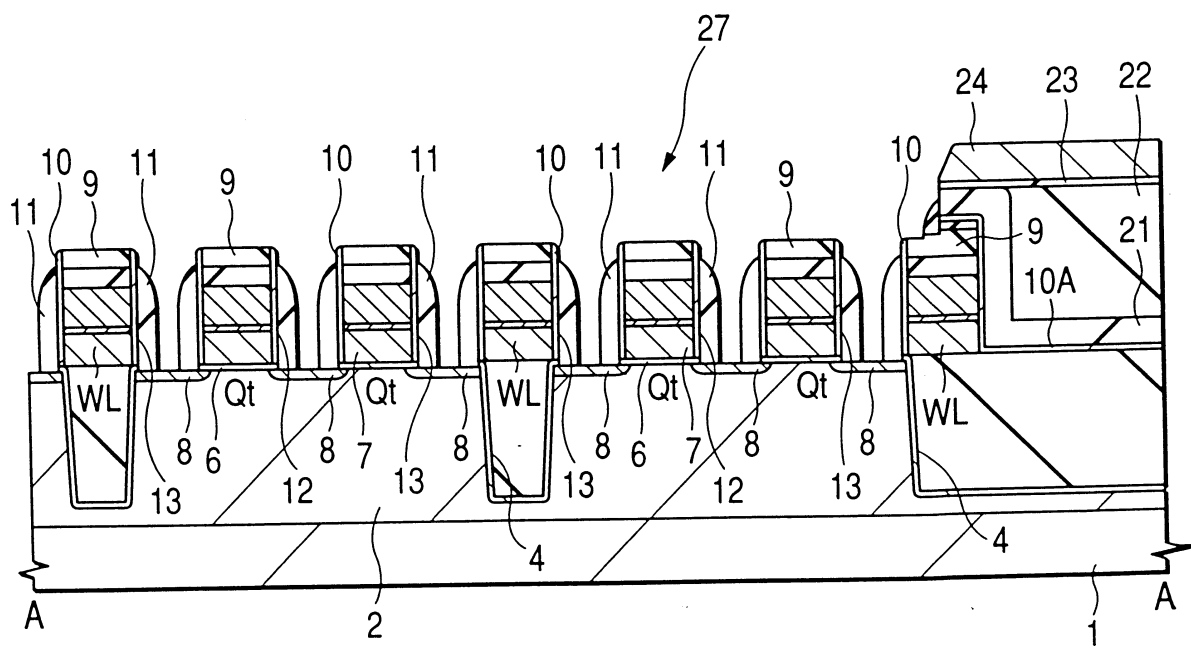


圖 45