



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 283 760**

51 Int. Cl.:
G11C 29/00 (2006.01)
G11C 5/06 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

- 86 Número de solicitud europea: **03713706 .4**
86 Fecha de presentación : **24.02.2003**
87 Número de publicación de la solicitud: **1483722**
87 Fecha de publicación de la solicitud: **08.12.2004**

54 Título: **Conjunto de módulo de memoria que utiliza chips parcialmente defectuosos.**

30 Prioridad: **26.02.2002 US 360036 P**
20.02.2003 US 371736

45 Fecha de publicación de la mención BOPI:
01.11.2007

45 Fecha de la publicación del folleto de la patente:
01.11.2007

73 Titular/es: **Celetronix International, Ltd.**
Clarendon House, 2 Church Street, Box HM666
Hamilton HM CX, BM
Celetronix USA, Inc.

72 Inventor/es: **Peddle, Charles, I.**

74 Agente: **Curell Suñol, Marcelino**

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Conjunto de módulo de memoria que utiliza chips parcialmente defectuosos.

5 Campo técnico

La presente invención se refiere al campo de los módulos de memoria electrónicos. Más particularmente, las formas de realización de la presente invención se refieren a la fabricación de módulos de memoria DDR y a otros módulos lógicos que utilizan de forma selectiva segmentos operativos procedentes de una multitud de chips o paquetes que no están en perfecto estado, bien de forma exclusiva o en combinación con chips o paquetes en perfecto estado.

Antecedentes

Los procesos de fabricación de semiconductores son de una complejidad cada vez mayor. Desde el principio, con la creación de transistores discretos y otros dispositivos semiconductores, hasta la aparición posterior de dispositivos integrados de tamaño mediano y grande, el número de transistores o elementos independientes que se pueden incluir en un chip semiconductor ha aumentado cada año de manera exponencial. Por ejemplo, los primeros procesadores integrados comprendían solamente aproximadamente 2.300 transistores.

Un procesador de circuitos integrados anunciado recientemente comprende más de 220 millones de transistores. Se prevé que en un futuro no muy lejano otros circuitos contengan más de mil millones de transistores.

Este continuo crecimiento exponencial de los procesos de fabricación de semiconductores, aunque ha contribuido a reducir en gran medida los costes de los dispositivos y productos individuales de semiconductores, también ha ocasionado muchos más problemas en el ámbito de la producción y la realización de pruebas asociadas con los procesos de fabricación comercial de semiconductores. El incremento sustancial de la densidad de circuitos electrónicos en los procesos integrados de fabricación de semiconductores ha tenido como resultado la producción de muchos más chips o pastillas de semiconductor que no están en perfecto estado. Este incremento en la producción de chips y pastillas que no están en perfecto estado ha generado un nuevo mercado para los vendedores de componentes electrónicos, los cuales encuentran formas de utilizar estos chips o pastillas imperfectos para ensamblar componentes operativos.

Los numerosos avances y mejoras en los procesos de fabricación y empaquetado de semiconductores han tenido como resultado la creación de una serie de aplicaciones de productos de semiconductores económicas para los vendedores de piezas electrónicas. En particular, estos vendedores de piezas electrónicas desarrollan módulos de memoria de bajo coste u otros dispositivos semiconductores gracias a la utilización de procesos económicos y piezas de semiconductores que no están en perfecto estado.

Un avance específico en el campo de los módulos de memoria, denominado DDR (Double Data Rate), ha mejorado (aproximadamente doblado) la velocidad de acceso de lectura/escritura al utilizar tanto el flanco ascendente como el flanco descendente del reloj de control para acceder a la memoria. Para poder utilizar el flanco descendente y ascendente de una señal de reloj se requiere el uso de una señal de reloj limpia.

A menudo los módulos lógicos que utilizan partes de memoria parcialmente defectuosas necesitan un mayor número de partes para proporcionar la cantidad deseada de memoria funcional. En los módulos de memoria DDR y en otros módulos lógicos, la señal de reloj de control se va distorsionando a medida que se van añadiendo partes de memoria a un módulo, es decir, cada parte añade una carga de resistencia que la señal de reloj debe controlar.

Una señal de reloj distorsionada a menudo puede causar errores cuando se accede a partes de memoria que son sensibles a los periodos ascendentes y descendentes del reloj de control. Por lo tanto, es necesario proporcionar una señal de reloj limpia que sea capaz de controlar un número indeterminado de partes de memoria, algunas de las cuales (o todas) pueden ser defectuosas parcialmente.

En resumen, en el estado de la técnica existe la necesidad permanente de desarrollar medios y procedimientos para la producción de dispositivos semiconductores de bajo coste, en particular módulos de memoria. También existe la necesidad continua, relacionada con la anterior, de utilizar dispositivos modernos y populares parcialmente defectuosos para no tener que desaprovecharlos completamente.

Sumario de formas de realización seleccionadas

En una primera forma de realización, la presente invención proporciona un procedimiento y un aparato para la implementación de un reforzador de reloj (clock booster) que funciona de forma selectiva con los módulos de memoria DDR y otros módulos de memoria. Este reforzador utiliza partes de memoria parcialmente defectuosas o una combinación de partes de memoria parcialmente defectuosas y partes en buen estado, tal y como se definen en la reivindicación de procedimiento 1 y en la reivindicación de aparato 7. El procedimiento y aparato comprenden un procedimiento y sistema mejorado de sincronización que permite el uso de partes de memoria parcialmente defectuosas sin producir una distorsión en la señal de reloj. En una forma de realización, se utiliza un circuito de bucle de bloqueo de fase para reducir significativamente la distorsión de reloj en un módulo de memoria.

En otra forma de realización, un circuito de reforzador de reloj puede funcionar de forma selectiva para permitir la utilización de un número indeterminado de partes de memoria sin producir una distorsión de la señal de reloj en los módulos de memoria SDR (Synchronized Data Rate).

Breve descripción de los dibujos

Los dibujos adjuntos ilustran diferentes formas de realización de la presente invención y representan una parte de la memoria. Junto con la siguiente descripción, los dibujos demuestran y explican los principios de la presente invención. Las formas de realización ilustradas constituyen ejemplos de la presente invención y no limitan el alcance de la invención.

La Figura 1 es un diagrama de flujo en el que se ilustra un procedimiento para la fabricación de un módulo de memoria, de acuerdo con una forma de realización de la presente invención.

La Figura 2 es un gráfico en el que se ilustra una distorsión de una señal de reloj producida por un desajuste de reloj.

La Figura 3 es un gráfico en el que se ilustra una distorsión de una señal de reloj producida por una perturbación eléctrica.

La Figura 4 es un diagrama esquemático de un circuito de bucle de bloqueo de fase que puede utilizarse como un reforzador de reloj para un módulo de memoria, de acuerdo con una forma de realización de la presente invención.

La Figura 5 es un diagrama de bloques en el que se ilustra una distribución de los componentes principales de un módulo de memoria fabricado de acuerdo con una forma de realización de la presente invención.

La Figura 6 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y secundaria en conjunción con una red de revisión, de acuerdo con una forma de realización de la presente invención.

La Figura 7 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y secundaria en conjunción con otra red de revisión, de acuerdo con otra forma de realización de la presente invención.

La Figura 8 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y secundaria en conjunción con otra red de revisión, de acuerdo con otra forma de realización de la presente invención.

La Figura 9 es un diagrama de bloques en el que se ilustra un controlador de reloj PLL, el cual puede conectarse de forma selectiva a una serie de partes de memoria primaria y secundaria que utilizan conmutadores, de acuerdo con una forma de realización de la presente invención.

La Figura 10 es un diagrama de bloques en el que se ilustra un controlador de reloj PLL, el cual puede conectarse de forma selectiva a una serie de partes de memoria primaria y secundaria que utilizan una red de revisión de reloj, de acuerdo con otra forma de realización de la presente invención.

La Figura 11 es un diagrama de bloques en el que se ilustra un controlador de reloj PLL, el cual puede conectarse de forma selectiva a una serie de partes de memoria primaria y secundaria, de acuerdo con una forma de realización de la presente invención.

En todos los dibujos, los mismos números de referencia designan elementos similares, aunque no necesariamente idénticos.

Descripción detallada de las formas de realización seleccionadas

Un procedimiento y un aparato divulgados en el presente para la fabricación de módulos DDR y otros módulos de memoria utilizan partes de memoria parcialmente defectuosas o una combinación de partes de memoria parcialmente defectuosas y partes de memoria en buen estado. El procedimiento y aparato incluyen un procedimiento y sistema mejorados de sincronización que permiten la utilización de un número indeterminado de partes de memoria sin producir una distorsión en la señal de reloj. En una forma de realización, se utiliza un circuito de bucle de bloqueo de fase para reducir significativamente la distorsión de reloj en los módulos DDR y en otros módulos de memoria.

La Figura 1 es un diagrama de flujo en el que se ilustra un procedimiento para la fabricación de un módulo de memoria de acuerdo con una forma de realización. Como se muestra en la Figura 1, un reforzador de reloj se monta en una placa de circuito impreso de múltiples capas (101). El reforzador de reloj puede ser cualquier aparato que recibe una entrada de reloj y genera una o más señales de reloj capaces de controlar una multitud de partes lógicas sin producir una distorsión en el reloj. En una forma de realización preferida, se puede utilizar un circuito de bucle de bloqueo de fase como reforzador de reloj.

Durante el proceso de fabricación de un módulo de memoria, como se describe en la patente US n.º 6.119.049 o en la solicitud de patente en trámite junto con la presente a la que se ha hecho referencia anteriormente, las partes de memoria son sometidas a pruebas y revisiones (102). Estas pruebas y revisiones (102) permiten la fabricación de un módulo de memoria completamente funcional sirviéndose de partes parcialmente defectuosas. Debido a la carga que cada parte de memoria añade, es preferible conectar únicamente la señal de reloj a las partes de memoria que se utilizan. Ello se puede conseguir mediante la utilización de diversos mecanismos de conmutación para conectar o desconectar una señal de reloj a una parte de memoria. En una forma de realización preferida, puede utilizarse una red de revisión de reloj para conectar o desconectar, de forma selectiva, salidas de un reforzador de reloj a las partes de memoria (103).

La Figura 2 es un gráfico en el que se ilustra una distorsión de una señal de reloj debida a un desajuste de reloj. En general, se puede describir un desajuste de reloj como una disminución del tiempo disponible en un ciclo de reloj. Como se muestra en la Figura 2, CLK A (201) produce una señal de reloj con una frecuencia fija, y CLK B (202) produce una señal ligeramente retrasada con respecto a la señal de CLK A (201). Puesto que los dos relojes no están sincronizados, se produce una pérdida (204) en el periodo de reloj. Por ejemplo, si se está accediendo a dos partes de memoria a la vez, una con CLK A y la otra con CLK B, se reduciría el periodo efectivo de reloj (203) debido a que las señales de reloj no están sincronizadas. Para muchos módulos de memoria es preferible tener acceso a un número de hasta 16 partes de memoria a la vez. Por esta razón, el desajuste de reloj constituye una cuestión de diseño importante, ya que a menudo es causado por las variaciones en la carga que el reloj está controlando, etc. En particular, aplicaciones como DDR que utilizan el flanco ascendente y el flanco descendente de un reloj son sensibles a las reducciones en el periodo de reloj causadas por el desajuste de reloj.

La Figura 3 es un gráfico en el que se ilustra una distorsión de una señal de reloj debida a perturbaciones eléctricas. Las perturbaciones eléctricas son corrientes en las aplicaciones eléctricas de alta frecuencia y resultan perjudiciales para las unidades de memoria. Como se muestra en la Figura 3, una señal de reloj (301) va en aumento desde un nivel lógico bajo (302) a un nivel lógico alto (303). La mayoría de los dispositivos, como por ejemplo una parte de memoria, utilizan un nivel de umbral lógico (304) para distinguir cuando una señal de reloj (301) es "alta" o "baja". Por ejemplo, cuando la señal de reloj (301) llega al punto 1 (305), un dispositivo que se sirve de la señal de reloj reconocerá un nivel lógico alto (303), pero un periodo de perturbación eléctrica (306) en la señal de reloj puede hacer que la señal de reloj (301) descienda por debajo del valor de umbral lógico (304), teniendo como resultado una sincronización irregular cuando la señal de reloj (301) cruza de nuevo el valor de umbral lógico (304) en el punto 2 (307). Un periodo de perturbación eléctrica (306) en la señal de reloj (301) puede causar, por consiguiente, una sincronización doble, una sincronización falsa, una distorsión de la forma de onda, etc.

Con el fin de mejorar el rendimiento del reloj, se pueden utilizar dispositivos como bucles de bloqueo de fase, amplificadores, filtros, etc. En una forma de realización que utiliza un número variable de partes de memoria, se prefiere un dispositivo que refuerza una señal de reloj para permitir que la señal de reloj controle un número elevado de partes de memoria.

En la Figura 4 se ilustra un diagrama esquemático de un circuito de bucle de bloqueo de fase que puede utilizarse como un reforzador de reloj para un módulo de memoria, de acuerdo con una forma de realización de la presente invención. Como se muestra en la Figura 4, una unidad PPL (407) puede comprender una serie de unidades de búfer (417), un conjunto de circuitos PPL (406) y un multiplexor (409). Se suministran varias señales, incluidas una señal de reloj, CLK (401), Inv_CLK (402), FBin (403), Inv_FBin (404), VCC (408) y Output Enable (423) como señales de entrada a la unidad PPL (407).

En esta forma de realización, CLK (401) puede ser una entrada de señal de reloj diseñada para controlar DDR u otras partes de memoria a una frecuencia planeada. Inv_CLK (402) es idéntica a CLK (401), pero ha sido desplazada 180°. FBin (403) es una copia de la señal de reloj de salida, FBout (421), de la unidad PPL (407), que se utiliza para garantizar la sincronización de las salidas (411 - 416) con la señal entrante CLK (401). Inv_FBin (404) es una copia de la señal de reloj de salida, Inv_FBout (422), de la unidad PPL (407) desplazada 180°. VCC (408) es un voltaje de entrada al multiplexor (409) que puede utilizarse para determinar si CLK (401) será la salida de la unidad PPL (407) o si la salida (418) del conjunto de circuitos PPL (406) será la salida de la unidad PPL (407). Output Enable (423) permite a un dispositivo host controlar cuándo la unidad PPL (407) genera una señal. Y1-YN (411 - 416) comprende una serie de salidas de la unidad PPL (407). Más específicamente, Y1-YN (411 - 416) son copias sincronizadas o copias desfasadas de CLK (401) y Inv_CLK (402).

La Figura 5 es un diagrama de bloques en el que se ilustra una distribución de los componentes principales de un módulo de memoria fabricado de acuerdo con una forma de realización seleccionada. En particular, el módulo de memoria de la Figura 5 puede ilustrar un módulo de memoria DDR o SDR de 64, 128 ó 256 MB (megabytes), fabricado utilizando partes de memoria de 8 MB x 8, 16 MB x 8 ó 32 MB x 8. Como se muestra en la Figura 5, el módulo de memoria (500) puede comprender una placa de circuito impreso de múltiples capas (531), unas artes de memoria apareadas (532), unas redes de revisiones (533) y un reforzador de reloj que funciona de forma selectiva (507), como por ejemplo la unidad PPL (407, Figura 4) mostrado en la Figura 4. P1, P2, P3 y P4 designan a las partes de memoria apareadas (532), y cada pareja preferentemente comprende una parte de memoria primaria y una parte de memoria secundaria.

ES 2 283 760 T3

Durante el proceso de fabricación, se utilizan las redes de revisión (533) tal y como se describe más adelante. Una vez se determinan las posibles soluciones de revisión, puede utilizarse el reforzador de reloj operable de forma selectiva (507) para controlar de forma eficaz las partes de memoria primaria y secundaria (532) a cuyos bits de E/S se accede.

5

La Figura 6 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y secundaria en conjunción con una red de revisión. Como se muestra en la Figura 6, las líneas de E/S (E/S 1 - E/S 8) de una parte de memoria primaria (601) pueden conectarse a "pads" (604) de una red de revisión (603). En esta forma de realización, cada pad (604) al que se conecta una línea de E/S primaria independiente está preferentemente cerca de una línea de salida independiente (Out1 - Out8). Además, las líneas de E/S de reserva (E/S 1b - E/S 8b) desde una parte de memoria secundaria (602) también están conectadas a los pads (604) de la red de revisión (603). Como se describe con respecto a las líneas de E/S primarias, cada pad (604) al que se conecta una línea de E/S de reserva independiente (E/S 1b - E/S 8b) está preferentemente cerca de una línea de salida independiente. Como se muestra en la Figura 6, los pads (604) conectados a las líneas de E/S, E/S 1 y E/S 1b están ubicados cerca del pad (604) conectado a la línea de salida, Out1. Esta configuración de pads (604), utilizada como una red de revisión (603), permite preferentemente la sustitución de una línea de E/S primaria por una línea de E/S de reserva. Por ejemplo, E/S 1 puede sustituirse por E/S 1b, E/S 2 por E/S 2b, etc.

Durante el proceso de fabricación de un módulo de memoria, se utiliza la red de revisión (603) para conectar una línea de E/S primaria o secundaria a una línea de salida (Out1 - Out8). Ello se puede lograr mediante la conexión de un pad sencillo (604), correspondiente a una línea de E/S primaria o a una línea de E/S de reserva, a un pad sencillo (604) correspondiente a una línea de salida. Se pueden utilizar materiales conductores de electricidad, por ejemplo soldaduras, cables de acoplamiento, etc., para conectar pads (604) de la red de revisión (603) y permitir a un dispositivo host acceder a los bits de E/S de una parte de memoria primaria (601) o de una parte de memoria secundaria (602).

La Figura 7 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y de memoria secundaria en conjunción con otra red de revisión. Como se muestra en la Figura 7, pueden conectarse dos líneas de E/S (E/S 1 - E/S 2) de una parte de memoria primaria (701) a dos pads independientes (704) de una red de revisión (703). Adicionalmente, se conectan cuatro líneas de E/S de reserva (E/S 1b - E/S 4b) a otros cuatro pads (704) de la red de revisión (703).

En esta forma de realización, se conecta cada línea de salida (Out1 - Out2) a una serie de pads (704), proporcionando así un pad conectivo independiente (704) adyacente a cada pad (704) que se corresponde con una línea de E/S. Por ejemplo, en la Figura 7 se ilustran dos líneas primarias de E/S y cuatro líneas de reserva de E/S conectadas a seis pads independientes (704) de la red de revisión (703). Por consiguiente, se conecta cada línea de salida a seis pads (704) adyacentes a los pads (704) que se corresponden con las líneas de E/S primarias y secundarias.

La ilustración de la Figura 7 es incompleta, ya que únicamente se muestra una red de revisión (703). Con el fin de utilizar las otras líneas de E/S primarias (E/S 3 - E/S 8), se prefieren redes de revisión adicionales (703), en las que se conectan dos líneas primarias de E/S y cuatro líneas de reserva de E/S a cada red de revisión (703). Por consiguiente, un módulo de memoria que utiliza la configuración de revisión mostrada en la Figura 7 utilizaría preferentemente cuatro redes de revisión (703) para cada par de parte de memoria primaria (701) y parte de memoria secundaria (702). Adicionalmente, la separación entre los pads (704) mostrada en la Figura 7 aparece a título ilustrativo únicamente. En una implementación real, los pads (704) se disponen preferentemente próximos unos de los otros, permitiendo así una conexión eléctrica fácil entre los pads (704) correspondientes a las líneas de E/S y los pads (704) correspondientes a las líneas de salida.

Durante el proceso de fabricación de un módulo de memoria, se utiliza la red de revisión (703) para conectar una línea de E/S primaria o secundaria a una línea de salida (Out1 - Out2). Ello se puede conseguir mediante la conexión de un pad sencillo (704), correspondiente a una línea de E/S primaria o a una línea de E/S de reserva, a uno de los seis pads (704) correspondientes a cada línea de salida. Se pueden utilizar materiales conductores de electricidad, por ejemplo soldaduras, cables de acoplamiento, etc., para conectar pads (704) de la red de revisión (703) y permitir a un dispositivo host tener acceso a los bits de E/S de una parte de memoria primaria (701) o de una parte de memoria secundaria (702).

La Figura 8 es un diagrama de bloques en el que se ilustra una parte de memoria primaria y de memoria secundaria en conjunción con otra red de revisión. Como se muestra en la Figura 8, se pueden conectar dos líneas de E/S (E/S 1 - E/S 2) de una parte de memoria primaria (801) a dos pads independientes (804) de una red de revisión (803). Adicionalmente, se conectan ocho líneas de reserva de E/S (E/S 1b - E/S 8b) a otros ocho pads (804) de la red de revisión (803).

En esta forma de realización, se conecta cada línea de salida (Out1 - Out2) a una serie de pads (804), proporcionando así un pad conectivo independiente (804) adyacente a cada pad (804) que se corresponde con una línea de E/S. Por ejemplo, en la Figura 7 se ilustran dos líneas primarias de E/S y ocho líneas de reserva de E/S conectadas a diez pads independientes (804) de la red de revisión (803). Por consiguiente, se conecta cada línea de salida a diez pads (804) adyacentes a los pads (804) que se corresponden con las líneas de E/S primarias y secundarias.

ES 2 283 760 T3

La ilustración de la Figura 8 es incompleta, ya que únicamente se muestra una red de revisión (803). Con el fin de usar las otras líneas de E/S primarias (E/S 3 - E/S 8), se prefieren redes de revisión adicionales (803), en las que se conectan dos líneas primarias de E/S y las ocho líneas de reserva de E/S a cada red de revisión (803). Por consiguiente, un módulo de memoria que utiliza la configuración de revisión mostrada en la Figura 8 usaría preferentemente cuatro redes de revisión (803) para cada par de parte de memoria primaria (801) y parte de memoria secundaria (802). Adicionalmente, la separación entre los pads (804) mostrada en la Figura 8 aparece a título ilustrativo únicamente. En una implementación real, los pads (804) se disponen preferentemente próximos unos de los otros, permitiendo así una conexión eléctrica fácil entre los pads (804) correspondientes a las líneas de E/S y los pads (804) correspondientes a las líneas de salida.

Durante el proceso de fabricación de un módulo de memoria, se utiliza la red de revisión (803) para conectar una línea de E/S primaria o secundaria a una línea de salida (Out1 - Out2). Ello se puede conseguir mediante la conexión de un pad sencillo (804) correspondiente a una línea de E/S primaria o a una línea de E/S de reserva a uno de los diez pads (804) correspondientes a cada línea de salida. Se pueden utilizar materiales conductores de electricidad, por ejemplo soldaduras, cables de acoplamiento, etc., para conectar pads (804) de la red de revisión (803) y permitir a un dispositivo host tener acceso a los bits de E/S de una parte de memoria primaria (801) o a una parte de memoria secundaria (802).

La Figura 9 es un diagrama de bloques en el que se ilustra un controlador de reloj PLL que puede conectarse de forma selectiva a una serie de partes de memoria en una forma de realización seleccionada. Como se muestra en la Figura 9, una unidad PPL (907), por ejemplo la unidad PPL (407, Figura 4) descrita en la Figura 4, recibe una señal de reloj, CLK (901), a partir de la cual se crean una serie de salidas (copias sintetizadas de la señal de reloj entrante). Estas salidas se conectan a partes de la memoria primaria (932) y a partes de la memoria secundaria (933) a través de conmutadores (924). Los conmutadores (924) pueden abrirse o cerrarse de forma selectiva, permitiendo de esta manera la utilización preferida de una señal de reloj únicamente con las partes de memoria (932 y 933) a cuyas líneas de E/S se accede. Adicionalmente, puede habilitarse o deshabilitarse la unidad PPL (907) mediante el uso de un conmutador de habilitación (926).

La Figura 10 es parecida a la Figura 9, ya que se trata de un diagrama de bloques en el que se ilustra un controlador de reloj PLL, el cual puede conectarse de forma selectiva a una serie de partes de memoria. Como se muestra en la Figura 10, una unidad PPL (1007), por ejemplo la unidad PPL (407, Figura 4) descrita en la Figura 4, recibe una señal de reloj, CLK (1001), a partir de la cual se crean una serie de salidas (copias sintetizadas de la señal de reloj entrante). Estas salidas pueden conectarse preferentemente a partes de la memoria primaria (1032) y partes de la memoria secundaria (1033) a través de una red de revisión de reloj (1025), la cual utiliza pads (1024) para completar una conexión de forma selectiva, permitiendo así la utilización preferida de una señal de reloj únicamente con las partes de memoria (1032 y 1033) a cuyas líneas de E/S se accede. Adicionalmente, puede habilitarse o deshabilitarse la unidad PPL (1007) mediante el uso de un conmutador de habilitación (1026).

La Figura 11 es un diagrama de bloques en el que se ilustra un controlador de reloj PLL conectado de forma selectiva a una serie de partes de memoria. Como se muestra en la Figura 11, una unidad PPL (1107), por ejemplo la unidad PPL (407, Figura 4) descrita en la Figura 4, recibe una señal de reloj, CLK (1101), a partir de la cual se crean una serie de salidas (copias sintetizadas de la señal de reloj entrante). Estas salidas pueden conectarse preferentemente a partes de la memoria primaria (1132) y partes de la memoria secundaria (1133) a través de una red de revisión de reloj (1125), la cual utiliza pads (1124) para completar una conexión de forma selectiva, permitiendo así la utilización de una señal de reloj únicamente con las partes de memoria (1132 y 1133) a cuyas líneas de E/S se accede. Adicionalmente, puede habilitarse o deshabilitarse la unidad PPL (1107) mediante el uso de un conmutador de habilitación (1126).

Se pueden utilizar diferentes procedimientos con los pads de conexión (1124). Como se ilustra en la Figura 11, se pueden utilizar puntos de soldadura (1127) o cables de acoplamiento (1128). Adicionalmente, se puede utilizar un material protector (1129), por ejemplo un material que se puede endurecer térmicamente, para proteger físicamente los cables de acoplamiento (1128), los puntos de soldadura (1127), etc.

Como también se muestra en la Figura 8, todas las partes de memoria (1132 y 1133) están conectadas a una salida de reloj del PPL (1107), con la excepción de la parte de memoria secundaria (1133) asociada con el par de partes de memoria, P2. Como se ha descrito anteriormente, se prefiere esta ilustración si se utilizan las líneas de E/S de todas las partes de memoria para crear un módulo de memoria completamente funcional, a excepción de la parte de memoria secundaria de P2.

El objetivo de la anterior descripción es únicamente de ilustrar y describir formas de realización de esta invención y no pretende ser una descripción exhaustiva ni limitar la invención a una forma precisa dada a conocer. Se pueden llevar a cabo un gran número de modificaciones y variaciones a la luz de la descripción incluida en la presente memoria. Las siguientes reivindicaciones tienen como objetivo definir el alcance de esta invención.

REIVINDICACIONES

1. Procedimiento para la implementación selectiva de un reforzador de reloj, comprendiendo dicho procedimiento:

montar un reforzador de reloj (507) en una placa de circuito impreso de múltiples capas (101).

realizar pruebas y revisiones en partes de memoria, incluidas partes de memoria parcialmente defectuosas, para producir un módulo de memoria completamente funcional (102); y de acuerdo con el resultado de las pruebas, conectar de forma selectiva dicho reforzador de reloj a dichas partes de memoria revisadas cuyas líneas de E/S son utilizadas (103).

2. Procedimiento según la reivindicación 1, en el que dicho reforzador de reloj (507) comprende un circuito de bucle de bloqueo de fase (407).

3. Procedimiento según la reivindicación 1, en el que dichas pruebas (102) comprenden unas pruebas de funcionalidad de línea de E/S.

4. Procedimiento según la reivindicación 1, en el que dicha conexión selectiva de un reforzador de reloj (507) comprende la utilización de una red de revisión de reloj (603) para conectar una señal de reloj a dichas partes de memoria (601).

5. Procedimiento según la reivindicación 4, en el que dicha señal de reloj comprende una salida de dicho reforzador de reloj (507).

6. Módulo de memoria (500) fabricado según el procedimiento de la reivindicación 1.

7. Placa de circuito impreso de múltiples capas (531) para la fabricación de un módulo de memoria que utiliza un reforzador de reloj que puede funcionar de forma selectiva (507) y unas partes de memoria parcialmente defectuosas (601), comprendiendo dicha placa de circuito impreso:

unos medios para realizar pruebas y revisiones a partes de memoria, incluidas partes de memoria parcialmente defectuosas, con el fin de producir un módulo de memoria completamente funcional (102); y

unos medios para conectar de forma selectiva dicho reforzador de reloj a dichas partes de memoria revisadas cuyas líneas de E/S se utilizan (103).

8. Placa de circuito impreso de múltiples capas de la reivindicación 7, en la que dicha placa comprende unos medios para la utilización de un número indeterminado de partes de memoria (532) que comprenden unas redes de revisión (533).

9. Placa de circuito impreso de múltiples capas de la reivindicación 7, en la que dichos medios para conectar de forma selectiva dicho reforzador de reloj (507) a dichas partes de memoria (532) comprenden una red de revisión de reloj (533).

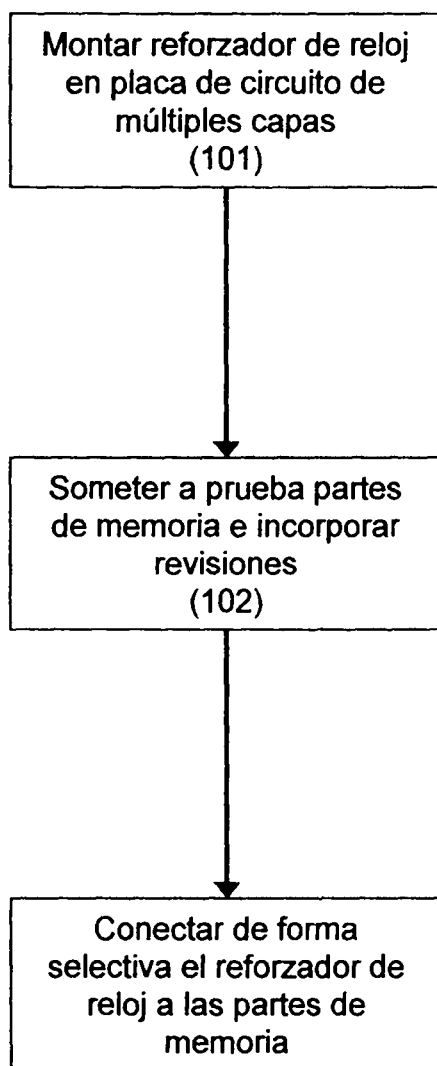


Fig. 1

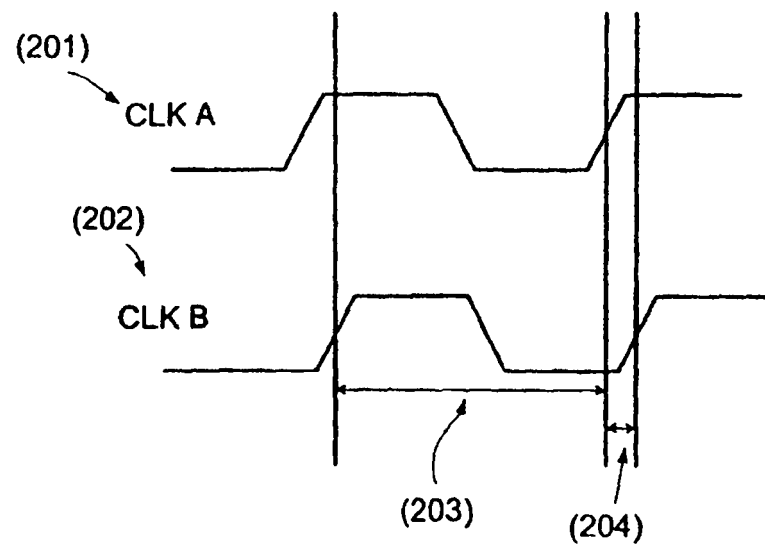


Fig. 2

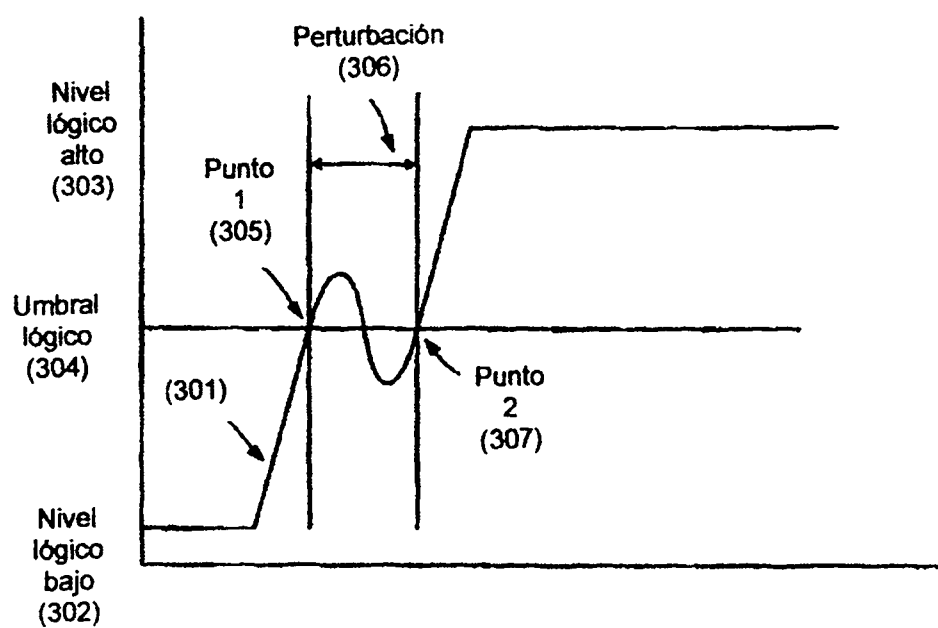


Fig. 3

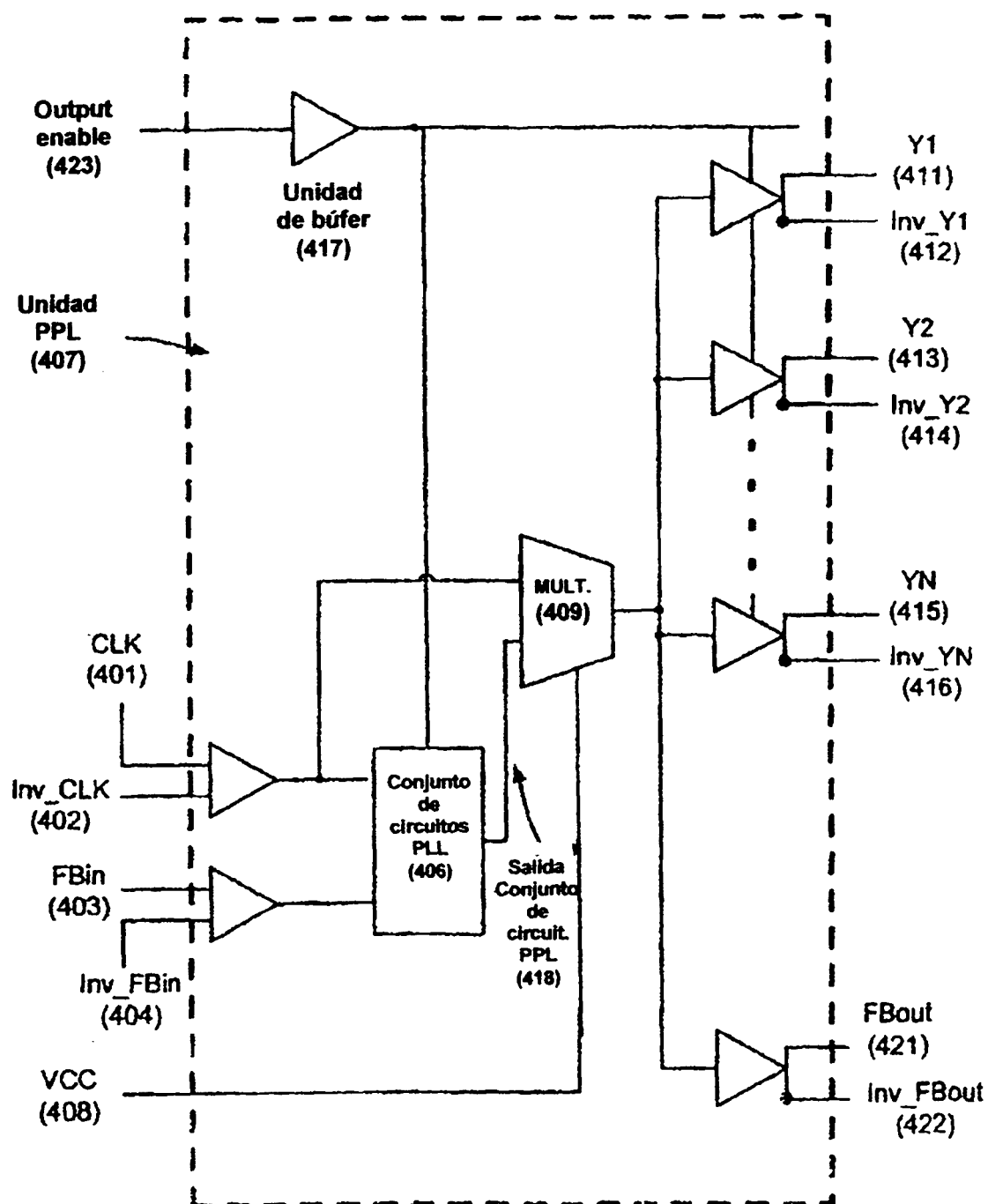


Fig. 4

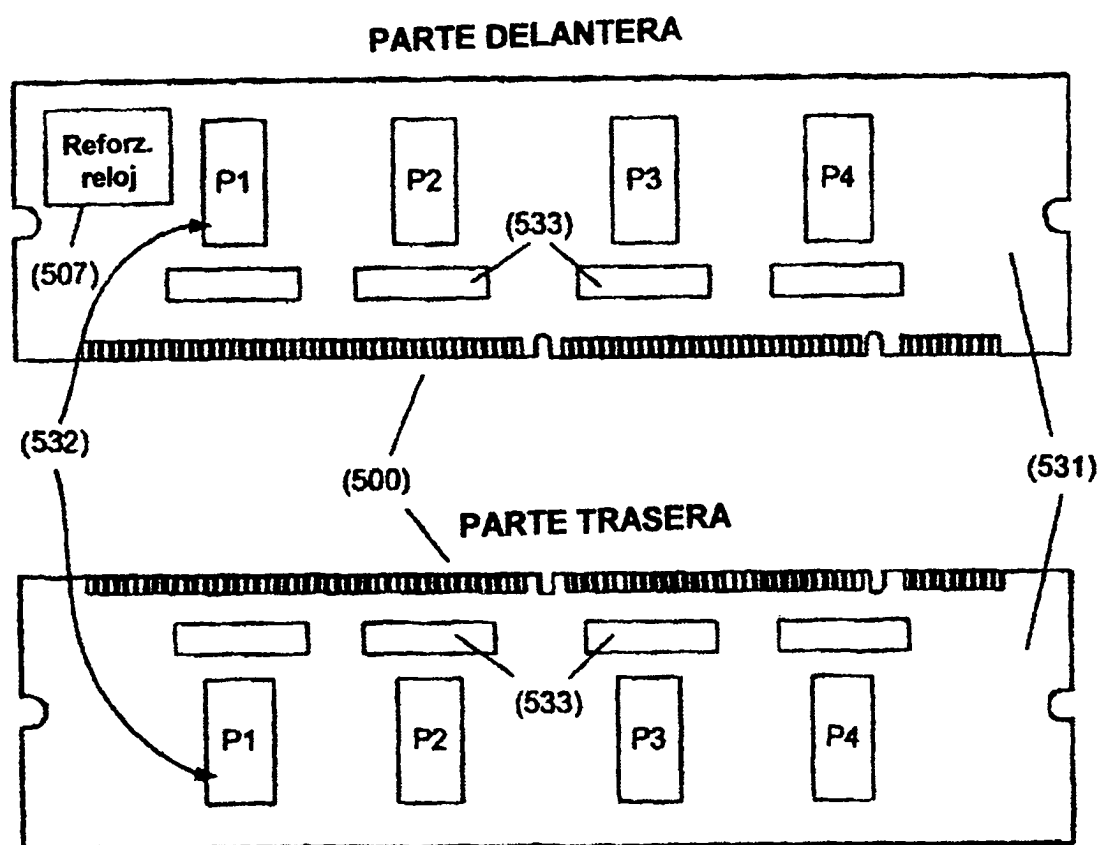


Fig. 5

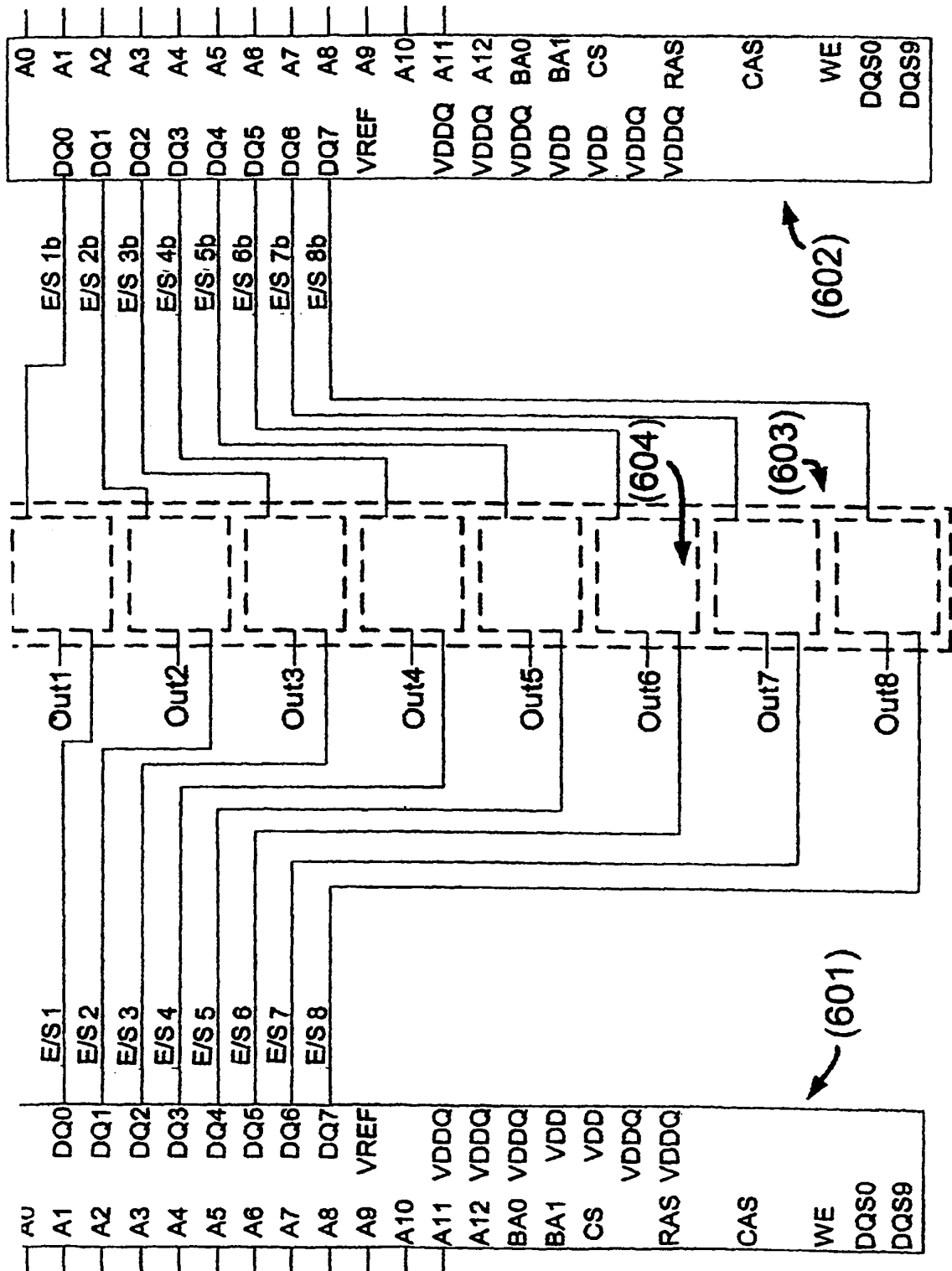


Fig. 6

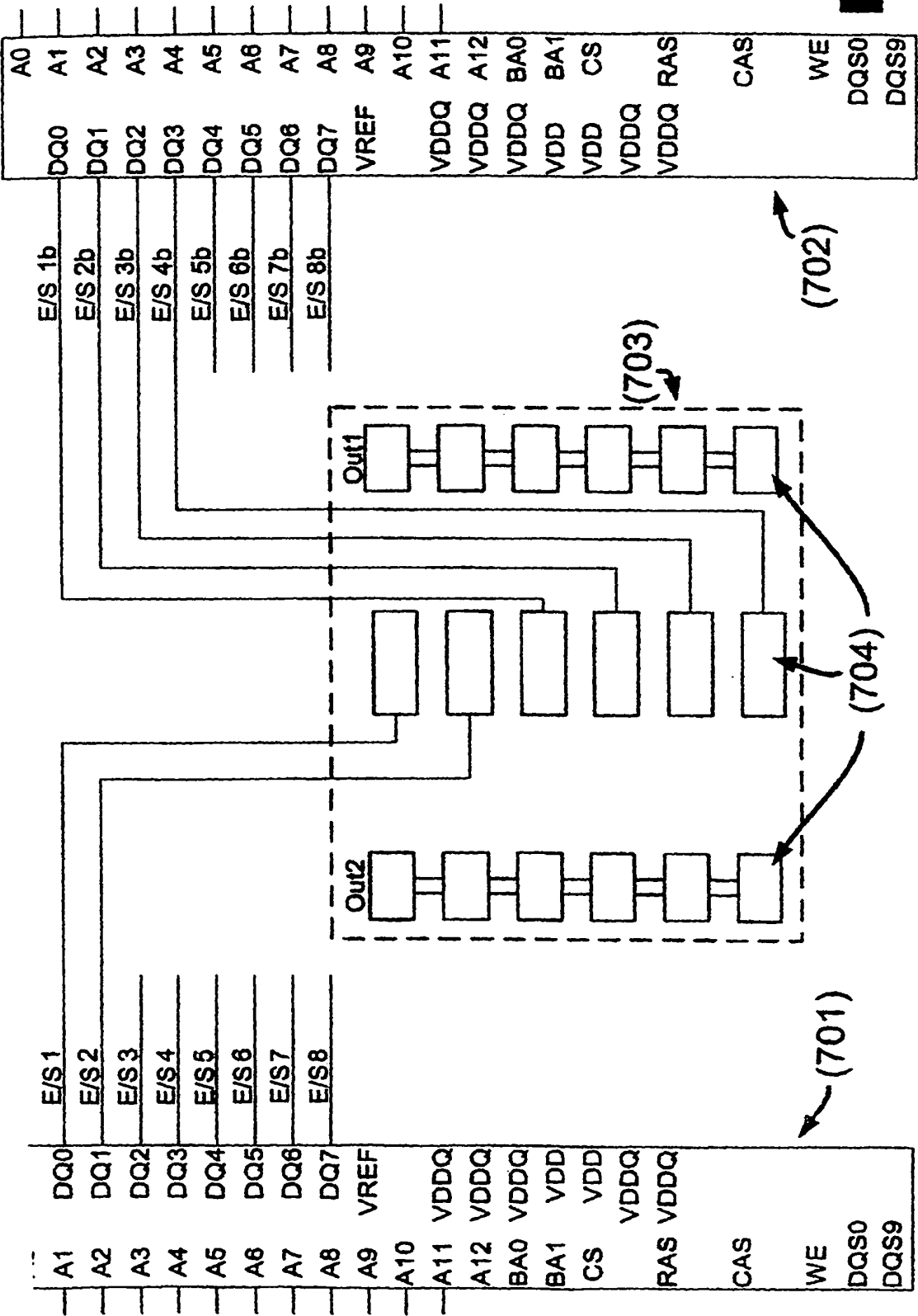


Fig. 7

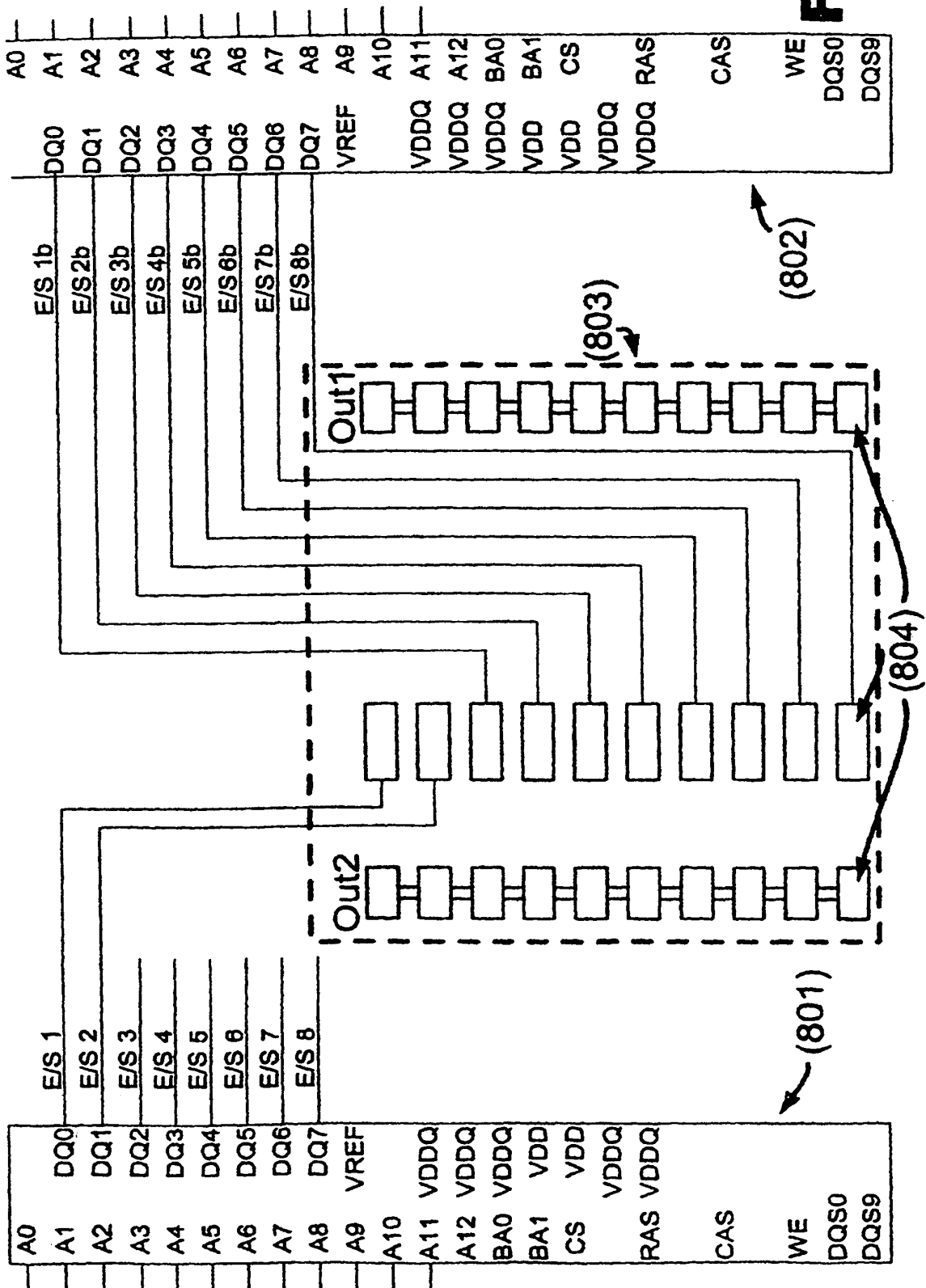


Fig. 8

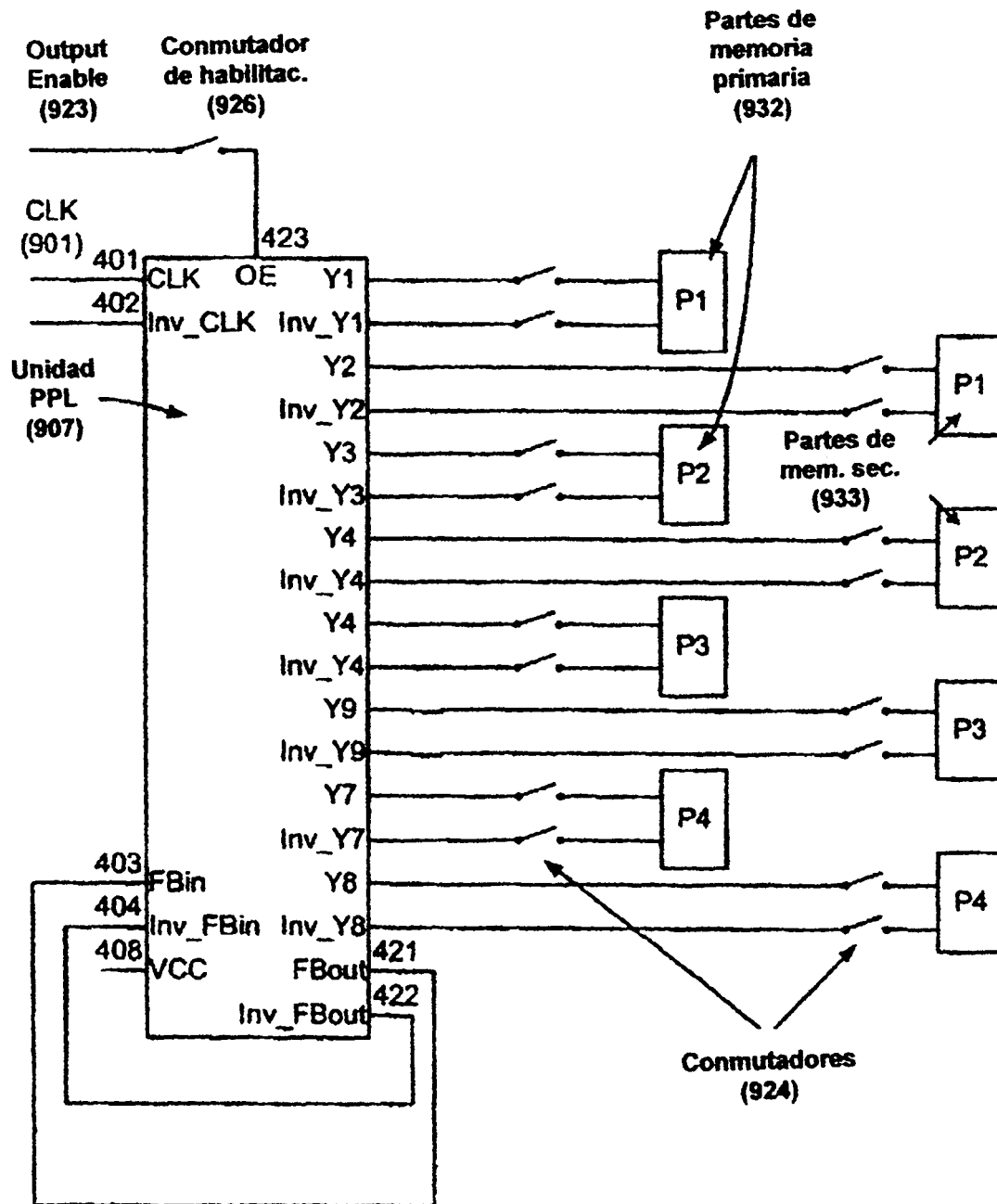


Fig. 9

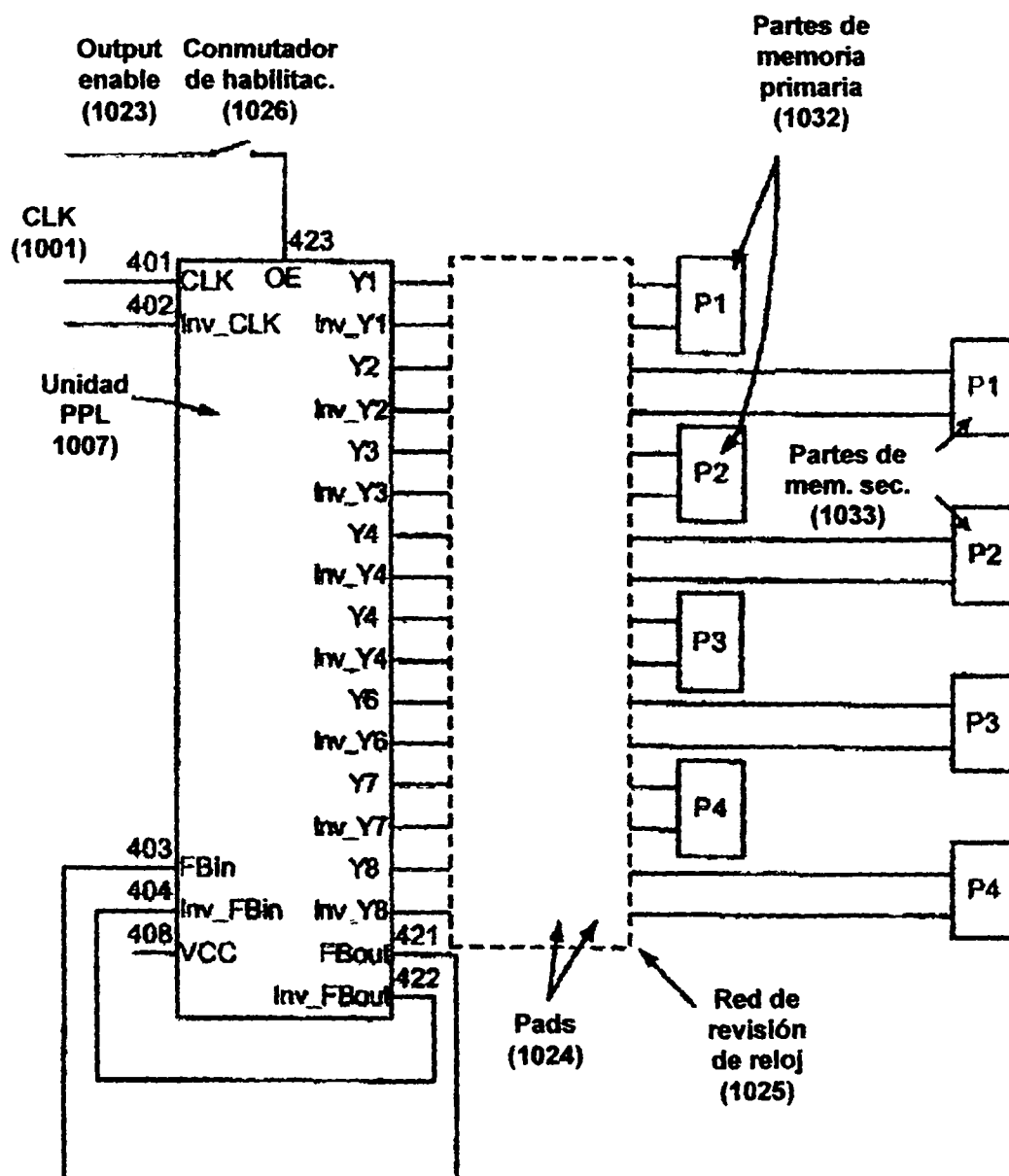


Fig. 10

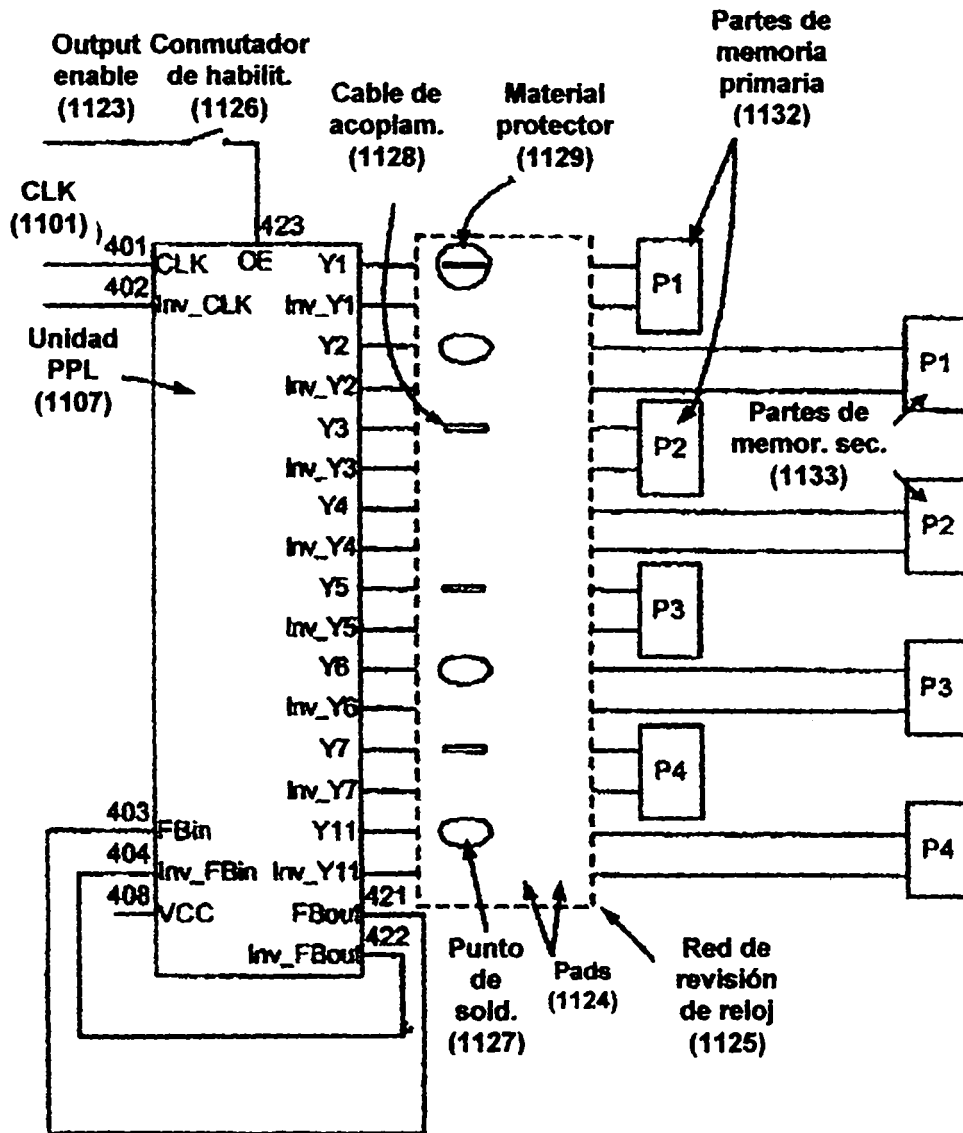


Fig. 11