



(12) 发明专利

(10) 授权公告号 CN 103035552 B

(45) 授权公告日 2015. 05. 27

(21) 申请号 201210370069. 4

第 [0010] 至 [0013] 段、附图 1.

(22) 申请日 2012. 09. 28

CN 101832949 A, 2010. 09. 15, 全文.

JP 特开 2010-204041 A, 2010. 09. 16, 全文.

(30) 优先权数据

222073/2011 2011. 10. 06 JP

审查员 周忠饶

(73) 专利权人 株式会社 东芝

地址 日本东京都

(72) 发明人 加贺正之

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 周春燕 陈海红

(51) Int. Cl.

H01L 21/67(2006. 01)

H01L 21/50(2006. 01)

(56) 对比文件

JP 特开 2005-150378 A, 2005. 06. 09, 全文.

JP 特开 2004-55599 A, 2004. 02. 19, 说明书

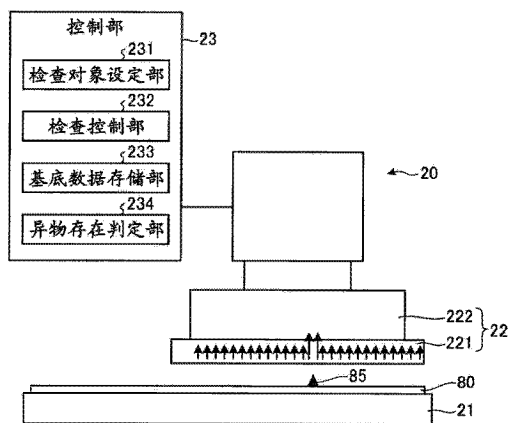
权利要求书2页 说明书9页 附图10页

(54) 发明名称

异物检查装置及半导体制造装置

(57) 摘要

本发明涉及异物检查装置及半导体制造装置。根据实施方式,异物检查装置具备:检测头,其具有基底检查部及对基底检查部进行支持的支持部;控制部,其具有基底数据存储部、检查控制部及异物存在判定部。基底数据存储部存储包括表示布线基板或布线基板的最上层的芯片的配置位置的基底配置区域的基底数据。检查控制部对检测头进行控制,使得检测头边接触于检查对象上的预定的位置边以预定的力进行按压。异物存在判定部从由基底检查部取得的检查数据,参照基底数据提取基底配置区域之中压力比周围高的区域作为异物存在区域。



1. 一种异物检查装置,其检查包括布线基板或层叠有芯片的布线基板的检查对象的上表面的异物的有无,其特征在于,具备:

检测头,其具有感压单元和对所述感压单元进行支持的支持部,且能够在水平方向及高度方向移动;以及

控制单元,其使所述检测头在所述检查对象上移动而进行异物检测处理;

其中,所述控制单元具备:

基底数据存储单元,其存储包括基底配置区域的基底数据,所述基底配置区域表示未配置所述芯片的所述布线基板的配置位置或层叠有所述芯片的所述布线基板的最上层的芯片的配置位置;

检查控制单元,其对所述检测头进行控制,使得所述检测头边接触于所述检查对象上的预定的位置边以预定的力进行按压;以及

异物存在判定单元,其从所述感压单元取得表示各位置处的压力值的检查数据,并参照所述基底数据存储单元中的所述基底数据,在所述基底配置区域之中根据所述检查数据存在压力比周围高的区域的情况下,将其提取为异物存在区域。

2. 根据权利要求 1 所述的异物检查装置,其特征在于:

所述异物存在判定单元在所述检查对象为层叠有所述芯片的所述布线基板的情况下,在所述基底配置区域内,提取压力比周围高预定的比例以上的区域作为所述异物存在区域。

3. 一种半导体制造装置,具备:

芯片层叠部,其在包括布线基板或层叠有芯片的布线基板的处理对象的上表面的预定位置,经由粘接层配置所述芯片并按压,使所述芯片层叠;以及

异物检查部,其在所述芯片层叠部中的所述芯片的层叠之前,检查所述处理对象的上表面的异物的有无;

其特征在于,所述异物检查部具备:

检测头,其检测存在于所述处理对象的上表面的异物的存在与否;以及

控制单元,其使所述检测头在所述处理对象上移动而进行异物检测处理,根据检查数据提取异物存在区域,所述检查数据从所述检测头取得且表示所述处理对象的上表面的状态。

4. 根据权利要求 3 所述的半导体制造装置,其特征在于:

所述异物检查部的所述检测头具备:

感压单元;以及

支持部,其对所述感压单元进行支持,且能够在水平方向及高度方向移动;

所述异物检查部的所述控制单元具备:

基底数据存储单元,其存储包括基底配置区域的基底数据,所述基底配置区域表示未配置所述芯片的所述布线基板的配置位置或层叠有所述芯片的所述布线基板的最上层的芯片的配置位置;

检查控制单元,其对所述检测头进行控制,使得所述检测头边接触于所述检查对象上的预定的位置边以预定的力进行按压;以及

异物存在判定单元,其从所述感压单元取得表示各位置处的压力值的检查数据,并参

照所述基底数据存储单元中的所述基底数据,在所述基底配置区域之中根据所述检查数据存在压力比周围高的区域的情况下,将其提取为异物存在区域。

5. 根据权利要求 4 所述的半导体制造装置,其特征在于:

所述异物检查部的所述异物存在判定单元在所述处理对象为层叠有所述芯片的所述布线基板的情况下,在所述基底配置区域内,提取压力比周围高预定的比例以上的区域作为所述异物存在区域。

6. 根据权利要求 3 ~ 5 中任一项所述的半导体制造装置,其特征在于,还具备:

异物除去部,其具备卷绕有粘接带的一对辊,在通过所述异物检查部判定为在所述处理对象的上表面存在异物的情况下,使一个所述辊边接触于所述处理对象的上表面边在所述处理对象上移动而除去所述异物。

7. 根据权利要求 6 所述的半导体制造装置,其特征在于:

还具备在所述异物检查部、所述异物除去部及所述芯片层叠部之间输送所述处理对象的输送部;

所述输送部在通过所述异物检查部判定为在所述处理对象的上表面存在异物的情况下,向所述异物除去部输送所述处理对象,并在异物除去处理结束之后再次向所述异物检查部输送所述处理对象。

8. 根据权利要求 6 所述的半导体制造装置,其特征在于:

还具备在所述异物检查部与所述芯片层叠部之间输送所述处理对象的输送部;

所述异物除去部还具有能够伸缩的支持部件,该支持部件能够使所述一个辊移动至由所述异物检查部检查的所述处理对象;

在通过所述异物检查部判定为在所述处理对象的上表面存在异物的情况下,所述异物除去部使所述能够伸缩的支持部件伸展而使所述辊移动至所述处理对象,除去所述处理对象上的异物。

9. 根据权利要求 6 所述的半导体制造装置,其特征在于:

所述异物检查部与所述芯片层叠部配置于相同的线上;

所述异物除去部配置于与所述线不同的位置;

所述半导体制造装置还具备具有第 1 输送单元和第 2 输送单元的输送部,所述第 1 输送单元在通过所述异物检查部判定为在所述处理对象的上表面不存在异物的情况下,在所述线上输送所述处理对象,所述第 2 输送单元在通过所述异物检查部判定为在所述处理对象的上表面存在异物的情况下,从所述异物检查部向所述异物除去部输送所述处理对象。

异物检查装置及半导体制造装置

技术领域

[0001] 本发明的实施方式涉及异物检查装置及半导体制造装置。

背景技术

[0002] 近年来,作为便携电话机和 / 或个人计算机等电子设备的存储装置,大多使用 NAND 型闪存等非易失性半导体存储装置,结果,电子设备得以推进小型轻量化。此外,应对由这些电子设备进行处理的信息量的增多,还推进了非易失性半导体存储装置的大容量化。作为在这样的电子设备中使用的非易失性半导体存储装置,能够例示存储卡(半导体存储卡)。

[0003] 例如,虽然为了实现小型化的存储卡,存储器芯片和 / 或控制器芯片等半导体芯片层叠搭载于布线基板上,但是为了实现存储卡的进一步大容量化,存储器芯片自身也多层地层叠于布线基板上。

[0004] 此时,因为存储卡的厚度(外形尺寸)确定,所以为了实现大容量化,必须使各个存储器芯片的厚度变薄,例如使用 50 μm 以下的厚度的芯片。

[0005] 在对存储器芯片进行层叠时,若在作为基底的布线基板和 / 或存储器芯片的上表面存在异物,则在使载于其上的存储器芯片相对于基底接触、按压时,存储器芯片有可能以异物为起点碎裂。

[0006] 以往,虽然提出有对存储器芯片内的功能模块不正常工作的缺陷区域进行检查并基于此使存储器芯片层叠的方案,但是并未提出在基底上存在异物的情况下的芯片的层叠方法。

发明内容

[0007] 根据一实施方式,提供检查包括布线基板或层叠有芯片的布线基板的检查对象的上表面的异物的有无的异物检查装置。所述异物检查装置具备:检测头,其检测存在于所述检查对象的上表面的异物的存在与否;以及控制单元,其使所述检测头在所述检查对象上移动而进行异物检测处理,根据检查数据提取异物存在区域,所述检查数据从所述检测头取得且表示所述检查对象的上表面的状态。

[0008] 根据一实施方式,能够提供防止层叠的芯片由于存在于作为基底的布线基板和 / 或芯片的上表面的异物而碎裂的异物检查装置及半导体制造装置。

附图说明

[0009] 图 1 是示意性地表示具备第 1 实施方式涉及的异物检查装置的半导体制造系统的结构的图。

[0010] 图 2 是示意性地表示第 1 实施方式涉及的异物检查装置的结构图。

[0011] 图 3 是表示基底数据的一例的图。

[0012] 图 4 是表示第 1 实施方式涉及的异物检测处理的步骤的一例的流程图。

[0013] 图 5 是示意性地表示第 1 实施方式涉及的半导体制造系统中的芯片层叠处理的状况的图。

[0014] 图 6 是示意性地表示在布线基板的异物检测处理的状况的图。

[0015] 图 7 是示意性地表示在芯片的异物检测处理的状况的图。

[0016] 图 8 是示意性地表示在芯片的异物检测处理的状况的图。

[0017] 图 9 是表示第 2 实施方式涉及的异物检测处理的步骤的一例的流程图。

[0018] 图 10 是示意性地表示第 2 实施方式涉及的半导体制造系统中的芯片层叠处理的状况的图。

[0019] 图 11 是表示第 3 实施方式涉及的异物检测处理的步骤的一例的流程图。

具体实施方式

[0020] 以下参照附图,对实施方式涉及的异物检查装置及半导体制造装置详细地进行说明。还有,本发明并非由这些实施方式限定。

[0021] (第 1 实施方式)

[0022] 图 1 是示意性地表示具备第 1 实施方式涉及的异物检查装置的半导体制造系统的结构的图。半导体制造系统 1 具备收置处理前的布线基板(包括层叠有存储器芯片和 / 或控制器芯片等芯片的布线基板) 80 的加载器 10、检查在布线基板 80 上是否存在异物 85 的异物检查装置 20、在布线基板 80 上存在异物 85 的情况下除去异物 85 的异物除去装置 30、在布线基板 80 上不存在异物 85 的情况下使存储器芯片和 / 或控制器芯片等芯片 90 层叠于布线基板 80 上的芯片层叠装置 40、收置层叠有芯片 90 的布线基板 80 的卸载器 50、在加载器 10 与卸载器 50 之间将布线基板 80 输送到各处理装置的输送装置 60 和对这各处理装置进行控制的系统控制装置 70。

[0023] 异物检查装置 20 是检查在输送来的布线基板 80 的上表面或层叠于布线基板 80 上的芯片 90 的上表面是否存在异物 85 的检查装置。关于异物检查装置 20 的结构后述。

[0024] 异物除去装置 30 是除去在布线基板 80 的上表面或层叠于布线基板 80 上的芯片 90 的上表面存在的异物 85 的装置。作为异物除去装置 30,例如能够使用以下结构的装置:通过使粘接带 31 接触于布线基板 80 的上表面或层叠于布线基板 80 上的芯片 90 的上表面、之后剥离,来除去异物 85。在此,采用通过辊卷绕粘接带 31 的方式。

[0025] 芯片层叠装置 40 具有配置要层叠的芯片 90 的芯片载置台 41 和可以在芯片载置台 41 与支持布线基板 80 的未图示的载物台之间移动的芯片配置头 42。芯片配置头 42 为可以在水平面内和垂直方向移动的结构,在底面具有真空卡盘机构和 / 或静电卡盘机构等芯片保持机构,成为可以对芯片 90 的上表面进行保持的结构。也就是说,由芯片载置台 41 对在底面形成有粘接层的芯片 90 的上表面进行保持而移动到布线基板 80 上,并进行布线基板 80 与芯片 90 的位置对齐,之后使芯片 90 按压粘接于布线基板 80 上。若粘接处理结束,则解除芯片保持机构,进行粘贴其他芯片 90 的处理。还有,从芯片 90 的保持到芯片 90 向布线基板 80 上的预定位置的层叠处理例如通过系统控制装置 70 进行控制。

[0026] 输送装置 60 在从加载器 10 到卸载器 50 之间的各处理装置间输送布线基板 80。作为输送装置 60,例如能够例示带式运送机和 / 或机械手式的布线基板输送装置。在此,示出由带式运送机构成输送装置 60 的情况。此外,在异物检查装置 20 和 / 或异物除去装

置 30、芯片层叠装置 40 中,该带式输送机还具有作为对布线基板 80 进行保持的载物台的功能。

[0027] 系统控制装置 70 进行以下控制:由输送装置 60 将布线基板 80 从加载器 10 输送到卸载器 50,并向各装置指示进行对于布线基板 80 的处理。例如指示为:将从加载器 10 输送出的布线基板 80 停止在异物检查装置 20 的检查区域,在异物检查装置 20 进行检查。在异物 85 不存在于布线基板 80 上的情况下,指示为:将布线基板 80 停止在芯片层叠装置 40 的处理区域,在芯片层叠装置 40 将芯片 90 层叠于布线基板 80 上。此外,在异物 85 存在于布线基板 80 上的情况下,指示为:将布线基板 80 停止在异物除去装置 30 的除去区域,在异物除去装置 30 中进行异物 85 的除去,并且指示为不从加载器 10 输送出新的布线基板 80。在异物 85 的除去之后,向输送装置 60 发出将布线基板 80 输送到异物检查装置 20 的指示,并再次对异物检查装置 20 指示为进行检查。另外,在相同的位置检测到异物 85 的情况下,判断到底是由异物除去装置 30 无法除去布线基板 80 上的异物 85 还是异物 85 附着于异物检查装置 20 侧,并输出表示异常的告警。

[0028] 在此,关于异物检查装置 20 的详细结构进行说明。图 2 是示意性地表示第 1 实施方式涉及的异物检查装置的结构图。异物检查装置 20 具备:对布线基板 80 进行保持的载物台 21、检查在布线基板 80 和 / 或芯片 90 的基底上是否存在异物 85 的检测头 22 和使用检测头 22 的控制及来自检测头 22 的输出信号判断在基底上是否存在异物 85 的控制部 23。

[0029] 载物台 21 具备将布线基板 80 固定以使得在检查中布线基板 80 不移动的静电卡盘机构和 / 或真空卡盘机构等基板保持机构。

[0030] 检测头 22 具备:检查存在于布线基板 80 或芯片 90 上的异物 85 的有无的基底检查部 221 和对基底检查部 221 进行支持的支持部 222。检测头 22 在水平方向及高度方向通过未图示的驱动机构进行驱动。

[0031] 作为基底检查部 221,例如能够使用在接触于基底上的状态下以预定的力按压时能够与位置信息一起检测在基底上存在的异物 85 的传感器片等整面感压单元。整面感压单元例如能够使用如下构成:使在与第 1 方向正交的第 2 方向以预定的间隔设置有多个在第 1 方向延伸并在上表面具有包括感压电阻体的感压层的长方形感压电极的、包括弹性体材料的第 1 片区域和在第 1 方向以预定的间隔设置有多个在第 2 方向延伸并在上表面具有包括感压电阻体的感压层的长方形感压电极的、包括弹性体材料的第 2 片区域相贴合,以使得感压层彼此相接触。

[0032] 在该整面感压单元中,配置于各片区域的长方形感压电极相交叉,并且这些各交点作为感压部而起作用,通过对各感压电极依次通电并计测感压电极间的电阻,可以进行传感器片面内的压力分布测定。测定时得到的信号输出到控制部 23。另外,作为基底检查部 221,既可以使用能够以非接触方式检测基底上的异物 85 的有无的结构,也可以使用例如将紫外线区域的波长的光边扫描边照射于基底表面并感受其反射光或散射光而检测基底表面的异物 85 的有无的光学检测单元。

[0033] 控制部 23 具有检查对象设定部 231、检查控制部 232、基底数据存储部 233 和异物存在判定部 234。检查对象设定部 231 设定作为检查对象的基底是布线基板 80 还是层叠于布线基板 80 上的第几层的芯片 90。在此,将布线基板设为第 1 层,将层叠于布线基板上的

第 1 层的存储器芯片设为第 2 层,同样地将第 2 层的存储器芯片设为第 3 层, ..., 同样地将第 n 层的存储器芯片设为第(n + 1)层。这是在检查时使基底检查部 221 的底面下降到何处的设定和确定通过基底检查部 221 检查的区域的设定。作为设定的项目,能够例示制造的芯片的种类和 / 或层数等。

[0034] 检查控制部 232 控制为:基于通过检查对象设定部 231 设定的层数,使检测头 22 移动到与基底相对的区域,在以预定的压力按压基底之后,将检测头 22 从基底拉开。

[0035] 基底数据存储部 233 存储作为基底的布线基板 80 和作为芯片 90 的配置位置的基底数据。这是为了,因为在对未层叠芯片 90 的布线基板 80 的上表面进行检查的情况下和对层叠有芯片 90 的布线基板 80 的上表面、即最上层的芯片 90 的上表面进行检查的情况下,施加于基底检查部 221 的压力不同,所以要预先登记布线基板 80 和 / 或芯片 90 配置于哪个位置。

[0036] 图 3 是表示基底数据的一例的图,(a)为表示第 1 层(布线基板上)的基底的配置区域的图,(b)为表示第 2 层(第 1 层的存储器芯片上)的基底的配置区域的图,(c)为表示第 3 层(第 2 层的存储器芯片上)的基底配置区域的图。如图 3 (a)所示,在第 1 层的情况下,基底检查部 221 的底面的全部成为布线基板配置区域 2311 (基底配置区域)。也就是说,基底检查部 221 的底面的全部与布线基板 80 的上表面接触。另一方面,如图 3(b)和 / 或(c)所示,在层叠有芯片 90 的情况下,基底检查部 221 的底面的一部分成为芯片配置区域 2312 (基底配置区域),芯片配置区域 2312 间成为什么也不配置的芯片非配置区域 2313。因此,当异物检查时,仅在芯片配置区域 2312 施加压力,在芯片非配置区域 2313 不施加压力。此外,芯片配置区域 2312 的面积依层而不同。另外,在此,仅示出直到第 3 层的数据,但是相应于层叠的芯片数,将基底数据存储于基底数据存储部 233。此外,相应于半导体芯片的种类,将各层的基底数据存储于基底数据存储部 233。

[0037] 异物存在判定部 234 从基底检查部 221 取得表示基底的上表面的状态的检查结果的数据(信号),判定异物的存在。在该情况下,从基底检查部 221 取得表示在基底上的各位置的压力的检查结果的数据,从基底数据存储部 233 取得与由检查对象设定部 231 设定的层数对应的基底数据,并将检查结果的数据与由基底数据表示的基底配置区域进行比较,在基底上提取压力比其他部分高的区域作为异物存在区域。此时,例如能够将压力值相比于其他部分高预定的比例的区域设为异物存在区域。由此,可以根据压力值的大小考虑异物 85 的硬度,判定为应当除去具有预定值以上的硬度的异物 85。由异物存在判定部 234 产生的判定结果向系统控制装置 70 输出。

[0038] 接下来,关于芯片层叠处理中的异物检测处理进行说明。图 4 是表示第 1 实施方式涉及的异物检测处理的步骤的一例的流程图,图 5 是示意性地表示第 1 实施方式涉及的半导体制造系统中的芯片层叠处理的状况的图。另外,在此,举异物除去装置 30 存在于与异物检查装置 20 和芯片层叠装置 40 相同的线上的情况为例进行说明。

[0039] 首先,作为半导体产品的布线基板 80 通过输送装置 60 从加载器 10 输送到异物检查装置 20 (步骤 S11)。若布线基板 80 通过输送装置 60 配置于预定的位置,则异物检查装置 20 开始异物检测处理(步骤 S12,图 5 (a))。

[0040] 在异物检测处理中,控制部 23 的检查控制部 232 根据由检查对象设定部 231 设定的芯片 90 的种类的层数进行控制,使检测头 22 下降到与载物台上的布线基板 80 接触,对

于布线基板 80 以预定的力按压检测头 22 (基底检查部 221)。另外,当使检测头 22 与布线基板 80 接触时,使用设置于布线基板 80 的位置对齐标记进行检测头 22 的位置对齐,之后使检测头 22 与布线基板 80 相接触。

[0041] 图 6 是示意性地表示在布线基板的异物检测处理的状况的图,(a)为示意性地表示异物检测时的原理的图,(b)为表示通过异物检测处理得到的异物存在信息的一例的图。如图 6(a)所示,若基底检查部 221 以预定的力按压于布线基板 80,则在基底检查部 221 的各位置检测从布线基板 80 向检测头 22 的压力。在基底即布线基板 80 的上表面平坦的情况下,压力 P1 的大小在哪一位置都相同,但是若存在异物 85 则仅该部分压力 P2 比周围升高。这样的压力分布通过基底检查部 221 取得,送往控制部 23。

[0042] 控制部 23 的异物存在判定部 234 根据从基底检查部 221 取得的压力分布的数据和存储于基底数据存储部 233 的相对应的层数的基底数据,将压力比周围高预定的比例的异物存在区域与位置信息一起提取,作为异物存在信息向系统控制装置 70 发送。异物存在信息如图 6(b)所示,为表示异物 85 存在于布线基板 80 的哪个位置的信息,在此,示出在布线基板配置区域 2311 (基底配置区域)存在异物存在区域 2315 的状态。

[0043] 另外,在此,关于布线基板 80 上的异物检测处理进行了说明,但是关于层叠于布线基板 80 上的芯片 90 的上表面的异物检测处理也同样地进行。图 7 和图 8 是示意性地表示在芯片的异物检测处理的状况的图,(a)为示意性地表示异物检测时的原理的图,(b)为表示通过异物检测处理得到的异物存在信息的一例的图。在芯片 90 的上表面的异物检测处理中,压力分布如图 7(a)和 / 或图 8(a)所示,在未配置芯片 90 的区域中压力为零,但是在配置芯片 90 的区域中,可检测到预定的压力 P3。因此,在配置芯片 90 的区域中,将检测到比压力 P3 高预定的比例的压力 P4 的区域提取为异物存在区域 2315。图 7(b)和 / 或图 8(b)表示异物存在区域 2315 存在于芯片配置区域 2312 (基底配置区域)内的状态的异物存在信息。

[0044] 此外,也可以将具有比预定的压力 P1、P3 高的压力的区域原样设为异物存在区域 2315,但是通过将比预定的压力 P1、P3 (周围的压力)高预定的比例(或预定的值)以上的压力 P2、P4 的区域设为异物存在区域 2315,关于不可能会使层叠的芯片 90 破损的、比预定的硬度低的硬度的异物 85,也能够不设为除去对象。

[0045] 系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S13)。在步骤 S13 中不存在异物 85 的情况下(在步骤 S13 中“否”的情况下),将布线基板 80 输送到芯片层叠装置 40 (步骤 S26)。在芯片层叠装置 40 中,使芯片配置头 42 驱动,从芯片载置台 41 取得在底面设置有粘接层的芯片 90,并按照基底数据在布线基板 80 上的预定位置载置芯片 90,之后以预定的压力按压,进行使芯片 90 层叠于布线基板 80 上的芯片层叠处理。然后,在使芯片 90 层叠于布线基板 80 上之后,通过输送装置 60 向卸载器 50 输送,异物除去处理结束。

[0046] 此外,在存在异物 85 的情况下(在步骤 S13 中“是”的情况下),将布线基板 80 输送到异物除去装置 30,并且使得新的布线基板 80 不从加载器 10 输送到异物检查装置 20 (步骤 S14)。然后,系统控制装置 70 对异物除去装置 30 发出如下指示:对于判定为存在异物 85 的布线基板 80 实施异物除去处理(步骤 S15,图 5(b))。在图 5(b)中,在加载器 10 与异物检查装置 20 之间配置停止器 61,使得新的布线基板 80 不供给到异物检查装置 20。

[0047] 在异物除去处理中,如图 5 (b)所示,异物除去装置 30 在包括存在异物 85 的布线基板 80 的上表面的位置的区域粘贴粘接带 31,并通过将其剥离而除去异物 85。此时,异物除去装置 30 在使卷绕于辊的粘接带 31 下降为与布线基板 80 的上表面接触之后,使其在水平方向移动,使得粘接带 31 与布线基板 80 的上表面的全部接触。在此,粘接带 31 为卷抽式。在使粘接带 31 接触于布线基板 80 的上表面之后,异物除去装置 30 上升,从布线基板 80 的上表面离开。另外,也可以不使粘接带 31 接触于布线基板 80 的上表面的全部,而是基于异物存在信息,使粘接带 31 仅接触于包括存在异物 85 的区域的预定范围。

[0048] 然后,输送装置 60 将进行了异物除去后的布线基板 80 输送到异物检查装置 20(步骤 S16),并且异物检查装置 20 进行异物检测处理(步骤 S17,图 5(c))。异物检测处理进行与在步骤 S12 中进行了说明的处理同样的处理,该处理的结果送往系统控制装置 70。

[0049] 接下来,系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S18)。在存在异物 85 的情况(在步骤 S18 中“是”的情况)下,判定异物 85 是否存在于与前次检测的区域(位置)同一部位(步骤 S19)。

[0050] 在异物 85 存在于与前次检测的区域相同的区域的情况(在步骤 S19 中“是”的情况)下,是在步骤 S15 的异物除去处理中无法除去异物 85 的情况、或者异物 85 啮合于基底检查部 221 而无法除去异物 85 的情况中的某一情况。因此,系统控制装置 70 向半导体制造系统 1 的使用者和 / 或管理者通知异常(步骤 S25),且处理结束。

[0051] 此外,在异物 85 不存在与前次检测的区域相同的区域的情况(在步骤 S19 中“否”的情况)下,输送装置 60 再次将布线基板 80 输送到异物除去装置 30 (步骤 S20),进行在步骤 S15 中进行了说明的异物除去处理(步骤 S21)。然后,将布线基板 80 输送到异物检查装置(步骤 S22),在进行了异物检测处理之后(步骤 S23),通过系统控制装置 70 判定是否存在异物 85 (步骤 S24)。在存在异物 85 的情况(在步骤 S24 中“是”的情况)下,向步骤 S19 返回。

[0052] 另一方面,在步骤 S18、S24 中不存在异物 85 的情况(在步骤 S18、S24 中分别为“否”的情况)下,将布线基板 80 输送到芯片层叠装置 40 (步骤 S26),进行在布线基板 80 上层叠芯片 90 的处理。另外,此时,图 5 (c)的停止器 61 解除,通过输送装置 60 从加载器 10 将新的布线基板 80 供给于异物检查装置 20。通过以上,异物检测处理结束。另外,如图 5 所示,异物检测处理及异物除去处理与芯片层叠处理能够并行地进行。

[0053] 在第 1 实施方式中,在层叠芯片 90 之前,检查在作为基底的布线基板 80 或芯片 90 上是否存在异物 85,并在存在异物 85 的情况下在除去了异物 85 之后使芯片 90 层叠。由此,具有能够防止在使芯片 90 层叠时以存在于基底上的异物 85 为起点使芯片 90 破损的效果。

[0054] (第 2 实施方式)

[0055] 在第 1 实施方式中,示出了在存在异物的情况下使布线基板在异物检查装置与异物除去装置之间移动而进行异物检测处理和异物除去处理的例子,但是在第 2 实施方式中,举不使布线基板从在异物检查装置中进行的检查位置移动而进行异物除去处理的情况为例进行说明。

[0056] 图 9 是表示第 2 实施方式涉及的异物检测处理的步骤的一例的流程图,图 10 是示意性地表示第 2 实施方式涉及的半导体制造系统中的芯片层叠处理的状况的图。另外,在

此也举异物除去装置 30 存在于与异物检查装置 20 和芯片层叠装置 40 相同的线上的情况为例进行说明。

[0057] 在第 2 实施方式的芯片层叠处理中,在加载器 10 与卸载器 50 之间,按顺序配置异物检查装置 20、异物除去装置 30 及芯片层叠装置 40,在加载器 10 与异物检查装置 20 之间、异物检查装置 20 与芯片层叠装置 40 之间及芯片层叠装置 40 与卸载器 50 之间通过输送装置 60 输送布线基板 80。具体地,布线基板 80 通过输送装置 60 从加载器 10 向异物检查装置 20 运送,在通过异物检查装置 20 判定为不存在异物 85 的情况下,在芯片层叠装置 40 中进行芯片层叠处理,之后布线基板 80 向卸载器 50 运送。另一方面,在由异物检查装置 20 判定为存在异物 85 的情况下,在异物检查装置 20 的位置通过由异物除去装置 30 进行的异物除去处理,并再次在异常检查装置 20 中进行异常检测处理。

[0058] 因此,在第 2 实施方式中,异物除去装置 30 具有以卷绕有粘接带 31 的辊 32 可以移动到布线基板 80 的位置的方式通过伸缩部件 33 保持的结构,以使得能够除去设置于异物检查装置 20 的布线基板 80 的上表面的异物 85。

[0059] 此外,异物检查装置 20 成为可以升降的结构,以使得能够使检测头 22 上升到在异物除去处理时不与异物除去装置 30 的卷绕有粘接带 31 的辊 32 接触的高度。

[0060] 接下来,关于芯片层叠处理中的异物检测处理进行说明。首先,通过输送装置 60 将作为半导体产品的布线基板 80 从加载器 10 输送到异物检查装置 20 (步骤 S31),使检测头 22 下降到布线基板 80 上的预定位置(步骤 S32),并通过异物检查装置 20 进行异物检测处理(步骤 S33,图 10 (a))。关于异物检测处理,因为在第 1 实施方式中进行了详细描述,所以下省略说明。异物检测处理的结果送往系统控制装置 70。

[0061] 系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S34)。在不存在异物 85 的情况(在步骤 S34 中“否”的情况)下,输送装置 60 将布线基板 80 输送到芯片层叠装置 40 (步骤 S47),在进行了芯片层叠处理之后,异物检测处理结束。另一方面,在存在异物 85 的情况(在步骤 S34 中“是”的情况)下,使检测头 22 上升到预定的高度(步骤 S35),并通过异物除去装置 30 进行异物除去处理(步骤 S36,图 10 (b))。在异物除去处理中,异物除去装置 30 使伸缩部件 33 伸展以使得辊 32 到达配置于异物检查装置 20 的区域的布线基板 80 上,并通过在布线基板 80 上转动辊 32 而通过卷绕于辊 32 的粘接带 31 除去布线基板 80 上的异物 85。然后,通过使伸缩部件 33 收缩而使辊 32 返回到原来的位置,且异物除去处理结束。

[0062] 然后,使异物检查装置 20 的检测头 22 下降到进行了异物除去处理的布线基板 80 上的预定的高度(步骤 S37),进行异物检测处理(步骤 S38)。系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S39)。

[0063] 在存在异物 85 的情况(在步骤 S39 中“是”的情况)下,判定异物 85 是否存在于同一部位(步骤 S40)。在异物 85 存在于同一部位的情况(在步骤 S40 中“是”的情况)下,是在步骤 S36 的异物除去处理中无法除去异物 85 的情况、或者异物 85 啮合于基底检查部 221 而无法除去异物 85 的情况中的某一种情况。因此,系统控制装置 70 向半导体制造系统 1 的使用者和 / 或管理者通知异常(步骤 S46),且处理结束。

[0064] 此外,在异物 85 不存在于同一部位的情况(在步骤 S40 中“否”的情况)下,使检测头 22 上升到预定的高度(步骤 S41),与步骤 S36 同样地通过异物除去装置 30 进行异物除去

处理(步骤 S42)。然后,再次使异物检查装置 20 的检测头 22 下降到进行了异物除去处理的布线基板 80 上的预定的高度(步骤 S43),进行异物检测处理(步骤 S44)。而且,系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S45)。其结果,在存在异物 85 的情况(在步骤 S45 中“是”的情况)下,返回到步骤 S40。

[0065] 另一方面,在步骤 S39 和步骤 S45 中判定为不存在异物 85 的情况(在步骤 S39、S45 中分别为“否”的情况)下,通过输送装置 60 将布线基板 80 输送到芯片层叠装置 40 (步骤 S47),进行芯片层叠处理。通过以上,异物检测处理结束。

[0066] 在第 2 实施方式中,不使布线基板 80 从异物检查装置 20 移动地在进行了异物除去处理之后,再次进行异物检查处理。由此,因为不需要使布线基板 80 在异物检查装置 20 与异物除去装置 30 之间往返,所以具有能够消除存在异物 85 的情况下的布线基板 80 从加载器的送出的暂时停止和 / 或输送装置 60 在异物检查装置 20 与异物除去装置 30 之间的往返等复杂的控制。此外,因为可以不使布线基板 80 移动,所以也可以不进行异物检查装置 20 中的检测头 22 与第 2 次及以后的相同的布线基板 80 之间的位置对齐。

[0067] (第 3 实施方式)

[0068] 在第 1 及第 2 实施方式中,示出了异物除去装置配置于与异物检查装置和芯片层叠装置相同的线上的情况,但是在第 3 实施方式中,关于异物除去装置配置于与异物检查装置和芯片层叠装置不同的线上的情况下的异物检测处理进行说明。

[0069] 图 11 是表示第 3 实施方式涉及的异物检测处理的步骤的一例的流程图。另外,在此,虽然未图示,但是关于例如在图 1 中,异物检查装置 20 与芯片层叠装置 40 存在于相同的线上并与该线分离地配置有异物除去装置 30 的半导体制造系统中的异物检测处理进行说明。此外,以下,参照图 1 的符号进行说明。

[0070] 首先,通过输送装置 60 将作为半导体产品的布线基板 80 从加载器 10 输送到异物检查装置 20(步骤 S61),通过异物检查装置 20 进行异物检查处理(步骤 S62)。关于异物检测处理,因为在第 1 实施方式中进行了详细描述,所以在此省略说明。而且,系统控制装置 70 根据异物检测处理的结果,判定布线基板 80 上的异物 85 的有无(步骤 S63)。

[0071] 在异物检测处理中判定为不存在异物 85 的情况(在步骤 S63 中“否”的情况)下,布线基板 80 原样向芯片层叠装置 40 输送(步骤 S64),在进行了芯片层叠处理之后,处理结束。

[0072] 另一方面,在异物检测处理中判断为存在异物 85 的情况(在步骤 S63 中“是”的情况)下,布线基板 80 通过输送装置 60 输送到与设置有异物检查装置 20 的线分离地设置的异物除去装置 30 (步骤 S65)。而且,通过异物除去装置 30 进行异物除去处理(步骤 S66)。关于异物除去处理,因为与在第 1 实施方式中说明的情况相同,所以省略其说明。然后,将结束了异物除去处理的布线基板 80 通过输送装置 60 输送到加载器 10 (步骤 S67),且处理结束。另外,关于输送到加载器 10 的布线基板 80,再次进行从步骤 S61 起的处理。此外,在布线基板 80 输送到异物除去装置 30 之后,在具有异物检查装置 20 和芯片层叠装置 40 的线上,与异物除去处理并行地进行对于新的布线基板 80 的处理。

[0073] 如上所述,根据第 3 实施方式,因为将异物除去装置 30 单独于设置有异物检查装置 20 和芯片层叠装置 40 的线而设置,所以能够同时并行地进行异物除去处理和芯片层叠处理。其结果,具有能够防止如第 1 及第 2 实施方式那样在检测到异物 85 的情况下在直到

异物除去处理完成为止的期间都使芯片层叠处理停止的情况的效果。

[0074] 此外,在异物检查装置 20 中,在检测到的异物 85 的硬度比预定值小的情况下不进行异物除去处理,而仅在预定值以上的情况下进行异物除去处理,由此即使具有不会使芯片 90 破损的程度的硬度的异物 85 存在于基底上,也不需要将其除去。其结果,相比于除去全部的异物 85 的情况,具有能够使制造工序缩短化的效果。

[0075] 虽然对本发明的几种实施方式进行了说明,但是这些实施方式是作为例子而呈现的,并非意图对发明的范围进行限定。这些新的实施方式可以以其他的各种方式实施,在不脱离发明的主旨的范围,能够进行各种省略、替换、变更。这些实施方式和 / 或其变形包括于发明的范围和 / 或主旨,并包括于权利要求所记载的发明及其均等的范围。

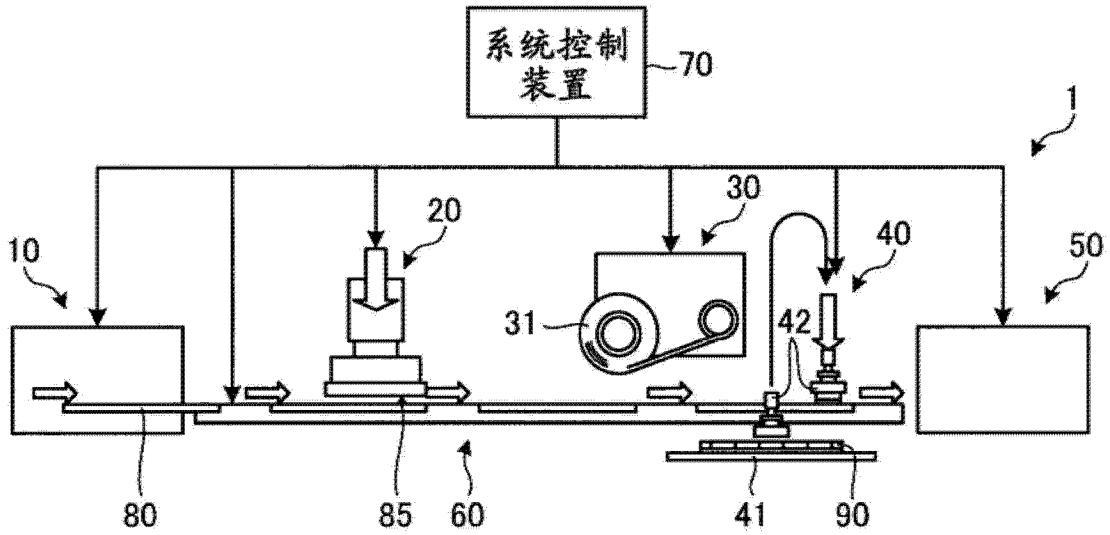


图 1

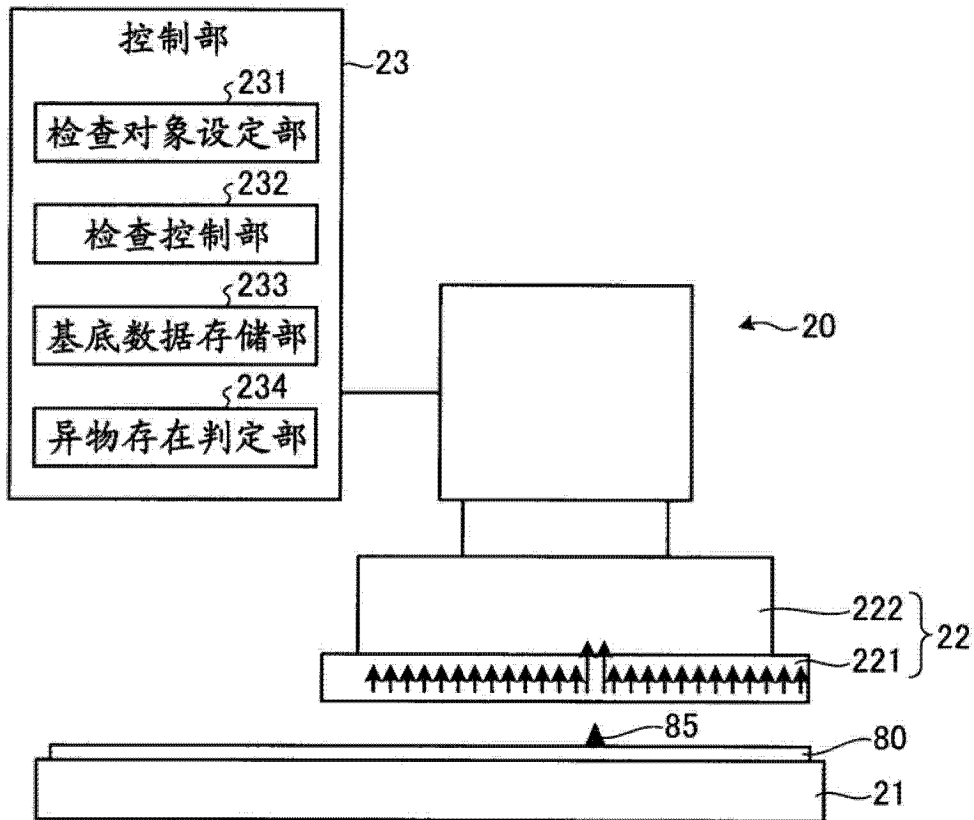


图 2

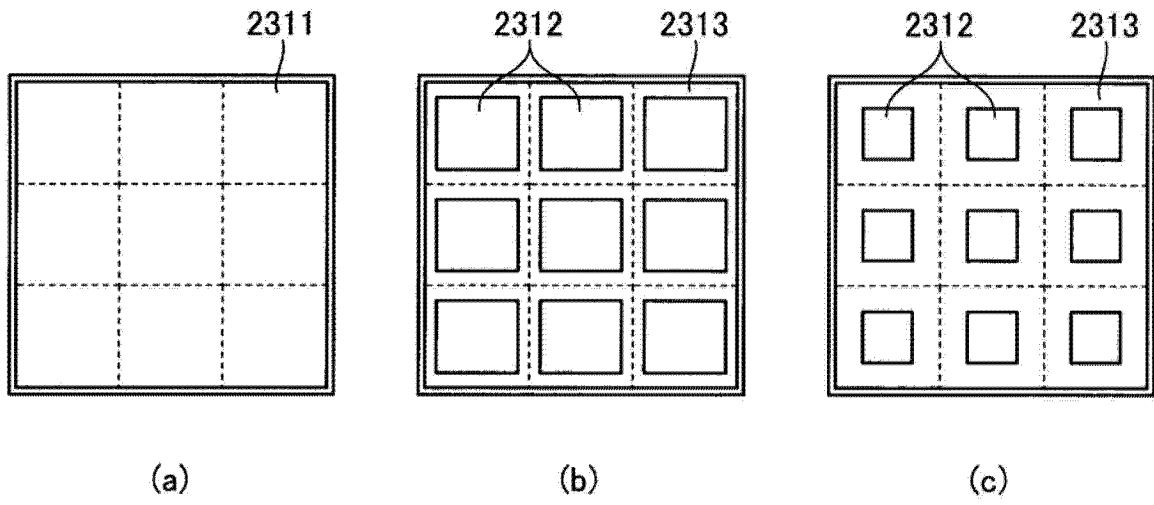


图 3

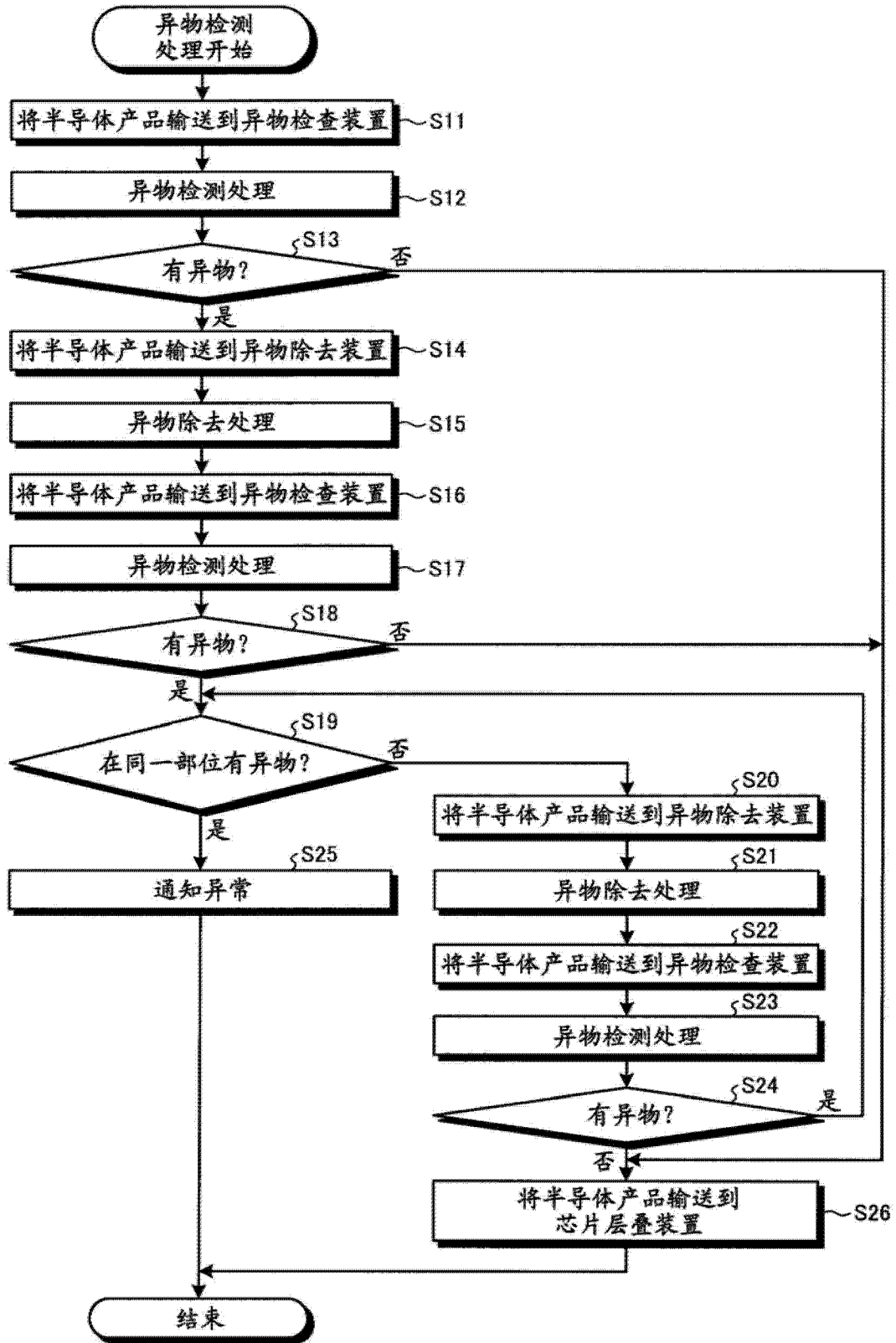


图 4

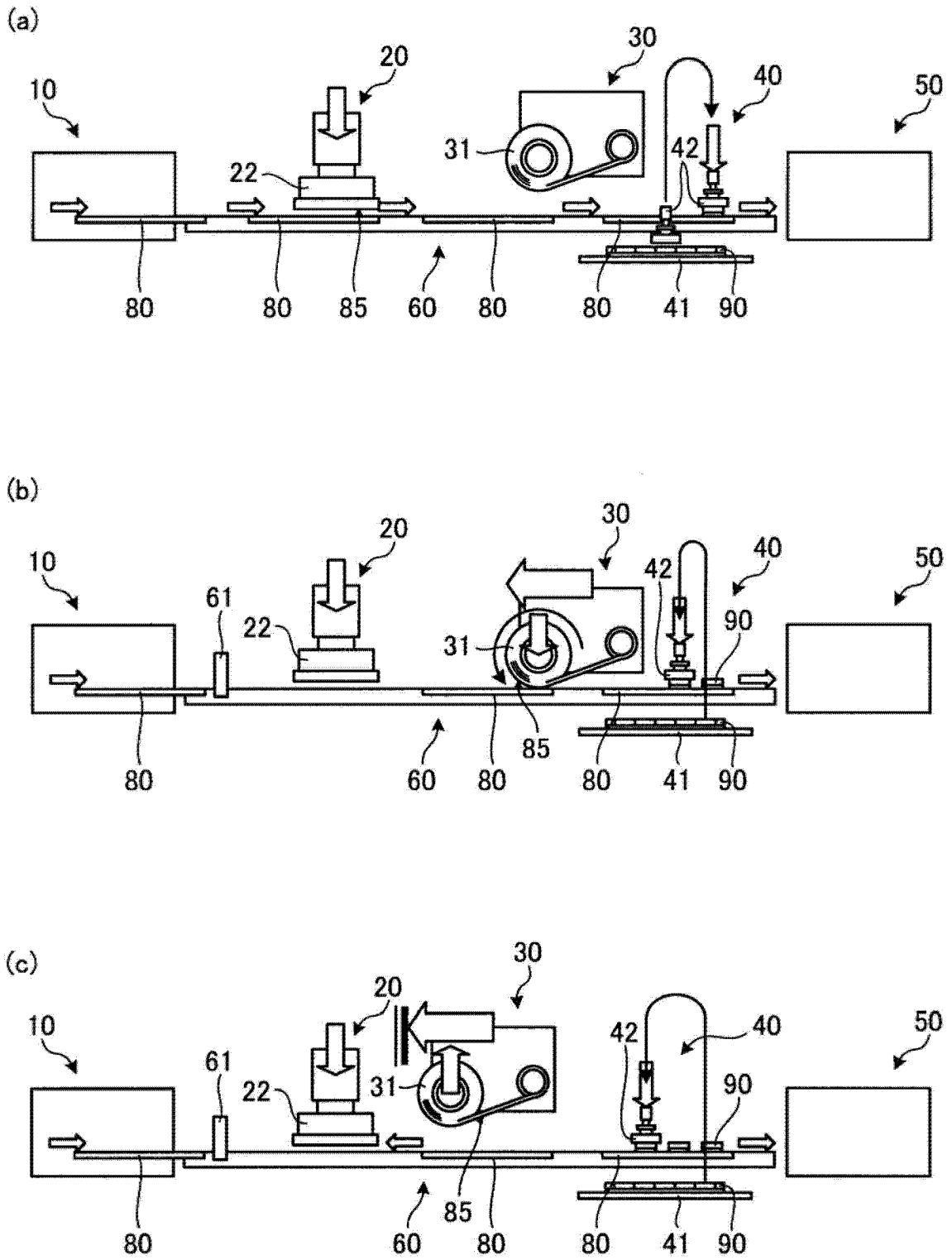
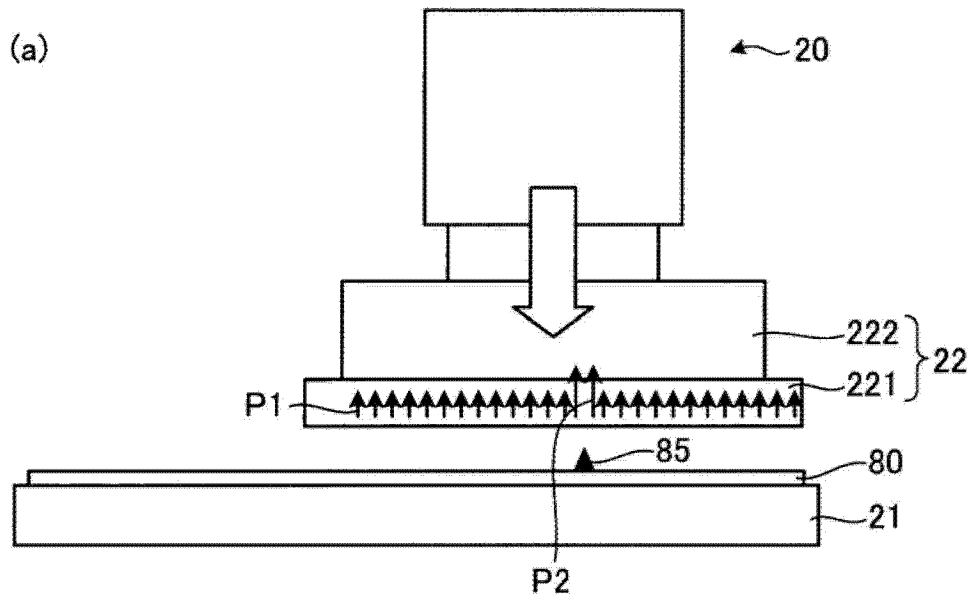


图 5



(b)

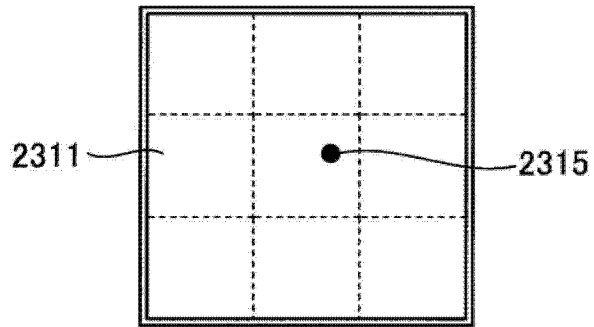


图 6

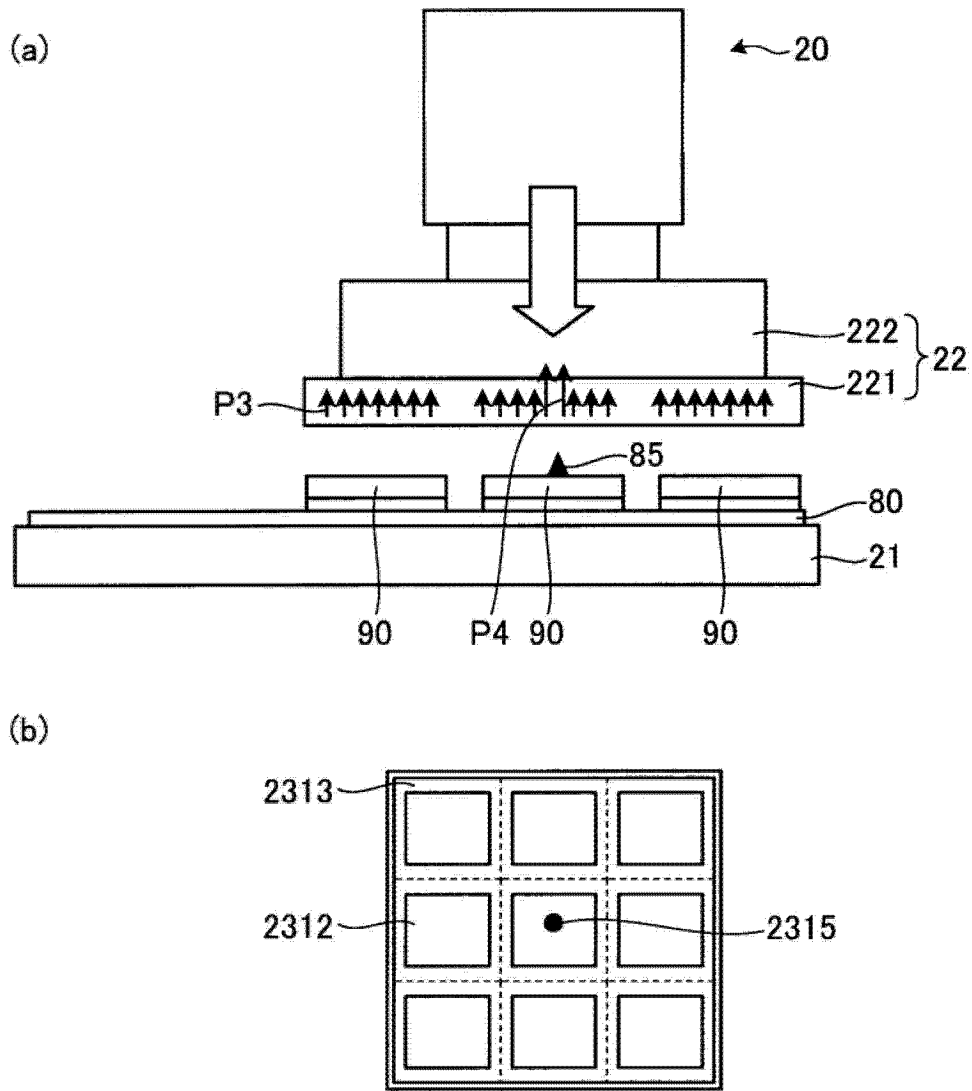


图 7

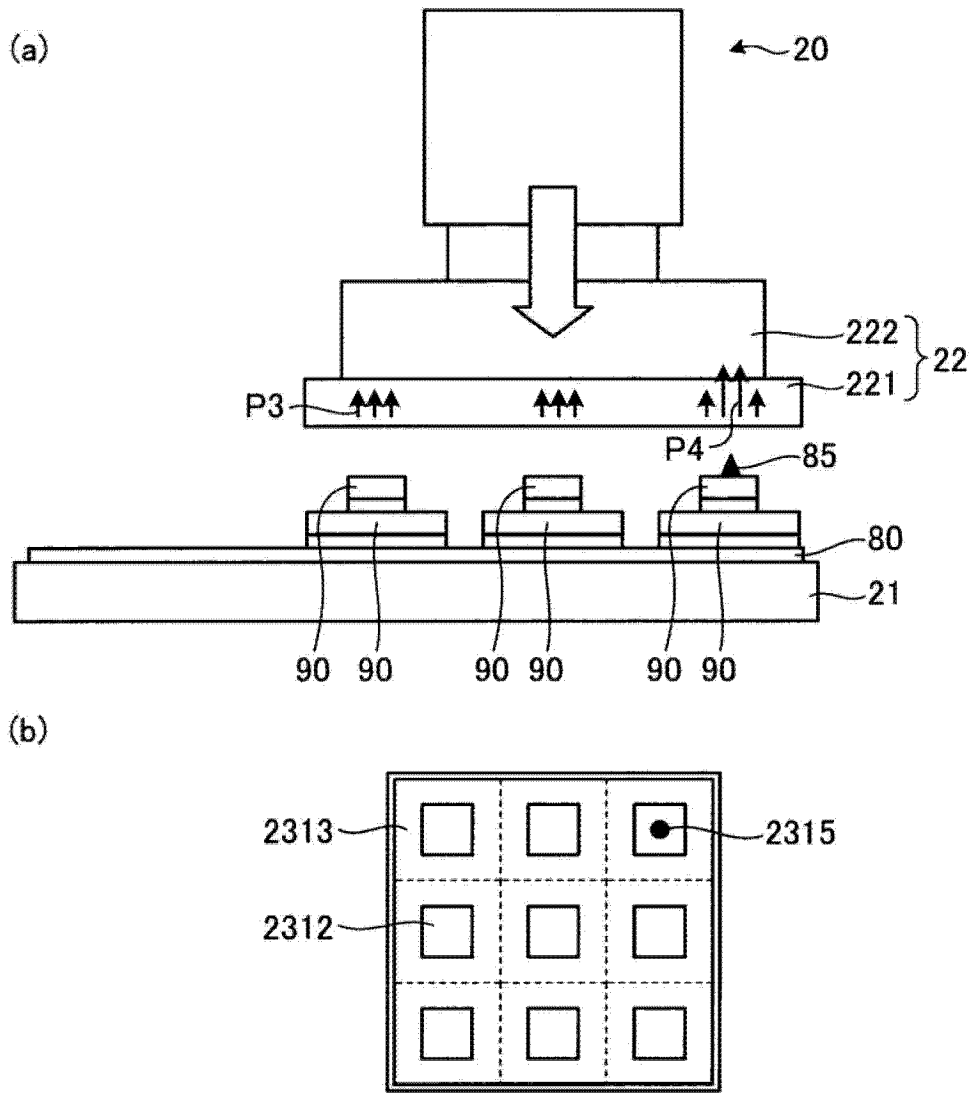


图 8

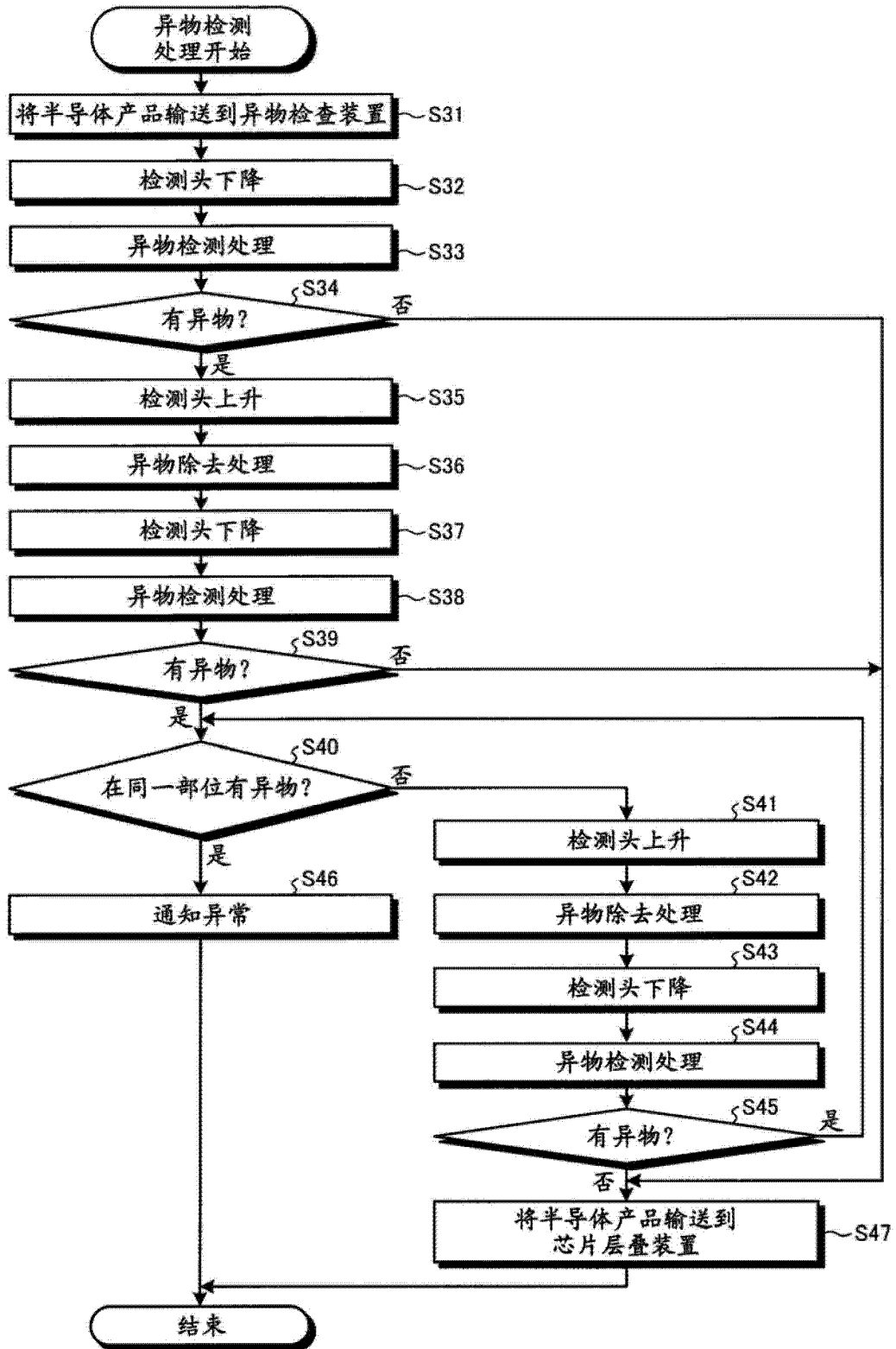


图 9

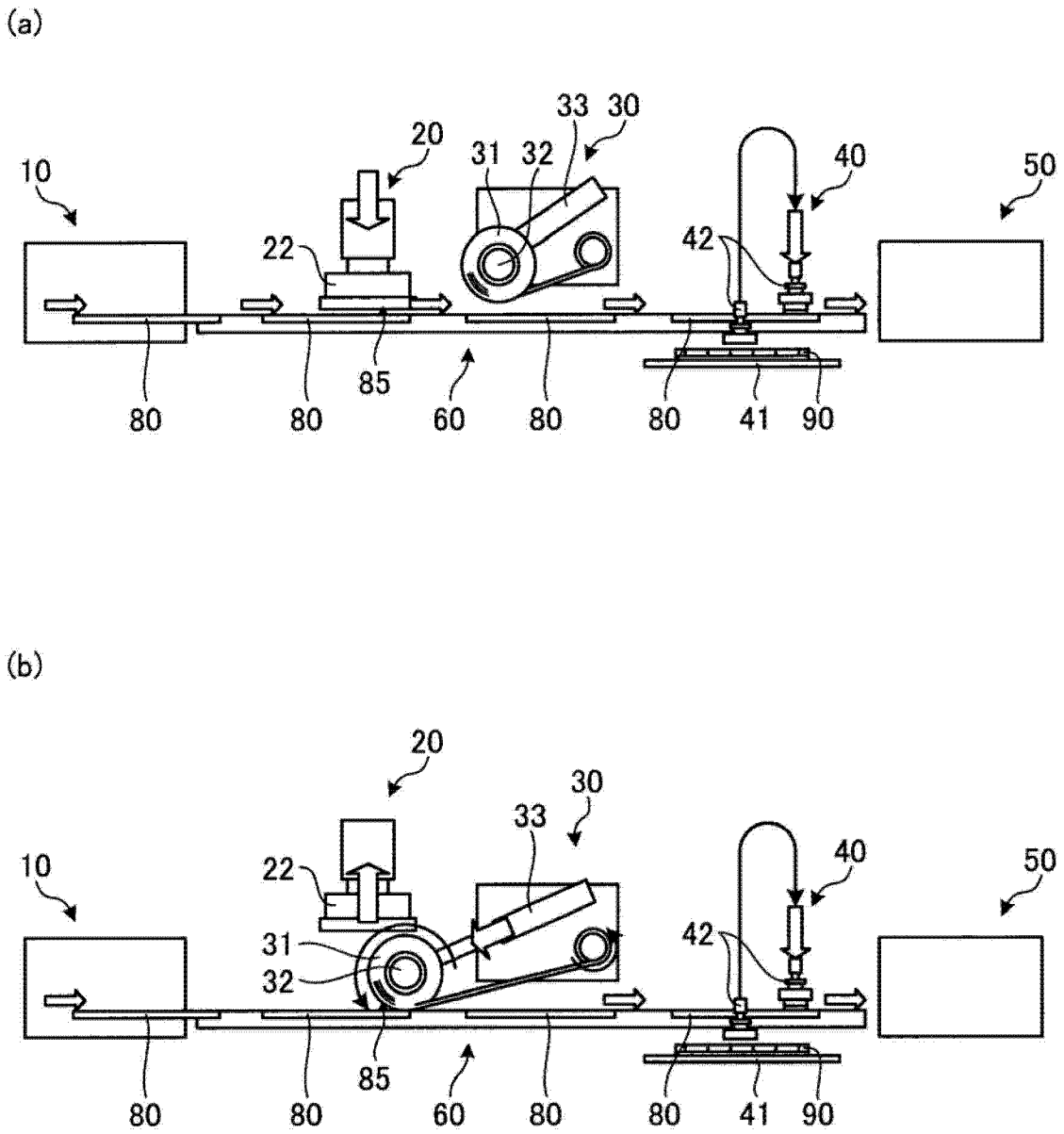


图 10

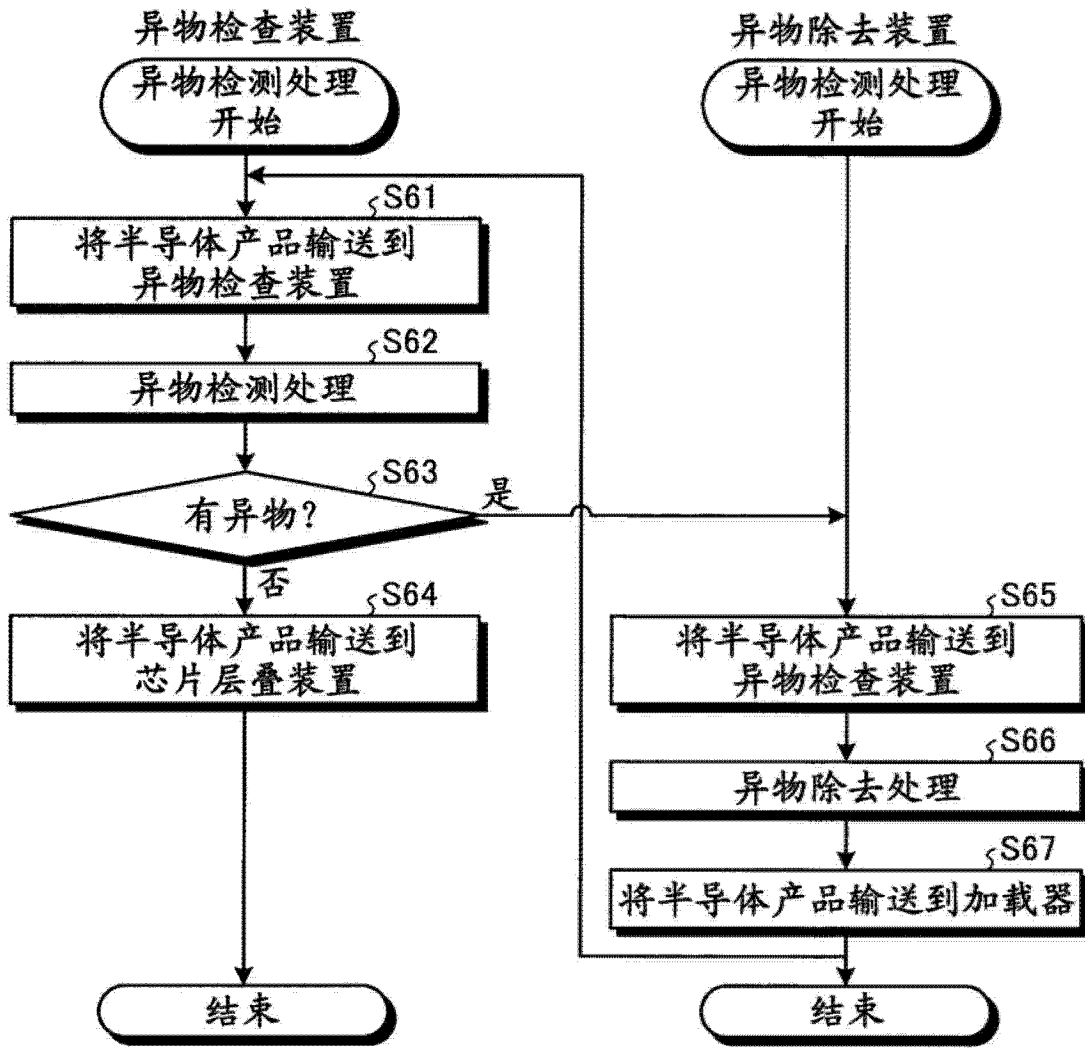


图 11