

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-253992

(P2012-253992A)

(43) 公開日 平成24年12月20日(2012.12.20)

(51) Int.Cl.		F I		テーマコード (参考)
H02H 3/05	(2006.01)	H02H 3/05	D	5G042
H02H 3/02	(2006.01)	H02H 3/02	J	

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号	特願2011-127087 (P2011-127087)	(71) 出願人	000006013
(22) 出願日	平成23年6月7日(2011.6.7)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100073759
			弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 考生
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(72) 発明者	岩澤 頼晃
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		Fターム(参考)	5G042 EE02 EE07

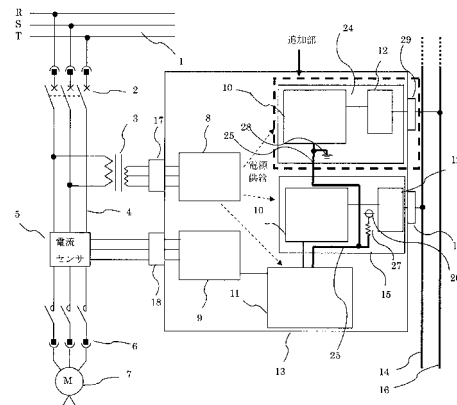
(54) 【発明の名称】 デジタルリレー

(57) 【要約】

【課題】 伝送方式をシングル方式から二重化方式に容易に変更可能なデジタルリレーを提供する。

【解決手段】 電力系統4から電氣量を取得して演算処理を行う計測回路9と、主CPU基板23に搭載され、計測回路9の演算結果を受けて伝送データを作成する主CPU11と、シングル系伝送基板15に搭載され、主CPU11からの伝送データをインターフェース12を介して伝送バス14に送る伝送CPU10とをケース21に収容して構成したデジタルリレーにおいて、該デジタルリレーに、シングル系伝送基板15に対して冗長系の機能を持つ冗長系伝送基板24を増設するとき、冗長系伝送基板24の増設を主CPU11が検知する検知手段25を備え、主CPU11は、冗長系伝送基板24の増設を認識することにより冗長系伝送CPU10を動作させる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電力系統から電気量を取得して演算処理を行う計測回路と、主 CPU 基板に搭載され、前記計測回路の演算結果を受けて伝送データを作成する主 CPU と、シングル系伝送基板に搭載され、前記主 CPU からの伝送データをインターフェースを介して伝送バスに送る伝送 CPU とをケースに収容して構成したデジタルリレーにおいて、該デジタルリレーに、前記シングル系伝送基板に対して冗長系の機能を持つ伝送 CPU 及び伝送インターフェースを搭載した冗長系伝送基板を増設するとき、前記冗長系伝送基板を増設を前記主 CPU が検知する検知手段を備え、前記主 CPU は、前記冗長系伝送基板を増設を認識することにより前記冗長系伝送 CPU を動作させることを特徴とするデジタルリレー。

10

【請求項 2】

電力系統から電気量を取得して演算処理を行う計測回路と、主 CPU 基板に搭載され、前記計測回路の演算結果を受けて伝送データを作成する主 CPU とをケースに収容して構成したデジタルリレーにおいて、該デジタルリレーに、前記主 CPU からの伝送データをインターフェースを介して伝送バスに送る伝送 CPU を搭載したシングル系伝送基板と、前記シングル系伝送基板に対して冗長系の機能を持つ伝送 CPU 及び伝送インターフェースを搭載した冗長系伝送基板とを増設するとき、前記シングル系伝送基板及び前記冗長系伝送基板を増設を前記主 CPU が検知する検知手段を備え、前記主 CPU は、前記シングル系伝送基板及び前記冗長系伝送基板を認識することにより前記シングル系伝送 CPU 及び前記冗長系伝送 CPU を動作させることを特徴とするデジタルリレー。

20

【請求項 3】

前記検知手段は、伝送基板増設時に、前記主 CPU に状態変化を伝える、プルアップ電源に接続されたハードウェア信号入力線であることを特徴とする請求項 1 または請求項 2 に記載のデジタルリレー。

【請求項 4】

前記主 CPU 基板と、前記シングル系伝送基板と、前記冗長系伝送基板とはコネクタにより結合されることを特徴とする請求項 1 ～ 3 のいずれか一項に記載のデジタルリレー。

【請求項 5】

増設される前記冗長系伝送基板あるいは前記シングル系伝送基板及び冗長系伝送基板は、前記ケースの壁面に設けられた伝送基板交換用の開口部に配置されていることを特徴とする請求項 1 ～ 請求項 4 のいずれか一項に記載のデジタルリレー。

30

【請求項 6】

前記ケースには、前記開口を塞ぐ着脱可能なケース外蓋が設けられていることを特徴とする請求項 5 に記載のデジタルリレー。

【請求項 7】

前記ケース外蓋は、前記冗長系伝送基板の収容を許す凹部を有する略桁形であることを特徴とする請求項 6 に記載のデジタルリレー。

【発明の詳細な説明】**【技術分野】**

40

【0001】

この発明は、デジタルリレー、特に伝送機能を変更または追加することのできるデジタルリレーに関するものである。

【背景技術】**【0002】**

先ず、従来のデジタルリレーを図 8 により説明する。図 8 において、デジタルリレー 13 は電流入力コネクタ 18 を通して電力系統の主回路電流母線二次側 4 の電流センサ 5 に接続されている。また、デジタルリレー 13 は、トランス 3 を介して主回路電流母線二次側 4 に接続された電源コネクタ 17 を通して電源供給を受けている。主回路電流母線二次側 4 の一端は配線用遮断器 2 を通して主回路電流母線一次側 1 に接続され、他端は

50

電磁接触器 6 を通して例えばモータ 7 に接続される。デジタルリレー 13 の保護指令出力は伝送コネクタ 19 を通して伝送バス 14 に供給される。

【0003】

デジタルリレー 13 は、電流センサ 5 からの実電流を受けて演算を行なう計測回路 9 と、この計測回路 9 の演算結果を受けて伝送データを作成する主 CPU 11 と、該主 CPU 11 で生成した伝送データを受けてその伝送データを伝送インターフェース 12 及び伝送コネクタ 19 を通して伝送バス 14 に送出する伝送 CPU 10 とを備えている。さらに、トランス 3 及び電源コネクタ 17 を通して主回路電流母線二次側 4 から電力を受け、主 CPU 11 や伝送 CPU 10 に電力を供給する電源入力部 8 を備えている。デジタルリレー 13 の前記各構成要素は後述するケース 21 に収容されている。

10

【0004】

主 CPU 11 は主 CPU 基板 23 に、また、伝送 CPU 10 及び伝送インターフェース 12 はシングル系伝送基板 15 にそれぞれ搭載されている。主 CPU 基板 23 とシングル系伝送基板 15 とは、図 11 (a) に示すように、面が対向するように配置されている。すなわち、デジタルリレーのケース 21 に基板交換用の開口 21a が設けられ、この開口 21a に対向してシングル系伝送基板 15 が配置され、開口 21a を着脱可能な伝送基板交換用ケース外蓋 22 が塞いでいる。従って、シングル系伝送基板 15 は伝送基板交換用ケース外蓋 22 と主 CPU 基板 23 との狭い間隔 d に収容されることになる。シングル系伝送基板 15 を別仕様のシングル系伝送基板 15' と交換するときには、図 10 及び図 11 の (a) (b) (c) の手順により、伝送基板交換用ケース外蓋 22 を外し、伝送基板を交換し、伝送基板交換用ケース外蓋 22 で開口 21a を塞ぐことで交換が完了する。

20

【0005】

以上の構成を有するデジタルリレーの伝送方式には、シングル方式と二重化方式の二通りがある。図 9 は、伝送方式としてのシングル方式 (a) と、二重化方式 (b) のシステム構成図である。(a) のシングル方式とは、デジタルリレー 13 が接続される伝送系統が 1 系統の伝送バス 14 のみの方式を指す。(b) の二重化方式とは、デジタルリレー 13 が接続される伝送系統が 2 系統の伝送バスからなる方式であり、伝送バス 14 の他に、冗長系伝送バス 16 を有している。シングル方式のデジタルリレーを二重化方式に変更したい場合には、図 8 のデジタルリレー 13 に冗長系伝送基板を増設すればよいが、既設の伝送基板 15 に冗長系伝送基板を単に接続するだけでは二重化方式として動作しない。二重化方式として動作させるためには、冗長系伝送基板が増設されたことを主 CPU 11 に認識させなければならない。しかし、図 8 に示す従来のデジタルリレーは認識の手段を有していない。

30

【0006】

また、図 10、図 11 に示すように、従来のデジタルリレーにおいて、デジタルリレーのケース 21 には、シングル系伝送基板 15 を交換するための開口 21a が設けられ、それを伝送基板交換用ケース外蓋 22 で塞いでおり、伝送基板交換用ケース外蓋 22 を取り外すことによりシングル系伝送基板 15 を別仕様のシングル系伝送基板 15' に交換することができるようになっていたが、図 11 に示すように、主 CPU 基板 23 と伝送基板交換用ケース外蓋 22 との間隔 d は、シングル系伝送基板 15 から別仕様のシングル系伝送基板 15' への交換を想定して設計されているため、伝送方式を、2 枚の基板を必要とする二重化方式に変更しようとした場合、基板を収容しきれない。

40

【0007】

このため、従来のデジタルリレーをシングル系から二重化方式に変更することは難しく、二重化が必要なときには、デジタルリレー全体を交換する必要があるだけでなく、デジタルリレー 13 の交換には、デジタルリレー本体と外線、例えば、トランス 3 から取り込まれる電源線を接続する電源コネクタ 17、電流センサ 5 から実電流を入力するための電流入力線を接続する電流入力コネクタ 18、伝送バス 14 に伝送用データを送出するための伝送線を接続する伝送コネクタ 19 の脱着作業など、煩雑な作業を伴う。

【0008】

50

一方、図 12 には、元々伝送機能を持たない従来のデジタルリレー 20 を示しているが、伝送機能のないデジタルリレー 20 に、二重化方式の伝送機能を付加しようとした場合、主 CPU 11 には、図 8 の例と同じく、付加された伝送基板が二重化方式に対応したものであるかどうかを認識する手段が設けられていないため、二重化方式として正常な動作を行なわせることができなかった。なお、図 12 は図 8 と略同一の構成なので、図 8 の各要素に相当する箇所に同一符号を付すことにより説明は省略する。

【0009】

また、図 13 及び図 14 に示すように、伝送機能のないデジタルリレーは、通常、シングル系伝送基板 1 枚のみの増設が可能のように設計されており、主 CPU 基板 23 とケース 21 との間隔は、1 枚の基板が挿入可能な間隔 d に設定されている。ケース 21 には開口 21a が設けられ、この開口 21a に、着脱可能な平板の伝送基板交換用ケース外蓋 22 が設けられている。シングル系伝送基板 15 の増設は、図 14 の (a) (b) (c) に示すような手順で、行なうことが可能である。

10

【0010】

しかし、伝送機能のないデジタルリレー 20 を二重化方式の伝送機能を有するものに変更したい場合、伝送基板 15 と冗長系伝送基板 24 の 2 枚の基板を前記間隔 d に納めなければならなくなり、図 14 の構造では納まりきれないという問題があった。従って、二重化方式への変更が必要な場合には、デジタルリレーそのものを二重化方式の伝送機能を有するデジタルリレーに交換する必要がある。この交換には、デジタルリレー本体と外線、例えば、トランス 3 から取り込まれる電源線を接続する電源コネクタ 17、電流センサ 5 から実電流を入力するための電流入力線を接続する電流入力コネクタ 18、伝送バス 14 に伝送用データを送出するための伝送線を接続する伝送コネクタ 19 の脱着作業が必要であった。

20

【0011】

なお、デジタルリレーについては下記の先行技術文献に開示されている。

【先行技術文献】

【特許文献】

【0012】

【特許文献 1】特開 2008 - 211891 号公報

【特許文献 2】特開平 10 - 66244 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0013】

前述のような従来のデジタルリレーでは、伝送方式をシングル方式から二重化方式に変更しようとした場合、あるいは伝送機能のない状態から二重化方式の伝送機能を付加しようとした場合、伝送基板を追加したとしても、それだけでは、主 CPU 側で伝送基板が二重化方式であることを認識することができるハードウェア構成となっていなかったため、適切な動作が行なわれないという問題があった。

【0014】

また、従来のデジタルリレーのケースは、伝送基板の設置位置に対向して、デジタルリレーの伝送基板交換用ケース外蓋が設けられており、この伝送基板交換用ケース外蓋を外すことで、デジタルリレーを分解することなく伝送基板の交換が可能となっているが、この伝送基板交換用ケース外蓋は、伝送方式がシングル方式の場合のみを想定した平板形状の外蓋であるため、シングル方式の伝送基板に限りデジタルリレーのケース内に伝送基板を収納することができるものである。そのため、主 CPU 側で伝送基板が二重化方式であることを認識することができるハードウェア構成とすることができたとしても、シングル系伝送基板に冗長系伝送基板を組み込む二重化方式を採った場合には、デジタルリレーの開口から伝送基板が突き出してしまう構造となるため、やはりデジタルリレー全体を交換しなければならないという問題があった。

40

【課題を解決するための手段】

50

【 0 0 1 5 】

この発明によるデジタルリレーは、電力系統から電気量を取得して演算処理を行う計測回路と、主CPU基板に搭載され、前記計測回路の演算結果を受けて伝送データを作成する主CPUと、シングル系伝送基板に搭載され、前記主CPUからの伝送データをインターフェースを介して伝送バスに送る伝送CPUとをケースに収容して構成したデジタルリレーにおいて、該デジタルリレーに、前記シングル系伝送基板に対して冗長系の機能を持つ伝送CPU及び伝送インターフェースを搭載した冗長系伝送基板を増設するとき、前記冗長系伝送基板の増設を前記主CPUが検知する検知手段を備え、前記主CPUは、前記冗長系伝送基板の増設を認識することにより前記冗長系伝送CPUを動作させるものである。

10

【 0 0 1 6 】

また、この発明によるデジタルリレーは、電力系統から電気量を取得して演算処理を行う計測回路と、主CPU基板に搭載され、前記計測回路の演算結果を受けて伝送データを作成する主CPUとをケースに収容して構成したデジタルリレーにおいて、該デジタルリレーに、前記主CPUからの伝送データをインターフェースを介して伝送バスに送る伝送CPUを搭載したシングル系伝送基板と、前記シングル系伝送基板に対して冗長系の機能を持つ伝送CPU及び伝送インターフェースを搭載した冗長系伝送基板とを増設するとき、前記シングル系伝送基板及び前記冗長系伝送基板の増設を前記主CPUが検知する検知手段を備え、前記主CPUは、前記シングル系伝送基板及び前記冗長系伝送基板を認識することにより前記シングル系伝送CPU及び前記冗長系伝送CPUを動作させるものである。

20

【 発明の効果 】

【 0 0 1 7 】

この発明によれば、デジタルリレーの伝送方式をシングル方式から二重化方式に変更する場合、または、伝送機能を持たないデジタルリレーに二重化方式の伝送機能を持たせる場合、デジタルリレー本体の交換をすることなく、必要部品の追加だけで簡単に変更が可能となる。

【 図面の簡単な説明 】

【 0 0 1 8 】

【 図 1 】 この発明の実施の形態 1 に係るデジタルリレーを示すブロック図である。

30

【 図 2 】 この発明の実施の形態 1 における二重化方式への変更時の各基板を模式的に示す斜視図である。

【 図 3 】 この発明の実施の形態 1 における二重化方式への変更時のケース及びケース外蓋の関係を説明する図である。

【 図 4 】 この発明の実施の形態 1 におけるケース外蓋の断面図である。

【 図 5 】 この発明の実施の形態 1 におけるシングル方式から二重化方式への変更手順を説明する図である。

【 図 6 】 この発明の実施の形態 2 に係るデジタルリレーを示すブロック図である。

【 図 7 】 この発明の実施の形態 2 における伝送機能のないデジタルリレーを二重化方式への変更手順を説明する図である。

40

【 図 8 】 従来のデジタルリレーを示すブロック図である。

【 図 9 】 伝送方式としてのシングル方式と二重化方式の違いを説明する図である。

【 図 1 0 】 従来のシングル系伝送基板の交換時のケース及びケース外蓋の関係を説明する図である。

【 図 1 1 】 従来のシングル系伝送基板の交換手順を説明する図である。

【 図 1 2 】 従来の別のデジタルリレーを示すブロック図である。

【 図 1 3 】 従来の伝送機能のないデジタルリレーにシングル系伝送基板を追加する時のケース及びケース外蓋の関係を示す図である。

【 図 1 4 】 従来の伝送機能のないデジタルリレーにシングル系伝送基板を追加する手順を説明する図である。

50

【発明を実施するための形態】

【0019】

実施の形態１．

図１において、この発明の実施の形態１に係るデジタルリレー１３は、電流入力コネクタ１８を通して電力系統の主回路電流母線二次側４の電流センサ５に接続されると共に、トランス３により主回路電流母線二次側４に接続された電源コネクタ１７を通して電源供給を受けている。デジタルリレー１３の保護指令出力は伝送コネクタ１９を通して伝送バス１４に送出される。なお、前記主回路電流母線二次側４の一端は配線用遮断器２を介して主回路電流母線一次側１に接続され、他端は電磁接触器６を介して例えばモータ７に接続されている。

10

【0020】

デジタルリレー１３は、電流入力コネクタ１８を通して接続された電流センサ５で検出した実電流を受けて演算を行なう計測回路９と、この計測回路９の演算結果を受けて伝送データを作成する主ＣＰＵ１１と、主ＣＰＵ１１で生成した伝送データを受けてその伝送データを伝送インターフェース１２及び伝送コネクタ１９を通して伝送バス１４に送出する伝送ＣＰＵ１０と、トランス３を通して主回路電流母線二次側４から電力を受けて、主ＣＰＵ１１や伝送ＣＰＵ１０に電力を供給する電源入力部８を備えている。デジタルリレー１３の前記各構成要素は図３、図５に示すケース２１に収容されている。

【0021】

前記主ＣＰＵ１１は、図２に示す主ＣＰＵ基板２３に搭載され、一方、前記伝送ＣＰＵ１０及び伝送インターフェース１２はシングル系伝送基板１５に搭載されている。主ＣＰＵ１１とシングル系伝送基板１５間には、基板の接続を検出する検出手段であるハードウェア信号入力線２５が設けられている。ハードウェア信号入力線２５には、電源入力部８から供給される例えば５Ｖのブルアップ電源２６とブルアップ抵抗２７が接続されている。

20

【0022】

以上の説明はシングル系伝送方式の構成であるが、これを二重系伝送方式に変更する場合には、図１に破線で示した冗長系伝送基板２４が付加される。冗長系伝送基板２４は、シングル系伝送基板１５と同様な伝送ＣＰＵ１０と伝送インターフェース１２を搭載しており、伝送インターフェース１２は冗長系用伝送コネクタ２９を介して冗長系伝送バス１６に接続される。また、この冗長系伝送基板２４は、シングル系伝送基板１５のハードウェア信号入力線２５と接続されるハードウェア信号入力線２５を備え、このハードウェア信号入力線２５は、接地点２８でアースされていて、後述するように、冗長系伝送基板２４の増設を検出する検出手段となる。

30

【0023】

前記主ＣＰＵ基板２３、シングル系伝送基板１５、及び冗長系伝送基板２４の配置並びに接続態様を図２に示している。なお、図２では、基板に搭載される主ＣＰＵ１１や伝送ＣＰＵ１０や伝送インターフェース１２等は図示を省略している。図２において、主ＣＰＵを搭載している主ＣＰＵ基板２３は、シングル系伝送基板１５と接続するシングル系伝送基板接続用コネクタ３２を有している。伝送ＣＰＵ１０を搭載しているシングル系伝送基板１５は、その一面にシングル系伝送基板側コネクタ３３を、他面に冗長系伝送基板接続用コネクタ３０を備えている。また、伝送ＣＰＵ１０を搭載している冗長系伝送基板２４は、冗長系伝送基板側コネクタ３１を備えている。これら３枚の基板は、主ＣＰＵ基板２３、シングル系伝送基板１５、及び冗長系伝送基板２４の順に配置され、コネクタ３２とコネクタ３３が、コネクタ３０とコネクタ３１がそれぞれ接続されてＣＰＵ同士の電氣的接続が行なわれる。このとき、コネクタを通して、ハードウェア信号入力線２５の接続も行なわれる。

40

【0024】

冗長系伝送基板増設前の主ＣＰＵ基板２３とシングル系伝送基板１５とは、図５（ａ）に示すように配置されている。すなわち、ケース２１に設けられた開口２１ａに着脱可能

50

に取り付けられた基板交換用ケース外蓋 2 2 と主 C P U 基板 2 3 との間隔 d にシングル系伝送基板 1 5 が伝送基板交換用ケース外蓋 2 2 に対向して設けられている。伝送基板交換用ケース外蓋 2 2 は、図 4 (a) に断面を示す平板状であり、伝送基板交換用ケース外蓋 2 2 と主 C P U 基板 2 3 との間隔 d は、装置の小型化の観点から、シングル系伝送基板 1 5 が 1 枚入るだけの間隔に設定されている。

【 0 0 2 5 】

伝送方式を二重化方式に変更する場合は、ディジタルリレー 1 3 のケース 2 1 内に冗長系伝送基板 2 4 を増設しなければならないが、図 5 (b) はその様子を示している。先ず、ケース 2 1 から伝送基板交換用ケース外蓋 2 2 を取り外す。その後、シングル系伝送基板 1 5 の冗長系伝送基板接続用コネクタ 3 0 に冗長系伝送基板 2 4 の冗長系伝送基板側コネクタ 3 1 を接続する。最後に、伝送基板交換用ケース外蓋で塞ぐが、このときはみ出した基板を納めるように、平板状の外蓋 2 2 の代わりに、図 4 (b) に断面を示す略桁形の伝送基板交換用ケース外蓋 3 4 を用いる。二重化への変更完了状態を図 5 (c) に示す。なお、図 5 では、コネクタ 3 2 と 3 3 は図示を省略している。

10

【 0 0 2 6 】

図 3 はケース 2 1 と伝送基板交換用ケース外蓋 2 2 及び 3 4 の寸法関係を示している。伝送基板交換用ケース外蓋 2 2 に対して、伝送基板交換用ケース外蓋 3 4 は縦横同一寸法であり（上面視（ a ）参照）、厚さのみ厚くなる（側面視（ b ）参照）いわゆる桁形で、その凹部が冗長系伝送基板 2 4 を収容するスペースとなる。

【 0 0 2 7 】

20

上述のように、ディジタルリレー 1 3 には、現在の伝送方式がシングル系伝送方式か二重化伝送方式かを区別する検出手段であるハードウェア信号入力線 2 5 が設けられているため、主 C P U 基板 2 3 にシングル系伝送基板 1 5 またはシングル系伝送基板 1 5 と冗長系伝送基板 2 4 の両方がコネクタ接続されると、ハードウェア信号入力線 2 5 が接続される。このため、シングル系伝送基板 1 5 のみをディジタルリレー 1 3 の中に組み込むと、ハードウェア信号入力線 2 5 はディジタルリレー用 5 V 電源 2 6 及びプルアップ抵抗 2 7 によりプルアップされて電圧がハイ（High）レベルとなるため、主 C P U 1 1 のソフトウェアがこれを認識し、伝送方式はシングル方式と判断する。

【 0 0 2 8 】

一方、シングル系伝送基板 1 5 に冗長系伝送基板 2 4 がコネクタ接続されると、ハードウェア信号入力線 2 5 は、シングル系伝送基板 1 5 からコネクタを通して冗長系伝送基板 2 4 にも接続される。ハードウェア信号入力線 2 5 は冗長系伝送基板 2 4 において接地点 2 8 においてアースされているから、冗長系伝送基板 2 4 をディジタルリレー 1 3 の中に組み込むと、ハードウェア入力信号 2 5 はロウ（Low）レベルとなるため、主 C P U 1 1 がこれを検出し、冗長系伝送基板 2 4 が接続されていることを自動的に認識する。この場合、シングル系伝送基板 1 5 と冗長系伝送基板 2 4 の両方が接続されていることになるため、伝送方式は二重系と判断する。なお、本構成の代替として、XORゲートを用いた回路構成で実現してもよく、HIGH/LOWのレベルの関係を逆にした構成としても構わない。

30

【 0 0 2 9 】

シングル系伝送基板 1 5 には、冗長系伝送基板 2 4 を接続することを想定し、接続インターフェースとしての冗長系伝送基板接続用コネクタ 3 0 を予め設けておく。この冗長系伝送基板接続用コネクタ 3 0 は、伝送方式がシングル方式と二重化方式の何れの場合においても、シングル系伝送基板 1 5 に常時搭載されており、二重化方式の場合においてのみ、冗長系伝送基板 2 4 に搭載された冗長系基板側コネクタ 3 1 と接続される。また、伝送方式がシングル方式と二重化方式の何れの場合においても、シングル系伝送基板 1 5 は、主 C P U 基板 2 3 上に設けられたシングル系伝送基板接続用コネクタ 3 2 に、シングル系伝送基板側コネクタ 3 3 を介して接続されている。

40

【 0 0 3 0 】

伝送方式を二重化方式としたい場合には、このコネクタによる接続方法により、シングル系伝送基板 1 5 に冗長系伝送基板 2 4 を付設することで、冗長系伝送基板 2 4 を主 C P

50

Ｕ１１に接続することができるため、伝送方式をハードウェア的に変更することができる。上記、ソフトウェアを用いた自動認識と、ハードウェア上の変更を併用することで、伝送機能を有するデジタルリレーの伝送方式を、シングル方式から二重化方式に変更することができる。

【００３１】

これと同時に、シングル方式から二重化方式への変更の際には、図３～図５で説明したとおり、ケース２１の伝送基板交換用ケース外蓋２２の代わりに二重化方式用の伝送基板交換用ケース外蓋３４を使用する。伝送基板交換用ケース外蓋３４は、伝送基板交換用の平板状ケース外蓋２２とは高さ寸法のみが異なり、縦と横の外形寸法は同一である略桁形であるため、伝送基板交換用ケース外蓋２２を一旦外した後、伝送基板交換用ケース外蓋

10

【００３２】

その手順を図５において説明する。まず、伝送基板交換用ケース外蓋２２を開口２１ａから一旦取り外し、シングル系伝送基板１５を取り出す。次に、シングル系伝送基板１５に冗長系伝送基板２４をコネクタ３０、３１で接続してシングル系伝送基板１５を再び主ＣＰＵ基板２３に接続する。このとき、シングル系伝送基板１５と冗長系伝送基板２４を組み合わせたものは間隔ｄに納まらず、冗長系伝送基板２４がケース２１より外側にはみ出すので、伝送基板交換用ケース外蓋２２の代わりに伝送基板交換用ケース外蓋３４で開口２１ａを塞ぐことにより伝送方式の変更を完了する。ケース外蓋３４の凹部の寸法は、冗長系伝送基板２４のはみ出しを収容できるスペースにしておく。

20

【００３３】

これにより、伝送機能を有したデジタルリレーにおいて、伝送方式をシングル方式から二重化方式に変更する場合に、基板追加と伝送基板交換用ケース外蓋の交換のみで、電氣的にも物理的にも変更が可能であり、デジタルリレー本体の交換が不要となる。また、デジタルリレー本体の交換が不要となったことにより、デジタルリレー本体と外線、例えば、トランスから取り込まれる電源線を接続する電源コネクタ、電流センサから実電流を入力するための電流入力線を接続する電流入力コネクタ、伝送バスに伝送用データを送出するための伝送線を接続する伝送コネクタの脱着作業が不要となる。

30

【００３４】

実施の形態２．

図６は、この発明の実施の形態２に係るデジタルリレーを示すもので、伝送機能のないデジタルリレーに二重化方式の伝送機能を付加した状態を示している。図６は図１と略同一の構成なので、図１の各要素に相当する部分に同一符号を付している。図６において、太破線で囲んだシングル系伝送基板１５及び冗長系伝送基板２４部分が、二重化方式のために、伝送機能のないデジタルリレー２０に追加された部分である。

【００３５】

図６に示す伝送機能のないデジタルリレー２０において、現在の伝送方式を区別する検出手段である、ハードウェア信号入力線２５が新たに設けられる。追加部分の内、シングル系伝送基板１５には、ハードウェア信号入力線２５が設けられており、予め、電源入力部８を介して供給されたデジタルリレー用５Ｖ電源２６にプルアップ抵抗２７を経由してプルアップ接続される回路構成としてある。その他の構成は図１と同様である。

40

【００３６】

次に、伝送基板の追加構造について図７により説明する。図７（ａ）に示すように、伝送機能をもたないデジタルリレー２０においても、通常はシングル系伝送基板を挿入できるだけのスペースｄが、主ＣＰＵ基板２３とケース２１との間に設けられ、ケースの開口２１ａには、平板からなる伝送基板交換用ケース外蓋２２が設けられている。二重化方式を実現するためには、図７（ｂ）に示すように、伝送基板交換用ケース外蓋２２を外し、シングル系伝送基板１５に、冗長系伝送基板２４を冗長形伝送基板接続用コネクタ３０

50

及び冗長系伝送基板側コネクタ 3 1 で接続したものを、伝送基板が全く実装されていない主 CPU 基板 2 3 に実装し、伝送基板交換用ケース外蓋 2 2 の代替として、二重化方式用の伝送基板交換用ケース外蓋 3 4 を使用する。なお、図 7 では、図 2 に示すシングル系基板接続用コネクタ 3 2 及びシングル系伝送基板側コネクタ 3 3 は図示を省略している。

【 0 0 3 7 】

二重化方式への変更は、デジタルリレー 2 0 にシングル系伝送基板 1 5 と冗長系伝送基板 2 4 を付設すればよく、その動作は実施の形態 1 で説明したとおりである。これにより、伝送機能のないデジタルリレーにおいて、伝送方式を有しかつ伝送方式を二重化方式に変更する場合に、基板追加とケース外蓋の交換のみで、二重化方式の伝送機能を付加することができるため、デジタルリレー本体の交換が不要となる。また、デジタルリレー本体の交換が不要となったことにより、デジタルリレー本体と外線、例えば、トランスから取り込まれる電源線を接続する電源コネクタ、電流センサから実電流を入力するための電流入力線を接続する電流入力コネクタ、伝送バスに伝送用データを送出するための伝送線を接続する伝送コネクタの脱着作業が不要となる。

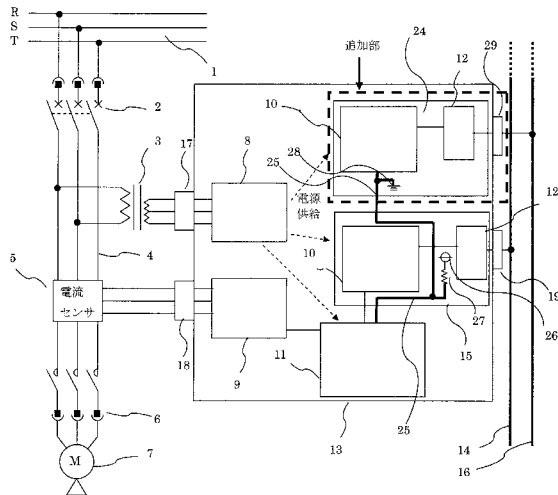
10

【 符号の説明 】

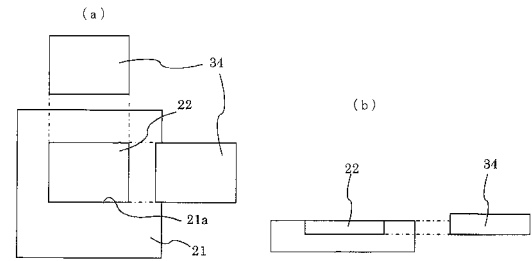
【 0 0 3 8 】

- | | | |
|--------------------|----------------------|----|
| 1 主回路電流母線一次側、 | 2 配線用遮断器、 | |
| 3 トランス、 | 4 主回路電流母線二次側、 | |
| 5 電流センサ、 | 6 電磁接触器、 | |
| 7 モータ、 | 8 電源入力部、 | 20 |
| 9 計測回路、 | 10 伝送 CPU、 | |
| 11 主 CPU、 | 12 伝送インターフェース回路、 | |
| 13 デジタルリレー、 | 14 伝送バス、 | |
| 15 シングル系伝送基板、 | 15' 別仕様のシングル系伝送基板、 | |
| 16 冗長系伝送バス、 | 17 電源コネクタ、 | |
| 18 電流入力コネクタ、 | 19 伝送コネクタ、 | |
| 20 デジタルリレー、 | 21 デジタルリレーのケース、 | |
| 21 a ケースの開口、 | 22 伝送基板交換用ケース外蓋、 | |
| 23 主 CPU 基板、 | 24 冗長系伝送基板、 | |
| 25 ハードウェア信号入力線、 | 26 デジタルリレー用 5 V 電源、 | 30 |
| 27 ブルアップ抵抗、 | 28 接地点、 | |
| 29 冗長系用伝送コネクタ、 | 30 冗長系伝送基板接続用コネクタ、 | |
| 31 冗長系伝送基板側コネクタ、 | 32 シングル系伝送基板接続用コネクタ、 | |
| 33 シングル系伝送基板側コネクタ、 | 34 二重化方式用ケース外蓋。 | |

【 図 1 】



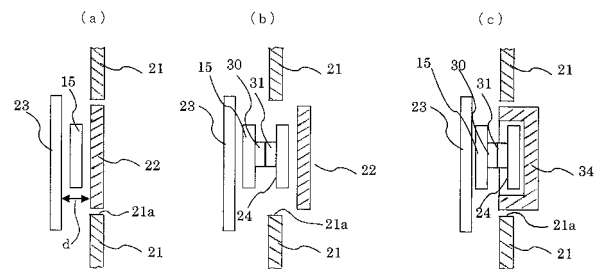
【 図 3 】



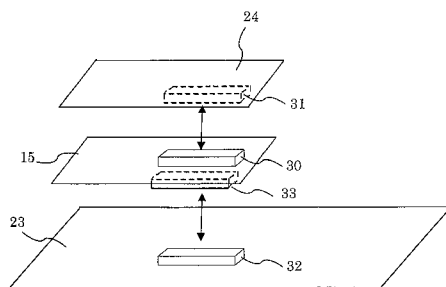
【 図 4 】



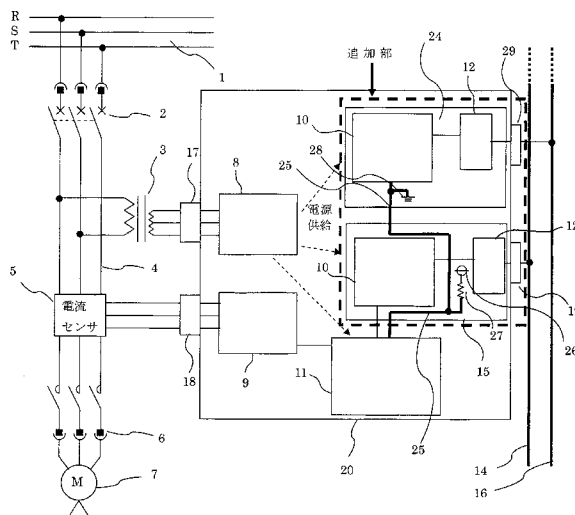
【 図 5 】



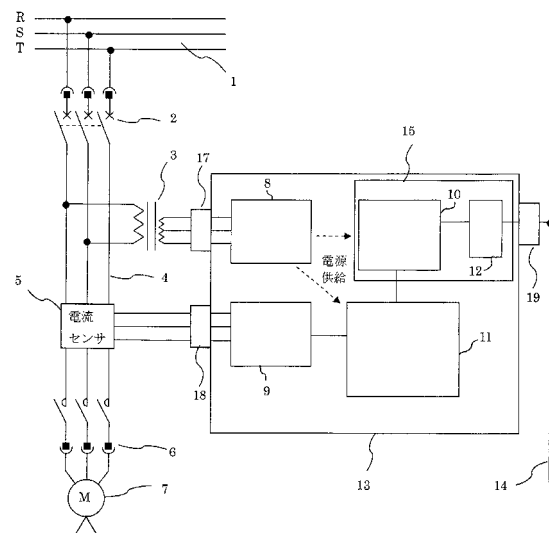
【 図 2 】



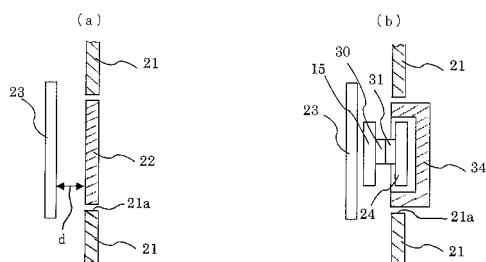
【 図 6 】



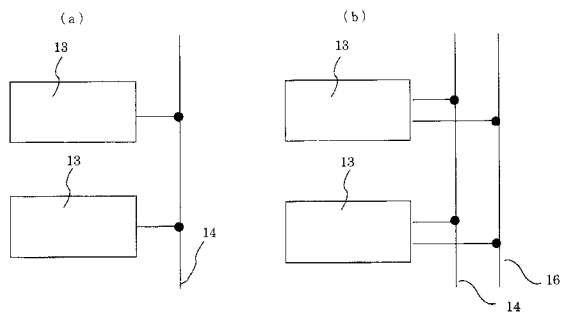
【 図 8 】



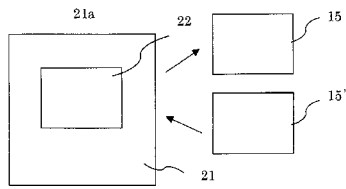
【圖 7】



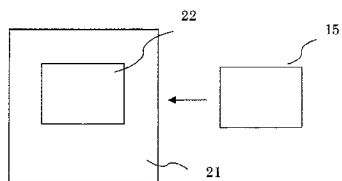
【図 9】



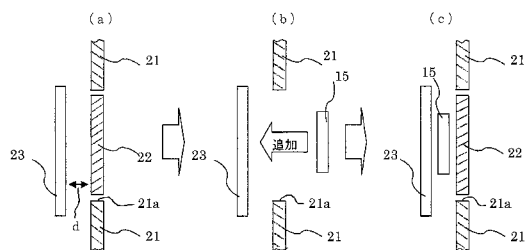
【図 10】



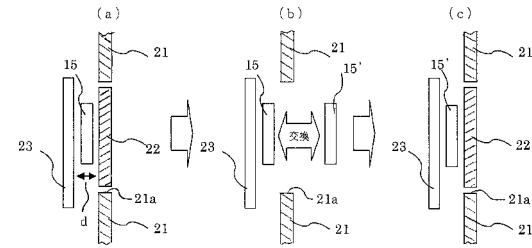
【図 13】



【図 14】



【図 11】



【図 12】

