

(12) 发明专利

(10) 授权公告号 CN 101174419 B

(45) 授权公告日 2010.06.02

(21) 申请号 200710184833.8

(22) 申请日 2007.10.30

(30) 优先权数据

11/554,469 2006.10.30 US

(73) 专利权人 日立环球储存科技荷兰有限公司

地址 荷兰阿姆斯特丹

(72) 发明人 荒木悟 约翰·康特雷拉斯

克拉斯·B·克拉森

拉莫纳·M·帕特森

戴维·J·西格尔 霍华德·G·佐拉

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

G11B 5/39(2006.01)

(56) 对比文件

US 2006/0198057 A1, 2006.09.07, 说明书第 0030-0038 段、图 4-5B.

US 2006/0082929 A1, 2006.04.20, 全文.

US 2004/0090715 A1, 2004.05.13, 全文.

审查员 李迪

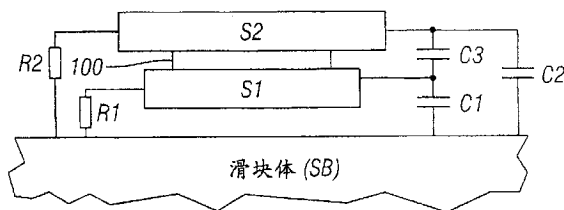
权利要求书 2 页 说明书 5 页 附图 4 页

(54) 发明名称

带有阻抗调节的电流垂直平面磁致电阻传感器

(57) 摘要

本发明提供一种电流垂直平面磁致电阻读头结构,具有位于衬底上在第一和第二屏蔽件 S1、S2 之间的磁致电阻读头,分路电阻器 R1 将 S1 连接到衬底,分路电阻器 R2 将 S2 连接到衬底,R1 和 R2 近似相等。因为 R1 和 R2 的值足够接近,所以在低频区域没有显著的干扰拾取。分路电阻器可由高电阻率金属氮化物或金属陶瓷形成。可选择衬底和 S1 之间的间隔以使 S1 和衬底之间的电容近似等于 S2 和衬底之间的电容从而显著减小高频区域的干扰拾取。均衡导体 EC1、EC2 可连接到衬底且通过电绝缘材料分别与 S2 和 S1 间隔开,从而产生额外电容,选择额外电容的值使得 S2 上的总寄生电容与 S1 上的总寄生电容基本相等。



1. 一种电流垂直平面读头结构,包括:
衬底;
在该衬底上的导磁材料的第一屏蔽件 S1,其中 S1 和该衬底之间的电容由 C1 表示;
导磁材料的第二屏蔽件 S2,该第一屏蔽件位于该衬底和该第二屏蔽件之间,其中 S2 和该衬底之间的电容由 C2 表示;
磁致电阻读头,在该第一和第二屏蔽件之间且与他们接触;
第一分路电阻器,将该第一屏蔽件连接到该衬底;以及
第二分路电阻器,将该第二屏蔽件连接到该衬底,
其中该第一和第二分路电阻器的电阻近似相等,且其中选择该衬底和 S1 之间的间隔以实现 C1 近似等于 C2。
2. 如权利要求 1 所述的结构,还包括电连接到该衬底且通过电绝缘材料与 S2 间隔开的第一均衡导体 EC1, EC1 和 S2 之间的电容由 C4 表示,其中 C4 具有使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等的值。
3. 如权利要求 2 所述的结构,还包括电连接到该衬底且通过电绝缘材料与 S1 间隔开的第二均衡导体 EC2, EC2 和 S1 之间的电容由 C5 表示,其中 C4 和 C5 具有使 S2 上的总寄生电容和 S1 上的总寄生电容基本相等的值。
4. 如权利要求 1 所述的结构,其中该分路电阻器由选自金属氮化物和包括金属与非融合氧化物的多相材料构成的组的材料形成。
5. 如权利要求 4 所述的结构,其中该分路电阻器由包括非融合硅氧化物的多相材料形成。
6. 一种电流垂直平面读头结构,包括:
衬底;
在该衬底上的导磁材料的第一屏蔽件 S1;
导磁材料的第二屏蔽件 S2,该第一屏蔽件位于该衬底和该第二屏蔽件之间;
磁致电阻读头,在该第一和第二屏蔽件之间且与他们接触;
第一分路电阻器,将 S1 连接到该衬底;
第二分路电阻器,将 S2 连接到该衬底,其中该第一和第二分路电阻器的电阻近似相等;以及
第一均衡导体 EC1,电连接到该衬底且通过电绝缘材料与 S2 间隔开, EC1 和 S2 之间的电容由 C4 表示,其中 C4 具有使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等的值。
7. 如权利要求 6 所述的结构,还包括电连接到该衬底且通过电绝缘材料与 S1 间隔开的第二均衡导体 EC2, EC2 和 S1 之间的电容由 C5 表示,其中 C4 和 C5 具有使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等的值。
8. 如权利要求 6 所述的结构,其中该分路电阻器由包括非融合硅氧化物的多相材料形成。
9. 一种电流垂直平面读头结构,包括:
衬底;
在该衬底上的导磁材料的第一屏蔽件 S1;
导磁材料的第二屏蔽件 S2,该第一屏蔽件位于该衬底和该第二屏蔽件之间;

磁致电阻读头,在该第一和第二屏蔽件之间且与他们接触;

第一分路电阻器,将该第一屏蔽件连接到该衬底,且由选自金属氮化物以及包括金属和非融合氧化物的多相材料构成的组的材料形成;以及

第二分路电阻器,将该第二屏蔽件连接到该衬底,且由选自金属氮化物以及包括金属和非融合氧化物的多相材料构成的组的材料形成;

其中该第一和第二分路电阻器的电阻近似相等。

10. 如权利要求 9 所述的结构,其中该分路电阻器由包括非融合硅氧化物的多相材料形成。

11. 如权利要求 9 所述的结构,其中 S1 和该衬底之间的电容由 C1 表示,S2 和该衬底之间的电容由 C2 表示,且其中选择该衬底和 S1 之间的间隔以实现 C1 近似等于 C2。

12. 如权利要求 9 所述的结构,还包括电连接到该衬底且通过电绝缘材料与 S2 间隔开的第一均衡导体 EC1,EC1 和 S2 之间的电容由 C4 表示,其中 C4 具有使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等的值。

13. 如权利要求 12 所述的结构,还包括电连接到该衬底且通过电绝缘材料与 S1 间隔开的第二均衡导体 EC2,EC2 和 S1 之间的电容由 C5 表示,其中 C4 和 C5 具有使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等的值。

14. 如权利要求 9 所述的结构,其中该 MR 读头是自旋阀读头。

15. 如权利要求 9 所述的结构,其中该 MR 读头是隧道 MR 读头。

带有阻抗调节的电流垂直平面磁致电阻传感器

技术领域

[0001] 本发明总体上涉及电流垂直平面 (current-perpendicular-to-the-plane, CPP) 磁致电阻传感器, 其利用垂直于构成传感器堆叠的层的平面指向的检测电流操作, 更特别地, 涉及带有阻抗调节的 CPP 传感器以减小电干扰。

背景技术

[0002] “自旋阀 (spin-valve, SV) ”传感器是用作磁记录盘驱动器中的读头的一种常规磁致电阻传感器。SV 磁致电阻传感器具有层的堆叠, 其包括由通常是铜 (Cu) 的非磁导电间隔层分隔开的两个铁磁层。一铁磁层例如通过与相邻反铁磁层的交换耦合而被钉扎来使其磁化方向被固定, 另一铁磁层使其磁化方向在存在外部磁场时“自由”旋转。利用施加到传感器的检测电流, 自由层磁化相对于固定层磁化的旋转可被检测为电阻的变化。

[0003] 在磁记录盘驱动器的 SV 读传感器或读头中, 当外磁场不存在时, 固定或被钉扎层的磁化基本垂直于盘的平面, 且自由层的磁化基本平行于盘平面。当暴露到来自盘上记录数据的外磁场时, 自由层磁化将旋转, 引起电阻改变。如果流过 SV 的检测电流平行于传感器堆叠中的层平面指向, 则该传感器被称为面内电流 (current-in-the-plane, CIP) 传感器, 而如果检测电流垂直于传感器堆叠中的层平面指向, 则其被称为电流垂直平面 (CPP) 传感器。A. Tanaka 等人在“Spin-valve heads in the current-perpendicular-to-plane mode for ultrahigh-density recording”, IEEE TRANSACTIONS ON MAGNETICS, 38(1): 84-88Part1 JAN 2002 中描述了 CPP-SV 读头。另一类型的 CPP 传感器是磁隧道结 (MTJ) 传感器, 其中非磁间隔层是非常薄的非磁隧道势垒层。在 MTJ 传感器中, 垂直通过层的隧穿电流取决于两个铁磁层中的磁化的相对取向。虽然在也称为隧穿 MR (TMR) 读头的 MTJ MR 读头中, 间隔层由电绝缘材料形成, 例如 TiO_2 、 MgO 或 Al_2O_3 , 而在 CPP-SV MR 读头中, 间隔层由导电材料例如 Cu 形成。

[0004] 在磁记录盘驱动器中, CPP 读头结构通过形成互连对的两个导体连接到微分预放大器。如果在互连对中对不平衡地分布寄生电容, 则共态电干扰转换为微分模式干扰, 其加到读取数据信号上。然而, 如果在互连对之间寄生电容是平衡的, 则共态电干扰保持共态, 其能被微分预放大器拒绝。

发明内容

[0005] 本发明涉及具有平衡的寄生电容的 CPP MR 读头结构。MR 读头位于衬底上在第一和第二屏蔽件 (S1、S2) 之间, 分路电阻器 R1 将 S1 连接到衬底, 分路电阻器 R2 将 S2 连接到衬底, R1 和 R2 大致相等。S1 和衬底之间的电容可由 C1 表示, S2 和衬底之间的电容可由 C2 表示。因为 R1 和 R2 的值足够接近, 所以在低频区域没有显著的干扰拾取 (pickup)。分路电阻器可由高电阻率金属氮化物或金属陶瓷 (cermet) (陶瓷和金属性材料的复合物) 形成, 例如是由金属和非融合氧化物构成的多相材料的金属陶瓷 (例如 Pt-SiO 和 Cr-SiO)、以及诸如 TaN 的金属氮化物。

[0006] 在该结构的一实施中,选择衬底和 S1 之间的间隔以实现 C1 近似等于 C2,从而基本减小高频区域的干扰拾取。

[0007] 在该结构的另一实施中,第一均衡导体 EC1 连接到衬底且通过电绝缘材料与 S2 间隔开, EC1 和 S2 之间的电容由 C4 表示。选择 C4 的值以基本上使 S2 上的总寄生电容与 S1 上的总寄生电容相等。第二均衡导体 EC2 可连接到衬底且通过电绝缘材料与 S1 间隔开, EC2 和 S1 之间的电容由 C5 表示,在此情况下,选择 C4 和 C5 两者的值以使 S2 上的总寄生电容与 S1 上的总寄生电容基本相等。

[0008] 为了更全面地理解本发明的性质和优点,请参照下面结合附图的详细描述。

附图说明

[0009] 图 1 是去除罩的常规磁记录硬盘驱动器的示意性顶视图。

[0010] 图 2 是沿图 1 的 2-2 方向取得的滑块的放大端视图和盘的剖视图。

[0011] 图 3 是沿图 2 的 3-3 方向的视图,示出了从盘观察时读 / 写头的端部。

[0012] 图 4 是带有读头 100 和屏蔽件 S1 和 S2 的普通 CPP 读头结构的示意图,示出寄生电容元件。

[0013] 图 5 是本发明的阻抗调节 CPP 读头的示意图,示出连接到屏蔽件 S1 和 S2 以用于使低频 (LF) 区域的阻抗水平相等的分路电阻器 R1、R2。

[0014] 图 6 是本发明的阻抗调节 CPP 读头的示意图,其具有通过电阻器 R1 和 R2 产生的低和低频均衡、以及增大的距离 d 以减小 C1。

[0015] 图 7 是本发明的阻抗调节 CPP 读头的示意图,其具有通过电阻器 R1 和 R2 产生的低和低频均衡、以及增加的均衡电阻器以增加电容 C4。

[0016] 图 8 是本发明的阻抗调节 CPP 读头的示意图,其具有通过电阻器 R1 和 R2 产生的低和低频均衡、以及增加的均衡电阻器以增加电容 C4 和 C5。

[0017] 图 9 是其上制造本发明的阻抗调节 CPP 读头的晶片的顶视图,且示出了可如何制造分路电阻器和均衡导体。

具体实施方式

[0018] 本发明的 CPP 传感器可用作磁记录盘驱动器中的磁致电阻读头,将参照图 1-3 简要描述其操作。图 1 是传统磁记录硬盘驱动器的结构图。盘驱动器包括磁记录盘 12 和支承在盘驱动器壳体或基座 (base) 16 上的旋转音圈马达 (VCM) 制动器 14。盘 12 具有旋转中心 13,且通过安装到基座 16 的主轴马达 (未示出) 沿方向 15 旋转。制动器 14 绕轴 17 枢转,且包括刚性制动臂 18。基本柔性的悬臂 20 包括挠曲件 23 且连接到臂 18 的末端。头载具或气垫滑块 22 连接到挠曲件 23。磁记录读 / 写头 24 形成在滑块 22 的尾表面 25 上。挠曲件 23 和悬臂 20 使滑块能够在旋转盘 12 产生的气垫上“俯仰”和“横转”。通常,在通过主轴马达旋转的轴上堆叠有多个盘,单独的滑块和读 / 写头与每个盘表面相关联。

[0019] 图 2 是沿图 1 的 2-2 方向取得的滑块 22 的放大端视图和盘 12 的剖面。滑块 22 连接到挠曲件 23 且具有面对盘 12 的气垫面 (ABS) 27 和基本垂直于 ABS 的尾表面 (trailing surface) 25。ABS 27 使源自旋转盘 12 的气流产生气垫,其支承滑块 22 非常接近或几乎接触盘 12 的表面。读 / 写头 24 形成在尾表面 25 上且通过到尾表面 25 上的端子焊盘 29 的

电连接连接到盘驱动器读 / 写电子装置。

[0020] 图 3 是图 2 沿 3-3 方向的视图,且显示了从盘 12 观察的读 / 写头 24 的端部。读 / 写头 24 是沉积且光刻构图在滑块 22 的尾表面 25 上的一系列薄膜。滑块体 (sliderbody, SB) 通常为陶瓷材料,例如氧化铝 / 碳化钛 ($\text{Al}_2\text{O}_3/\text{TiC}$) 复合物。写头包括通过写间隙 30 分隔开的磁写极 P2 和 P1。CPP-SV 磁致电阻传感器或读头 100 位于两个磁屏蔽件 S1 和 S2 之间。磁屏蔽件 S1、S2 由导磁材料形成,通常为电镀的 NiFe 合金膜,并且是导电的,从而他们可以用作到读头 100 的电引线。也可以采用单独的电引线,在此情况下,读头 100 形成得与导电引线材料的层接触,导电引线材料例如为钽、金或铜,其与屏蔽件 S1、S2 接触。读头 100 包括形成在两个磁屏蔽层 S1、S2 之间的叠层。下屏蔽件 S1 通常通过化学机械抛光 (chemical-mechanical polishing, CMP) 被抛光,以提供生长所述叠层的光滑衬底。读头 100 中的层结构是周知的,且通常包括具有横向 (进入纸面) 取向的固定磁矩或磁化方向的参考铁磁层、具有能响应于来自盘 12 的横向外磁场在层平面中旋转的磁矩或磁化方向的自由铁磁层、以及在参考和自由层之间的间隔层。在 CPP-SV 读头中,间隔层是导电的,而在 MTJ 型 CPP 读头中,间隔层是电绝缘的。基本围绕读 / 写头 24 的材料是绝缘材料,例如在屏蔽件 S1、S2 之间的区域 40 中和在围绕 P2 和写间隙 30 的区域 42 中,通常为氧化铝。

[0021] 图 4 是具有读头 100 和屏蔽件 S1、S2 的普通 CPP 读头结构的示意图,用于示出寄生电容元件。作为制造工艺的固有结果,该结构具有相对于参考线 A-A 的固有不对称性。该不对称性产生 SB 至 S1 和 SB 至 S2 的不等电容值。在 CPP 读头中,互连系统中的不平衡分布的电容导致共态 (common-mode) 电干扰转换成微分模干扰 (differential-mode interference),其加到读取数据信号且不能使用盘驱动器的读 / 写集成电路 (IC) 中的微分预放大器拒绝。然而,如果电容是平衡的,则共态电干扰保持为共态干扰,其易于被微分预放大器拒绝。

[0022] 屏蔽件的总电容由下面的等式描述:

[0023] 屏蔽件 1 总电容 (C_{1T}):
$$C_{1T} = C_1 + \frac{C_2 C_3}{C_2 + C_3} \quad (\text{等式 1})$$

[0024] 屏蔽件 2 总电容 (C_{2T}):
$$C_{2T} = C_2 + \frac{C_1 C_3}{C_1 + C_3} \quad (\text{等式 2})$$

[0025] 除了寄生电容元件之外,可以有电阻器元件,将每个屏蔽件连接到滑块体 (SB)。因此,对于结构中的干扰耦合有两个频率区域:低频 (LF) 区域和高频 (HF) 区域。

[0026] 在本发明的阻抗调节 CPP 读头中,通过均衡 LF 和 HF 频率区域中阻抗水平来减小干扰。对于 LF 区域,采用分别连接到屏蔽件 S1、S2 的分路电阻器 R1、R2。图 5 是示出分路电阻器连接的示意图。使 R1 和 R2 的电阻值近似相等,R1 和 R2 的一般值为约 10 至 100k Ω 之间。R1 和 R2 的电阻值足够接近,从而在 LF 区域没有显著的干扰拾取。

[0027] 对于 HF 均衡,阻抗调节 CPP 读头通过最小化和均衡寄生电容来降低干扰。对此有三个步骤:

[0028] 1) 尽可能多地减少寄生电容 C_1 ,如图 6 所示;

[0029] 2) 引入或利用接近或连接到 S2 的导电结构来增加和 / 或均衡寄生电容 C_{1T} 和 C_{2T} ,如图 7 所示;以及

[0030] 3) 引入或利用接近 S1 和 S2 的导电结构来增加和 / 或均衡寄生电容 C_{1T} 和 C_{2T} ,

如图 8 所示。

[0031] 两个导体之间的电容由下面的等式确定：

$$[0032] \quad C = \frac{A\varepsilon}{d} \quad (\text{等式 3})$$

[0033] 其中： A = 两个导体之间的横截面积，

[0034] d = 两个导体之间的距离，和

[0035] ε = 两个导体之间材料的介电常数。

[0036] 根据等式 3，增大图 6 中的距离 d 使得电容 $C1$ 和 $C2$ 近似相等，这导致 $C1T$ 和 $C2T$ (等式 1 和 2) 变得基本相等。电容 $C1$ 和 $C2$ 的值足够接近，从而在 HF 区域中没有显著的干扰拾取。

[0037] 在图 7 中，屏蔽件 $S2$ 附近的均衡导体 (equalization conductor) 1 ($EC1$) 通过增加电容 $C4$ 修改每个屏蔽件的总电容。例如，可以通过在该结构上构图适当横截面积和厚度的铜或其他导电材料的层来增加 $EC1$ 。 $EC1$ 的功能还可以通过相邻的导体来实施，例如用于写头的导体。由于电容 $C4$ 的增加，等式 1 和 2 变化为如下的表达式：

$$[0038] \quad \text{屏蔽件 1 总电容 : } C1T = C1 + \frac{(C2 + C4)C3}{C2 + C3 + C4} \quad (\text{等式 4})$$

$$[0039] \quad \text{屏蔽件 2 总电容 : } C2T = C2 + C4 + \frac{C1C3}{C1 + C3} \quad (\text{等式 5})$$

[0040] 采用特定的电容元件 ($C1$ 、 $C2$ 和 $C3$)，可以调节电容 $C4$ 使得电容 $C1T$ 和 $C2T$ 基本相等。

[0041] 在图 8 中，屏蔽件 $S1$ 附近的均衡导体 2 ($EC2$) 通过增加电容 $C5$ 而与通过 $EC1$ 增加的电容 $C4$ 结合修改每个屏蔽件的总电容。由于电容 $C5$ 的增加，等式 4 和 5 变化为下面的表达式：

$$[0042] \quad \text{屏蔽件 1 总电容 : } C1T = C1 + C5 + \frac{(C2 + C4)C3}{C2 + C3 + C4} \quad (\text{等式 6})$$

$$[0043] \quad \text{屏蔽件 2 总电容 : } C2T = C2 + C4 + \frac{(C1 + C5)C3}{C1 + C3 + C5} \quad (\text{等式 7})$$

[0044] 采用特定的电容元件 ($C1$ 、 $C2$ 、 $C3$ 和 $C4$)，可以调节电容 $C5$ 使得电容 $C1T$ 和 $C2T$ 基本相等。

[0045] 在阻抗调节 CPP 读头的制造中，要求分路电阻器 $R1$ 、 $R2$ 具有约 10 至 100k Ω 之间的电阻。然而， $R1$ 和 $R2$ 必须物理上是小的，否则他们将贡献他们自身的寄生电容。因此 $R1$ 和 $R2$ 必须由具有高电阻率的材料制造。

[0046] 在本发明中，分路电阻器由高电阻率金属氮化物或金属陶瓷 (陶瓷和金属性材料的复合物) 形成。金属氮化物的实例包括 TaN 或者可以在大的电阻率范围上合成的任何金属氮化物。金属陶瓷的实例包括诸如 Cr、Pt、Ta、Ni、Mo、Pt、Au、Ag 的金属与非融合氧化物 (immiscible oxide) 例如硅、铝、钽和铬的氧化物 (即 SiO 、 SiO_2 、 Al_2O_3 、 Ta_2O_5 和 $CrOx$) 的复合物，以产生多相高电阻率的膜。如 Cr-SiO (例如 Cr60-SiO40) 的含硅金属陶瓷是特别关注的。在这些材料类中，可以容易地获得从约 200 至约 10000 微欧厘米 (micro- Ω -cm) 的电阻率。这样大小的电阻率允许制造较厚的膜 (例如 30 至 100nm) 用于分路电阻器。因为固定表面积的薄膜的电阻与膜厚度成反比，所以这些高电阻率材料允许该膜做得显著更厚，

因此避免了需要制造非常薄的膜来实现高电阻。使用较厚膜的能力使得电阻更易于控制，且使得该膜更能容忍制造与膜的欧姆接触可能需要的表面处理工艺。合金陶瓷和金属氮化物膜可以通过诸如溅射、反应溅射、离子束溅射、反应离子束溅射、等离子气相沉积 (PVD)、蒸镀和化学气相沉积 (CVD) 的技术容易地沉积。膜可以沉积且随后氧化或氮化。这样的化学处理可以通过反应离子、化学溶液、离子注入、臭氧 (ozone)、蒸汽 (steam) 或其他已知技术实施。构图该膜以获得期望的用于分路电阻器的区域可利用减技术例如顶离、离子研磨、反应离子蚀刻 (RIE) 或化学蚀刻来进行。

[0047] 图 9 是其上制造本发明的阻抗调节 CPP 读头的晶片的顶视图，且示出可以如何制造分路电阻器和均衡导体。图 9 是图 7 中示意性描绘的带有电阻器 R1、R2 和均衡导体 EC1 的实施例的实例。衬底是滑块体 (SB)。屏蔽件 S1 构图在沉积于 SB 上的电绝缘材料通常是氧化铝上。具有与 S1 不同的形状且因此不同面积的屏蔽件 S2 构图在 S1 上方，读头 100 在 S1 和 S2 之间。额外的氧化铝形成在 S2 上。用于 R1 的通孔 110 和 120、用于 R2 的通孔 130 和 140、以及用于 EC1 的通孔 150 穿过该额外的氧化铝形成。通孔 110 向下连接到 S1，通孔 120 向下连接到 SB。通孔 130 向下连接到 S2，通孔 140 向下连接到 SB。通孔 150 向下连接到 SB。分路电阻器 R1 构图在额外的氧化铝上且连接到两个通孔 110、120。基于所沉积材料的已知膜厚和电阻率，R1 构图得具有产生期望的 R1 值的线宽和总长度。R1 的长度可以通过增加或减少线图案的蜿蜒部分 115 的范围来调整。这在 S1 和 SB 之间提供 R1 分路电阻器，如图 7 示意性所示。分路电阻器 R2 构图在额外的氧化铝上且连接到两个通孔 130、140。基于所沉积材料的已知膜厚和电阻率，R2 构图得具有产生期望的 R2 值的线宽和总长度。R2 的长度可以通过增加或者减少线图案的蜿蜒部分 135 的范围来调整。这在 S2 和 SB 之间提供 R2 分路电阻器，如图 7 示意性所示。通常为铜的均衡导体 EC1 也构图在额外的氧化铝上且连接到也向下形成到 SB 的另一通孔 150。这提供了 EC1，如图 7 示意性所示。给定 S2 的已知面积和 S2 与 EC1 之间的额外氧化铝层的厚度，可以调节 EC1 的面积以产生期望的电容值 C4。

[0048] 虽然参照优选实施例特别显示和描述了本发明，但是本领域技术人员将理解，可以进行形式和细节的各种改变而不偏离本发明的思想和范围。因此，所公开的发明仅应理解为示例性的，且限定在仅由所附权利要求指定的范围内。

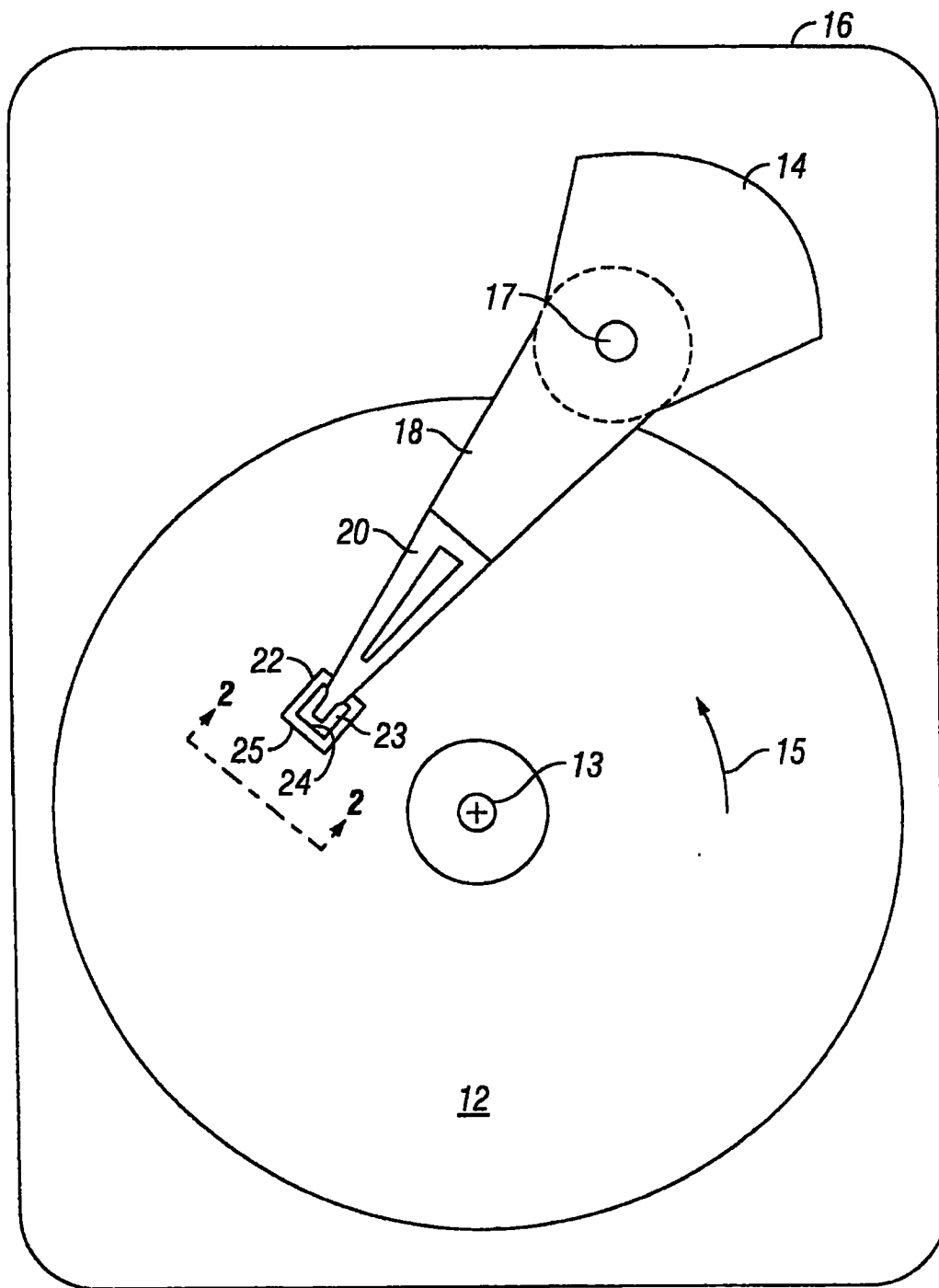


图 1

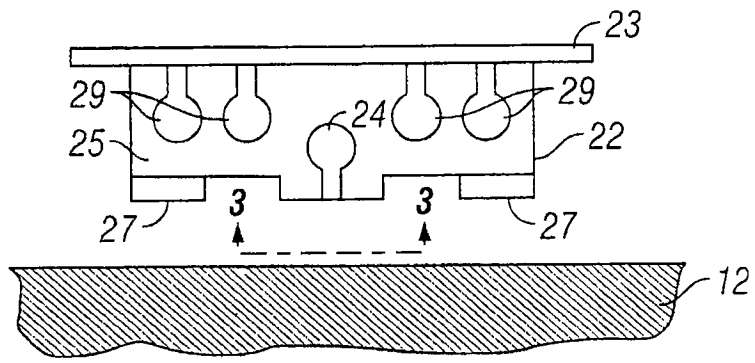


图 2

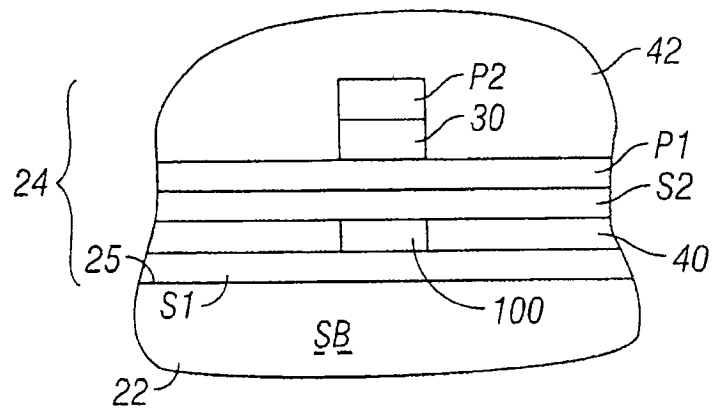


图 3

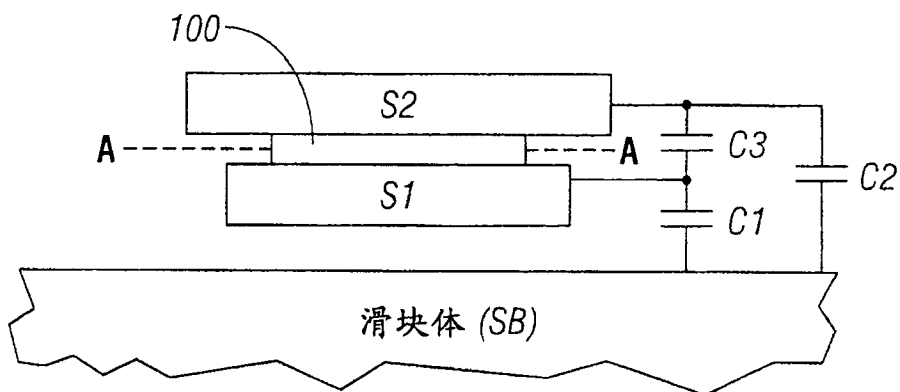


图 4

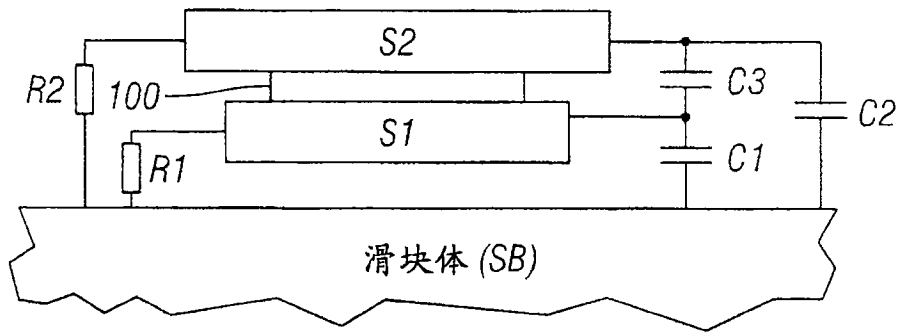


图 5

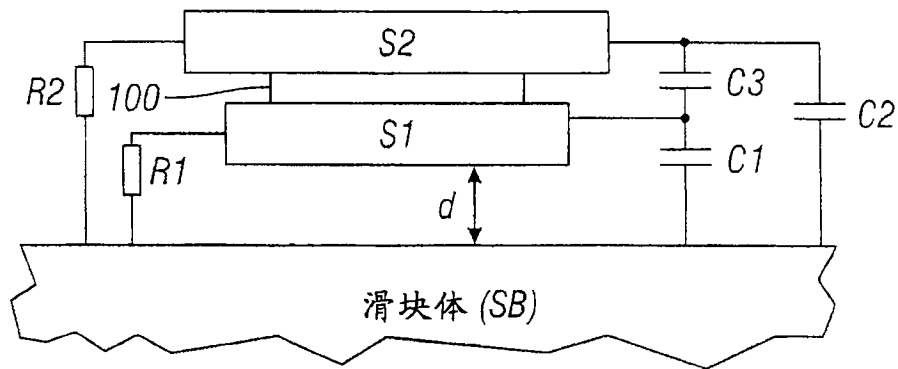


图 6

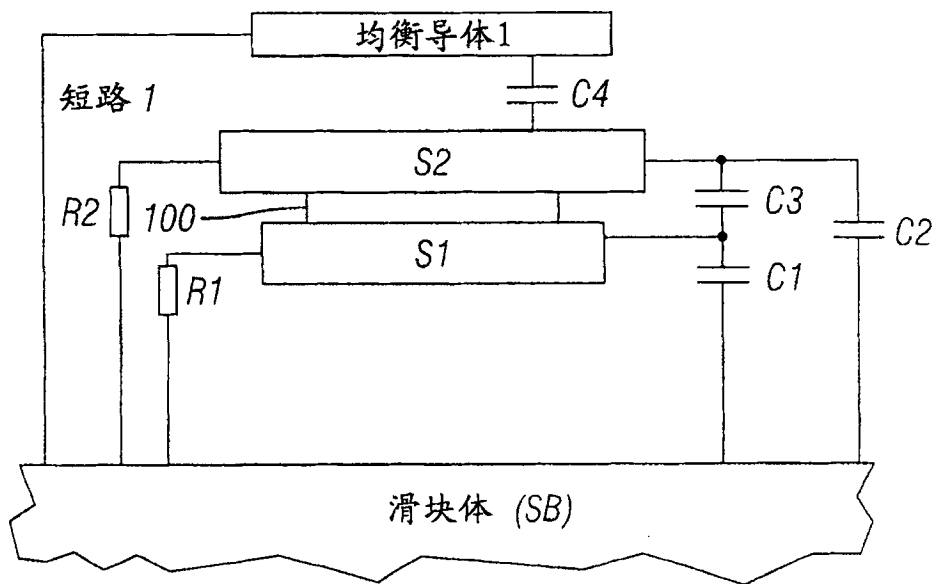


图 7

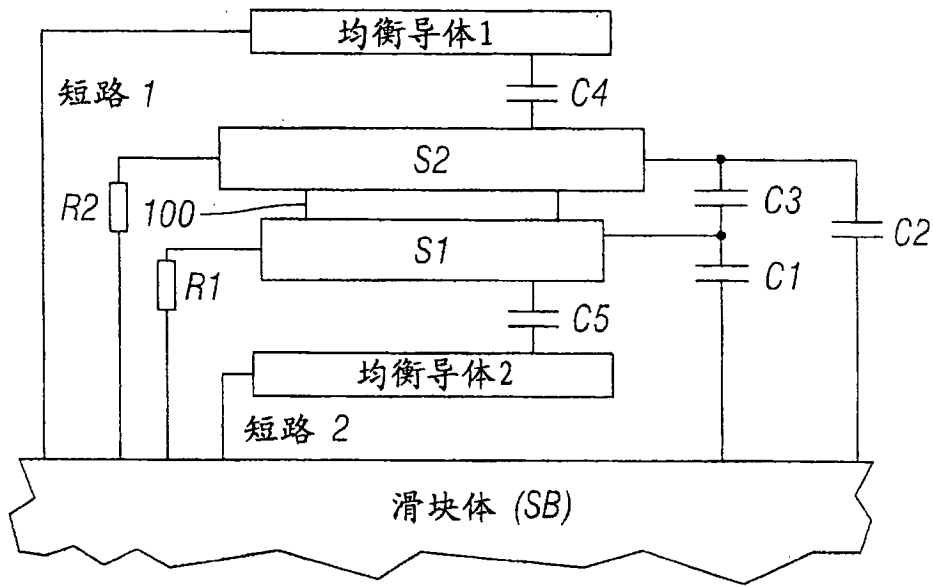


图 8

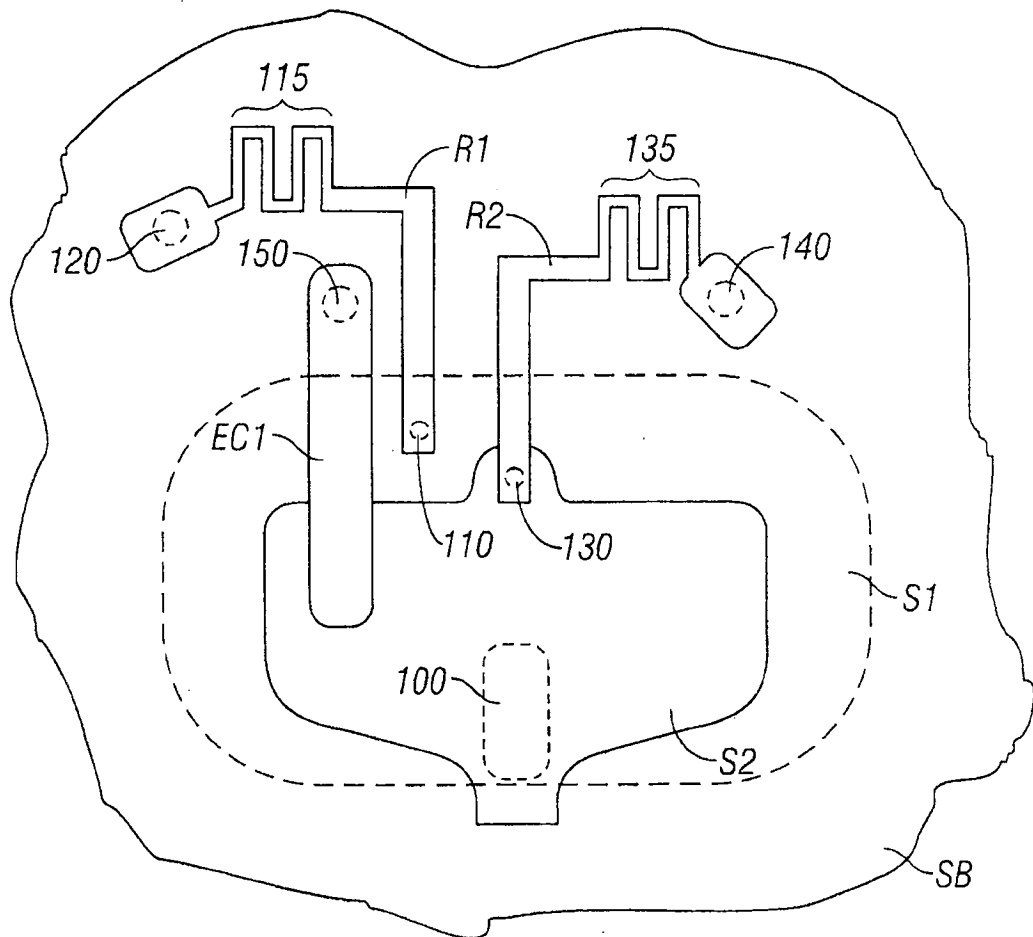


图 9