



(10) **DE 10 2005 012 112 B4** 2011.03.17

(12)

Patentschrift

(21) Aktenzeichen: **10 2005 012 112.8**
(22) Anmeldetag: **16.03.2005**
(43) Offenlegungstag: **31.08.2006**
(45) Veröffentlichungstag
der Patenterteilung: **17.03.2011**

(51) Int Cl.⁸: **H01L 21/8247 (2006.01)**
H01L 27/115 (2006.01)
H01L 21/306 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
11/061,314 **18.02.2005** **US**

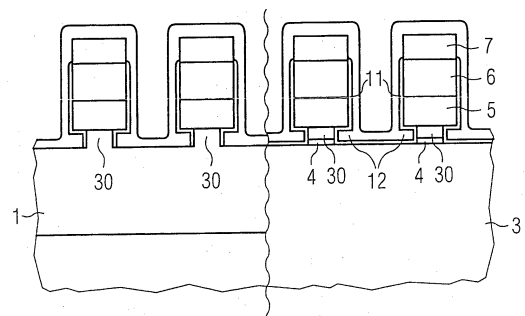
(73) Patentinhaber:
Qimonda AG, 81739 München, DE

(72) Erfinder:
**Seidl, Harald, 85604 Zorneding, DE; Gutsche,
Martin, Dr., 84405 Dorfen, DE; Willer, Josef, Dr.,
85521 Riemering, DE**

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
siehe Folgeseiten

(54) Bezeichnung: **Verfahren zum Herstellen von ladungsfangenden Halbleiterspeicherbauelementen und ladungsfangendes Halbleiterspeicherbauelement**

(57) Hauptanspruch: Verfahren zum Herstellen von Halbleiterspeicherbauelementen, bei dem ein Gateoxid (4) auf einer Oberfläche eines Halbleiterkörpers (3) ausgebildet wird, eine SiGe-Schicht (30) auf dem Gateoxid (4) aufgebracht wird, eine Gate-Elektrodenschicht (5) und eine Wortleitungsschicht (6) auf der SiGe-Schicht (30) aufgebracht werden, die Wortleitungsschicht (6), die Gate-Elektrodenschicht (5) und die SiGe-Schicht (30) zu Wortleitungsstapeln strukturiert werden, Restanteile der SiGe-Schicht (30) selektiv zum Gateoxid (4) und zur Gate-Elektrodenschicht (5) geätzt werden, so dass auf beiden Seiten der Wortleitungsstapel Aussparungen unter der Gate-Elektrodenschicht (5) innerhalb der SiGe-Schicht (30) gebildet werden, eine Oxidschicht (11) auf Oberflächen des Halbleiterkörpers (3), verbleibender Anteile der SiGe-Schicht (30) und der Gate-Elektrodenschicht (5) gebildet wird, ein dielektrisches Material einer ladungsfangenden Speicherschicht (12) aufgebracht wird und dieses Material bis auf Restanteile, die streifenartige Speicherschichten (12) unter unteren Kanten der Gate-Elektrodenschicht (5) bilden, entfernt wird.



(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

US 2003/01 85 055 A1
US 2003/01 60 280 A1
US 2002/00 79 533 A1
US 60 11 725 A
US 57 68 192 A

JOHNSON,F.S. [u.a.]: Selective Chemical Etching of Polycrystalline SiGe Alloys with Respect to Si and SiO₂. In: Journal of Electronic Materials, Vol. 21, Nr. 8, 1992, S.805-810

FRANKE,A.E. [u.a.]: Polycrystalline Silicon-Germanium Films for Integrated Microsystems. In: Journal of Microelectromechanical Systems, Vol. 12, Nr. 2, April 2003, S.160-171

LEE,S-Y. [u.a.]: A Novel Multibridge-Channel MOSFET (MBCFET): Fabrication Technologies and Characteristics. In: IEEE Transactions on Nanotechnology, Vol. 2, Nr. 4, Dezember 2003, S.253-257

YEH,C.C. [u.a.]: PHINES: A Novel Low Power Programm/Erase, Small Pitch, 2-Bit per Cell Flash Memory. In: Electron Devices Meeting 2002, S.931-934

Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen von Charge-trapping-Speicherbauelementen, im Folgenden als ladungsfangende Speicherzellen bezeichnet, die zur Mehrbitspeicherung gedacht sind, das sich auf ein ladungsfangendes Speicherbauelement anwenden lässt, das ein Flash-Speicherzellenarray mit CMOS-Logikadressierungsschaltung in einem peripheren Bereich gemäß einem besonders geeigneten Integrationsverfahren umfasst. Die Erfindung betrifft weiterhin eine bestimmte Speicherzellenstruktur, die über dieses Verfahren hergestellt wird.

[0002] Die Speicherzellen und ihre Strukturmerkmale sind einem ständigen Prozess der Verkleinerung unterworfen, um den Bereich des Zellenarrays zu reduzieren und eine ständig wachsende Speicherdichte zu erzielen. Bis zu einem gewissen Grad ist diese Entwicklung für die Anforderungen von komplementären Transistoren abträglich, die die Adressierlogikschaltungen bilden, die in der Peripherie des Speicherzellenarrays angeordnet sind und üblicherweise in standardmäßiger CMOS-Technologie hergestellt werden, wodurch man Bauelemente mit größeren Abmessungen erhält. Es ist ein bisher ungelöstes Problem, wie Speicherzellen, die Transistorstrukturen von einer Größe von in der Regel 70 nm umfassen, insbesondere ladungsfangende Speicherzellen, mit CMOS-Bauelementen von viel größeren Abmessungen auf dem gleichen Halbleitersubstrat über einen Prozess integriert werden können, der von standardmäßigen Herstellungsprozessen nicht signifikant abweicht.

[0003] Speicherbauelemente mit ladungsfangenden Schichten, insbesondere SONOS-Speicherzellen, die als Speicherungsmedium Oxid-Nitrid-Oxid-Schichtsequenzen umfassen, werden üblicherweise durch „channel hot electron injection“ programmiert. Aus US 5 768 192 A und US 6 011 725 A sind ladungsfangende Speicherzellen einer speziellen Art von sogenannten NROM-Zellen bekannt, die zum Speichern von Informationsbit sowohl an der Sourceelektrode wie auch an der Drain-Elektrode unter den jeweiligen Gaterändern verwendet werden können. Die programmierte Zelle wird in der umgekehrten Betriebsart gelesen, um eine ausreichende Zwei-Bit-Trennung zu erzielen. Löschung erfolgt durch „hot hole injection“.

[0004] US 2003/0 185 055 A1 und ein entsprechendes Referat von YEH, C. C. [u. a.]: PHINES: A Novel Low Power Program/Erase, Small Pitch, 2-Bit per Cell Flash Memory. In: Electron Devices Meeting 2002, S. 931-934.

[0005] Offenbarte eine nichtflüchtige Halbleiterspeicherzelle mit elektronenfangendem Löschzustand,

die als Flashspeicher betrieben wird und zwei Bit speichern kann. Die Löschung findet statt durch Fowler-Nordheim-Tunnelung von Elektronen entweder vom Kanal oder von der Gate-Elektrode in die Speicherungsschicht einer herkömmlichen ladungsfangenden Speichersequenz, beispielsweise einer ONO-Schichtsequenz. Beim Programmieren dieses Speichers werden Elektronenlöcher in die nichtleitende ladungsfangende Schicht injiziert. Eine „hot hole injection“ kann an der Source-Elektrode und an der Drain-Elektrode induziert werden, was bedeutet, an beiden Enden des Kanals.

[0006] Die Speicherschicht kann mit einem anderen dielektrischen Material substituiert werden, vorausgesetzt, die Energiebandlücke ist kleiner als die Energiebandlücke der Beschränkungsschichten. Die Differenz bei den Energiebandlücken sollte so groß wie möglich sein, um eine gute Ladungsträgerbeschränkung und somit eine gute Datenaufbewahrung sicherzustellen. Insbesondere bei Verwendung von Siliziumdioxid als Beschränkungsschichten kann die Speicherschicht Tantaloxid, Hafniumsilikat, Cadmiumsilikat, Titanoxid, Zirconiumoxid, Aluminiumoxid oder eigenleitendes (nicht dotiertes) Silizium sein. Die Speicherschicht kann auch elektrisch isolierende oder leitende Nanopunkte umfassen, bei denen es sich um kleine Teilchen mit Abmessungen von einigen wenigen Nanometern handelt, die in einer Schicht aus dielektrischem Material angeordnet sind.

[0007] In der US 2002/0 079 533 A1 ist ein Herstellungsverfahren für Speicherbauelemente beschrieben, bei dem auf einem Substrat ein Siliziumoxidfilm, eine SiGe-Schicht, eine Polysiliziumschicht als Floating-Gate-Elektrode, eine isolierende Siliziumoxidschicht und eine weitere Polysiliziumschicht aufgebracht und zu einem Gate-Elektrodenstapel strukturiert werden. Die SiGe-Schicht wird von beiden Seiten des Gate-Elektrodenstapels her oxidiert, so dass SiGe nur in einem inneren Bereich unter der Floating-Gate-Elektrode stehen bleibt.

[0008] In der US 2003/01160280 A1 ist ein nichtflüchtiges Halbleiterspeicherbauelement beschrieben, bei dem jeweils an den Kanalenden zwischen der Gate-Elektrode und den Source-/Drain-Bereichen eine für Charge-Trapping vorgesehene Speicherschichtfolge angeordnet ist. Als Material für die Gate-Elektrode ist unter anderem SiGe angegeben. Die Gate-Elektrode kann einschichtig ausgebildet oder vertikal unterteilt sein.

[0009] Aufgabe der vorliegenden Erfindung ist es, ein verbessertes Charge-trapping-Speicherbauelement für Multibitspeicherung, das für eine Integration mit CMOS-Elektronikschaltungen geeignet ist, und ein zugehöriges Herstellungsverfahren anzugeben.

[0010] Diese Aufgabe wird mit dem Verfahren mit den Merkmalen des Anspruchs 1 beziehungsweise mit dem Halbleiterspeicherbauelement mit den Merkmalen des Anspruchs 4 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

[0011] Bei dem erfindungsgemäßen Verfahren wird eine dünne SiGe-Schicht aufgetragen, die als eine zusätzliche untere Gate-Elektrodenschicht vorgesehen und zwischen einem dünnen Gateoxid und einer Gate-Elektrodenschicht, bevorzugt aus Polysilizium, vorgesehen ist. Die SiGe-Schicht wird seitlich neben den Source-/Drain-Gebieten entfernt, um Vertiefungen auszubilden, die danach mit einem Material gefüllt werden, das sich für den Ladungsfang eignet. SiGe ist besonders vorteilhaft, weil es selektiv zur Gate-Elektrode und zum Gateoxid geätzt werden kann. Zudem modifiziert die zusätzliche SiGe-Gate-Elektrode günstig die Schwellwertspannung der Speicherzelle.

[0012] Das Halbleiterspeicherbauelement gemäß der vorliegenden Erfindung umfasst einen Halbleiterkörper und ein Array von Speicherzellen. Jede Speicherzelle weist ein Kanalgebiet zwischen Source-/Drain-Gebieten an einer Hauptfläche des Halbleiterkörpers, eine Gate-Elektrode mit Seitenwänden neben den Source-/Drain-Gebieten über dem Kanalgebiet und von dem Kanalgebiet durch ein Gateoxid getrennt und eine SiGe-Schicht zwischen dem Gateoxid und der Gate-Elektrodenschicht auf, wobei die SiGe-Schicht seitlich unter der Gate-Elektrodenschicht neben den Source-/Drain-Gebieten ausgenommen wird. Speicherschichten aus einem Material, das sich für den Ladungsfang eignet, sind zwischen der Gate-Elektrodenschicht und den Source-/Drain-Gebieten auf beiden Seiten der SiGe-Schicht angeordnet und von einem dielektrischen Material umgeben. Seitenwandabstandshalter aus elektrisch isolierendem Material sind an den Seitenwänden der Gate-Elektrode angeordnet.

[0013] Das Verfahren zum Herstellen dieses Halbleiterspeicherbauelements umfasst die folgenden Schritte:

Ausbilden eines Gateoxids auf einer Oberfläche eines Halbleiterkörpers, Abscheiden einer SiGe-Schicht, einer Gate-Elektrodenschicht und einer Wortleitungsschicht auf dem Gateoxid, Strukturieren der Wortleitungsschicht, der Gate-Elektrodenschicht und der SiGe-Schicht zum Ausbilden von Wortleitungsstapeln, Ätzen von Restteilen der SiGe-Schicht selektiv zum Gateoxid und zur Gate-Elektrodenschicht zum Ausbilden von unterätzten Vertiefungen unter der Gate-Elektrodenschicht innerhalb der SiGe-Schicht auf beiden Seiten der Wortleitungsstapel, Ausbilden einer Oxidschicht auf Oberflächen des Halbleiterkörpers, von verbleibenden Teilen der SiGe-Schicht und der Gate-Elektrodenschicht, Abscheiden eines Materials, das für eine ladungsfangende Speicherschicht vorgesehen ist, und Entfer-

nen des Materials mit Ausnahme von Restteilen, die streifenartige Speicherschichten unter unteren Rändern der Gate-Elektrodenschicht bilden.

[0014] Es folgt eine genauere Beschreibung von Beispielen der Erfindung anhand der beigefügten Figuren. Es zeigt

[0015] [Fig. 1](#) eine Draufsicht auf ein Speicherzellenarray mit Peripherie,

[0016] [Fig. 2](#) einen Querschnitt durch ein erstes Zwischenprodukt eines bevorzugten Beispiels des erfindungsgemäßen Verfahrens,

[0017] [Fig. 3](#) den Querschnitt nach [Fig. 2](#) eines zweiten Zwischenprodukts nach weiteren Prozessschritten,

[0018] [Fig. 4](#) den Querschnitt nach [Fig. 3](#) für ein drittes Zwischenprodukt nach weiteren Prozessschritten,

[0019] [Fig. 5](#) einen vergrößerten Querschnitt durch das dritte Zwischenprodukt nach [Fig. 4](#)

[0020] [Fig. 6](#) den Querschnitt nach [Fig. 4](#) für ein viertes Zwischenprodukt nach weiteren Prozessschritten,

[0021] [Fig. 7](#) einen vergrößerten Querschnitt durch das vierte Zwischenprodukt nach [Fig. 6](#),

[0022] [Fig. 8](#) den Querschnitt nach [Fig. 6](#) für ein fünftes Zwischenprodukt nach weiteren Prozessschritten,

[0023] [Fig. 9](#) den Querschnitt nach [Fig. 8](#) für ein sechstes Zwischenprodukt nach weiteren Prozessschritten,

[0024] [Fig. 10](#) einen Querschnitt gemäß der rechten Seite von [Fig. 2](#) für eine Ausführungsform, die eine SiGe-Schicht umfasst,

[0025] [Fig. 11](#) den Querschnitt nach [Fig. 10](#) nach dem Ätzen von Vertiefungen in der SiGe-Schicht,

[0026] [Fig. 12](#) den Querschnitt nach [Fig. 11](#) nach dem Ätzen des Gateoxids,

[0027] [Fig. 13](#) den Querschnitt nach [Fig. 12](#) nach dem Auftragen des für die Speicherschicht vorgesehenen Materials.

[0028] [Fig. 1](#) zeigt die Draufsicht auf einen Abschnitt der Oberfläche eines Zwischenprodukts eines Halbleiterbauelements, hergestellt gemäß dem erfindungsgemäßen Verfahren. Die Wortleitungen WL_n sind so dargestellt, dass sie parallel von links nach rechts über den Bereich des Speicherzellenarrays **28**

verlaufen. Dieser Bereich umfasst flache Grabenisolationen **1** innerhalb des Halbleitermaterials des Substrats oder Halbleiterkörpers, die beabstandet sind und parallel zueinander angeordnet sind, wie durch gestrichelte Linien angedeutet, und orthogonal über die Wortleitungen verlaufen. Die Bitleitungen sind über den Bereichen der flachen Grabenisolationen **1** angeordnet und sind hier nicht gezeigt. Zwischen den flachen Grabenisolationen befinden sich die aktiven Bereiche, die die Speicherzellentransistorstrukturen umfassen.

[0029] Eine bevorzugte Ausführungsform zur Herstellung durch das erfindungsgemäße Verfahren umfasst elektrisch leitende lokale Zwischenverbindungen **2**, die innerhalb der schraffierten Bereiche von **Fig. 1** angeordnet sind. Jede der lokalen Zwischenverbindungen **2** überbrückt eine flache Grabenisolation **1** und verbindet Source-/Drain-Gebiete von vier benachbarten Speicherzellen, die in einem Quadrat angeordnet sind. Das Kanalgebiet der Struktur einer Speicherzelle liegt unter der dazugehörigen Wortleitung zwischen den Source-/Drain Gebieten, die sich unter den Endteilen der lokalen Zwischenverbindungen befinden. Die Positionen der Source-/Drain-Gebiete einer Speicherzelle sind in dem Beispiel einer Speicherzelle e von **Fig. 1** gezeigt, wo die Source-/Drain-Gebiete mit S/D bezeichnet sind.

[0030] Wenn die Speicherzellen entlang der Wortleitungen mit einer kontinuierlichen Nummerierung nummeriert sind, verbinden die lokalen Zwischenverbindungen die Source-/Drain-Gebiete der ungeradzahigen Speicherzellen auf einer Seite der jeweiligen Wortleitung mit den Source-/Drain-Gebieten der nachfolgenden geradzahigen Speicherzelle. Auf der anderen Seite der gleichen Wortleitung verbinden die lokalen Zwischenverbindungen die Source-/Drain-Gebiete der geradzahigen Speicherzellen mit der nachfolgenden ungeradzahigen Speicherzelle, gemäß dieser kontinuierlichen Nummerierung. Da die lokalen Zwischenverbindungen **2** Speicherzellen in beiden benachbarten Wortleitungen betreffen, verbinden die lokalen Zwischenverbindungen Source-/Drain-Gebiete von insgesamt vier Speicherzellen, die in einem quadratischen Quadrupel angeordnet sind. Die bei a, b, c und d in **Fig. 1** liegenden Speicherzellen (als Beispiel) sind durch die lokale Zwischenverbindung LI verbunden, die in **Fig. 1** bezeichnet ist, so dass jede dieser vier Speicherzellen ein Source-/Drain-Gebiet umfasst, das mit einem Source-/Drain-Gebiet der anderen drei Speicherzellen dieses Quadrupels verbunden ist.

[0031] Das Speicherbauelement umfasst weiterhin eine Adressierperipherie, wo CMOS-Bauelemente angeordnet sind, um eine als Logikschaltung vorgesehene elektrische Schaltung zu bilden, um die Speicherzellen bei Lese-, Schreib- und Löschooperationen zu adressieren. Die komplementären Tran-

sistoren dieser Elektronikschaltungen werden gemäß standardmäßiger Technologie hergestellt, aber die herstellenden Schritte sind in das erfindungsgemäße Verfahren integriert, was die Herstellung eines ladungsfangenden Speicherzellenarrays mit extrem kleinen Abmessungen mit integrierter CMOS-Adressierschaltung gestattet. **Fig. 1** zeigt beispielsweise eine Transistorstruktur, die eine Gate-Elektrode **26** umfasst, die vorgesehen ist zum Steuern des Kanalgebiets zwischen Source-/Drain-Gebieten **20**, die LDD-(leicht dotierte Drain-)-Gebiete **21** umfassen. Der Bereich des Speicherzellenarrays **28** ist in der Regel von dem peripheren Bereich **29** getrennt, der die CMOS-Bauelemente umfasst, die gemäß der standardmäßigen Technologie verarbeitet werden, die die Anordnung aus p-Mulden und n-Mulden innerhalb des Halbleitersubstrats umfasst, vorgesehen für komplementäre Transistoren.

[0032] **Fig. 2** zeigt den Querschnitt durch ein Zwischenprodukt entlang der in **Fig. 1** eingefügten gestrichelten Linie, die einen Bezug auf **Fig. 8** trägt. Auf der rechten Seite zeigt dieser Querschnitt den Bereich eines Speicherzellenarrays in zwei verschiedenen Bezugsebenen. Links von der Wellenlinie ist der Querschnitt durch den Bereich der flachen Grabenisolation **1** gezeigt, während auf der rechten Seite der Wellenlinie der Schnitt über dem aktiven Bereich gezeigt ist. Die flachen Grabenisolationen **1** werden auf standardmäßige Weise hergestellt, indem Gräben in das Halbleitermaterial geätzt und diese Gräben danach mit dielektrischem Material, bevorzugt Oxid, gefüllt werden. Ein Gate-Oxid **4** wird auf eine obere Oberfläche eines Halbleiterkörpers **3** aufgebracht. Das Gateoxid **4** kann hinsichtlich Dicke und Material an die herzustellenden verschiedenen Transistortypen angepasst sein. Mulden können gemäß den verschiedenen Arten von Transistoren in verschiedenen Gebieten des Halbleiterkörpers implantiert und ausgeheilt werden.

[0033] Dann wird eine für die Wortleitungsstapel vorgesehene Schichtsequenz auf der oberen Oberfläche des Halbleiterkörpers aufgebracht. Diese Schichtsequenz umfasst bevorzugt eine Gate-Elektrodenschicht **5**, bevorzugt aus Polysilizium, eine Wortleitungsschicht **6**, die den elektrischen Bahnwiderstand der Wortleitung reduzieren soll und bevorzugt aus Metall oder Metallsilizid hergestellt ist, und eine Hartmaskenschicht **7**, die bevorzugt Nitrid ist. Über einen nachfolgenden Photolithographie- und Ätzschritt werden diese Gate-Elektrodenschicht **5**, diese Wortleitungsschicht **6** und diese Hartmaskenschicht **7** strukturiert, um in dem für das Speicherzellenarray **28** vorgesehenen Bereich parallele Wortleitungsstapel auszubilden. Damit **Fig. 2** umfassend ist, zeigt sie einen Zwischenstapel, dessen seitliche Abmessung von der festgelegten Teilung der Breite der Wortleitungen und der Zwischenräume zwischen den Wortleitungen verschieden ist und der sich in ei-

nem Übergangsbereich zwischen dem Bereich des Speicherzellenarrays **28** und dem CMOS-Peripheriebereich **29** in Folge von in dem Lithographieschritt auftretenden Randeffekten befindet.

[0034] **Fig. 3** zeigt den Querschnitt nach **Fig. 2** nach einem Nassätzprozessschritt zum Ausbilden der geätzten Öffnungen **8** im Gateoxid und der flachen Grabenisolationen **1** innerhalb des Bereichs des Speicherzellenarrays **28**. Wie man aus **Fig. 3** erkennen kann, ist das Oxidmaterial der flachen Grabenisolationen **1** in der Regel etwa 20 bis 30 nm tief geätzt, das heißt etwas tiefer als das Gateoxid **4**. Die geätzten Öffnungen **8** bilden unterschrittene Öffnungen zwischen der Gate-Elektrodenschicht **5** und dem Halbleiterkörper **3** an unteren seitlichen Rändern der Gate-Elektrodenschicht **5**. **Fig. 3** zeigt außerdem die Wortleitungsstapel der Wortleitungen WL₁, WL₂, WL₃ und WL₄ im Vergleich mit der Draufsicht von **Fig. 1**.

[0035] **Fig. 4** zeigt den Querschnitt nach **Fig. 3** nach weiteren Prozessschritten, über die die Speicherschichtsequenz, insbesondere eine ladungsfangende Schichtsequenz, hergestellt wird. Das bevorzugte Beispiel des erfindungsgemäßen Verfahrens wird weiterhin für die bevorzugte Ausführungsform beschrieben, die eine ONO-Speicherschichtsequenz umfasst, obwohl jede Materialsequenz, die sich für ladungsfangende Speicherzellen eignet, ebenfalls aufgebracht werden kann.

[0036] Eine untere Beschränkungsschicht wird hergestellt, die im Fall einer ladungsfangenden Oxid-Nitrid-Oxid-Schichtsequenz eine Oxidschicht ist. Die untere Beschränkungsschicht kann durch eine Kombination aus einer thermischen Oxidation des Halbleitermaterials und der Abscheidung eines Hochtemperaturoxids mit einer Dicke von in der Regel etwa 4 nm hergestellt werden. Die Abscheidung einer LP-CVD-Nitridschicht (low pressure chemical vapor deposition) mit einer Dicke von etwa 4 nm schließt sich an, bei der die Speicherschicht, die eigentliche Stelle der Ladungsspeicherung, in den unterschrittenen Öffnungen zwischen der Gate-Elektrodenschicht und dem Halbleitermaterial hergestellt wird. Dann werden die Source-/Drain-Gebiete durch eine Implantierung von dotierenden Atomen ausgebildet, beispielsweise Bor oder Arsen. Nach einem Ausheilen der Source-/Drain-Implantierung wird das abgeschiedene Nitrid nassgeätzt, so dass die Speicherschicht in den vorgesehenen Abmessungen bleibt.

[0037] Die beschriebenen Prozessschritte, die die unterschrittenen Öffnungen verwenden, erzeugen eine Speicherschicht, die streifenartige Teile umfassen, die nur einige wenige Nanometer breit sind und insbesondere für Mehrbitspeicherzellen mit geringen Abmessungen und extrem kurzen Kanälen ausgelegt sind, weil sie für eine ausreichende elektrische Trennung zwischen den Stellen der gespeicherten

Bit sorgen. Wie oben erwähnt ist es dennoch außerdem möglich, eine ladungsfangende Schicht zu haben, die auf standardmäßige Weise ausgebildet wird und nicht über den mittleren Abschnitt des Kanals unterbrochen ist.

[0038] **Fig. 4** zeigt die Stelle der Source-/Drain-Gebiete **10** und der Speicherschicht **12**. In jedem Wortleitungsstapel dieser Ausführungsform besteht die Speicherschicht **12** aus zwei Streifen, die entlang der unteren Ränder der Gate-Elektrodenschicht **5** verlaufen. Die Oberfläche der Struktur wird wieder oxidiert, um auf den Seitenwänden der Wortleitungsstapel dünne Oxidschichten auszubilden. Die Lücken zwischen den Wortleitungsstapeln werden durch Abscheidung einer Lückenfüllung **9**, bevorzugt eines Oxids, gefüllt, das danach beispielsweise durch CMP (chemisch-mechanisches Polieren) planarisiert wird. Auf der durch die Hartmaskenschicht **7** und die planaren Lückenfüllungen **9** ausgebildeten einfachen Oberfläche wird eine Kappenschicht abgeschieden, die bevorzugt Siliziumnitrid ist.

[0039] Die **Fig. 5** zeigt einen vergrößerten Querschnitt durch das Zwischenprodukt nach **Fig. 4** entlang der gestrichelten Linie, die in **Fig. 1** eingefügt ist und den Bezug auf **Fig. 7** trägt und dem Bereich der Sequenz der Wortleitungsstapel der ersten drei Wortleitungen WL₁, W1₂ und W1₃ umgibt. Die Grenzen der implantierten Source-/Drain-Gebiete **10** sind durch gestrichelte Linien bezeichnet, die die PN-Übergänge bezeichnen. Die Querschnitte der streifenartigen Teile der Speicherschicht **12** sind zwischen den unteren Rändern der Gate-Elektrodenschicht **5** und des Halbleiterkörpers **3** gezeigt. Die Speicherschicht **12**, die beispielsweise Nitrid ist, ist in das dielektrische Material eingebettet, das im Fall einer ONO-Speicherschichtsequenz Oxidmaterial ist und Teil des Gateoxids **4** sein kann. Die Seitenwände der Wortleitungsstapel sind von Neuoxidationschichten **11** bedeckt. Das Gebiet zwischen den aktiven Gebieten ist auf der rechten Seite von **Fig. 5** gezeigt, wo die geätzten Öffnungen **8** im Bereich der flachen Grabenisolation **1** erscheinen. Die Lücken zwischen den Wortleitungen werden mit einer Lückenfüllung aus einem dielektrischen Material, bevorzugt Siliziumoxid, gefüllt, wie oben beschrieben.

[0040] **Fig. 6** zeigt einen Querschnitt nach **Fig. 4** nach der Ausbildung von Source-/Drain-Kontakten. Nach dem Planarisierungsschritt wird die bevorzugt aus Nitrid bestehende Kappenschicht **13** abgeschieden und durch einen nachfolgenden Photolithographieschritt strukturiert. Bei diesem Schritt wird die Kappenschicht **13** in den für die Source-/Drain-Kontakte vorgesehenen Bereichen entfernt. Wenn die Kappenschicht **13** aus Nitrid und die Lückenfüllung **9** aus Oxid besteht, wird die Kappenschicht **13** bevorzugt durch reaktives Ionenätzen strukturiert. Der Ätzprozess wird angehalten, wenn das Oxid der Lücken-

füllung **9** erreicht wird. Danach werden Vertiefungen in das Material der Lückenfüllung **9** geätzt. Die Tiefe dieser Vertiefungen entspricht möglicherweise mindestens etwa der Dicke der Hartmaskenschicht **14**. Dann wird das für die Ausbildung von Seitenwandabstandshaltern vorgesehene Material abgeschieden. Dieses Material kann bevorzugt Nitrid sein, das durch reaktives Ionenätzen entfernt wird, um in der Regel **30** nm breite erste Abstandshalter **14** in den Vertiefungen auf der Höhe der Hartmaskenschicht **7** und zweite Abstandshalter **15** an Seitenwänden der Öffnungen in der Kappenschicht **13** auszubilden.

[0041] Die ersten Abstandshalter **14** sind für einen nachfolgenden anisotropen Ätzprozess relevant, über den die Lückenfüllung **9** bis hinunter zur Oberfläche des Halbleitermaterials im Bereich der Source-/Drain-Gebiete entfernt wird. Da der Ätzprozess anisotrop ist, maskieren die ersten Abstandshalter **14** das Material der Lückenfüllungen **9** an den Seitenwänden der Wortleitungsstapel, so dass Lückenfüllungsreste **16** an diesen Seitenwänden zurück bleiben, die Seitenwandisolationen der Wortleitungen bilden. Diese wichtige Stufe des erfindungsgemäßen Verfahrens liefert Seitenwandisolationen der Wortleitungen, die aus Oxid anstelle des üblicherweise aufgebracht Nitrids ausgebildet sein können, wie von dem beschriebenen Beispiel gezeigt. Dann kann ein elektrisch leitendes Material wie etwa Polysilizium aufgebracht werden, um die lokalen Zwischenverbindungen **2** auszubilden, die als Source-/Drain-Kontakte und elektrische Verbindungen zwischen den Source-/Drain-Gebieten und den Bitleitungen vorgesehen sind.

[0042] Zum Strukturieren der lokalen Zwischenverbindungen **2** gemäß den erforderlichen Abmessungen entlang der Wortleitungen gibt es verschiedene Möglichkeiten. Das Ätzen der Lückenfüllung **9** kann über eine Maske durchgeführt werden, die periodisch beabstandete Gebiete der Lücken zwischen Wortleitungsstapeln abdeckt, so dass das Material der Lückenfüllung **9** in diesen Gebieten als elektrische Isolation zwischen den geätzten Löchern, die mit dem für die lokalen Zwischenverbindungen vorgesehenen elektrisch leitenden Material gefüllt sind, zurück bleibt. Eine bevorzugte Prozessschrittsequenz zum Strukturieren der lokalen Zwischenverbindungen **2** umfasst jedoch das Ätzen der Lückenfüllung **9** zum Ausbilden von durchgehenden Gräben zwischen den Lückenfüllungsresten **16** in den geöffneten Lücken zwischen den Wortleitungsstapeln, die mit dem für die lokalen Zwischenverbindungen vorgesehenen elektrisch leitenden Material gefüllt werden. Dieses Material wird dann gemäß den erforderlichen Längsabmessungen von lokalen Zwischenverbindungen mit Hilfe einer Maske und einem weiteren Ätzprozess strukturiert; und die Zwischenräume zwischen den strukturierten Zwischenverbindungen werden wieder mit dielektrischem Material gefüllt, bevor-

zugt mit Oxid. Das Material der lokalen Zwischenverbindungen wird planarisiert.

[0043] **Fig. 7** zeigt einen vergrößerten Querschnitt nach **Fig. 5** des Zwischenprodukts nach **Fig. 6**. Bei diesem Querschnitt sind die Lückenfüllung **9**, die Neuoxidationschicht **11**, die Anordnung der Speicherschicht **12**, die strukturierte Kappenschicht **13**, die ersten Abstandshalter **14**, die zweiten Abstandshalter **15** und die Lückenfüllungsreste **16** im Detail dargestellt. Die ersten Abstandshalter **14**, die dazu dienen, die Lückenfüllung **9** zu den Lückenfüllungsresten **16** zu strukturieren, sind nicht notwendigerweise von den zweiten Abstandshaltern **15** getrennt, wie in **Fig. 6** gezeigt, sondern sind möglicherweise von ihnen nur geringfügig abgesondert. Es ist lediglich wichtig, erste Abstandshalter **14** zum Maskieren der Randteile der Lückenfüllung **9** zu haben, so dass sie nicht weggeätzt werden, sondern die Seitenwandisolation der Wortleitungsstapel bilden.

[0044] **Fig. 8** zeigt den Querschnitt nach **Fig. 6** nach der Durchführung weiterer Prozessschritte zum Strukturieren der CMOS-Bauelemente. Nach dem Aufbringen einer oberen Isolierschicht **17**, die als ein plasmaverstärktes Nitrid abgeschieden sein kann, bedeckt mit einer Antireflexbeschichtung, um die nachfolgende Photolithographie zu unterstützen, werden die CMOS-Bauelemente strukturiert, indem in dem peripheren Bereich Zwischenräume **18** geätzt werden. Diese Strukturierung definiert die Gate-Elektroden, die Teil der Gate-Elektroden-schicht **5** bilden. Dies ist auf der linken Seite von **Fig. 8** gezeigt. Nach einem standardmäßigen Neuoxidationsschritt werden dotierende Atome implantiert, um LDD-(leicht dotierte Drain-)Gebiete **21** auszubilden. Nach der Abscheidung eines Nitridliners werden breite Seitenwandabstandshalter, insbesondere Oxidabstandshalter **19**, an den Seitenwänden der Gate-Elektrodenstapel ausgebildet. Diese Seitenwandabstandshalter **19** weisen eine typische Breite von etwa 150 nm auf. Die Seitenwandabstandshalter **19** werden dann als Masken für Source-/Drain-Implantierungen verwendet, um Source-/Drain-Gebiete **20** der CMOS-Bauelemente auszubilden. Die LDD-Gebiete **21** sind während dieser Implantierung von den Seitenwandabstandshaltern **19** bedeckt.

[0045] Die Zwischenräume **18** zwischen den CMOS-Bauelementen sind erheblich größer als die kleinen Lücken zwischen den Wortleitungsstapeln. Über das erfindungsgemäße Verfahren können sowohl die Transistorstrukturen in dem Speicherzellenarray mit typischen Abmessungen von bis hinunter auf 70 nm als auch die CMOS-Bauelementstrukturen mit typischen seitlichen Abmessungen, die das Aufbringen von breiteren Seitenwandabstandshaltern **19** erforderlich machen, hergestellt werden. Da die Höhe, das heißt die vertikale Abmessung bezüglich des Substrats, der Gestapel in dem Peripheriebereich **29**

größer ist als die Höhe der Wortleitungsstapel, müssen die Zwischenräume **18** vergleichsweise breiter sein als die Lücken zwischen den Wortleitungsstapeln in dem Speicherzellenbereich **28**. Bei den bevorzugten Ausführungsformen der erfindungsgemäßen Struktur beträgt die vertikale Abmessung d_1 des Wortleitungsstapels, der die Gate-Elektrodenschicht **5**, die Wortleitungsschicht **6** und die Hartmaskenschicht **7** umfasst, höchstens 200 nm, während die vertikale Abmessung d_2 der Gatestapel, die die oben erwähnten Schichten plus die Kappenschicht **13** und die Isolationsschicht **17** umfassen, mindestens 250 nm. Die seitliche Teilung d_3 des Speicherzellenarrays über die Wortleitungsstapel hinweg gemessen als eine Entfernung zwischen entsprechenden Punkten von benachbarten Wortleitungsstapeln kann so gewählt werden, dass sie höchstens 250 nm beträgt. Durch das erfindungsgemäße Verfahren erhält man somit eine Sequenz von Verarbeitungsschritten, die sich eignet für die Herstellung der CMOS-Bauelemente der Schaltungen in dem Peripheriebereich mit den entsprechenden Abmessungen, nachdem das Speicherzellenarray mit im Wesentlichen kleineren Abmessungen vollständig strukturiert worden ist. Auf diese Weise können die entsprechenden seitlichen und vertikalen Abmessungen entsprechend den Arten von Transistorbauelementen gewählt werden. Die beschriebene Schichtsequenz und die Sequenz von Prozessschritten ist insbesondere geeignet für die Herstellung von vollständig integrierten Speicherbauelementen.

[0046] [Fig. 9](#) zeigt den Querschnitt von [Fig. 8](#) nach dem Aufbringen von Source-/Drain-Kontakten in den Peripheriebereich **29**. Nach einer Ausheilung der Übergangsimplantierungen sind die Seitenwandabstandshalter **19** beispielsweise durch Nassätzen entfernt worden. Dann werden die Zwischenräume **18** mit dielektrischem Material gefüllt, das abgeschiedene Oxid- und Nitridschichten gemäß standardmäßiger Technologie und eine Hauptlückenfüllung aus BPSG (Bor-Phosphor-Silikatglas) umfassen kann. Insbesondere im Bereich des Speicherzellenarrays bildet diese Füllung ein grundlegendes Dielektrikum **22** für die Metallisierungsebenen einer Verdrahtung. [Fig. 9](#) zeigt eine Bitleitung **23** mit Bitleitungskontakt **24** an der lokalen Zwischenverbindung **2** neben der ersten Wortleitung WL_1 . Die Bitleitung **23** und der Bitleitungskontakt **24** können durch den als Dual-Damascene-Prozess bekannten Prozess hergestellt werden. Kontaktlöcher, später mit elektrisch leitendem Material gefüllt, dienen zum Herstellen von Drainkontaktdurchgangsöffnungen **25** an den Source-/Drain-Gebieten der zu verbindenden CMOS-Bauelemente. Die Gate-Elektrode **26** des CMOS-Bauelements kann auch mit Hilfe eines Gatekontaktdurchgangslochs **27** kontaktiert werden. Da die Gate-Elektrode **26** auch durch einen entsprechend strukturierten Teil der Gate-Elektrodenschicht **5** elektrisch verbunden werden kann, beispielsweise wie in [Fig. 1](#) ge-

zeigt, ist das Gatekontaktdurchgangsloch **27** in [Fig. 9](#) mit einer gestrichelten Linie angegeben. Weitere Metallverdrahtungsschichten und Intermetalloxide werden auf die übliche Weise aufgebracht und sind in [Fig. 9](#) nicht gezeigt. Dieses Speicherbauelement wird dann weiter in standardmäßigen Endbehandlungsprozessschritten verarbeitet, einschließlich Passivierung und Unterbringen. Dies wird nicht ausführlich beschrieben, da es keinen Bestandteil des erfindungsgemäßen Verfahrens darstellt.

[0047] Eine bevorzugte Ausführungsform des Speicherzellenarrays von ladungsfangenden Speicherzellen umfasst eine verbesserte Gatestruktur mit einer SiGe-Schicht. Diese Struktur wird weiterhin ausführlich mit Hilfe von bevorzugten Herstellungsverfahren beschrieben, wie in den Querschnitten der [Fig. 10](#) bis [Fig. 13](#) gezeigt.

[0048] Der Querschnitt von [Fig. 10](#) zeigt einen Halbleiterkörper **3**, der zum Trennen von Spalten von Speicherzellen mit flachen Grabenisolationen **1** versehen ist. Die Oberfläche des Halbleiterkörpers **3** im Bereich des Speicherzellenarrays ist mit einem Gateoxid **4** bedeckt, das normalerweise thermisch aufgewachsen wird, in der Regel etwa 4 nm dick. Eine SiGe-Schicht **30** wird aufgebracht, worauf die Abscheidung der Gate-Elektrodenschicht **5**, bevorzugt aus Polysilizium, der Wortleitungsschicht **6** aus einem Metall und/oder einem Metallsilizid, beispielsweise Wolfram umfassend, und der Hartmaskenschicht **7** folgt. Die SiGe-Schicht ist bevorzugt 10 nm bis 15 nm dick und enthält bevorzugt zwischen 20 Atomprozent und 70 Atomprozent Germanium. Die Wortleitungsstapel werden einschließlich der SiGe-Schicht strukturiert, die Teil der Wortleitungsstapel bildet. Dann wird die SiGe-Schicht **30** isotrop und selektiv gegenüber dem Material der Gate-Elektrodenschicht **5** und des Gateoxids **4** zurück geätzt.

[0049] Wenn die Gate-Elektrodenschicht **5** aus Polysilizium besteht und das Gateoxid SiO_2 ist, dann kann der Ätzschritt beispielsweise durch eine der folgenden Varianten ausgeführt werden. Eine erste Variante verwendet ein Polysiliziumätzmittel, das aus 70% HNO_3 , 49% HF , 99,9% CH_3COOH und H_2O besteht. Das Verhältnis der Zusammensetzung beträgt beispielsweise 40:1:2:57 in relativen Atommassen. Diese Mischung wird bevorzugt in einem typischen Verhältnis von zwischen 10:1 und 10:5 in Wasser gelöst (siehe beispielsweise LEE, S-Y. [u. a.]: A Novel Multibridge-Channel MOSFET (MBCFET): Fabrication Technologies and Characteristics. In: IEEE Transactions on Nanotechnology, Vol. 2, Nr. 4, Dezember 2003, S. 253-257.).

[0050] Bei einer zweiten Variante wird 30% H_2O_2 bei in der Regel $90^\circ C$ verwendet, was besonders geeignet ist, wenn der Germaniumanteil hoch ist, in der Regel mehr als 60% (siehe beispielsweise FRANKE, A.

E. [u. a.]: Polycrystalline Silicon Germanium Films for Integrated Microsystems. In: Journal of Microelectromechanical Systems, Vol. 12, Nr. 2, April 2003, S. 160-171).

[0051] Bei einer dritten Variante wird ein Ätzmittel verwendet, das aus 30% NH_4OH , 30% H_2O_2 und H_2O in einem bevorzugten Verhältnis von 1:1:5 besteht, und zwar in der Regel bei 75°C. Mit diesem Ätzmittel werden nach JOHNSON, F. S. [u. a.]: Selective Chemical Etching of Polycrystalline SiGe Alloys with Respect to Si and SiO_2 . In: Journal of Electronic Materials, Vol. 21 Nr. 8, 1992, S. 805-810 die folgenden Ätzselektivitäten erzielt: für 40 Atomprozent Germanium enthaltendes SiGe: Verhältnis Ätzrate von SiGe und Ätzrate von Si = 36:1 und Verhältnis Ätzrate von SiGe und Ätzrate von SiO_2 = 100:1; 55 Atomprozent Germanium enthaltendes SiGe: Verhältnis Ätzrate von SiGe und Ätzrate von Si = 177:1 und Verhältnis Ätzrate von SiGe und Ätzrate von SiO_2 = 487:1. Da mit diesen Nassätzverfahren Selektivitäten von SiGe zu Si und SiO_2 von mehr als 100:1 erreicht werden können, kann eine Unterätzung des Oxids der flachen Grabenisolationen **1** vermieden werden.

[0052] Das entstehende Zwischenprodukt dieses Ätzprozesses der SiGe-Schicht **30** ist in [Fig. 11](#) im Querschnitt gezeigt. In der SiGe-Schicht befinden sich seitliche Vertiefungen zwischen den Wortleitungsstapeln und dem Halbleiterkörper, und Restteile der SiGe-Schicht **30** sind zwischen der Gate-Elektrodenschicht **5** und dem Gateoxid **4** zurück geblieben. Das Gateoxid **4** wird dann isotrop geätzt, beispielsweise mit Hilfe von HF. Wegen der senkrechten Richtung des Ätzangriffs von oben wird fast kein Oxid der flachen Grabenisolation **1** entfernt; gegebenenfalls kann ein Benetzungsmittel zugesetzt werden.

[0053] [Fig. 12](#) zeigt das nächste Zwischenprodukt nach dem Entfernen des Gateoxids mit Ausnahme der verbleibenden Teile unter den Restteilen der SiGe-Schicht **30**. Dann wird ein weiteres dielektrisches Material, bevorzugt thermisch aufgewachsenes SiO_2 , auf den freien Oberflächen des Halbleitermaterials, der SiGe-Schicht und der Gate-Elektrodenschicht **5** erzeugt.

[0054] Diese Neuoxidationsschicht **11** wird im Querschnitt von [Fig. 13](#) gezeigt, die auch die nachfolgende Aufbringung einer Schicht aus dem Material zeigt, das für die Speicherschicht **12** bestimmt ist. Dabei handelt es sich bevorzugt um Si_3N_4 , das durch chemische Niederdruckdampfabscheidung konform aufgebracht werden kann. Die für die Speicherschicht **12** vorgesehenen seitlichen Vertiefungen weisen auf Grund der Erzeugung der Neuoxidationsschicht **11** geringfügig reduzierte Abmessungen auf. Die Schicht aus dem Material, das für die Speicherschicht **12** bestimmt ist, wird bevorzugt mit mindestens der Hälfte der Dicke der Abmessung der Vertiefungen abge-

schieden. Im Fall der oben erwähnten typischen Abmessungen ist diese Schicht bevorzugt etwa 5 nm dick. Auf diese Weise werden die Vertiefungen vollständig mit dem Material gefüllt, so dass die Speicherschicht **12** als ein integraler Nanostreifen ausgebildet werden kann. Die Dicken der Schichten sind nicht maßstabsgetreu gezeichnet. Die Neuoxidationsschicht **11** ist auf den seitlichen Oberflächen der SiGe-Schicht in der Regel etwa 4 nm dick, wächst aber bei diesem Beispiel in der Regel etwa 6 nm dick auf den Seitenwänden des Wortleitungsstapels. Dies ist auf die hohe Dotierung des Polysiliziums der Gate-Elektrodenschicht **5** zurückzuführen.

[0055] Die das Speicherschichtmaterial umfassende Schicht wird dann isotrop zurückgeätzt, so dass Restteile übrig bleiben, die die Speicherschicht bilden. Da die flache Grabenisolation nicht unterätzt worden ist, erhält man die Speicherschicht **12** als einen dünnen durchgehenden Streifen mit einer Breite im Nanometerbereich. Danach kann die Dotierung der Source-/Drain-Gebiete implantiert werden, und Seitenwandabstandshalter **16** gemäß den bereits beschriebenen Ausführungsformen können durch das übliche konformale Abscheiden und anisotrope Ätzen ausgebildet werden.

Bezugszeichenliste

1	Flache Grabenisolation
2	Lokale Zwischenverbindung
3	Halbleiterkörper
4	Gateoxid
5	Gate-Elektrodenschicht
6	Wortleitungsschicht
7	Hartmaskenschicht
8	Geätzte Öffnungen
9	Lückenfüllung
10	Source-/Drain-Gebiet
11	Neuoxidationsschicht
12	Speicherschicht
13	Kappenschicht
14	Erster Abstandshalter
15	Zweiter Abstandshalter
16	Lückenfüllungsreste
17	Isolierschicht
18	Zwischenraum
19	Seitenwandabstandshalter
20	Source-/Drain-Gebiet
21	LDD-Gebiet
22	Grundlegendes Dielektrikum
23	Bitleitung
24	Bitleitungskontakt
25	Drainkontaktdurchgangsloch
26	Gate-Elektrode
27	Gatekontaktdurchgangsloch
28	Speicherzellenarray
29	Peripheriebereich
30	SiGe-Schicht

Patentansprüche

1. Verfahren zum Herstellen von Halbleiterspeicherbauelementen, bei dem ein Gateoxid (4) auf einer Oberfläche eines Halbleiterkörpers (3) ausgebildet wird, eine SiGe-Schicht (30) auf dem Gateoxid (4) aufgebracht wird, eine Gate-Elektrodenschicht (5) und eine Wortleitungsschicht (6) auf der SiGe-Schicht (30) aufgebracht werden, die Wortleitungsschicht (6), die Gate-Elektrodenschicht (5) und die SiGe-Schicht (30) zu Wortleitungsstapeln strukturiert werden, Restanteile der SiGe-Schicht (30) selektiv zum Gateoxid (4) und zur Gate-Elektrodenschicht (5) geätzt werden, so dass auf beiden Seiten der Wortleitungsstapel Aussparungen unter der Gate-Elektrodenschicht (5) innerhalb der SiGe-Schicht (30) gebildet werden, eine Oxidschicht (11) auf Oberflächen des Halbleiterkörpers (3), verbleibender Anteile der SiGe-Schicht (30) und der Gate-Elektrodenschicht (5) gebildet wird, ein dielektrisches Material einer ladungfangenden Speicherschicht (12) aufgebracht wird und dieses Material bis auf Restanteile, die streifenartige Speicherschichten (12) unter unteren Kanten der Gate-Elektrodenschicht (5) bilden, entfernt wird.

2. Verfahren nach Anspruch 1, bei dem vor dem Abscheiden der SiGe-Schicht (30) flache Grabenisolationen (1) im Abstand parallel zueinander an der Oberfläche des Halbleiterkörpers (3) ausgebildet werden, eine Hartmaskenschicht (7) auf der Wortleitungsschicht (6) aufgebracht wird, die Wortleitungsstapel so strukturiert werden, dass sie quer zu den flachen Grabenisolationen (1) verlaufen, das Gateoxid (4) nach dem Ätzen der SiGe-Schicht (30) zwischen den Wortleitungsstapeln weggeätzt wird, nach der Ausbildung der Speicherschicht (12) ein Dotierstoff in den Halbleiterkörper (3) implantiert wird und damit Source-/Drain-Gebiete (10) ausgebildet werden, eine Lückenfüllung (9) zwischen den Wortleitungsstapeln eingebracht und bis auf ein oberes Oberflächenniveau der Hartmaskenschicht (7) planarisiert wird, eine Kappenschicht (13) aufgebracht wird, die Kappenschicht (13) und ein oberer Schichtanteil der Lückenfüllung (9) entfernt werden, Seitenwandabstandshalter (14) gebildet werden, weitere Anteile der Lückenfüllung (9) entfernt werden, wobei Reste (16) der Lückenfüllung (9) an Seitenwänden der Wortleitungsstapel unter den Seitenwandabstandshaltern (14) stehen bleiben,

lokale Zwischenverbindungen (2) aus einem elektrisch leitenden Material hergestellt werden, eine obere Isolierschicht (17) aufgebracht wird, die Isolierschicht (17), die Kappenschicht (13), die Hartmaskenschicht (7), die Wortleitungsschicht (6) und die Gate Elektrodenschicht (5) in einem Peripheriebereich (29) zu Reststapeln strukturiert werden, Seitenwandabstandshalter (19) an den Reststapeln hergestellt werden, ein Dotierstoff implantiert wird und damit Source-/Drain-Gebiete (20) ausgebildet werden, die Seitenwandabstandshalter (19) entfernt werden, ein dielektrisches Material eingebracht wird, das Zwischenräume zwischen den Stapeln füllt, und Kontaktlöcher und Durchkontaktierungen in den Kontaktlöchern hergestellt werden.

3. Verfahren nach Anspruch 1 oder 2, bei dem die Speicherschicht (12) durch chemische Niederdruckdampfabscheidung von Si_3N_4 hergestellt wird.

4. Halbleiterspeicherbauelement mit einem Halbleiterkörper (3) und einem Array von Speicherzellen, die jeweils ein Kanalgebiet zwischen Source-/Drain-Gebieten (10) an einer Hauptfläche des Halbleiterkörpers (3) aufweisen sowie eine Gate-Elektrode mit benachbart zu den Source-/Drain-Gebieten (10) vorhandenen Seitenwänden, die über dem Kanalgebiet angeordnet ist und durch ein Gateoxid (4) von dem Kanalgebiet getrennt ist, wobei die Gate-Elektrode eine Gate-Elektrodenschicht (5) und eine zwischen der Gate-Elektrodenschicht (5) und dem Gateoxid (4) angeordnete SiGe-Schicht (30) umfasst, wobei die SiGe-Schicht (30) geringere seitliche Abmessungen aufweist als die Gate-Elektrodenschicht (5) und somit unter der Gate-Elektrodenschicht (5) benachbart zu den Source-/Drain-Gebieten (10) ausgespart ist, wobei ein dielektrisches Material einer ladungfangenden Speicherschicht (12) zwischen der Gate-Elektrodenschicht (5) und den Source-/Drain-Gebieten (10) auf beiden Seiten der SiGe-Schicht (30) angeordnet ist und wobei Seitenwandabstandshalter (14) aus elektrisch isolierendem Material an den Seitenwänden der Gate-Elektrode angeordnet sind.

5. Halbleiterspeicherbauelement nach Anspruch 4, bei dem CMOS-Bauelemente in einem Peripheriebereich (29) der Hauptfläche des Halbleiterkörpers (3) vorhanden sind, das Array Wortleitungsstapel aufweist, die die Gate-Elektroden umfassen und eine erste Abmessung (d1) in einer Richtung senkrecht zur Hauptfläche des Halbleiterkörpers (3) aufweisen, die CMOS-Bauelemente Gatestapel mit einer zweiten Abmessung (d2) in der Richtung senkrecht zu der Hauptfläche des Halbleiterkörpers (3) aufweisen,

die erste Abmessung (d_1) höchstens 200 nm beträgt, die zweite Abmessung (d_2) höchstens 250 nm beträgt und eine Differenz zwischen der ersten Abmessung (d_1) und der zweiten Abmessung (d_2) durch mindestens eine weitere, die Wortleitungsstapel bedeckende Schicht aus dielektrischem Material kompensiert wird.

6. Halbleiterspeicherbauelement nach Anspruch 5, bei dem eine Teilung der Wortleitungsstapel, gemessen quer zu den Wortleitungsstapeln als Abstand zwischen einander entsprechenden Punkten benachbarter Wortleitungsstapel, höchstens 250 nm beträgt.

7. Halbleiterspeicherbauelement nach Anspruch 5 oder 6, bei dem mindestens eine die Wortleitungsstapel bedeckende Schicht aus dielektrischem Material vorhanden ist, die eine Dicke aufweist, die gleich ist der Differenz zwischen der ersten Abmessung (d_1) und der zweiten Abmessung (d_2).

Es folgen 6 Blatt Zeichnungen

FIG 2

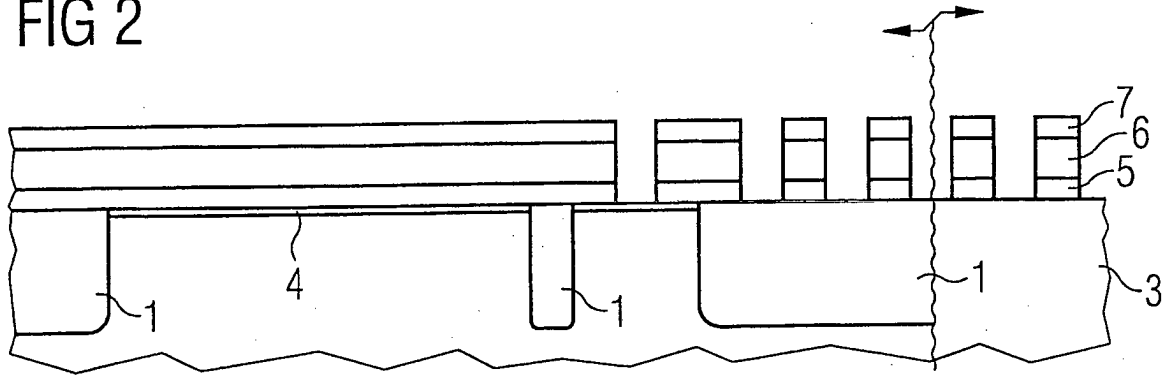


FIG 3

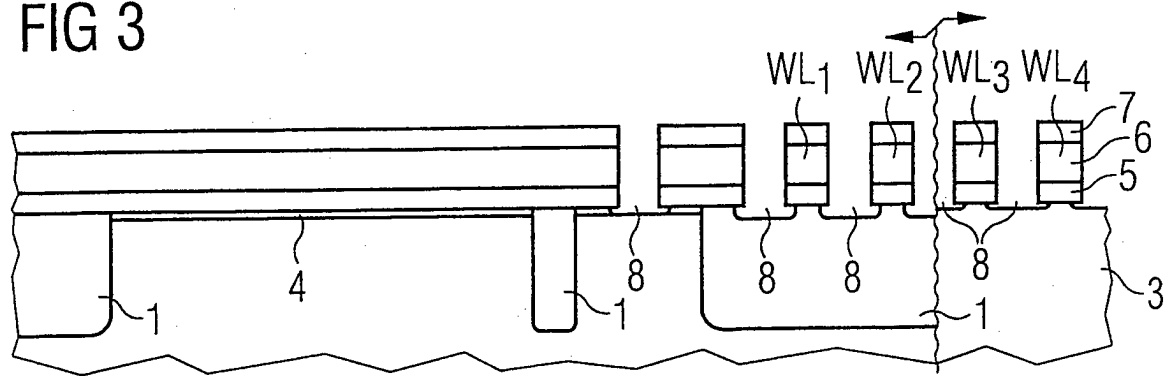


FIG 4

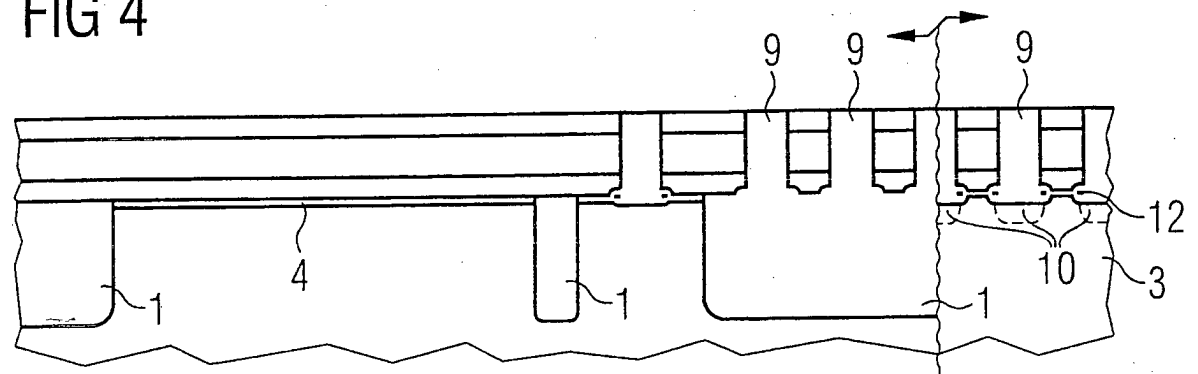


FIG 5

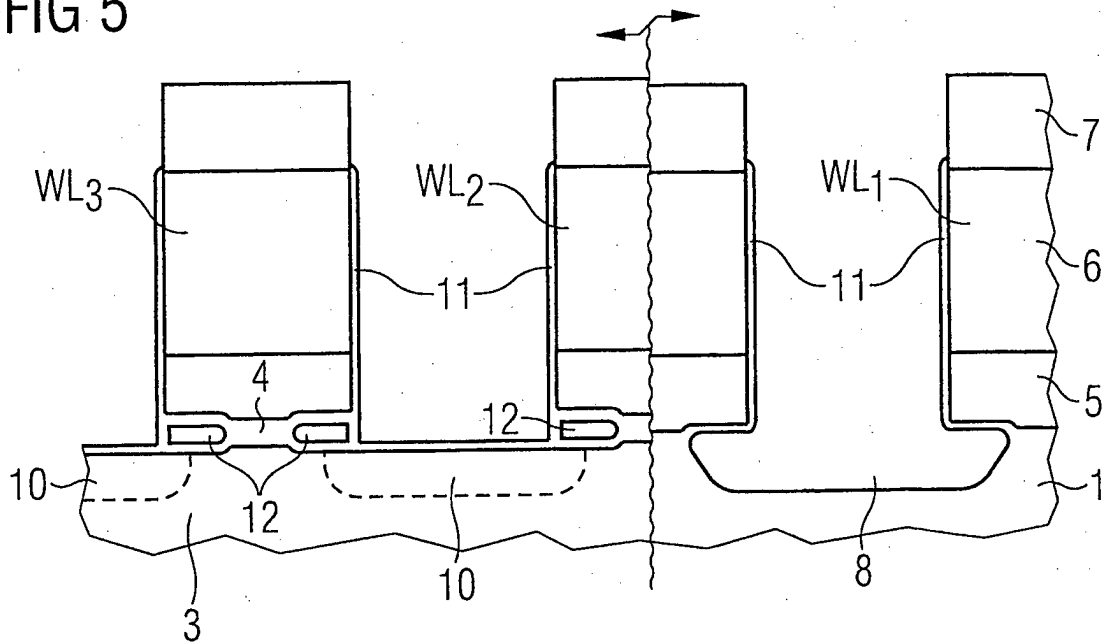


FIG 6

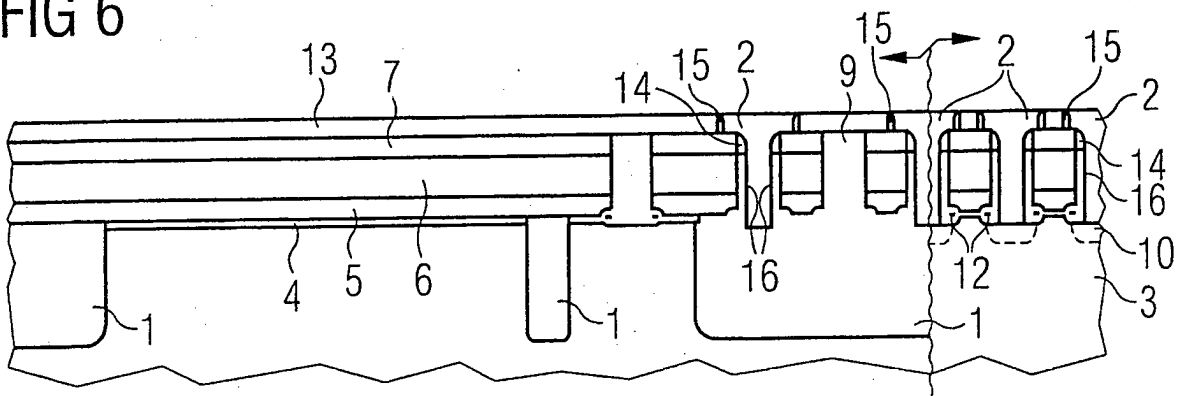


FIG 7

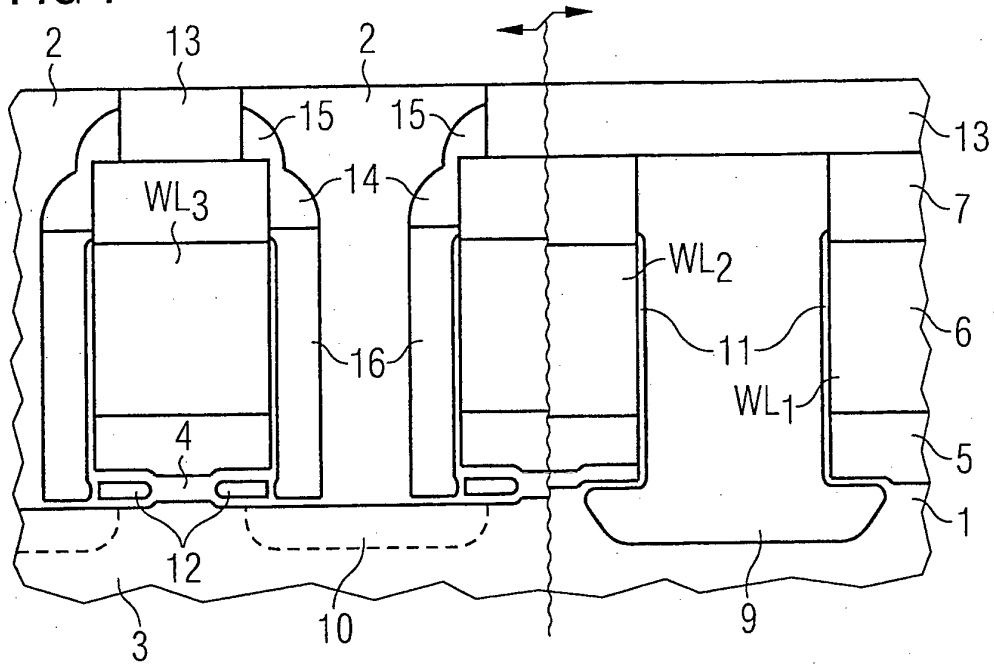


FIG 8

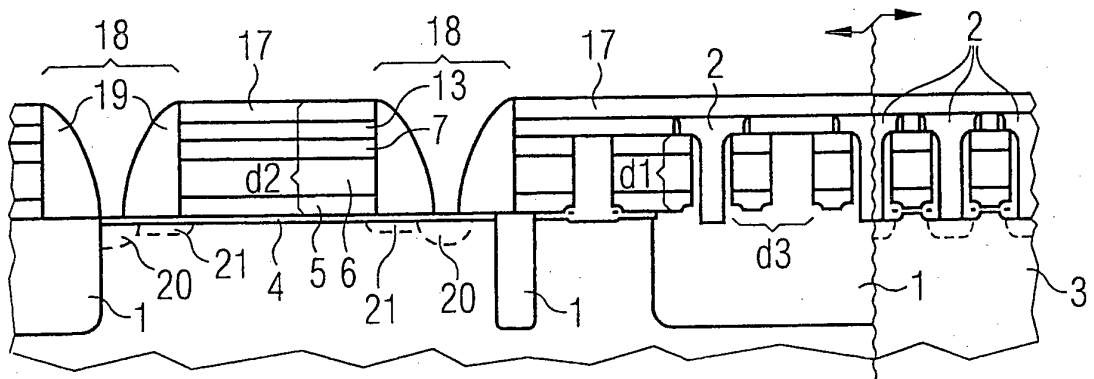


FIG 9

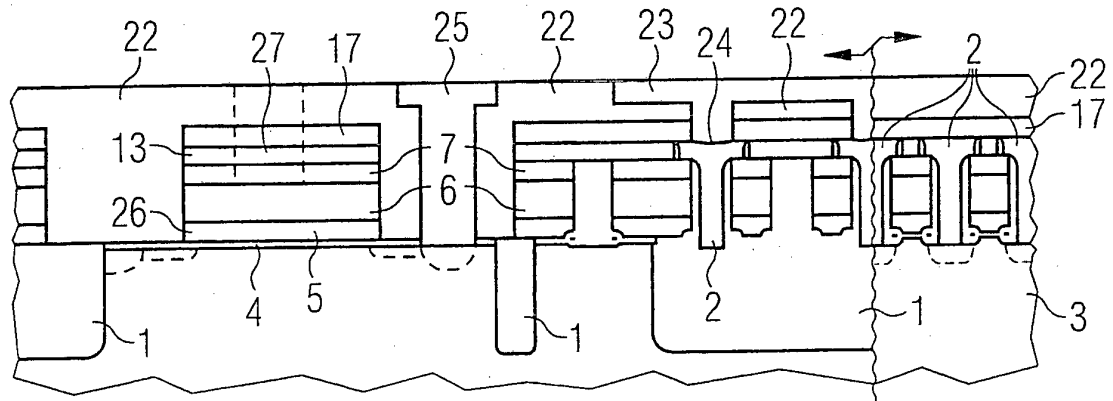


FIG 10

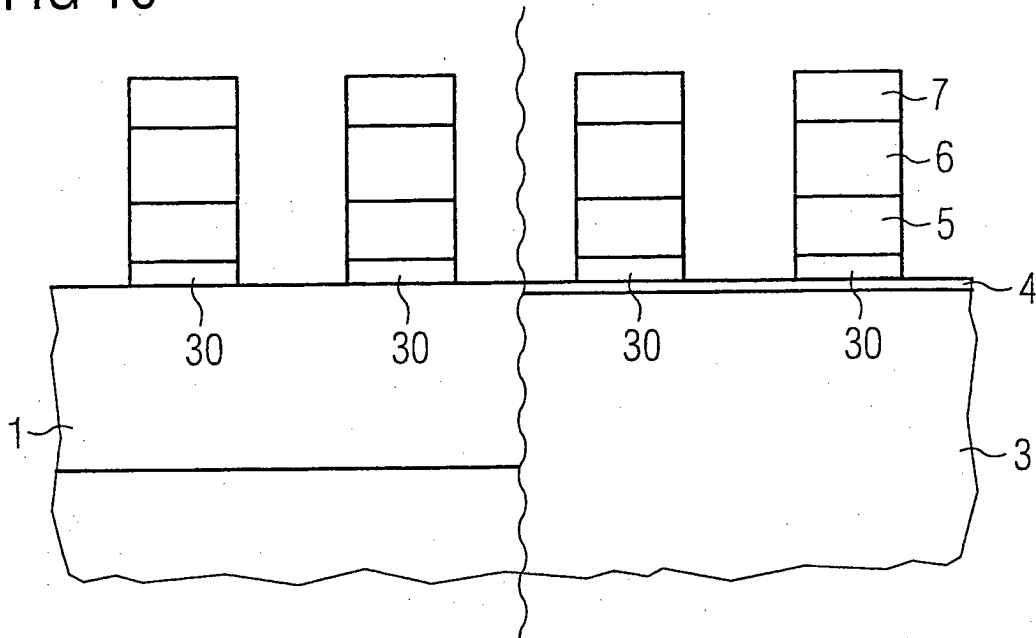


FIG 11

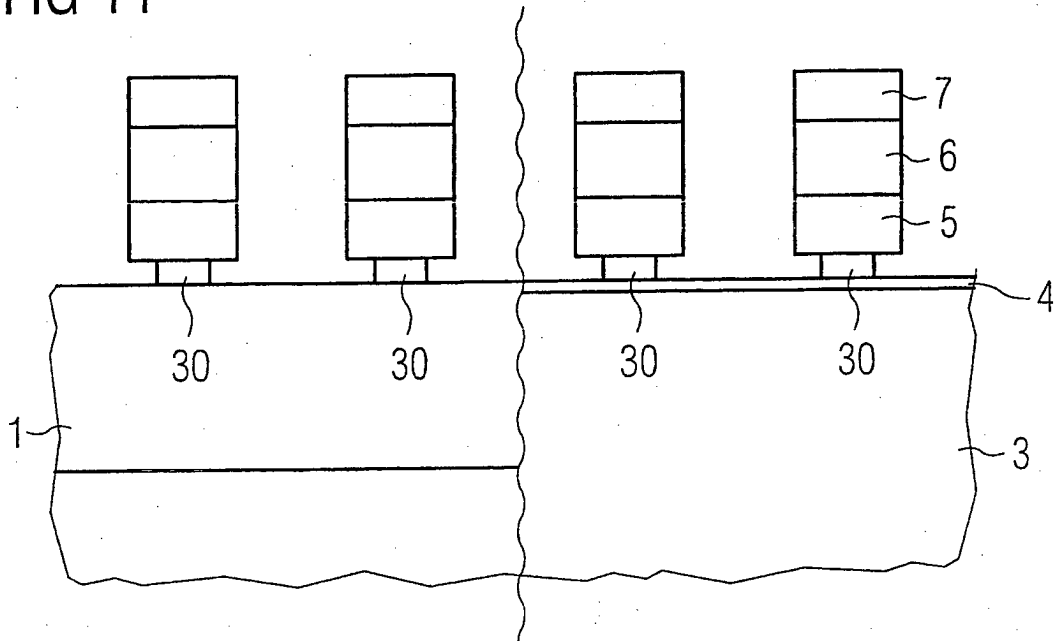


FIG 12

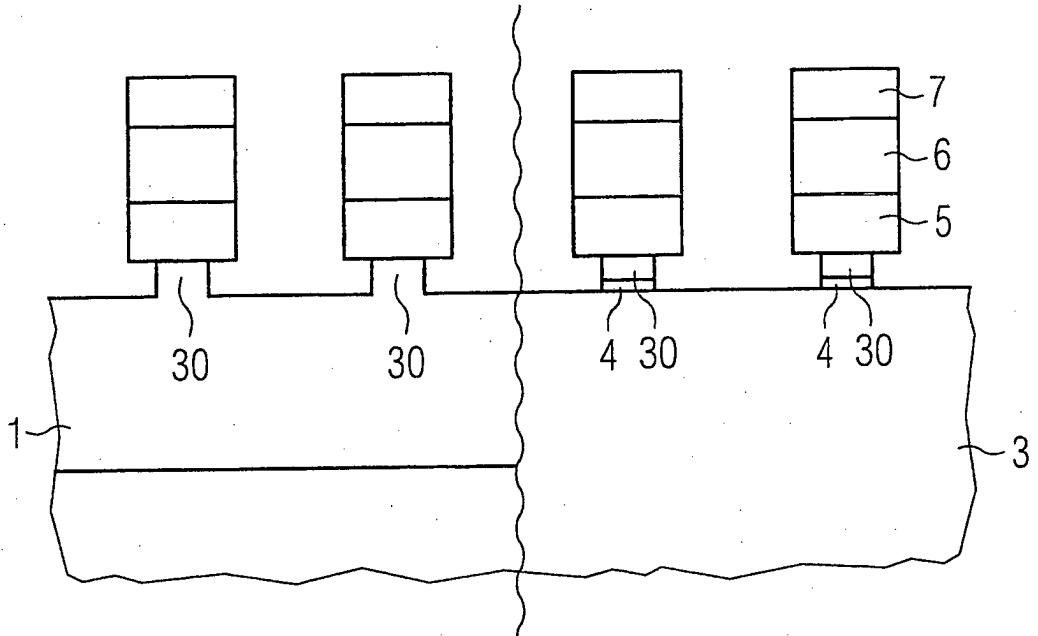


FIG 13

