



(10) **DE 11 2014 001 567 B4** 2020.09.10

(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2014 001 567.9**
(86) PCT-Aktenzeichen: **PCT/JP2014/057947**
(87) PCT-Veröffentlichungs-Nr.: **WO 2014/148640**
(86) PCT-Anmeldetag: **14.03.2014**
(87) PCT-Veröffentlichungstag: **25.09.2014**
(43) Veröffentlichungstag der PCT Anmeldung
in deutscher Übersetzung: **03.12.2015**
(45) Veröffentlichungstag
der Patenterteilung: **10.09.2020**

(51) Int Cl.: **G11C 11/405** (2006.01)
H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2013-060687 **22.03.2013** **JP**

(73) Patentinhaber:
**SEMICONDUCTOR ENERGY LABORATORY CO.,
LTD., Atsugi-shi, Kanagawa-ken, JP**

(74) Vertreter:
**Grünecker Patent- und Rechtsanwälte PartG
mbB, 80802 München, DE**

(72) Erfinder:
Onuki, Tatsuya, Atsugi-shi, Kanagawa, JP

(56) Ermittelter Stand der Technik:
US **2012 / 0 287 700** **A1**

(54) Bezeichnung: **Halbleitervorrichtung und Verfahren zum Betreiben der Halbleitervorrichtung**

(57) Hauptanspruch: Verfahren zum Betreiben einer Halbleitervorrichtung, die einen ersten Transistor (101), dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor (102) und einen Kondensator (103) beinhaltet, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist, wobei das Verfahren umfasst:

Anlegen einer niedrigen Spannung an eine Bitleitung (113) und eine erste Leitung (114), Anlegen einer hohen Spannung an eine Wortleitung (111), um den ersten Transistor (101) einzuschalten, und Anlegen einer niedrigen Spannung an eine Kondensator-Leitung (112), so dass der zweite Transistor (102) eingeschaltet wird, wobei:

die Wortleitung (111) elektrisch mit einem Gate des ersten Transistors (101) verbunden ist,

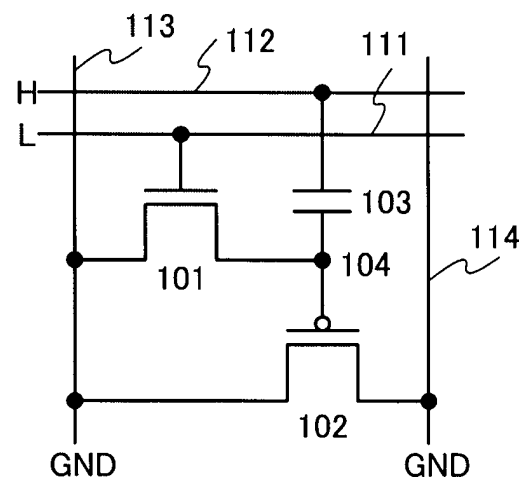
die erste Leitung (114) elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist,

die Bitleitung (113) elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist, und

die Kondensator-Leitung (112) elektrisch mit der anderen Elektrode des Kondensators (103) verbunden ist;

Anlegen einer ersten Spannung an die erste Leitung (114) und Unterbrechen des Anlegens der niedrigen Spannung

an die Bitleitung (113), so dass eine Spannung, die der ersten Spannung entspricht, von der ...



Beschreibung

Technisches Gebiet

[0001] Die vorliegende Erfindung betrifft einen Gegenstand, ein Verfahren oder ein Herstellungsverfahren. Insbesondere betrifft die vorliegende Erfindung beispielsweise eine Halbleitervorrichtung, eine Anzeigevorrichtung, eine Licht emittierende Vorrichtung, eine Energiespeichervorrichtung, ein Betriebsverfahren dafür oder ein Herstellungsverfahren dafür. Im Besonderen betrifft die vorliegende Erfindung beispielsweise eine Halbleitervorrichtung, eine Anzeigevorrichtung oder eine Licht emittierende Vorrichtung, die einen Oxidhalbleiter enthält.

Stand der Technik

[0002] Patentedokument 1 beschreibt eine Halbleitervorrichtung, die einen Transistor mit einem Oxidhalbleiterfilm und einen Transistor mit einkristallinem Silizium beinhaltet. Patentedokument 1 beschreibt es auch, dass ein Transistor mit einem Oxidhalbleiterfilm sehr geringen Sperrleckstrom aufweist. US 2012/0287700 A1 zeigt eine Verstärkerzelle-Halbleiterspeichervorrichtung mit zwei Transistoren und einem Kondensator.

[Patentedokument]

[0003] [Patentedokument 1] Japanische Patentoffenlegungsschrift JP 2012- 256 400 A

Offenbarung der Erfindung

[0004] Eine Ausführungsform der vorliegenden Erfindung stellt eine Halbleitervorrichtung zur Verfügung, die ein vorbestimmtes Potential schreiben und lesen kann. Eine Ausführungsform der vorliegenden Erfindung stellt eine Halbleitervorrichtung zur Verfügung, die keinen Prüfvorgang (verify operation) benötigt. Eine Ausführungsform der vorliegenden Erfindung stellt eine Halbleitervorrichtung zur Verfügung, die hohe Halteigenschaften beim Speichern von Multibit-Daten und hohe Zuverlässigkeit aufweist.

[0005] Es ist eine Aufgabe einer Ausführungsform der vorliegenden Erfindung, eine Halbleitervorrichtung oder dergleichen mit geringem Sperrstrom bereitzustellen. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine Halbleitervorrichtung oder dergleichen mit geringem Stromverbrauch bereitzustellen. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine Halbleitervorrichtung oder dergleichen bereitzustellen, die eine durchsichtige Halbleiterschicht beinhaltet. Eine weitere Aufgabe einer Ausführungsform der vorliegenden Erfindung ist, eine Halbleitervorrichtung oder dergleichen bereitzu-

stellen, die eine Halbleiterschicht mit hoher Zuverlässigkeit beinhaltet.

[0006] Es sei angemerkt, dass die Beschreibungen dieser Aufgaben dem Vorhandensein weiterer Aufgaben nicht im Wege stehen. Bei einer Ausführungsform der vorliegenden Erfindung ist es unnötig, alle Aufgaben zu erfüllen. Weitere Aufgaben werden aus der Erläuterung der Beschreibung, der Zeichnungen, der Patentansprüchen und dergleichen ersichtlich und können davon abgeleitet werden.

[0007] Eine Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die einen ersten Transistor, einen zweiten Transistor und einen Kondensator beinhaltet. Ein Bereich, in dem ein Kanal des ersten Transistors gebildet wird, umfasst einen Oxidhalbleiterfilm. Ein Gate des ersten Transistors ist elektrisch mit einer Wortleitung verbunden. Ein Anschluss von einer Source und einem Drain des ersten Transistors ist elektrisch mit einer Bitleitung verbunden. Der andere Anschluss von der Source und dem Drain des ersten Transistors ist elektrisch mit einer Elektrode des Kondensators und einem Gate des zweiten Transistors verbunden. Die andere Elektrode des Kondensators ist elektrisch mit einer Kondensator-Leitung verbunden. Ein Anschluss von einer Source und einem Drain des zweiten Transistors ist elektrisch mit einer ersten Leitung verbunden. Der andere Anschluss von der Source und dem Drain des zweiten Transistors ist elektrisch mit der Bitleitung verbunden. Ein Vorgang zum Schreiben von Daten umfasst einen ersten Schritt und einen zweiten Schritt. In dem ersten Schritt wird eine niedrige Spannung an die Bitleitung und die erste Leitung angelegt, eine hohe Spannung wird an die Wortleitung angelegt, um den ersten Transistor einzuschalten, und eine niedrige Spannung wird an die Kondensator-Leitung angelegt, so dass der zweite Transistor eingeschaltet wird. In dem zweiten Schritt wird eine erste Spannung an die erste Leitung angelegt, und das Anlegen der niedrigen Spannung an die Bitleitung wird unterbrochen. Um die Daten zu speichern, wird eine niedrige Spannung an die Wortleitung angelegt, um den ersten Transistor auszuschalten, eine niedrige Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine hohe Spannung wird an die Kondensator-Leitung angelegt, um den zweiten Transistor auszuschalten. Ein Vorgang zum Lesen von Daten umfasst einen dritten Schritt und einen vierten Schritt. In dem dritten Schritt wird eine hohe Spannung an die erste Leitung angelegt. In dem vierten Schritt wird das Anlegen der hohen Spannung an die erste Leitung unterbrochen, und eine niedrige Spannung wird an die Kondensator-Leitung angelegt. Durch den zweiten Schritt wird eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Bitleitung und die Source und den Drain des ersten

Transistors angelegt. Durch den vierten Schritt ändert sich eine Spannung der ersten Leitung von der hohen Spannung zu der ersten Spannung.

[0008] Eine Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die einen ersten Transistor, einen zweiten Transistor, einen dritten Transistor und einen Kondensator beinhaltet. Ein Bereich, in dem ein Kanal des ersten Transistors gebildet wird, umfasst einen Oxidhalbleiterfilm. Ein Gate des ersten Transistors ist elektrisch mit einer ersten Wortleitung verbunden. Ein Anschluss von einer Source und einem Drain des ersten Transistors ist elektrisch mit einer Bitleitung verbunden. Der andere Anschluss von der Source und dem Drain des ersten Transistors ist elektrisch mit einer Elektrode des Kondensators und einem Gate des zweiten Transistors verbunden. Eine niedrige Spannung wird an die andere Elektrode des Kondensators angelegt. Ein Anschluss von einer Source und einem Drain des zweiten Transistors ist elektrisch mit einer ersten Leitung verbunden. Der andere Anschluss von der Source und dem Drain des zweiten Transistors ist elektrisch mit einem Anschluss von einer Source und einem Drain des dritten Transistors verbunden. Ein Gate des dritten Transistors ist elektrisch mit einer zweiten Wortleitung verbunden. Der andere Anschluss von der Source und dem Drain des dritten Transistors ist elektrisch mit der Bitleitung verbunden. Ein Vorgang zum Schreiben von Daten umfasst einen ersten Schritt und einen zweiten Schritt. In dem ersten Schritt wird eine niedrige Spannung an die Bitleitung und die erste Leitung angelegt, eine hohe Spannung wird an die erste Wortleitung angelegt, um den ersten Transistor einzuschalten, die niedrige Spannung der Bitleitung wird an das Gate des zweiten Transistors angelegt, um den zweiten Transistor einzuschalten, und eine niedrige Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor einzuschalten. In dem zweiten Schritt wird die erste Spannung an die erste Leitung angelegt, und das Anlegen der niedrigen Spannung an die Bitleitung wird unterbrochen. Um die Daten zu speichern, wird eine niedrige Spannung an die erste Wortleitung angelegt, um den ersten Transistor auszuschalten, eine niedrige Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine hohe Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor auszuschalten. Ein Vorgang zum Lesen der Daten umfasst einen dritten Schritt und einen vierten Schritt. In dem dritten Schritt wird eine hohe Spannung an die erste Leitung angelegt. In dem vierten Schritt wird das Anlegen der hohen Spannung an die erste Leitung unterbrochen, und eine niedrige Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor einzuschalten. Durch den zweiten Schritt wird eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt. Durch den vierten Schritt ändert sich eine Spannung der ersten Leitung von der niedrigen Spannung zu der ersten Spannung.

dritten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt. Durch den vierten Schritt ändert sich eine Spannung der ersten Leitung von der hohen Spannung zu der ersten Spannung.

[0009] Eine Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die einen ersten Transistor, einen zweiten Transistor und einen Kondensator beinhaltet. Ein Bereich, in dem ein Kanal des ersten Transistors gebildet wird, umfasst einen Oxidhalbleiterfilm. Ein Gate des ersten Transistors ist elektrisch mit einer Wortleitung verbunden. Ein Anschluss von einer Source und einem Drain des ersten Transistors ist elektrisch mit einer Bitleitung verbunden. Der andere Anschluss von der Source und dem Drain des ersten Transistors ist elektrisch mit einer Elektrode des Kondensators und einem Gate des zweiten Transistors verbunden. Die andere Elektrode des Kondensators ist elektrisch mit einer Kondensator-Leitung verbunden. Ein Anschluss von einer Source und einem Drain des zweiten Transistors ist elektrisch mit einer ersten Leitung verbunden. Der andere Anschluss von der Source und dem Drain des zweiten Transistors ist elektrisch mit der Bitleitung verbunden. Ein Vorgang zum Schreiben von Daten umfasst einen ersten Schritt und einen zweiten Schritt. In dem ersten Schritt wird eine hohe Spannung an die Bitleitung und die erste Leitung angelegt, eine hohe Spannung wird an die Wortleitung angelegt, um den ersten Transistor einzuschalten, und eine hohe Spannung wird an die Kondensator-Leitung angelegt, so dass der zweite Transistor eingeschaltet wird. In dem zweiten Schritt wird eine erste Spannung an die erste Leitung angelegt, und das Anlegen der hohen Spannung an die Bitleitung wird unterbrochen. Um die Daten zu speichern, wird eine niedrige Spannung an die Wortleitung angelegt, um den ersten Transistor auszuschalten, eine hohe Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine niedrige Spannung wird an die Kondensator-Leitung angelegt, um den zweiten Transistor auszuschalten. Ein Vorgang zum Lesen der Daten umfasst einen dritten Schritt und einen vierten Schritt. In dem dritten Schritt wird eine niedrige Spannung an die erste Leitung angelegt. In dem vierten Schritt wird das Anlegen der niedrigen Spannung an die erste Leitung unterbrochen, und eine hohe Spannung wird an die Kondensator-Leitung angelegt. Durch den zweiten Schritt wird eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt. Durch den vierten Schritt ändert sich eine Spannung der ersten Leitung von der niedrigen Spannung zu der ersten Spannung.

[0010] Eine Ausführungsform der vorliegenden Erfindung ist eine Halbleitervorrichtung, die einen ers-

ten Transistor, einen zweiten Transistor, einen dritten Transistor und einen Kondensator beinhaltet. Ein Bereich, in dem ein Kanal des ersten Transistors gebildet wird, umfasst einen Oxidhalbleiterfilm. Ein Gate des ersten Transistors ist elektrisch mit einer ersten Wortleitung verbunden. Ein Anschluss von einer Source und einem Drain des ersten Transistors ist elektrisch mit einer Bitleitung verbunden. Der andere Anschluss von der Source und dem Drain des ersten Transistors ist elektrisch mit einer Elektrode des Kondensators und einem Gate des zweiten Transistors verbunden. Eine niedrige Spannung wird an die andere Elektrode des Kondensators angelegt. Ein Anschluss von einer Source und einem Drain des zweiten Transistors ist elektrisch mit einer ersten Leitung verbunden. Der andere Anschluss von der Source und dem Drain des zweiten Transistors ist elektrisch mit einem Anschluss von einer Source und einem Drain des dritten Transistors verbunden. Ein Gate des dritten Transistors ist elektrisch mit einer zweiten Wortleitung verbunden. Der andere Anschluss von der Source und dem Drain des dritten Transistors ist elektrisch mit der Bitleitung verbunden. Ein Vorgang zum Schreiben von Daten umfasst einen ersten Schritt und einen zweiten Schritt. In dem ersten Schritt wird eine hohe Spannung an die Bitleitung und die erste Leitung angelegt, eine hohe Spannung wird an die erste Wortleitung angelegt, um den ersten Transistor einzuschalten, die hohe Spannung der Bitleitung wird an das Gate des zweiten Transistors angelegt, um den zweiten Transistor einzuschalten, und eine hohe Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor einzuschalten. In dem zweiten Schritt wird die erste Spannung an die erste Leitung angelegt, und das Anlegen der hohen Spannung an die Bitleitung wird unterbrochen. Um die Daten zu speichern, wird eine niedrige Spannung an die erste Wortleitung angelegt, um den ersten Transistor auszuschalten, eine hohe Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine niedrige Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor auszuschalten. Ein Vorgang zum Lesen der Daten umfasst einen dritten Schritt und einen vierten Schritt. In dem dritten Schritt wird eine niedrige Spannung an die erste Leitung angelegt. In dem vierten Schritt wird eine hohe Spannung an die zweite Wortleitung angelegt, um den dritten Transistor einzuschalten, und das Anlegen der niedrigen Spannung an die erste Leitung wird unterbrochen. Durch den zweiten Schritt wird eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Source und den Drain des dritten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt. Durch den vierten Schritt ändert sich eine Spannung der ersten Leitung von der niedrigen Spannung zu der ersten Spannung.

[0011] Eine Ausführungsform der vorliegenden Erfindung ist ein Verfahren zum Betreiben einer Halbleitervorrichtung. Die Halbleitervorrichtung beinhaltet einen ersten Transistor, dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor und einen Kondensator, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors und einem Gate des zweiten Transistors verbunden ist. Bei dem Verfahren wird eine erste Spannung an eine Bitleitung und eine erste Leitung angelegt, eine zweite Spannung wird an eine Wortleitung angelegt, um den ersten Transistor einzuschalten, und eine dritte Spannung wird an eine Kondensator-Leitung angelegt, so dass der zweite Transistor eingeschaltet wird. Die Wortleitung ist elektrisch mit einem Gate des ersten Transistors verbunden. Die erste Leitung ist elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors verbunden. Die Bitleitung ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors und dem anderen Anschluss von der Source und dem Drain des zweiten Transistors verbunden. Die Kondensator-Leitung ist elektrisch mit der anderen Elektrode des Kondensators verbunden. Bei dem Verfahren wird eine vierte Spannung an die erste Leitung angelegt, und das Anlegen der ersten Spannung an die Bitleitung wird unterbrochen, so dass eine Spannung, die der vierten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt wird. Eine fünfte Spannung wird an die Wortleitung angelegt, um den ersten Transistor auszuschalten, eine sechste Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine siebte Spannung wird an die Kondensator-Leitung angelegt, um den zweiten Transistor auszuschalten. Eine achte Spannung wird an die erste Leitung angelegt. Das Anlegen der achten Spannung an die erste Leitung wird unterbrochen, und eine neunte Spannung wird an die Kondensator-Leitung angelegt, so dass sich eine Spannung der ersten Leitung von der achten Spannung zu der vierten Spannung ändert.

[0012] Bei der einen Ausführungsform der vorliegenden Erfindung ist die zweite Spannung vorzugsweise höher als die fünfte Spannung. Die siebte Spannung ist vorzugsweise höher als die dritte Spannung und die neunte Spannung. Die erste Spannung und die sechste Spannung sind jeweils vorzugsweise eine Stromversorgungsspannung oder eine Bezugsspannung. Die achte Spannung ist vorzugsweise höher als die vierte Spannung.

[0013] Bei der einen Ausführungsform der vorliegenden Erfindung ist die zweite Spannung vorzugsweise höher als die fünfte Spannung. Die siebte Spannung ist vorzugsweise niedriger als die dritte Spannung und die neunte Spannung. Die erste Spannung,

die sechste Spannung und die achte Spannung sind jeweils vorzugsweise eine Stromversorgungsspannung oder eine Bezugsspannung.

[0014] Eine Ausführungsform der vorliegenden Erfindung ist ein Verfahren zum Betreiben einer Halbleitervorrichtung. Die Halbleitervorrichtung beinhaltet einen ersten Transistor, dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor, einen dritten Transistor und einen Kondensator, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors und einem Gate des zweiten Transistors verbunden ist. Bei dem Verfahren wird eine erste Spannung an eine Bitleitung und eine erste Leitung angelegt, eine zweite Spannung wird an eine erste Wortleitung angelegt, um den ersten Transistor einzuschalten, die erste Spannung der Bitleitung wird an das Gate des zweiten Transistors angelegt, um den zweiten Transistor einzuschalten, und eine dritte Spannung wird an eine zweite Wortleitung angelegt, um den dritten Transistor einzuschalten. Die erste Wortleitung ist elektrisch mit einem Gate des ersten Transistors verbunden. Die zweite Wortleitung ist elektrisch mit einem Gate des dritten Transistors verbunden. Die erste Leitung ist elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors verbunden. Ein Anschluss von einer Source und einem Drain des dritten Transistors ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des zweiten Transistors verbunden. Die Bitleitung ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors und dem anderen Anschluss von der Source und dem Drain des dritten Transistors verbunden. Die andere Elektrode des Kondensators ist elektrisch mit einem Bezugspotentialanschluss oder einem Stromversorgungspotentialanschluss verbunden. Bei dem Verfahren wird eine vierte Spannung an die erste Leitung angelegt, und das Anlegen der ersten Spannung an die Bitleitung wird unterbrochen, so dass eine Spannung, die der vierten Spannung entspricht, von der ersten Leitung an das Gate des zweiten Transistors über die Source und den Drain des zweiten Transistors, die Source und den Drain des dritten Transistors, die Bitleitung und die Source und den Drain des ersten Transistors angelegt wird. Eine fünfte Spannung wird an die erste Wortleitung angelegt, um den ersten Transistor auszuschalten, eine sechste Spannung wird an die Bitleitung und die erste Leitung angelegt, und eine siebte Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor auszuschalten. Eine achte Spannung wird an die erste Leitung angelegt. Das Anlegen der achten Spannung an die erste Leitung wird unterbrochen, und eine neunte Spannung wird an die zweite Wortleitung angelegt, um den dritten Transistor einzuschalten, so dass sich eine Spannung der ersten Leitung von der achten Spannung zu der vierten Spannung ändert.

[0015] Bei der einen Ausführungsform der vorliegenden Erfindung ist die zweite Spannung vorzugsweise höher als die fünfte Spannung. Die siebte Spannung ist vorzugsweise höher als die dritte Spannung und die neunte Spannung. Die sechste Spannung ist vorzugsweise eine Stromversorgungsspannung oder eine Bezugsspannung.

[0016] Bei der einen Ausführungsform der vorliegenden Erfindung ist die zweite Spannung vorzugsweise höher als die fünfte Spannung. Die siebte Spannung ist vorzugsweise niedriger als die dritte Spannung und die neunte Spannung. Die sechste Spannung und die achte Spannung sind jeweils vorzugsweise eine Stromversorgungsspannung oder eine Bezugsspannung.

[0017] Bei einer Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung können Schwankungen einer Lesespannung gering sein. Eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung benötigt keinen Prüfvorgang. Eine Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung weist hohe Halteigenschaften beim Speichern von Multibit-Daten und hohe Zuverlässigkeit auf.

Figurenliste

Fig. 1 ist ein Schaltplan einer Halbleitervorrichtung.

Fig. 2 ist ein Ablaufdiagramm.

Fig. 3A bis **Fig. 3E** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 4 ist ein Ablaufdiagramm.

Fig. 5A bis **Fig. 5D** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 6 ist ein Schaltplan einer Halbleitervorrichtung.

Fig. 7 ist ein Schaltplan eines Zeilenauswahltreibers (row selection driver).

Fig. 8 ist ein Schaltplan eines Spaltenauswahltreibers (column selection driver).

Fig. 9 ist ein Schaltplan eines A/D-Wandlers.

Fig. 10 ist ein Schaltplan einer Halbleitervorrichtung.

Fig. 11 ist ein Ablaufdiagramm.

Fig. 12 ist ein Ablaufdiagramm.

Fig. 13A und **Fig. 13B** sind Schaltpläne einer Halbleitervorrichtung.

Fig. 14 ist ein Ablaufdiagramm.

Fig. 15A bis **Fig. 15E** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 16 ist ein Ablaufdiagramm.

Fig. 17A bis **Fig. 17D** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 18 ist ein Schaltplan einer Halbleitervorrichtung.

Fig. 19 ist ein Ablaufdiagramm.

Fig. 20A bis **Fig. 20E** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 21 ist ein Ablaufdiagramm.

Fig. 22A bis **Fig. 22D** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 23A und **Fig. 23B** sind Schaltpläne einer Halbleitervorrichtung.

Fig. 24 ist ein Ablaufdiagramm.

Fig. 25A bis **Fig. 25E** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 26 ist ein Ablaufdiagramm.

Fig. 27A bis **Fig. 27D** zeigen eine Arbeitsweise einer Halbleitervorrichtung.

Fig. 28 ist eine Querschnittsansicht einer Halbleitervorrichtung.

Fig. 29A und **Fig. 29B** sind Querschnittsansichten von Transistoren.

Fig. 30A bis **Fig. 30F** stellen elektronische Geräte dar.

Beste Art zum Ausführen der Erfindung

[0018] Nachfolgend werden Ausführungsformen und Beispiele der vorliegenden Erfindung anhand der Zeichnungen beschrieben. Es sei angemerkt, dass die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt ist. Es ist für den Fachmann leicht ersichtlich, dass verschiedene Veränderungen und Abwandlungen vorgenommen werden können, ohne vom Erfindungsgedanken und Schutzbereich der vorliegenden Erfindung abzuweichen. Daher sollte die vorliegende Erfindung nicht als auf die folgende Beschreibung der Ausführungsformen beschränkt angesehen werden. Es sei angemerkt, dass beim Beschreiben der Struktur der vorliegenden Erfindung anhand der Zeichnung Bezugszeichen für die gleichen Teile in verschiedenen Zeichnungen gemeinsam verwendet werden.

[0019] In dieser Beschreibung bedeutet der Begriff „Verbindung“ eine elektrische Verbindung und entspricht dem Zustand, in dem ein Strom, eine Spannung oder ein Potential zugeführt oder übertragen werden kann. Demgemäß ist mit einem Verbindungszustand nicht nur ein Zustand einer direkten Verbindung gemeint, sondern auch ein Zustand einer elektrischen Verbindung über ein Schaltungselement wie

z. B. eine Leitung, einen Widerstand, eine Diode oder einen Transistor, so dass ein Strom, eine Spannung oder ein Potential zugeführt oder übertragen werden kann.

[0020] Obwohl das Blockdiagramm, das dieser Beschreibung beigelegt ist, Bestandteile zeigt, die entsprechend ihren Funktionen in unabhängige Blöcke klassifiziert sind, ist es schwierig, tatsächliche Bestandteile vollständig entsprechend ihren Funktionen zu klassifizieren, und ein Bestandteil kann eine Vielzahl von Funktionen aufweisen.

[0021] Es sei angemerkt, dass eine „Source“ eines Transistors einen Source-Bereich, der ein Teil eines Halbleiterfilms ist, der als aktive Schicht dient, oder eine Source-Elektrode bedeutet, die elektrisch mit dem Halbleiterfilm verbunden ist. Ähnlicherweise bedeutet ein „Drain“ eines Transistors einen Drain-Bereich, der ein Teil eines Halbleiterfilms ist, der als aktive Schicht dient, oder eine Drain-Elektrode, die elektrisch mit dem Halbleiterfilm verbunden ist. Ein „Gate“ bedeutet eine Gate-Elektrode.

[0022] Die Begriffe „Source“ und „Drain“ eines Transistors werden in Abhängigkeit von dem Typ des Kanals des Transistors oder Levels von Potentialen, die an die Anschlüsse angelegt werden, ausgetauscht. Im Allgemeinen wird bei einem n-Kanal-Transistor ein Anschluss, an den ein niedrigeres Potential angelegt wird, als Source bezeichnet, und ein Anschluss, an den ein höheres Potential angelegt wird, wird als Drain bezeichnet. Ferner wird bei einem p-Kanal-Transistor ein Anschluss, an den ein niedrigeres Potential angelegt wird, als Drain bezeichnet, und ein Anschluss, an den ein höheres Potential angelegt wird, wird als Source bezeichnet. Obwohl in dieser Beschreibung eine Verbindungsbeziehung des Transistors in einigen Fällen der Einfachheit halber in der Annahme beschrieben wird, dass die Source und der Drain festgelegt sind, werden tatsächlich die Namen, die Source und der Drain, in Abhängigkeit von der Beziehung der Potentiale ausgetauscht.

[0023] Es sei angemerkt, dass, was bei einer Ausführungsform beschrieben wird (oder ein Teil davon), auf, mit oder durch einen anderen Inhalt der gleichen Ausführungsform und/oder was bei einer anderen Ausführungsform oder anderen Ausführungsformen beschrieben wird (oder einen Teil davon), angewendet, kombiniert oder ersetzt werden kann.

[0024] Es sei angemerkt, dass die Größe, die Dicke von Schichten oder Bereiche in den Zeichnungen der Einfachheit halber manchmal übertrieben ist/sind. Somit sind Ausführungsformen der vorliegenden Erfindung nicht auf solche Größenverhältnisse beschränkt.

[0025] Es sei angemerkt, dass Zeichnungen schematische Ansichten idealer Beispiele sind und die Ausführungsformen der vorliegenden Erfindung nicht auf die Form oder den Wert in den Zeichnungen beschränkt sind. Beispielsweise können die folgenden Schwankungen enthalten sein: Schwankungen der Form wegen einer Herstellungstechnik oder dimensionaler Abweichung, oder Schwankungen eines Signals, einer Spannung oder eines Stroms wegen eines Rauschens oder eines Zeitunterschiedes.

[0026] Eine Spannung bezeichnet im Allgemeinen einen Potentialunterschied zwischen einem bestimmten Potential und einem Bezugspotential (z. B. einem Source-Potential oder einem Erdpotential (GND)). Eine Spannung kann Potential genannt werden und umgekehrt. Hier ist die Spannung jeder Leitung oder jedes Anschlusses eine relative Spannung, und es ist wichtig, ob die Spannung höher oder niedriger ist als eine Bezugsspannung. Daher bedeutet GND nicht immer 0 V. Das Gleiche gilt auch für die Zeichnungen; GND in den Zeichnungen bedeutet nicht immer 0 V.

[0027] Auch wenn der Ausdruck „elektrisch verbinden“ in dieser Beschreibung verwendet wird, gibt es einen Fall, in dem in einer realen Schaltung keine physikalische Verbindung gebildet ist und eine Leitung einfach verlängert ist.

[0028] Es sei angemerkt, dass die Ordnungszahlen wie z. B. „erster“ und „zweiter“ in dieser Beschreibung aus Gründen der Einfachheit benutzt werden und nicht die Reihenfolge von Schritten oder die Reihenfolge der angeordneten Schichten bezeichnen. Des Weiteren bezeichnen die Ordnungszahlen in dieser Beschreibung keine besonderen Namen, die die vorliegende Erfindung bestimmen.

[0029] Es sei angemerkt, dass ein „Halbleiter“ in einigen Fällen Eigenschaften eines „Isolators“ aufweist, wenn z. B. die Leitfähigkeit genügend niedrig ist. Des Weiteren kann man einen „Halbleiter“ und einen „Isolator“ in einigen Fällen nicht genau voneinander unterscheiden, da eine Grenze zwischen dem „Halbleiter“ und dem „Isolator“ nicht eindeutig ist. Dementsprechend kann ein „Halbleiter“ in dieser Beschreibung in einigen Fällen als „Isolator“ bezeichnet werden. Ähnlicherweise kann ein „Isolator“ in dieser Beschreibung in einigen Fällen als „Halbleiter“ bezeichnet werden.

[0030] Ferner weist ein „Halbleiter“ in einigen Fällen Eigenschaften eines „Leiters“ auf, wenn z. B. die Leitfähigkeit genügend hoch ist. Des Weiteren kann man einen „Halbleiter“ und einen „Leiter“ in einigen Fällen nicht genau voneinander unterscheiden, da eine Grenze zwischen dem „Halbleiter“ und dem „Isolator“ nicht eindeutig ist. Dementsprechend kann ein „Halbleiter“ in dieser Beschreibung in einigen Fällen als „Leiter“ bezeichnet werden. Ähnlicherweise kann

ein „Leiter“ in dieser Beschreibung in einigen Fällen als „Halbleiter“ bezeichnet werden.

[0031] In dieser Beschreibung bedeutet der Begriff „parallel“, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich -10° und kleiner als oder gleich 10° ist, und umfasst daher auch den Fall, in dem der Winkel größer als oder gleich -5° und kleiner als oder gleich 5° ist. Außerdem bedeutet der Begriff „senkrecht“, dass der Winkel, der zwischen zwei geraden Linien gebildet ist, größer als oder gleich 80° und kleiner als oder gleich 100° ist, und umfasst daher auch den Fall, in dem der Winkel größer als oder gleich 85° und kleiner als oder gleich 95° ist.

[0032] In dieser Beschreibung sind trigonale und rhomboedrische Kristallsysteme in einem hexagonalen Kristallsystem enthalten.

(Ausführungsform 1)

[0033] Fig. 1 stellt eine Halbleitervorrichtung **100** dar. Die Halbleitervorrichtung **100** beinhaltet einen Transistor **101**, einen Transistor **102** und einen Kondensator **103**. Die Halbleitervorrichtung **100** kann als Speicherzelle dienen und wird auch als Speicherzelle **100** bezeichnet.

[0034] Ein Bereich, in dem ein Kanal des Transistors **101** gebildet wird, weist eine Oxidhalbleiterschicht auf. Der Transistor **101** beinhaltet die Oxidhalbleiterschicht. Folglich ist der Sperrstrom des Transistors **101** sehr gering.

[0035] Der Transistor **101** ist ein n-Kanal-Transistor oder ein p-Kanal-Transistor. Nachfolgend wird der Fall beschrieben, in dem der Transistor **101** ein n-Kanal-Transistor ist.

[0036] Ein Gate des Transistors **101** ist elektrisch mit einer Leitung **111** verbunden. Die Leitung **111** kann als Wortleitung dienen.

[0037] Ein Anschluss von einer Source und einem Drain des Transistors **101** ist elektrisch mit einer Leitung **113** verbunden. Die Leitung **113** kann als Bitleitung dienen.

[0038] Der andere Anschluss von der Source und dem Drain des Transistors **101** ist elektrisch mit einer Elektrode des Kondensators **103** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **101** ist elektrisch mit einem Gate des Transistors **102** verbunden.

[0039] Eine Schicht, die verschiedene Materialien, wie z. B. einen Oxidhalbleiter und Silizium, enthält, kann für einen Bereich, in dem ein Kanal des Transis-

tors **102** gebildet wird, verwendet werden. Der Transistor **102** ist ein p-Kanal-Transistor.

[0040] Ein Anschluss von einer Source und einem Drain des Transistors **102** ist elektrisch mit einer Leitung **114** verbunden. Die Leitung **114** kann als Signalleitung, Source-Leitung oder Stromversorgungsleitung dienen.

[0041] Der andere Anschluss von der Source und dem Drain des Transistors **102** ist elektrisch mit der Leitung **113** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **102** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **101** verbunden.

[0042] Die eine Elektrode des Kondensators **103** ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des Transistors **101** verbunden. Die eine Elektrode des Kondensators **103** ist elektrisch mit dem Gate des Transistors **102** verbunden.

[0043] Die andere Elektrode des Kondensators **103** ist elektrisch mit einer Leitung **112** verbunden. Die Leitung **112** kann als Kondensator-Leitung dienen.

[0044] Ein Vorgang zum Schreiben von Daten in die Halbleitervorrichtung **100** und ein Vorgang zum Lesen von Daten von der Halbleitervorrichtung **100** werden beschrieben.

(Schreibvorgang)

[0045] Zuerst wird ein Beispiel für den Schreibvorgang beschrieben. **Fig. 2** ist ein Ablaufdiagramm. **Fig. 3A** bis **Fig. 3E** stellen eine Arbeitsweise der Halbleitervorrichtung **100** dar. Als Beispiel wird eine zu lesende Spannung als **V1** bezeichnet, und ein Vorgang zum Schreiben von Daten durch Änderung des Potentials eines Knotens **104** (des Gate-Potentials des Transistors **102**) auf **V2** wird beschrieben. Da verschiedene Spannungen beim Speichern von Multibit-Daten angelegt werden müssen, ist es vorteilhaft, dass man **V1** frei einstellen kann.

[0046] Ein Vorgang zum Schreiben von Daten wird durch einen ersten Schritt und einen zweiten Schritt durchgeführt. In dem ersten Schritt wird eine niedrige Spannung an die Leitungen **113** und **114** angelegt, eine hohe Spannung wird an die Leitung **111** angelegt, um den Transistor **101** einzuschalten, und eine niedrige Spannung wird an die Leitung **112** angelegt, so dass der Transistor **102** eingeschaltet wird. In dem zweiten Schritt wird die Spannung **V1** an die Leitung **114** angelegt, und das Anlegen der niedrigen Spannung an die Leitung **113** wird unterbrochen.

[0047] Durch den zweiten Schritt wird ein Potential **V2**, das den Daten (der Spannung **V1**) entspricht, von der Leitung **114** an den Knoten **104** über die Source

und den Drain des Transistors **102**, die Leitung **113** und die Source und den Drain des Transistors **101** angelegt. Dann wird das Potential **V2** an das Gate des Transistors **102** angelegt. Eine elektrische Ladung, die **V2** entspricht, wird in dem Kondensator **103** akkumuliert.

[0048] **Fig. 3A** zeigt einen Anfangszustand der Halbleitervorrichtung **100**. In **Fig. 2** ist der Anfangszustand durch (A) dargestellt.

[0049] Ein Signal bei einer niedrigen Spannung (auch als L-Spannung bezeichnet) wird an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** ausgeschaltet. Die niedrige Spannung ist eine Spannung, bei der der Transistor **101** ausgeschaltet wird. Die niedrige Spannung kann eine Bezugsspannung (GND), eine Stromversorgungsspannung (VDD oder VSS) oder eine weitere Spannung sein.

[0050] Ein Signal bei einer hohen Spannung (auch als H-Spannung bezeichnet) wird an die Leitung **112** eingegeben. Eine Spannung, die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt, und demzufolge wird der Transistor **102** ausgeschaltet. Die hohe Spannung ist eine Spannung, bei der der Transistor **102** ausgeschaltet wird. Die hohe Spannung kann eine Stromversorgungsspannung (VDD) oder eine weitere Spannung sein.

[0051] Eine niedrige Spannung (GND) wird an die Leitungen **113** und **114** angelegt. Folglich können die Leitungen **113** und **114** mit der niedrigen Spannung vorgeladen (precharged) werden. Die niedrige Spannung ist hier die Bezugsspannung (GND) aber kann eine Stromversorgungsspannung (VSS) oder eine weitere Spannung sein.

[0052] **Fig. 3B** zeigt einen Schreibvorbereitungszustand. In **Fig. 2** ist der Zustand durch (B) dargestellt.

[0053] Zu einem Zeitpunkt **t1** wird ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** eingeschaltet. Die hohe Spannung ist eine Spannung, bei der der Transistor **101** eingeschaltet wird. Die hohe Spannung kann eine Stromversorgungsspannung (VDD) oder eine weitere Spannung sein.

[0054] Der Transistor **101** wird eingeschaltet, so dass die Leitung **113** und der Knoten **104** elektrisch miteinander verbunden werden. Das Potential des Knotens **104** wird auf die niedrige Spannung (GND) verringert.

[0055] Zu dem Zeitpunkt **t1** wird ein Signal bei einer niedrigen Spannung an die Leitung **112** eingegeben. Eine Spannung, die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt, und demzufolge wird der Transistor **102** ausgeschaltet.

sators **103** entspricht, wird an den Knoten **104** angelegt. Der Transistor **101** wird eingeschaltet, und eine niedrige Spannung wird an die Leitung **112** angelegt, so dass der Transistor **102** eingeschaltet wird. Die niedrige Spannung ist eine Spannung, bei der der Transistor **102** eingeschaltet wird. Die niedrige Spannung kann eine Bezugsspannung (GND), die Stromversorgungsspannung (VSS) oder eine weitere Spannung sein.

[0056] Eine niedrige Spannung wird an die Leitungen **113** und **114** angelegt, und die Transistoren **101** und **102** werden eingeschaltet. So wird der erste Schritt abgeschlossen.

[0057] **Fig. 3C** und **Fig. 3D** zeigen einen Schreibzustand. In **Fig. 2** ist der Zustand durch (C) und (D) dargestellt.

[0058] Zu einem Zeitpunkt t_2 wird die Spannung **V1** an die Leitung **114** angelegt (**Fig. 3C**). Die Spannung **V1** ist eine durch einen Lesevorgang zu lesende Spannung. Der Level von **V1** kann in Abhängigkeit von zu schreibenden Daten frei eingestellt werden.

[0059] Zu dem Zeitpunkt t_2 wird eine Zuführung der niedrigen Spannung (GND) zu der Leitung **113** unterbrochen (**Fig. 3C**). Dabei wird die Leitung **113** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **113** leicht durch Laden oder Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **113** ausgeschaltet wird.

[0060] Da der Transistor **102** eingeschaltet ist, ist die Leitung **113** elektrisch mit der Leitung **114** verbunden. Die Spannung der Leitung **113** wird von der vorgeladenen niedrigen Spannung (GND) auf V_2' geändert (**Fig. 3D**). Es sei angemerkt, dass der Unterschied zwischen V_2' und V_1 ungefähr die Schwellenspannung des Transistors **102** ist.

[0061] Da der Transistor **101** eingeschaltet ist, werden Daten von der Leitung **114** in den Knoten **104** (das Gate des Transistors **102**) über die Source und den Drain des Transistors **102**, die Leitung **113** und die Source und den Drain des Transistors **101** geschrieben. Eine elektrische Ladung wird in dem Kondensator **103** akkumuliert. Das Potential des Knotens **104** wird auf V_2 geändert.

[0062] Das Potential des Knotens **104** wird auf V_2 geändert, und folglich wird ein Potentialunterschied zwischen dem Gate des Transistors **102** und der Source des Transistors **102** klein; als Ergebnis wird ein Strom (I_d) gering, der zwischen der Source und dem Drain des Transistors **102** fließt. Der Transistor **102** wird schließlich ausgeschaltet.

[0063] Bei der Halbleitervorrichtung **100** werden V_1 , V_2' und V_2 an die Leitung **114**, die Leitung **113** bzw. den Knoten **104** angelegt.

[0064] Die Spannung **V1** wird an die Leitung **114** angelegt, und das Anlegen der niedrigen Spannung an die Leitung **113** wird unterbrochen, so dass der zweite Schritt abgeschlossen wird.

[0065] Durch die vorstehenden Schritte wird die zu lesende Spannung **V1** an die Leitung **114** angelegt, und das Potential des Knotens **104** wird auf V_2 geändert, so dass der Schreibvorgang abgeschlossen wird.

[0066] **Fig. 3E** zeigt einen Zustand nach dem Schreibvorgang und vor der Datenhaltung. In **Fig. 2** ist der Zustand durch (E) dargestellt.

[0067] Zu einem Zeitpunkt t_3 wird ein Signal bei einer niedrigen Spannung an die Leitung **111** eingegeben. Der Transistor **101** wird ausgeschaltet. Der Knoten **104** und die Leitung **113** sind elektrisch nicht verbunden. Der Transistor **101** weist ein Merkmal, einen sehr geringen Sperrstrom, auf, und daher wird das Potential (V_2) des Knotens **104** gehalten.

[0068] Vor einem Zeitpunkt t_4 wird die hohe Spannung an die Leitung **112** angelegt, die niedrige Spannung (GND) wird an die Leitung **113** angelegt, und die niedrige Spannung (GND) wird an die Leitung **114** angelegt.

[0069] Die hohe Spannung wird an die Leitung **112** angelegt, so dass das Potential des Knotens **104** von V_2 auf eine Spannung, bei der der Transistor **102** ausgeschaltet wird, geändert wird.

[0070] Zu dem Zeitpunkt t_4 wird der Zustand zu dem Haltezustand. In **Fig. 2** ist der Zustand durch (F) dargestellt. Der Zustand der Halbleitervorrichtung **100** ist gleich dem Zustand der Halbleitervorrichtung **100** in **Fig. 3A**, außer dass die Knoten **104** unterschiedliche Potentiale aufweisen. Der Transistor **101** ist ausgeschaltet.

[0071] Es sei angemerkt, dass eine niedrige Spannung an die Leitung **114** in (A) und (F) in **Fig. 2** angelegt wird, aber eine hohe Spannung kann an die Leitung **114** in (A) und (F) in **Fig. 2** angelegt werden. In dem Fall, in dem eine hohe Spannung an die Leitung **114** angelegt ist, kann die Spannung in einigen Fällen schnell geändert werden, wenn der Zustand von dem Zustand (E) zu dem Zustand (F) geändert wird, d. h. eine hohe Spannung an die Leitung **114** angelegt wird.

(Lesevorgang)

[0072] Als Nächstes wird ein Beispiel für einen Vorgang zum Lesen der Spannung **V1** basierend auf einer elektrischen Ladung beschrieben, die durch den Schreibvorgang geschrieben worden ist. **Fig. 4** ist ein Ablaufdiagramm. **Fig. 5A** bis **Fig. 5D** zeigen eine Arbeitsweise der Halbleitervorrichtung **100**.

[0073] Ein Vorgang zum Lesen von Daten wird durch einen dritten Schritt, in dem eine hohe Spannung an die Leitung **114** angelegt wird, und einen vierten Schritt durchgeführt, in dem das Anlegen der hohen Spannung an die Leitung **114** unterbrochen wird und eine niedrige Spannung an die Leitung **112** angelegt wird. Durch den vierten Schritt wird die Spannung der Leitung **114** von der hohen Spannung zu der Spannung **V1** geändert.

[0074] **Fig. 5A** zeigt einen Haltezustand der Halbleitervorrichtung **100**. In **Fig. 4** ist der Haltezustand durch (A) dargestellt.

[0075] **Fig. 5B** zeigt einen Lesevorbereitungszustand. In **Fig. 4** ist der Zustand durch (B) dargestellt.

[0076] Zu dem Zeitpunkt **t5** wird eine hohe Spannung (VDD) an die Leitung **114** angelegt. Die Leitung **114** kann mit der hohen Spannung vorgeladen werden. Die hohe Spannung ist hier die Stromversorgungsspannung (VDD) aber kann eine weitere Spannung sein. Die hohe Spannung ist vorzugsweise höher als **V1**.

[0077] Es sei angemerkt, dass die Transistoren **101** und **102** von dem Haltezustand an ausgeschaltet bleiben.

[0078] Die hohe Spannung wird an die Leitung **114** angelegt, so dass der dritte Schritt abgeschlossen wird.

[0079] **Fig. 5C** und **Fig. 5D** zeigen einen Lesezustand. In **Fig. 4** ist der Zustand durch (C) dargestellt.

[0080] Zu einem Zeitpunkt **t6** wird eine Zuführung der hohen Spannung (VDD) zu der Leitung **114** unterbrochen (**Fig. 5C**). Dabei wird die Leitung **114** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **114** leicht durch Laden und Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **114** ausgeschaltet wird.

[0081] Zu dem Zeitpunkt **t6** wird ein Signal bei einer niedrigen Spannung an die Leitung **112** eingegeben. Das Potential des Knotens **104** wird auf **V2** beim Schreiben von Daten geändert. Als Ergebnis fließt

ein Strom (**I_d**), der dem Gate-Potential des Transistors **102** (**V2**) und dem Potential der Leitung **114** entspricht. Es sei angemerkt, dass die niedrige Spannung, die an die Leitung **112** eingegeben wird, vorzugsweise gleich der niedrigen Spannung ist, die beim Schreibvorgang an die Leitung **112** eingegeben worden ist.

[0082] Das Potential der Leitung **114** ändert sich von der vorgeladenen hohen Spannung (VDD) auf **V1** als Reaktion auf die Gate-Spannung **V2** (**Fig. 5D**). Ein Potentialunterschied zwischen dem Gate und der Source des Transistors **102** wird im Laufe der Zeit kleiner, und folglich wird der Transistor **102** ausgeschaltet.

[0083] Die Leitung **114** ist elektrisch mit einer Beurteilungsschaltung (discrimination circuit) oder dergleichen verbunden, um **V1** zu lesen. Folglich kann die Spannung **V1** gelesen werden.

[0084] Das Anlegen der hohen Spannung an die Leitung **114** wird unterbrochen, und die niedrige Spannung wird an die Leitung **112** angelegt. Folglich wird der vierte Schritt abgeschlossen.

[0085] Nachdem Daten gelesen worden sind, wird zu einem Zeitpunkt **t7** ein Signal bei einer hohen Spannung an die Leitung **112** eingegeben. Die hohe Spannung wird an die Leitung **112** angelegt, so dass das Potential des Knotens **104** von **V2** um die hohe Spannung geändert wird. Folglich wird der Transistor **102** ausgeschaltet.

[0086] Eine niedrige Spannung (GND) wird vor einem Zeitpunkt **t8** an die Leitung **114** angelegt.

[0087] Zu dem Zeitpunkt **t8** ist der Zustand der Haltezustand. In **Fig. 4** ist der Zustand durch (E) dargestellt. Die Halbleitervorrichtung **100** befindet sich in dem in **Fig. 5A** gezeigten Zustand.

[0088] Es sei angemerkt, dass eine niedrige Spannung an die Leitung **114** in (A) und (E) in **Fig. 4** angelegt wird, aber eine hohe Spannung kann an die Leitung **114** in (A) und (E) in **Fig. 4** angelegt werden. In dem Fall, in dem eine hohe Spannung an die Leitung **114** angelegt ist, kann die Spannung schnell geändert werden, wenn der Zustand von dem Zustand (A) zu dem Zustand (B) geändert wird, d. h. VDD an die Leitung **114** angelegt wird.

[0089] Es sei angemerkt, dass in dem Fall, in dem das Potential des Knotens **104**, d. h. das Potential, das an das Gate des Transistors **102** angelegt wird, zurückgesetzt wird, beispielsweise die niedrige Spannung an die Leitung **112** angelegt wird und ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben wird. Folglich wird der Transistor **101** eingeschaltet, so dass der Knoten **104** elektrisch mit der

Leitung **113** verbunden ist. Da GND an die Leitung **113** angelegt wird, wird das Potential des Knotens **104** zurückgesetzt.

[0090] Bei dieser Ausführungsform dient das Potential (**V1**), das beim Schreiben von Daten an die Leitung **114** angelegt wird, als Lesepotential.

[0091] Bei einer herkömmlichen Technik weist eine Lesespannung eine Verteilung auf. Beispielsweise ist eine tatsächliche Lesespannung aufgrund der Schwankungen des Schwellenwertes eines Lesetransistors oder dergleichen $V1 \pm \Delta V$ auch in dem Fall, in dem **V1** zu lesen ist. Mit anderen Worten hat die Lesespannung die Ausbreitung von ΔV . Im Gegenteil dazu kann bei dieser Ausführungsform ein gewünschtes Potential **V1**, das an die Leitung **114** angelegt wird, gelesen werden. Folglich kann ΔV kleiner werden, und daher kann die Ausbreitung der Verteilung der Lesespannung verkleinert werden.

[0092] In dem Fall, in dem Multibit-Daten in der Halbleitervorrichtung **100** gespeichert werden, muss eine vorbestimmte Spannung korrekt geschrieben und gelesen werden. Deshalb ist eine hohe Genauigkeit erforderlich. Bei dieser Ausführungsform kann ein vorbestimmtes Potential angelegt und gelesen werden. Folglich weist die Halbleitervorrichtung **100** beim Speichern von Multibit-Daten hohe Halteigenschaften und hohe Zuverlässigkeit auf.

[0093] Ein Prüfungsvorgang ist herkömmlich durchgeführt worden, um zu prüfen, ob Daten korrekt geschrieben werden. Im Gegenteil dazu ist bei dieser Ausführungsform kein Prüfungsvorgang nötig. Daher kann ein Hochgeschwindigkeitsbetrieb erzielt werden.

[0094] Diese Ausführungsform kann in Kombination mit jeder der anderen Ausführungsformen in dieser Beschreibung nach Bedarf implementiert werden.

(Ausführungsform 2)

[0095] Bei dieser Ausführungsform wird ein Beispiel für eine Halbleitervorrichtung beschrieben, bei der ein anhand von **Fig. 1** beschriebenes Betriebsverfahren verwendet werden kann. Nachstehend wird eine Beschreibung anhand von **Fig. 6**, **Fig. 7**, **Fig. 8**, **Fig. 9**, **Fig. 10**, **Fig. 11** und **Fig. 12** gegeben.

(Strukturbeispiel für Halbleitervorrichtung)

[0096] **Fig. 6** ist ein Blockdiagramm eines Strukturbeispiels für eine Halbleitervorrichtung **200**, die die anhand von **Fig. 1** beschriebene Speicherzelle **100** beinhaltet.

[0097] Die Halbleitervorrichtung **200** in **Fig. 6** beinhaltet ein Speicherzellenarray **201**, in dem die Vielzahl von anhand von **Fig. 1** beschriebenen Speicher-

zellen **100** angeordnet ist, einen Zeilenauswahltreiber **202**, einen Spaltenauswahltreiber **203** und einen A/D-Wandler **204**. Es sei angemerkt, dass die Halbleitervorrichtung **200** die Speicherzellen **100** beinhaltet, die in einer Matrix von m Zeilen und n Spalten angeordnet sind. In **Fig. 6** sind als die Leitung **111** eine Leitung $111[m-1]$ in der $(m-1)$ -ten Zeile und eine Leitung $111[m]$ in der m -ten Zeile bereitgestellt. Als die Leitung **112** sind eine Leitung $112[m-1]$ in der $(m-1)$ -ten Zeile und eine Leitung $112[m]$ in der m -ten Zeile bereitgestellt. Als die Leitung **113** sind eine Leitung $113[n-1]$ in der $(n-1)$ -ten Spalte und eine Leitung $113[n]$ in der n -ten Spalte bereitgestellt. Als die Leitung **114** sind eine Leitung $114[n-1]$ in der $(n-1)$ -ten Spalte und eine Leitung $114[n]$ in der n -ten Spalte bereitgestellt.

[0098] In dem Speicherzellenarray **201** in **Fig. 6** sind die anhand von **Fig. 1** beschriebenen Speicherzellen **100** in einer Matrix angeordnet. Es sei angemerkt, dass die Beschreibung der Bestandteile in der Speicherzelle **100** gleich wie in **Fig. 1** und daher weggelassen ist. Es wird auf die Beschreibung anhand von **Fig. 1** Bezug genommen.

[0099] Der Zeilenauswahltreiber **202** ist eine Schaltung, die Funktionen aufweist, um selektiv die Transistoren **101** in jeder Zeile der Speicherzellen **100** einzuschalten und selektiv das Potential des Knotens **104** in jeder Zeile der Speicherzellen **100** zu ändern. Insbesondere ist der Zeilenauswahltreiber **202** eine Schaltung, die den Leitungen **111** und den Leitungen **112** Signale zuführt. Der Zeilenauswahltreiber **202** ermöglicht es der Halbleitervorrichtung **200**, Daten in die Speicherzellen **100** in jeder ausgewählten Zeile zu schreiben oder Daten von den Speicherzellen **100** in jeder ausgewählten Zeile zu lesen.

[0100] Der Spaltenauswahltreiber **203** ist eine Schaltung, die Funktionen aufweist, um die Leitungen **113** und die Leitungen **114** in den Speicherzellen **100** mit Potentialen vorzuladen, die Potentiale der Leitungen **113** und der Leitungen **114** zu initialisieren, und die Leitungen **113** und die Leitungen **114** in einen elektrisch schwebenden Zustand zu versetzen. Der Spaltenauswahltreiber **203** ermöglicht es der Halbleitervorrichtung **200**, eine Spalte auszuwählen, um Daten in die Speicherzellen **100** in jeder ausgewählten Spalte zu schreiben oder Daten von den Speicherzellen **100** in jeder ausgewählten Spalte zu lesen.

[0101] Der A/D-Wandler **204** ist eine Schaltung, die Funktionen aufweist, um die Potentiale der Leitungen **114**, die analoge Werte sind, in digitale Werte umzuwandeln und die digitalen Werte nach außen auszugeben. Insbesondere ist der A/D-Wandler **204** eine Schaltung, die einen Flash-A/D-Wandler beinhaltet. Der A/D-Wandler **204** ermöglicht es der Halbleitervorrichtung **200**, das Potential der Leitung **114**, das

den von der Speicherzelle **100** gelesenen Daten entspricht, nach außen auszugeben.

[0102] Es sei angemerkt, dass der A/D-Wandler 204 als Flash-A/D-Wandler beschrieben wird. Jedoch kann der A/D-Wandler 204 ein sukzessiver Annäherungs-A/D-Wandler (successive approximation A/D converter), ein Multi-Slope-A/D-Wandler oder ein Delta-Sigma-A/D-Wandler sein.

(Strukturbeispiel für Zeilenauswahltreiber)

[0103] Fig. 7 ist ein Blockdiagramm, das ein Strukturbeispiel für den anhand von Fig. 6 beschriebenen Zeilenauswahltreiber **202** darstellt.

[0104] Der Zeilenauswahltreiber **202** in Fig. 7 beinhaltet einen Decoder **301** und eine Steuerschaltung **302**. Die Steuerschaltung **302** ist in jeder Zeile bereitgestellt, in der die Leitung **111** und die Leitung **112** bereitgestellt sind. Die Steuerschaltung 302[1] (R/W-Regler in Fig. 7) ist in der ersten Zeile bereitgestellt. Die Steuerschaltung 302[2] ist in der zweiten Zeile bereitgestellt. Die Steuerschaltung **302** in jeder Zeile ist mit der Leitung **111** und der Leitung **112** verbunden.

[0105] Der Decoder **301** ist eine Schaltung, die eine Funktion aufweist, um ein Signal zum Auswählen einer Zeile, in der die Leitung **111** und die Leitung **112** bereitgestellt sind, auszugeben.

[0106] Die Steuerschaltung **302** ist eine Schaltung, die eine Funktion aufweist, um ein Signal an die Zeile auszugeben, die durch den Decoder **301** ausgewählt wird und in der die Leitung **111** und die Leitung **112** bereitgestellt sind.

(Strukturbeispiel für Spaltenauswahltreiber)

[0107] Fig. 8 ist ein Blockdiagramm, das ein Strukturbeispiel für den anhand von Fig. 6 beschriebenen Spaltenauswahltreiber **203** darstellt.

[0108] Der Spaltenauswahltreiber **203** in Fig. 8 beinhaltet einen Decoder **401**, eine Latch-Schaltung **402**, einen D/A-Wandler 403, einen Schalterstromkreis **404**, einen Transistor **405** und den Transistor **406**. Die Latch-Schaltung **402**, der Schalterstromkreis **404**, der Transistor **405** und der Transistor **406** sind in jeder Spalte bereitgestellt. Der Schalterstromkreis **404**, der Transistor **405** und der Transistor **406** in jeder Spalte sind mit der Leitung **114** verbunden.

[0109] Der Decoder **401** ist eine Schaltung, die Funktionen aufweist, um eine Spalte, in der die Leitung **114** bereitgestellt ist, auszuwählen und eingegebene Daten zu verteilen, um die Daten auszugeben. Insbesondere ist der Decoder **401** eine Schaltung, in die ein Adressensignal „Address“ und Daten „Data“

einggegeben werden und die die Daten „Data“ in die Latch-Schaltung **402** in einer Zeile entsprechend dem Adressensignal „Address“ ausgibt. Der Decoder **401** ermöglicht es dem Spaltenauswahltreiber **203**, eine vorbestimmte Spalte auszuwählen und Daten in die Spalte zu schreiben.

[0110] Es sei angemerkt, dass es sich bei den Daten „Data“, die in den Decoder **401** eingegeben werden, um k-Bit-Digitaldaten handelt. Es handelt sich bei den k-Bit-Digitaldaten um ein Signal, das durch Binärdaten dargestellt wird, in denen jedes Bit durch „1“ oder „0“ dargestellt wird. Beispielsweise handelt es sich bei 2-Bit-Digitaldaten um Daten, die durch „00“, „01“, „10“ oder „11“ dargestellt werden.

[0111] Die Latch-Schaltung **402** ist eine Schaltung, die eine Funktion aufweist, um vorübergehend die eingegebenen Daten „Data“ zu speichern. Insbesondere ist die Latch-Schaltung **402** eine Flip-Flop-Schaltung, in die ein Latch-Signal W_LAT eingegeben wird und die die Daten „Data“ entsprechend dem Latch-Signal W_LAT speichert und die Daten DATA in den D/A-Wandler 403 ausgibt. Die Latch-Schaltung **402** ermöglicht es dem Spaltenauswahltreiber **203**, Daten zu einem beliebigen Zeitpunkt zu schreiben.

[0112] Der D/A-Wandler 403 ist eine Schaltung, die eine Funktion aufweist, um die Daten Data, die ein einzugebender digitaler Wert sind, in Daten Vdata umzuwandeln, die ein analoger Wert sind. Insbesondere ist der D/A-Wandler 403 eine Schaltung, die beispielsweise die 3-Bit-Daten Data in eines von acht Potentialen (Potentialen **V0** bis **V7**) umwandelt und das Potential in den Schalterstromkreis **404** ausgibt. Der D/A-Wandler 403 ermöglicht es dem Spaltenauswahltreiber **203**, Daten, die in die Speicherzelle **100** geschrieben werden, in ein Potential umzuwandeln, das Multilevel-Daten entspricht.

[0113] Es sei angemerkt, dass es sich bei Vdata, die von dem D/A-Wandler 403 ausgegeben werden, um Daten handelt, die durch verschiedene Spannungswerte dargestellt werden können. Im Falle von 2-Bit-Daten handelt es sich beispielsweise bei Vdata um Daten mit vier Werten, z. B. 0,5 V, 1,0 V, 1,5 V und 2,0 V, und um Daten, die durch einen der Spannungswerte dargestellt werden.

[0114] Der Schalterstromkreis **404** ist eine Schaltung, die Funktionen aufweist, um der Leitung **114** die eingegebenen Daten Vdata zuzuführen und die Leitung **114** in einen elektrisch schwebenden Zustand zu versetzen. Insbesondere ist der Schalterstromkreis **404** eine Schaltung, die einen Analogschalter und einen Wechselrichter beinhaltet und die der Leitung **114** die Daten Vdata entsprechend einem Schaltersteuersignal Write_SW zuführt; der Analogschalter wird dann ausgeschaltet, so dass die Leitung **114** in einen elektrisch schwebenden Zustand versetzt wird.

Der Schalterstromkreis **404** ermöglicht es dem Spaltenauswahltreiber **203**, die Leitung **114** in einem elektrisch schwebenden Zustand zu halten, nachdem der Leitung **114** die Daten Vdata zugeführt worden sind.

[0115] Der Transistor **405** ist ein Transistor, der Funktionen aufweist, um der Leitung **114** eine Vorladespannung VDD zuzuführen und die Leitung **114** in einen elektrisch schwebenden Zustand zu versetzen. Insbesondere ist der Transistor **405** ein Schalter, der eine Zuführung der Vorladespannung VDD zu der Leitung **114** durch Steuern mit einem Vorladesteuersignal Pre_EN ermöglicht und die Leitung **114** nach der Zuführung in einen elektrisch schwebenden Zustand versetzt. Der Transistor **405** ermöglicht es dem Spaltenauswahltreiber **203**, der Leitung **114** die Vorladespannung VDD zuzuführen und dann die Leitung **114** in einem elektrisch schwebenden Zustand zu halten.

[0116] Der Transistor **406** ist ein Transistor, der eine Funktion aufweist, um der Leitung **114** eine Initialisierungsspannung GND zuzuführen. Insbesondere ist der Transistor **406** ein Schalter, der eine Zuführung der Initialisierungsspannung GND zu der Leitung **114** durch Steuern mit einem Initialisierungssteuersignal Init_EN ermöglicht. Der Transistor **406** ermöglicht es dem Spaltenauswahltreiber **203**, der Leitung **114** die Initialisierungsspannung GND zuzuführen.

[0117] Es sei angemerkt, dass, obwohl nicht dargestellt ist, der Spaltenauswahltreiber **203** Funktionen aufweist, um eine Vorladespannung (GND) an die Leitung **113** anzulegen und die Leitung **113** in einen elektrisch schwebenden Zustand zu versetzen. Diese Funktionen können durch eine Struktur, die der Struktur der Leitung **114** ähnlich ist, erzielt werden; daher wird auf die Beschreibung der Leitung **114** Bezug genommen.

(Strukturbeispiel für A/D-Wandler)

[0118] Fig. 9 ist ein Blockdiagramm eines Strukturbeispiels für den anhand von Fig. 6 beschriebenen A/D-Wandler 204.

[0119] Der A/D-Wandler 204 in Fig. 9 beinhaltet einen Komparator **501**, einen Encoder **502**, eine Latch-Schaltung **503** und einen Puffer **504**. Der Komparator **501**, der Encoder **502**, die Latch-Schaltung **503** und der Puffer **504** sind in jeder Spalte bereitgestellt. Der Puffer **504** in jeder Spalte gibt Daten Dout aus.

[0120] Der Komparator **501** ist eine Schaltung, die Funktionen aufweist, um Potentiallevels zwischen dem Potential der Leitung **114** und Bezugspotentialen Vref0 bis Vref6 zu vergleichen und zu bestimmen, ob das Potential der Leitung **114** beliebigen Daten von Multilevel-Daten entspricht. Insbesondere ist der Komparator **501** eine Schaltung, die die Vielzahl von

Komparatoren beinhaltet, zu denen das Potential der Leitung **114** und die verschiedenen Bezugspotentiale Vref0 bis Vref6 zugeführt werden, und ist eine Schaltung, die bestimmt, ob das Potential der Leitung **114** zwischen den Potentialen liegt. Der Komparator **501** ermöglicht es dem A/D-Wandler 204, zu bestimmen, ob das Potential der Leitung **114** einem Potential von Multilevel-Daten entspricht.

[0121] Es sei angemerkt, dass beispielhaft die Bezugsspannungen Vref0 bis Vref6 in Fig. 9 Potentiale sind, die in dem Fall zugeführt werden, in dem Multilevel-Daten 3-Bit-Daten, d. h. 8-Level-Daten, sind.

[0122] Der Encoder **502** ist eine Schaltung, die eine Funktion aufweist, um ein Multibit-Digitalsignal aufgrund eines Signals zum Bestimmen des Potentials der Leitung **114**, das von dem Komparator **501** ausgegeben wird, zu erzeugen. Insbesondere ist der Encoder **502** eine Schaltung, die ein H-Level- oder L-Level-Signal encodiert, das von der Vielzahl von Komparatoren ausgegeben wird, um ein Digitalsignal zu erzeugen. Der Encoder **502** ermöglicht es dem A/D-Wandler 204, Daten, die von der Speicherzelle **100** gelesen werden, in Daten mit einem digitalen Wert umzuwandeln.

[0123] Die Latch-Schaltung **503** ist eine Schaltung, die eine Funktion aufweist, um vorübergehend einzugebende Daten von einem digitalen Wert zu speichern. Insbesondere ist die Latch-Schaltung **503** eine Flip-Flop-Schaltung, in die ein Latch-Signal LAT eingegeben wird und die die Daten, die entsprechend dem Latch-Signal LAT gespeichert sind, in den Puffer **504** ausgibt. Die Latch-Schaltung **503** ermöglicht es dem A/D-Wandler 204, Daten zu einem beliebigen Zeitpunkt auszugeben. Es sei angemerkt, dass die Latch-Schaltung **503** weggelassen werden kann.

[0124] Der Puffer **504** ist eine Schaltung, die Funktionen aufweist, um Daten, die von der Latch-Schaltung **503** ausgegeben werden, zu verstärken und die verstärkten Daten als Ausgangssignal Dout auszugeben. Insbesondere ist der Puffer **504** eine Schaltung, die eine gerade Zahl von Stufen von Wechselrichterschaltungen beinhaltet. Der Puffer **504** ermöglicht es dem A/D-Wandler 204, Rauschen eines Digitalsignals zu verringern. Es sei angemerkt, dass der Puffer **504** weggelassen werden kann.

(konkretes Beispiel für Betriebsverfahren der Halbleitervorrichtung)

[0125] Fig. 10 ist ein Schaltplan von Speicherzellen in einer Halbleitervorrichtung. Ablaufdiagramme in Fig. 11 und Fig. 12 zeigen eine Arbeitsweise der Speicherzellen in Fig. 10.

[0126] Bei einer Halbleitervorrichtung **600** in Fig. 10 sind Speicherzellen **100A** bis **100D**, die jeweils die

gleiche Schaltungsstruktur aufweisen wie die anhand von **Fig. 1** beschriebene Speicherzelle, in einer Matrix von zwei Zeilen und zwei Spalten angeordnet. In **Fig. 10** sind als die Leitung **111** eine Leitung 111[1] in der ersten Zeile und eine Leitung 111[2] in der zweiten Zeile bereitgestellt. Als die Leitung **112** sind eine Leitung 112[1] in der ersten Zeile und eine Leitung 112[2] in der zweiten Zeile bereitgestellt. Als die Leitung **113** sind eine Leitung 113[1] in der ersten Spalte und eine Leitung 113[2] in der zweiten Spalte bereitgestellt. Als die Leitung **114** sind eine Leitung 114[1] in der ersten Spalte und eine Leitung 114[2] in der zweiten Spalte bereitgestellt.

[0127] Das Ablaufdiagramm in **Fig. 11** zeigt eine Arbeitsweise in Perioden p1 bis p8, in denen das Schreiben von Daten durchgeführt wird. Das Ablaufdiagramm in **Fig. 12** zeigt eine Arbeitsweise in Perioden p9 bis p16, in denen das Lesen von Daten durchgeführt wird. Es sei angemerkt, dass **Fig. 11** und **Fig. 12** Änderungen der Spannungen der Leitung 111[1], der Leitung 111[2], der Leitung 112[1], der Leitung 112[2], der Leitung 113[1], der Leitung 113[2], der Leitung 114[1] und der Leitung 114[2] in **Fig. 10** zeigen.

[0128] In der Periode p1 in **Fig. 11** wird die Leitung 111[1] auf einen H-Level eingestellt, und die Leitung 112[1] wird auf einen L-Level eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[2], die Leitung 112[2], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **101** und die Transistoren **102** in den Speicherzellen **100A** und **100B** werden eingeschaltet.

[0129] Dann wird in der Periode p2 in **Fig. 11** das Anlegen der Spannungen an die Leitung 113[1] und die Leitung 113[2] unterbrochen, um die Leitungen in einen elektrisch schwebenden Zustand zu versetzen. Die Spannung der Leitung 114[1] wird auf V3 eingestellt. Die Spannung der Leitung 114[2] wird auf V4 eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1] und die Leitung 112[2]) Spannungen in der vorhergehenden Periode halten.

[0130] Die Spannung der Leitung 113[1] wird entsprechend der Spannung **V3** der Leitung 114[1] geändert. Die Spannung der Leitung 113[2] wird entsprechend der Spannung **V4** der Leitung 114[2] geändert. Daten, die der Spannung **V3** entsprechen, werden in den Knoten **104** in der Speicherzelle **100A** geschrieben. Daten, die der Spannung **V4** entsprechen, werden in den Knoten **104** in der Speicherzelle **100B** geschrieben.

[0131] Als Nächstes wird in der Periode p3 in **Fig. 11** das Potential der Leitung 111[1] auf einen L-Level

eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[2], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **101** in den Speicherzellen **100A** und **100B** werden ausgeschaltet.

[0132] Dann wird in der Periode p4 in **Fig. 11** das Potential der Leitung 112[1] auf einen H-Level eingestellt. Die Spannungen der Leitung 113[1], der Leitung 113[2], der Leitung 114[1] und der Leitung 114[2] werden auf eine niedrige Spannung (GND) eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2] und die Leitung 112[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **102** in den Speicherzellen **100A** und **100B** werden ausgeschaltet.

[0133] Als Nächstes wird in der Periode p5 in **Fig. 11** das Potential der Leitung 111[2] auf einen H-Level eingestellt, und das Potential der Leitung 112[2] wird auf einen L-Level eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 112[1], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **101** und die Transistoren **102** in den Speicherzellen **100C** und **100D** werden eingeschaltet.

[0134] Dann wird in der Periode p6 in **Fig. 11** das Anlegen der Spannungen an die Leitung 113[1] und die Leitung 113[2] unterbrochen, um die Leitungen in einen elektrisch schwebenden Zustand zu versetzen. Die Spannung der Leitung 114[1] wird auf V4 eingestellt. Die Spannung der Leitung 114[2] wird auf V3 eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1] und die Leitung 112[2]) Spannungen in der vorhergehenden Periode halten.

[0135] Die Spannung der Leitung 113[1] wird entsprechend der Spannung **V4** der Leitung 114[1] geändert. Die Spannung der Leitung 113[2] wird entsprechend der Spannung **V3** der Leitung 114[2] geändert. Daten, die der Spannung **V4** entsprechen, werden in den Knoten **104** in der Speicherzelle **100C** geschrieben. Daten, die der Spannung **V3** entsprechen, werden in den Knoten **104** in der Speicherzelle **100D** geschrieben.

[0136] Als Nächstes wird in der Periode p7 in **Fig. 11** das Potential der Leitung 111[2] auf einen L-Level eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **101** in den Speicherzellen **100C** und **100D** werden ausgeschaltet.

[0137] Dann wird in der Periode p8 in **Fig. 11** das Potential der Leitung 112[2] auf einen H-Level eingestellt. Die Spannungen der Leitung 113[1], der Leitung 113[2], der Leitung 114[1] und der Leitung 114[2] werden auf eine niedrige Spannung (GND) eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2] und die Leitung 112[1]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **102** in den Speicherzellen **100C** und **100D** werden ausgeschaltet.

[0138] Als Ergebnis von Schreiben von Daten in den Perioden p1 bis p8 werden Daten, die der Spannung **V3** entsprechen, in die Speicherzellen **100A** und **1000** in **Fig. 10** geschrieben, und Daten, die der Spannung **V4** entsprechen, werden in die Speicherzellen **100B** und **100C** in **Fig. 10** geschrieben.

[0139] In der Periode p9 in **Fig. 12** werden die Leitung 114[1] und die Leitung 114[2] mit einer Vorladespannung (hier VDD) versorgt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1] und die Leitung 113[2]) Spannungen in der vorhergehenden Periode halten.

[0140] Dann wird in der Periode p10 in **Fig. 12** das Anlegen der Spannungen an die Leitung 114[1] und die Leitung 114[2] unterbrochen, um die Leitungen in einen elektrisch schwebenden Zustand zu versetzen. Die Leitung 112[1] wird auf einen L-Level eingestellt. Die Transistoren **102** in den Speicherzellen **100A** und **100B** werden eingeschaltet. Dann werden die Spannungen der Leitung 114[1] und der Leitung 114[2] aufgrund einer Spannung verringert, die den Daten entspricht, die in die Speicherzellen **100A** und **100B** geschrieben worden sind. Die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[2], die Leitung 113[1] und die Leitung 113[2]) halten Spannungen in der vorhergehenden Periode. Es sei angemerkt, dass die Spannung auf einem L-Level, die an die Leitung 112[1] eingegeben wird, vorzugsweise gleich der Spannung auf dem L-Level ist, die beim Schreibvorgang an die Leitung 112[1] eingegeben worden ist.

[0141] Als Nächstes wird in der Periode p11 in **Fig. 12** eine Verringerung der Spannungen der Leitung 114[1] und der Leitung 114[2] in der Periode p10 unterbrochen, so dass Spannungen der Leitung 114[1] und der Leitung 114[2] zu der Spannung **V3** bzw. der Spannung **V4** werden. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1] und die Leitung 113[2]) Spannungen in der vorhergehenden Periode halten.

[0142] Als Nächstes wird in der Periode p12 in **Fig. 12** das Potential der Leitung 112[1] auf einen H-Level eingestellt. Es sei angemerkt, dass die anderen

Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[2], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **102** in den Speicherzellen **100A** und **100B** werden ausgeschaltet.

[0143] In der Periode p13 in **Fig. 12** werden die Leitung 114[1] und die Leitung 114[2] mit der Vorladespannung VDD versorgt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1] und die Leitung 113[2]) Spannungen in der vorhergehenden Periode halten.

[0144] Dann wird in der Periode p14 in **Fig. 12** das Anlegen der Spannungen an die Leitung 114[1] und die Leitung 114[2] unterbrochen, um die Leitungen in einen elektrisch schwebenden Zustand zu versetzen. Die Leitung 112[2] wird auf einen L-Level eingestellt. Die Transistoren **102** in den Speicherzellen **100C** und **100D** werden eingeschaltet. Dann werden die Spannungen der Leitung 114[1] und der Leitung 114[2] aufgrund einer Spannung verringert, die den Daten entspricht, die in die Speicherzellen **100C** und **100D** geschrieben worden sind. Die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 113[1] und die Leitung 113[2]) halten Spannungen in der vorhergehenden Periode. Es sei angemerkt, dass die Spannung auf einem L-Level, die an die Leitung 112[2] eingegeben wird, vorzugsweise gleich der Spannung auf dem L-Level ist, die beim Schreibvorgang an die Leitung 112[2] eingegeben worden ist.

[0145] Als Nächstes wird in der Periode p15 in **Fig. 12** eine Verringerung der Spannungen der Leitung 114[1] und der Leitung 114[2] in der Periode p14 unterbrochen, so dass Spannungen der Leitung 114[1] und der Leitung 114[2] zu der Spannung **V4** bzw. der Spannung **V3** werden. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 112[2], die Leitung 113[1] und die Leitung 113[2]) Spannungen in der vorhergehenden Periode halten.

[0146] Dann wird in der Periode p16 in **Fig. 12** das Potential der Leitung 112[2] auf einen H-Level eingestellt. Es sei angemerkt, dass die anderen Leitungen (d. h. die Leitung 111[1], die Leitung 111[2], die Leitung 112[1], die Leitung 113[1], die Leitung 113[2], die Leitung 114[1] und die Leitung 114[2]) Spannungen in der vorhergehenden Periode halten. Die Transistoren **102** in den Speicherzellen **100C** und **100D** werden ausgeschaltet.

[0147] Als Ergebnis von Schreiben von Daten in den Perioden p9 bis p16 werden Daten, die der Spannung **V3** entsprechen, von den Speicherzellen **100A** und **100D** in **Fig. 10** gelesen, und Daten, die der Span-

nung **V4** entsprechen, werden von den Speicherzellen **100B** und **100C** in **Fig. 10** gelesen.

[0148] Die oben beschriebene Struktur bei dieser Ausführungsform kann mit jeder der bei den anderen Ausführungsformen beschriebenen Strukturen nach Bedarf kombiniert werden.

(Ausführungsform 3)

[0149] **Fig. 13A** stellt eine Halbleitervorrichtung **130** dar. Die Halbleitervorrichtung **130** beinhaltet den Transistor **101**, den Transistor **102**, den Kondensator **103** und einen Transistor **107**.

[0150] Die Halbleitervorrichtung **130** unterscheidet sich von der Halbleitervorrichtung **100** (**Fig. 1**) darin, dass der Transistor **107** bereitgestellt ist und ein Bezugspotential (GND) von einem Bezugspotentialanschluss an die andere Elektrode des Kondensators **103** angelegt wird. Es sei angemerkt, dass ein Stromversorgungspotential (VSS) von einem Stromversorgungspotentialanschluss oder ein anderes Potential, das kein Bezugspotential ist, an die andere Elektrode des Kondensators **103** angelegt werden kann.

[0151] Der Transistor **107** ist ein p-Kanal-Transistor. Eine Schicht, die verschiedene Materialien, wie z. B. einen Oxidhalbleiter und Silizium, enthält, kann für einen Bereich, in dem ein Kanal des Transistors **107** gebildet wird, verwendet werden.

[0152] Ein Gate des Transistors **107** ist elektrisch mit einer Leitung **115** verbunden. Die Leitung **115** kann als Wortleitung dienen.

[0153] Ein Anschluss von einer Source und einem Drain des Transistors **107** ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des Transistors **102** verbunden.

[0154] Der andere Anschluss von der Source und dem Drain des Transistors **107** ist elektrisch mit der Leitung **113** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **107** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **101** verbunden.

[0155] Es sei angemerkt, dass wie bei einer Halbleitervorrichtung **135** der Transistor **107** zwischen dem Transistor **102** und der Leitung **114** bereitgestellt sein kann (**Fig. 13B**). Bei der Halbleitervorrichtung **135** ist der eine Anschluss von der Source und dem Drain des Transistors **107** elektrisch mit der Leitung **114** verbunden, und der andere Anschluss von der Source und dem Drain des Transistors **107** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **102** verbunden.

[0156] Der andere Anschluss von der Source und dem Drain des Transistors **102** ist elektrisch mit der Leitung **113** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **102** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **101** verbunden.

[0157] Ein Vorgang zum Schreiben von Daten in die Halbleitervorrichtung **130** und ein Vorgang zum Lesen von Daten von der Halbleitervorrichtung **130** werden beschrieben.

(Schreibvorgang)

[0158] Zuerst wird ein Beispiel für den Schreibvorgang beschrieben. **Fig. 14** ist ein Ablaufdiagramm. **Fig. 15A** bis **Fig. 15E** stellen eine Arbeitsweise der Halbleitervorrichtung **130** dar. Als Beispiel wird eine zu lesende Spannung als **V1** bezeichnet, und ein Vorgang zum Schreiben von Daten durch Änderung des Potentials eines Knotens **104** (des Gate-Potentials des Transistors **102**) auf **V5** wird beschrieben. Da verschiedene Spannungen beim Speichern von Multibit-Daten angelegt werden müssen, ist es vorteilhaft, dass man **V1** frei einstellen kann.

[0159] Ein Vorgang zum Schreiben von Daten wird durch einen ersten Schritt und einen zweiten Schritt durchgeführt. In dem ersten Schritt wird eine niedrige Spannung an die Leitungen **113** und **114** angelegt, eine hohe Spannung wird an die Leitung **111** angelegt, um den Transistor **101** einzuschalten, so dass der Transistor **102** eingeschaltet wird, und eine niedrige Spannung wird an die Leitung **115** angelegt, um den Transistor **107** einzuschalten. In dem zweiten Schritt wird die Spannung **V1** an die Leitung **114** angelegt, und das Anlegen der niedrigen Spannung an die Leitung **113** wird unterbrochen.

[0160] Durch den zweiten Schritt wird das Potential **V5**, das den Daten (der Spannung **V1**) entspricht, von der Leitung **114** an den Knoten **104** über die Source und den Drain des Transistors **102**, die Source und den Drain des Transistors **107**, die Leitung **113** und die Source und den Drain des Transistors **101** angelegt. Dann wird das Potential **V5** an das Gate des Transistors **102** angelegt. Eine elektrische Ladung, die **V5** entspricht, wird in dem Kondensator **103** akkumuliert.

[0161] **Fig. 15A** zeigt einen Anfangszustand der Halbleitervorrichtung **130**. In **Fig. 14** ist der Anfangszustand durch (A) dargestellt.

[0162] Ein Signal bei einer niedrigen Spannung wird an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** ausgeschaltet.

[0163] Ein Signal bei einer hohen Spannung wird an die Leitung **115** eingegeben, und demzufolge wird der Transistor **107** ausgeschaltet.

[0164] Eine niedrige Spannung, wie z. B. ein Bezugspotential, wird an die andere Elektrode des Kondensators **103** angelegt. Eine Spannung, die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt.

[0165] Eine niedrige Spannung (GND) wird an die Leitungen **113** und **114** angelegt. Folglich können die Leitungen **113** und **114** mit der niedrigen Spannung vorgeladen werden. Die niedrige Spannung ist hier die Bezugsspannung (GND) aber kann eine Stromversorgungsspannung (VSS) oder eine weitere Spannung sein.

[0166] **Fig. 15B** zeigt einen Schreibvorbereitungszustand. In **Fig. 14** ist der Zustand durch (B) dargestellt.

[0167] Zu einem Zeitpunkt t_1 wird ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** eingeschaltet.

[0168] Der Transistor **101** wird eingeschaltet, so dass die Leitung **113** und der Knoten **104** elektrisch miteinander verbunden werden. Das Potential der Leitung **113** wird an den Knoten **104** angelegt, wodurch der Transistor **102** eingeschaltet wird.

[0169] Zu dem Zeitpunkt t_1 wird ein Signal bei einer niedrigen Spannung an die Leitung **115** eingegeben. Der Transistor **107** wird eingeschaltet. Die niedrige Spannung ist eine Spannung, bei der der Transistor **107** eingeschaltet wird. Die niedrige Spannung kann eine Bezugsspannung (GND), die Stromversorgungsspannung (VSS) oder eine weitere Spannung sein.

[0170] Eine niedrige Spannung wird an die Leitungen **113** und **114** angelegt, und die Transistoren **101**, **102** und **107** werden eingeschaltet. So wird der erste Schritt abgeschlossen.

[0171] **Fig. 15C** und **Fig. 15D** zeigen einen Schreibzustand. In **Fig. 14** ist der Zustand durch (C) und (D) dargestellt.

[0172] Zu einem Zeitpunkt t_2 wird die Spannung **V1** an die Leitung **114** angelegt (**Fig. 15C**). Die Spannung **V1** ist eine durch einen Lesevorgang zu lesende Spannung. Der Level von **V1** kann in Abhängigkeit von zu schreibenden Daten frei eingestellt werden.

[0173] Zu dem Zeitpunkt t_2 wird eine Zuführung der niedrigen Spannung (GND) zu der Leitung **113** unterbrochen (**Fig. 15C**). Dabei wird die Leitung **113** von der vorgeladenen Spannung in einen elektrisch

schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **113** leicht durch Laden oder Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **113** ausgeschaltet wird.

[0174] Da die Transistoren **107** und **102** eingeschaltet sind, ist die Leitung **113** elektrisch mit der Leitung **114** verbunden. Die Spannung der Leitung **113** wird von der vorgeladenen niedrigen Spannung (GND) auf **V5'** geändert (**Fig. 15D**). Es sei angemerkt, dass der Unterschied zwischen **V5'** und **V1** ungefähr die Schwellenspannungen der Transistoren **102** und **107** ($V1 > V5'$) ist.

[0175] Da der Transistor **101** eingeschaltet ist, werden Daten von der Leitung **114** in den Knoten **104** (das Gate des Transistors **102**) über die Source und den Drain des Transistors **102**, die Source und den Drain des Transistors **107**, die Leitung **113** und die Source und den Drain des Transistors **101** geschrieben. Eine elektrische Ladung wird in dem Kondensator **103** akkumuliert. Das Potential des Knotens **104** wird auf **V5** geändert.

[0176] Das Potential des Knotens **104** wird auf **V5** geändert, und folglich wird ein Potentialunterschied zwischen dem Gate des Transistors **102** und der Source des Transistors **102** klein; als Ergebnis wird ein Strom (I_d) gering, der zwischen der Source und dem Drain des Transistors **102** fließt. Der Transistor **102** wird schließlich ausgeschaltet.

[0177] Bei der Halbleitervorrichtung **130** werden **V1**, **V5'** und **V5** an die Leitung **114**, die Leitung **113** bzw. den Knoten **104** angelegt.

[0178] Die Spannung **V1** wird an die Leitung **114** angelegt, und das Anlegen der niedrigen Spannung an die Leitung **113** wird unterbrochen, so dass der zweite Schritt abgeschlossen wird.

[0179] Durch die vorstehenden Schritte wird die zu lesende Spannung **V1** an die Leitung **114** angelegt, und das Potential des Knotens **104** wird auf **V5** geändert, so dass der Schreibvorgang abgeschlossen wird.

[0180] **Fig. 15E** zeigt einen Zustand nach dem Schreibvorgang und vor der Datenhaltung. In **Fig. 14** ist der Zustand durch (E) dargestellt.

[0181] Zu einem Zeitpunkt t_3 wird ein Signal bei einer niedrigen Spannung an die Leitung **111** eingegeben. Der Transistor **101** wird ausgeschaltet. Der Knoten **104** und die Leitung **113** sind elektrisch nicht verbunden. Der Transistor **101** weist ein Merkmal, einen sehr geringen Sperrstrom, auf, und daher wird das Potential (**V5**) des Knotens **104** gehalten.

[0182] Vor einem Zeitpunkt t_4 beginnt die hohe Spannung, an die Leitung **115** angelegt zu werden, und die niedrige Spannung (GND) beginnt, an die Leitungen **113** und **114** angelegt zu werden.

[0183] Die hohe Spannung wird an die Leitung **115** angelegt, so dass der Transistor **107** ausgeschaltet wird. Die hohe Spannung kann ein Potential sein, bei dem der Transistor **107** ausgeschaltet wird.

[0184] Zu dem Zeitpunkt t_4 wird der Zustand zu dem Haltezustand. In **Fig. 14** ist der Zustand durch (F) dargestellt. Der Zustand der Halbleitervorrichtung **130** ist gleich dem Zustand der Halbleitervorrichtung **130** in **Fig. 15A** außer dem Potential des Knotens **104** (V5). Die Transistoren **101** und **107** sind ausgeschaltet.

[0185] Es sei angemerkt, dass eine niedrige Spannung an die Leitung **114** in (A) und (F) in **Fig. 14** angelegt wird, aber eine hohe Spannung kann an die Leitung **114** in (A) und (F) in **Fig. 14** angelegt werden. In dem Fall, in dem eine hohe Spannung an die Leitung **114** angelegt ist, kann die Spannung in einigen Fällen schnell geändert werden, wenn der Zustand von dem Zustand (E) zu dem Zustand (F) geändert wird, d. h. eine hohe Spannung an die Leitung **114** angelegt wird.

(Lesevorgang)

[0186] Als Nächstes wird ein Beispiel für einen Vorgang zum Lesen der Spannung **V1** basierend auf einer elektrischen Ladung beschrieben, die durch den Schreibvorgang geschrieben worden ist. **Fig. 16** ist ein Ablaufdiagramm. **Fig. 17A** bis **Fig. 17D** zeigen eine Arbeitsweise der Halbleitervorrichtung **130**.

[0187] Ein Vorgang zum Lesen von Daten wird durch einen dritten Schritt, in dem eine hohe Spannung an die Leitung **114** angelegt wird, und einen vierten Schritt durchgeführt, in dem das Anlegen der hohen Spannung an die Leitung **114** unterbrochen wird und eine niedrige Spannung an die Leitung **115** angelegt wird, um den Transistor **107** einzuschalten. Durch den vierten Schritt wird die Spannung der Leitung **114** von der hohen Spannung zu der Spannung **V1** geändert.

[0188] **Fig. 17A** zeigt einen Haltezustand der Halbleitervorrichtung **130**. In **Fig. 16** ist der Haltezustand durch (A) dargestellt.

[0189] **Fig. 17B** zeigt einen Lesevorbereitungszustand. In **Fig. 16** ist der Zustand durch (B) dargestellt.

[0190] Zu dem Zeitpunkt t_5 wird eine hohe Spannung (VDD) an die Leitung **114** angelegt. Die Leitung **114** kann mit der hohen Spannung vorgeladen werden.

[0191] Es sei angemerkt, dass die Transistoren **101** und **107** von dem Haltezustand an ausgeschaltet bleiben.

[0192] Die hohe Spannung wird an die Leitung **114** angelegt, so dass der dritte Schritt abgeschlossen wird.

[0193] **Fig. 17C** und **Fig. 17D** zeigen einen Lesezustand. In **Fig. 16** ist der Zustand durch (C) dargestellt.

[0194] Zu einem Zeitpunkt t_6 wird eine Zuführung der hohen Spannung (VDD) zu der Leitung **114** unterbrochen (**Fig. 17C**). Dabei wird die Leitung **114** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **114** leicht durch Laden und Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **114** ausgeschaltet wird.

[0195] Zu dem Zeitpunkt t_6 wird ein Signal bei einer niedrigen Spannung an die Leitung **115** eingegeben. Der Transistor **107** wird eingeschaltet.

[0196] Die Spannung **V5** wird an das Gate des Transistors **102** angelegt. Der Transistor **102** wird eingeschaltet. Das Potential der Leitung **114** ändert sich von der vorgeladenen hohen Spannung (VDD) auf **V1** als Reaktion auf die Gate-Spannung **V5** (**Fig. 17D**). Ein Potentialunterschied zwischen dem Gate und der Source des Transistors **102** wird im Laufe der Zeit kleiner, und folglich wird der Transistor **102** ausgeschaltet.

[0197] Die Leitung **114** ist elektrisch mit einer Beurteilungsschaltung oder dergleichen verbunden, um **V1** zu lesen. Folglich kann die Spannung **V1** gelesen werden.

[0198] Das Anlegen der hohen Spannung an die Leitung **114** wird unterbrochen, und der Transistor **107** wird eingeschaltet. Folglich wird der vierte Schritt abgeschlossen.

[0199] Nachdem Daten gelesen worden sind, wird zu einem Zeitpunkt t_7 ein Signal bei einer hohen Spannung an die Leitung **115** eingegeben. Folglich wird der Transistor **107** ausgeschaltet ((D) in **Fig. 16**).

[0200] Eine niedrige Spannung (GND) wird vor einem Zeitpunkt t_8 an die Leitung **114** angelegt ((D) in **Fig. 16**).

[0201] Zu dem Zeitpunkt t_8 ist der Zustand der Haltezustand. In **Fig. 16** ist der Zustand durch (E) dargestellt. Die Halbleitervorrichtung **130** befindet sich in dem in **Fig. 17A** gezeigten Zustand.

[0202] Es sei angemerkt, dass eine niedrige Spannung an die Leitung **114** in (A) und (E) in **Fig. 16** angelegt wird, aber eine hohe Spannung kann an die Leitung **114** in (A) und (E) in **Fig. 16** angelegt werden. In dem Fall, in dem eine hohe Spannung an die Leitung **114** angelegt ist, kann die Spannung schnell geändert werden, wenn der Zustand von dem Zustand (A) zu dem Zustand (B) geändert wird, d. h. VDD an die Leitung **114** angelegt wird.

[0203] Es sei angemerkt, dass in dem Fall, in dem das Potential des Knotens **104**, d. h. die Spannung, die an das Gate des Transistors **102** angelegt wird, zurückgesetzt wird, beispielsweise ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben wird. Folglich wird der Transistor **101** eingeschaltet, so dass der Knoten **104** elektrisch mit der Leitung **113** verbunden ist. Da GND an die Leitung **113** angelegt wird, wird das Potential des Knotens **104** zurückgesetzt.

[0204] Bei der Halbleitervorrichtung **130** dient das Potential (**V1**), das beim Schreiben von Daten an die Leitung **114** angelegt wird, als Lesepotential.

[0205] Die Halbleitervorrichtung **130** kann, wie die Halbleitervorrichtung **100**, einen Effekt bei der Ausführungsform **1** aufweisen. Des Weiteren kann eine Kapazität der Leitung **115**, die elektrisch mit dem Transistor **107** bei der Halbleitervorrichtung **130** verbunden ist, kleiner sein als eine Kapazität der Leitung **112**, die elektrisch mit dem Kondensator **103** bei der Halbleitervorrichtung **100** verbunden ist; somit kann der Stromverbrauch der Halbleitervorrichtung **130** geringer sein.

[0206] Eine Arbeitsweise der Halbleitervorrichtung **135** in **Fig. 13B** ist gleich wie diejenige der Halbleitervorrichtung **130**; deshalb wird auf die Beschreibung der Arbeitsweise der Halbleitervorrichtung **130** Bezug genommen.

[0207] Diese Ausführungsform kann in Kombination mit jeder der anderen Ausführungsformen in dieser Beschreibung nach Bedarf implementiert werden.

(Ausführungsform 4)

[0208] **Fig. 18** stellt eine Halbleitervorrichtung **140** dar. Die Halbleitervorrichtung **140** beinhaltet den Transistor **101**, einen Transistor **106** und den Kondensator **103**.

[0209] Die Halbleitervorrichtung **140** unterscheidet sich von der Halbleitervorrichtung **100** (**Fig. 1**) darin, dass der Transistor **106** ein n-Kanal-Transistor ist.

[0210] Eine Schicht, die verschiedene Materialien, wie z. B. einen Oxidhalbleiter und Silizium, enthält,

kann für einen Bereich, in dem ein Kanal des Transistors **106** gebildet wird, verwendet werden.

[0211] Bezüglich der Verbindungen des Transistors **106**, des Transistors **101** und dergleichen mit den anderen Bestandteilen wird auf die Verbindungen des Transistors **102**, des Transistors **101** und dergleichen mit den anderen Bestandteilen Bezug genommen.

[0212] Ein Vorgang zum Schreiben von Daten in die Halbleitervorrichtung **140** und ein Vorgang zum Lesen von Daten von der Halbleitervorrichtung **140** werden beschrieben.

(Schreibvorgang)

[0213] Zuerst wird ein Beispiel für den Schreibvorgang beschrieben. **Fig. 19** ist ein Ablaufdiagramm. **Fig. 20A** bis **Fig. 20E** stellen eine Arbeitsweise der Halbleitervorrichtung **140** dar. Als Beispiel wird eine zu lesende Spannung als **V1** bezeichnet, und ein Vorgang zum Schreiben von Daten durch Änderung des Potentials eines Knotens **104** (des Gate-Potentials des Transistors **106**) auf **V7** wird beschrieben. Da verschiedene Spannungen beim Speichern von Multibit-Daten angelegt werden müssen, ist es vorteilhaft, dass man **V1** frei einstellen kann.

[0214] Ein Vorgang zum Schreiben von Daten wird durch einen ersten Schritt und einen zweiten Schritt durchgeführt. In dem ersten Schritt wird eine hohe Spannung an die Leitungen **113** und **114** angelegt, eine hohe Spannung wird an die Leitung **111** angelegt, um den Transistor **101** einzuschalten, und eine hohe Spannung wird an die Leitung **112** angelegt, um den Transistor **106** einzuschalten. In dem zweiten Schritt wird die Spannung **V1** an die Leitung **114** angelegt, und das Anlegen der hohen Spannung an die Leitung **113** wird unterbrochen.

[0215] Durch den zweiten Schritt wird ein Potential **V7**, das den Daten (der Spannung **V1**) entspricht, von der Leitung **114** an den Knoten **104** über die Source und den Drain des Transistors **106**, die Leitung **113** und die Source und den Drain des Transistors **101** angelegt. Dann wird das Potential **V7** an das Gate des Transistors **106** angelegt. Eine elektrische Ladung, die **V7** entspricht, wird in dem Kondensator **103** akkumuliert.

[0216] **Fig. 20A** zeigt einen Anfangszustand der Halbleitervorrichtung **140**. In **Fig. 19** ist der Anfangszustand durch (A) dargestellt.

[0217] Ein Signal bei einer niedrigen Spannung wird an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** ausgeschaltet.

[0218] Ein Signal bei einer niedrigen Spannung wird an die Leitung **112** eingegeben. Eine Spannung,

die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt.

[0219] Eine hohe Spannung (VDD) wird an die Leitungen **113** und **114** angelegt. Folglich können die Leitungen **113** und **114** mit der hohen Spannung vorgeladen werden. Die hohe Spannung ist hier die Stromversorgungsspannung (VDD) aber kann eine weitere Spannung sein.

[0220] **Fig. 20B** zeigt einen Schreibvorbereitungszustand. In **Fig. 19** ist der Zustand durch (B) dargestellt.

[0221] Zu einem Zeitpunkt t_1 wird ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** eingeschaltet.

[0222] Der Transistor **101** wird eingeschaltet, so dass die Leitung **113** und der Knoten **104** elektrisch miteinander verbunden werden. Das Potential des Knotens **104** wird auf die hohe Spannung (VDD) erhöht.

[0223] Zu dem Zeitpunkt t_1 wird ein Signal bei einer hohen Spannung an die Leitung **112** eingegeben. Eine Spannung, die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt. Der Transistor **101** wird eingeschaltet, und eine hohe Spannung wird an die Leitung **112** angelegt, so dass der Transistor **106** eingeschaltet wird. Die hohe Spannung ist eine Spannung, bei der der Transistor **106** eingeschaltet wird. Die hohe Spannung kann die Stromversorgungsspannung (VDD) oder eine weitere Spannung sein.

[0224] Eine hohe Spannung wird an die Leitungen **113** und **114** angelegt, so dass die Transistoren **101** und **106** eingeschaltet werden. So wird der erste Schritt abgeschlossen.

[0225] **Fig. 20C** und **Fig. 20D** zeigen einen Schreibzustand. In **Fig. 19** ist der Zustand durch (C) und (D) dargestellt.

[0226] Zu einem Zeitpunkt t_2 wird die Spannung **V1** an die Leitung **114** angelegt (**Fig. 20C**). Die Spannung **V1** ist eine durch einen Lesevorgang zu lesende Spannung. Der Level von **V1** kann in Abhängigkeit von zu schreibenden Daten frei eingestellt werden.

[0227] Zu dem Zeitpunkt t_2 wird eine Zuführung der hohen Spannung (VDD) zu der Leitung **113** unterbrochen (**Fig. 20C**). Dabei wird die Leitung **113** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **113** leicht durch Laden oder Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden,

indem der Schalter zum Zuführen des Potentials der Leitung **113** ausgeschaltet wird.

[0228] Da der Transistor **106** eingeschaltet ist, ist die Leitung **113** elektrisch mit der Leitung **114** verbunden. Die Spannung der Leitung **113** wird von der vorgeladenen hohen Spannung (VDD) auf **V7'** geändert (**Fig. 20D**). Es sei angemerkt, dass der Unterschied zwischen **V7'** und **V1** ungefähr die Schwellenspannung des Transistors **106** ist.

[0229] Da der Transistor **101** eingeschaltet ist, werden Daten von der Leitung **114** in den Knoten **104** (das Gate des Transistors **106**) über die Source und den Drain des Transistors **106**, die Leitung **113** und die Source und den Drain des Transistors **101** geschrieben. Eine elektrische Ladung wird in dem Kondensator **103** akkumuliert. Das Potential des Knotens **104** wird auf **V7** geändert.

[0230] Das Potential des Knotens **104** wird auf **V7** geändert, und folglich wird ein Potentialunterschied zwischen dem Gate des Transistors **106** und der Source des Transistors **106** klein; als Ergebnis wird ein Strom (I_d) gering, der zwischen der Source und dem Drain des Transistors **106** fließt. Der Transistor **106** wird schließlich ausgeschaltet.

[0231] Bei der Halbleitervorrichtung **140** werden **V1**, **V7'** und **V7** an die Leitung **114**, die Leitung **113** bzw. den Knoten **104** angelegt.

[0232] Die Spannung **V1** wird an die Leitung **114** angelegt, und das Anlegen der hohen Spannung an die Leitung **113** wird unterbrochen, so dass der zweite Schritt abgeschlossen wird.

[0233] Durch die vorstehenden Schritte wird die zu lesende Spannung **V1** an die Leitung **114** angelegt, und das Potential des Knotens **104** wird auf **V7** geändert, so dass der Schreibvorgang abgeschlossen wird.

[0234] **Fig. 20E** zeigt einen Zustand nach dem Schreibvorgang und vor der Datenhaltung. In **Fig. 19** ist der Zustand durch (E) dargestellt.

[0235] Zu einem Zeitpunkt t_3 wird ein Signal bei einer niedrigen Spannung an die Leitung **111** eingegeben. Der Transistor **101** wird ausgeschaltet. Der Knoten **104** und die Leitung **113** sind elektrisch nicht verbunden. Der Transistor **101** weist ein Merkmal, einen sehr geringen Sperrstrom, auf, und daher wird das Potential (**V7**) des Knotens **104** gehalten.

[0236] Vor einem Zeitpunkt t_4 wird die niedrige Spannung an die Leitung **112** angelegt, und die hohe Spannung (VDD) wird an die Leitungen **113** und **114** angelegt.

[0237] Die niedrige Spannung wird an die Leitung **112** angelegt, so dass das Potential des Knotens **104** von V7 auf eine Spannung, bei der der Transistor **106** ausgeschaltet wird, geändert wird.

[0238] Zu dem Zeitpunkt t4 wird der Zustand zu dem Haltezustand. In **Fig. 19** ist der Zustand durch (F) dargestellt. Der Zustand der Halbleitervorrichtung **140** ist gleich dem Zustand der Halbleitervorrichtung **140** in **Fig. 20A**, außer dass die Knoten **104** unterschiedliche Potentiale aufweisen. Der Transistor **101** ist ausgeschaltet.

[0239] Es sei angemerkt, dass eine hohe Spannung an die Leitung **114** in (A) und (F) in **Fig. 19** angelegt wird, aber eine niedrige Spannung kann an die Leitung **114** in (A) und (F) in **Fig. 19** angelegt werden. In dem Fall, in dem eine niedrige Spannung an die Leitung **114** angelegt ist, kann die Spannung in einigen Fällen schnell geändert werden, wenn der Zustand von dem Zustand (E) zu dem Zustand (F) geändert wird, d. h. eine niedrige Spannung an die Leitung **114** angelegt wird.

(Lesevorgang)

[0240] Als Nächstes wird ein Beispiel für einen Vorgang zum Lesen der Spannung **V1** basierend auf einer elektrischen Ladung beschrieben, die durch den Schreibvorgang geschrieben worden ist. **Fig. 21** ist ein Ablaufdiagramm. **Fig. 22A** bis **Fig. 22D** zeigen eine Arbeitsweise der Halbleitervorrichtung **140**.

[0241] Ein Vorgang zum Lesen von Daten wird durch einen dritten Schritt, in dem eine niedrige Spannung an die Leitung **114** angelegt wird, und einen vierten Schritt durchgeführt, in dem das Anlegen der niedrigen Spannung an die Leitung **114** unterbrochen wird und eine hohe Spannung an die Leitung **112** angelegt wird. Durch den vierten Schritt wird die Spannung der Leitung **114** von der niedrigen Spannung zu der Spannung **V1** geändert.

[0242] **Fig. 22A** zeigt einen Haltezustand der Halbleitervorrichtung **140**. In **Fig. 21** ist der Haltezustand durch (A) dargestellt.

[0243] **Fig. 22B** zeigt einen Lesevorbereitungszustand. In **Fig. 21** ist der Zustand durch (B) dargestellt.

[0244] Zu dem Zeitpunkt t5 wird eine niedrige Spannung (GND) an die Leitung **114** angelegt. Die Leitung **114** kann mit der niedrigen Spannung vorgeladen werden. Hier wird GND an die Leitung **114** angelegt. Jedoch kann die Stromversorgungsspannung (VSS) oder eine weitere Spannung daran angelegt werden.

[0245] Es sei angemerkt, dass die Transistoren **101** und **106** von dem Haltezustand an ausgeschaltet bleiben.

[0246] Die niedrige Spannung wird an die Leitung **114** angelegt, so dass der dritte Schritt abgeschlossen wird.

[0247] **Fig. 22C** und **Fig. 22D** zeigen einen Lesezustand. In **Fig. 21** ist der Zustand durch (C) dargestellt.

[0248] Zu einem Zeitpunkt t6 wird eine Zuführung der niedrigen Spannung (GND) zu der Leitung **114** unterbrochen (**Fig. 22C**). Dabei wird die Leitung **114** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **114** leicht durch Laden und Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **114** ausgeschaltet wird.

[0249] Zu dem Zeitpunkt t6 wird ein Signal bei einer hohen Spannung an die Leitung **112** eingegeben. Das Potential des Knotens **104** wird auf V7 beim Schreiben von Daten geändert. Als Ergebnis fließt ein Strom (Id), der dem Gate-Potential des Transistors **106** (V7) und dem Potential der Leitung **114** entspricht. Es sei angemerkt, dass die hohe Spannung, die an die Leitung **112** eingegeben wird, vorzugsweise gleich der hohen Spannung ist, die beim Schreibvorgang an die Leitung **112** eingegeben worden ist.

[0250] Das Potential der Leitung **114** ändert sich von der vorgeladenen niedrigen Spannung (GND) auf V1 als Reaktion auf die Gate-Spannung **V7** (**Fig. 22D**). Ein Potentialunterschied zwischen dem Gate und der Source des Transistors **106** wird im Laufe der Zeit kleiner, und folglich wird der Transistor **106** ausgeschaltet.

[0251] Die Leitung **114** ist elektrisch mit einer Beurteilungsschaltung oder dergleichen verbunden, um V1 zu lesen. Folglich kann die Spannung **V1** gelesen werden.

[0252] Das Anlegen der niedrigen Spannung an die Leitung **114** wird unterbrochen, und die hohe Spannung wird an die Leitung **112** angelegt. Folglich wird der vierte Schritt abgeschlossen.

[0253] Nachdem Daten gelesen worden sind, wird zu einem Zeitpunkt t7 ein Signal bei einer niedrigen Spannung an die Leitung **112** eingegeben. Die niedrige Spannung wird an die Leitung **112** angelegt, so dass das Potential des Knotens **104** von V7 um die niedrige Spannung geändert wird. Folglich wird der Transistor **106** ausgeschaltet.

[0254] Eine hohe Spannung (VDD) wird vor einem Zeitpunkt t_8 an die Leitung **114** angelegt.

[0255] Zu dem Zeitpunkt t_8 ist der Zustand der Haltezustand. In **Fig. 21** ist der Zustand durch (E) dargestellt. Die Halbleitervorrichtung **140** befindet sich in dem in **Fig. 22A** gezeigten Zustand.

[0256] Es sei angemerkt, dass eine hohe Spannung an die Leitung **114** in (A) und (E) in **Fig. 21** angelegt wird, aber eine niedrige Spannung kann an die Leitung **114** in (A) und (E) in **Fig. 21** angelegt werden. In dem Fall, in dem eine niedrige Spannung an die Leitung **114** angelegt ist, kann die Spannung schnell geändert werden, wenn der Zustand von dem Zustand (A) zu dem Zustand (B) geändert wird, d. h. GND an die Leitung **114** angelegt wird.

[0257] Es sei angemerkt, dass in dem Fall, in dem das Potential des Knotens **104**, d. h. das Potential, das an das Gate des Transistors **106** angelegt wird, zurückgesetzt wird, beispielsweise die hohe Spannung an die Leitung **112** angelegt wird, die niedrige Spannung, wie z. B. GND, an die Leitung **113** angelegt wird und ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben wird. Folglich wird der Transistor **101** eingeschaltet, so dass der Knoten **104** elektrisch mit der Leitung **113** verbunden ist. Da GND an die Leitung **113** angelegt wird, wird das Potential des Knotens **104** zurückgesetzt.

[0258] Bei der Halbleitervorrichtung **140** dient das Potential (**V1**), das beim Schreiben von Daten an die Leitung **114** angelegt wird, als Lesepotential.

[0259] Die Halbleitervorrichtung **140** kann, wie die Halbleitervorrichtung **100**, einen Effekt bei der Ausführungsform **1** aufweisen.

[0260] Diese Ausführungsform kann in Kombination mit jeder der anderen Ausführungsformen in dieser Beschreibung nach Bedarf implementiert werden.

(Ausführungsform **5**)

[0261] **Fig. 23A** stellt eine Halbleitervorrichtung **150** dar. Die Halbleitervorrichtung **150** beinhaltet den Transistor **101**, den Transistor **106**, den Kondensator **103** und einen Transistor **108**.

[0262] Die Halbleitervorrichtung **150** unterscheidet sich von der Halbleitervorrichtung **100** (**Fig. 1**) darin, dass der Transistor **106** anstelle des Transistors **102** bereitgestellt ist. Die Halbleitervorrichtung **150** beinhaltet den Transistor **108**, und ein Bezugspotential (GND) von einem Bezugspotentialanschluss wird an die andere Elektrode des Kondensators **103** angelegt. Es sei angemerkt, dass ein Stromversorgungspotential (VSS) von einem Stromversorgungspotentialanschluss oder ein anderes Potential, das kein Be-

zugspotential ist, an die andere Elektrode des Kondensators **103** angelegt werden kann.

[0263] Der Transistor **106**, der anstelle des Transistors **102** bereitgestellt ist, ist ein n-Kanal-Transistor. Eine Schicht, die verschiedene Materialien, wie z. B. einen Oxidhalbleiter und Silizium, enthält, kann für einen Bereich, in dem ein Kanal des Transistors **106** gebildet wird, verwendet werden.

[0264] Bezüglich der Verbindungen des Transistors **106**, des Transistors **101** und dergleichen mit den anderen Bestandteilen wird auf die Verbindungen des Transistors **102**, des Transistors **101** und dergleichen mit den anderen Bestandteilen Bezug genommen.

[0265] Der Transistor **108** ist ein n-Kanal-Transistor. Eine Schicht, die verschiedene Materialien, wie z. B. einen Oxidhalbleiter und Silizium, enthält, kann für einen Bereich, in dem ein Kanal des Transistors **108** gebildet wird, verwendet werden.

[0266] Ein Gate des Transistors **108** ist elektrisch mit einer Leitung **115** verbunden. Die Leitung **115** kann als Wortleitung dienen.

[0267] Ein Anschluss von einer Source und einem Drain des Transistors **108** ist elektrisch mit dem anderen Anschluss von der Source und dem Drain des Transistors **106** verbunden.

[0268] Der andere Anschluss von der Source und dem Drain des Transistors **108** ist elektrisch mit der Leitung **113** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **108** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **101** verbunden.

[0269] Es sei angemerkt, dass wie bei einer Halbleitervorrichtung **155** der Transistor **108** zwischen dem Transistor **106** und der Leitung **114** bereitgestellt sein kann (**Fig. 23B**). Bei der Halbleitervorrichtung **155** ist der eine Anschluss von der Source und dem Drain des Transistors **108** elektrisch mit der Leitung **114** verbunden, und der andere Anschluss von der Source und dem Drain des Transistors **108** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **106** verbunden.

[0270] Der andere Anschluss von der Source und dem Drain des Transistors **106** ist elektrisch mit der Leitung **113** verbunden. Der andere Anschluss von der Source und dem Drain des Transistors **106** ist elektrisch mit dem einen Anschluss von der Source und dem Drain des Transistors **101** verbunden.

[0271] Ein Vorgang zum Schreiben von Daten in die Halbleitervorrichtung **150** und ein Vorgang zum Lesen von Daten von der Halbleitervorrichtung **150** werden beschrieben.

(Schreibvorgang)

[0272] Zuerst wird ein Beispiel für den Schreibvorgang beschrieben. **Fig. 24** ist ein Ablaufdiagramm. **Fig. 25A** bis **Fig. 25E** stellen eine Arbeitsweise der Halbleitervorrichtung **150** dar. Als Beispiel wird eine zu lesende Spannung als **V1** bezeichnet, und ein Vorgang zum Schreiben von Daten durch Änderung des Potentials eines Knotens **104** (des Gate-Potentials des Transistors **106**) auf **V9** wird beschrieben. Da verschiedene Spannungen beim Speichern von Multibit-Daten angelegt werden müssen, ist es vorteilhaft, dass man **V1** frei einstellen kann.

[0273] Ein Vorgang zum Schreiben von Daten wird durch einen ersten Schritt und einen zweiten Schritt durchgeführt. In dem ersten Schritt wird eine hohe Spannung an die Leitungen **113** und **114** angelegt, eine hohe Spannung wird an die Leitung **111** angelegt, um den Transistor **101** einzuschalten, so dass der Transistor **106** eingeschaltet wird, und eine niedrige Spannung wird an die Leitung **115** angelegt, um den Transistor **108** einzuschalten. In dem zweiten Schritt wird die Spannung **V1** an die Leitung **114** angelegt, und das Anlegen der hohen Spannung an die Leitung **113** wird unterbrochen.

[0274] Durch den zweiten Schritt wird das Potential **V9**, das den Daten (der Spannung **V1**) entspricht, von der Leitung **114** an den Knoten **104** über die Source und den Drain des Transistors **106**, die Source und den Drain des Transistors **108**, die Leitung **113** und die Source und den Drain des Transistors **101** angelegt. Dann wird das Potential **V9** an das Gate des Transistors **106** angelegt. Eine elektrische Ladung, die **V9** entspricht, wird in dem Kondensator **103** akkumuliert.

[0275] **Fig. 25A** zeigt einen Anfangszustand der Halbleitervorrichtung **150**. In **Fig. 24** ist der Anfangszustand durch (A) dargestellt.

[0276] Ein Signal bei einer niedrigen Spannung wird an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** ausgeschaltet.

[0277] Ein Signal bei einer niedrigen Spannung wird an die Leitung **115** eingegeben, und demzufolge wird der Transistor **108** ausgeschaltet. Die niedrige Spannung ist eine Spannung, bei der der Transistor **108** ausgeschaltet wird. Die niedrige Spannung kann die Bezugsspannung (**GND**), die Stromversorgungsspannung (**VSS**) oder eine weitere Spannung sein.

[0278] Eine niedrige Spannung, wie z. B. ein Bezugspotential, wird an die andere Elektrode des Kondensators **103** angelegt. Eine Spannung, die dem Kapazitätswert des Kondensators **103** entspricht, wird an den Knoten **104** angelegt.

[0279] Eine hohe Spannung (**VDD**) wird an die Leitungen **113** und **114** angelegt. Folglich können die Leitungen **113** und **114** mit der hohen Spannung vorgeladen werden. Die hohe Spannung ist hier die Stromversorgungsspannung (**VDD**) aber kann eine weitere Spannung sein.

[0280] **Fig. 25B** zeigt einen Schreibvorbereitungszustand. In **Fig. 24** ist der Zustand durch (B) dargestellt.

[0281] Zu einem Zeitpunkt **t1** wird ein Signal bei einer hohen Spannung an die Leitung **111** eingegeben, und demzufolge wird der Transistor **101** eingeschaltet.

[0282] Der Transistor **101** wird eingeschaltet, so dass die Leitung **113** und der Knoten **104** elektrisch miteinander verbunden werden. Das Potential der Leitung **113** wird an den Knoten **104** angelegt, wodurch der Transistor **106** eingeschaltet wird.

[0283] Zu dem Zeitpunkt **t1** wird ein Signal bei einer hohen Spannung an die Leitung **115** eingegeben. Der Transistor **108** wird eingeschaltet. Die hohe Spannung ist eine Spannung, bei der der Transistor **108** eingeschaltet wird. Die hohe Spannung kann die Stromversorgungsspannung (**VDD**) oder eine weitere Spannung sein.

[0284] Eine hohe Spannung wird an die Leitungen **113** und **114** angelegt, und die Transistoren **101**, **106** und **108** werden eingeschaltet. So wird der erste Schritt abgeschlossen.

[0285] **Fig. 25C** und **Fig. 25D** zeigen einen Schreibzustand. In **Fig. 24** ist der Zustand durch (C) und (D) dargestellt.

[0286] Zu einem Zeitpunkt **t2** wird die Spannung **V1** an die Leitung **114** angelegt (**Fig. 25C**). Die Spannung **V1** ist eine durch einen Lesevorgang zu lesende Spannung. Der Level von **V1** kann in Abhängigkeit von zu schreibenden Daten frei eingestellt werden.

[0287] Zu dem Zeitpunkt **t2** wird eine Zuführung der hohen Spannung (**VDD**) zu der Leitung **113** unterbrochen (**Fig. 25C**). Dabei wird die Leitung **113** von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung **113** leicht durch Laden oder Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung **113** ausgeschaltet wird.

[0288] Da die Transistoren **108** und **106** eingeschaltet sind, ist die Leitung **113** elektrisch mit der Leitung **114** verbunden. Die Spannung der Leitung **113** wird von der vorgeladenen hohen Spannung (**VDD**) auf **V9** geändert (**Fig. 25D**). Es sei angemerkt, dass

der Unterschied zwischen V_9' und V_1 ungefähr die Schwellenspannungen der Transistoren **106** und **108** ist.

[0289] Da der Transistor **101** eingeschaltet ist, werden Daten von der Leitung **114** in den Knoten **104** (das Gate des Transistors **106**) über die Source und den Drain des Transistors **101**, die Source und den Drain des Transistors **108**, die Leitung **113** und die Source und den Drain des Transistors **101** geschrieben. Eine elektrische Ladung wird in dem Kondensator **103** akkumuliert. Das Potential des Knotens **104** wird auf V_9 geändert.

[0290] Das Potential des Knotens **104** wird auf V_9 geändert, und folglich wird ein Potentialunterschied zwischen dem Gate des Transistors **106** und der Source des Transistors **106** klein; als Ergebnis wird ein Strom (I_d) gering, der zwischen der Source und dem Drain des Transistors **106** fließt. Der Transistor **106** wird schließlich ausgeschaltet.

[0291] Bei der Halbleitervorrichtung **150** werden V_1 , V_9' und V_9 an die Leitung **114**, die Leitung **113** bzw. den Knoten **104** angelegt.

[0292] Die Spannung V_1 wird an die Leitung **114** angelegt, und das Anlegen der hohen Spannung an die Leitung **113** wird unterbrochen, so dass der zweite Schritt abgeschlossen wird.

[0293] Durch die vorstehenden Schritte wird die zu lesende Spannung V_1 an die Leitung **114** angelegt, und das Potential des Knotens **104** wird auf V_9 geändert, so dass der Schreibvorgang abgeschlossen wird.

[0294] Fig. 25E zeigt einen Zustand nach dem Schreibvorgang und vor der Datenhaltung. In Fig. 24 ist der Zustand durch (E) dargestellt.

[0295] Zu einem Zeitpunkt t_3 wird ein Signal bei einer niedrigen Spannung an die Leitung **111** eingegeben. Der Transistor **101** wird ausgeschaltet. Der Knoten **104** und die Leitung **113** sind elektrisch nicht verbunden. Der Transistor **101** weist ein Merkmal, einen sehr geringen Sperrstrom, auf, und daher wird das Potential (V_9) des Knotens **104** gehalten.

[0296] Vor einem Zeitpunkt t_4 beginnt die niedrige Spannung, an die Leitung **115** angelegt zu werden, und die hohe Spannung (V_{DD}) beginnt, an die Leitungen **113** und **114** angelegt zu werden.

[0297] Die niedrige Spannung wird an die Leitung **115** angelegt, so dass der Transistor **108** ausgeschaltet wird. Die niedrige Spannung kann ein Potential sein, bei dem der Transistor **108** ausgeschaltet wird.

[0298] Zu dem Zeitpunkt t_4 wird der Zustand zu dem Haltezustand. In Fig. 24 ist der Zustand durch (F) dargestellt. Der Zustand der Halbleitervorrichtung **150** ist gleich dem Zustand der Halbleitervorrichtung **150** in Fig. 25A außer dem Potential des Knotens **104** (V_9). Die Transistoren **101** und **108** sind ausgeschaltet.

[0299] Es sei angemerkt, dass eine hohe Spannung an die Leitung **114** in (A) und (F) in Fig. 24 angelegt wird, aber eine niedrige Spannung kann an die Leitung **114** in (A) und (F) in Fig. 24 angelegt werden. In dem Fall, in dem eine niedrige Spannung an die Leitung **114** angelegt ist, kann die Spannung in einigen Fällen schnell geändert werden, wenn der Zustand von dem Zustand (E) zu dem Zustand (F) geändert wird, d. h. eine niedrige Spannung an die Leitung **114** angelegt wird.

(Lesevorgang)

[0300] Als Nächstes wird ein Beispiel für einen Vorgang zum Lesen der Spannung V_1 basierend auf einer elektrischen Ladung beschrieben, die durch den Schreibvorgang geschrieben worden ist. Fig. 26 ist ein Ablaufdiagramm. Fig. 27A bis Fig. 27D zeigen eine Arbeitsweise der Halbleitervorrichtung **150**.

[0301] Ein Vorgang zum Lesen von Daten wird durch einen dritten Schritt, in dem eine niedrige Spannung an die Leitung **114** angelegt wird, und einen vierten Schritt durchgeführt, in dem das Anlegen der niedrigen Spannung an die Leitung **114** unterbrochen wird und eine hohe Spannung an die Leitung **115** angelegt wird, um den Transistor **108** einzuschalten. Durch den vierten Schritt wird die Spannung der Leitung **114** von der niedrigen Spannung zu der Spannung V_1 geändert.

[0302] Fig. 27A zeigt einen Haltezustand der Halbleitervorrichtung **150**. In Fig. 26 ist der Haltezustand durch (A) dargestellt.

[0303] Fig. 27B zeigt einen Lesevorbereitungszustand. In Fig. 26 ist der Zustand durch (B) dargestellt.

[0304] Zu dem Zeitpunkt t_5 wird eine niedrige Spannung (GND) an die Leitung **114** angelegt. Die Leitung **114** kann mit der niedrigen Spannung vorgeladen werden. Hier wird GND an die Leitung **114** angelegt, aber eine Stromversorgungsspannung (V_{SS}) oder eine weitere Spannung kann daran angelegt werden.

[0305] Es sei angemerkt, dass die Transistoren **101** und **108** von dem Haltezustand an ausgeschaltet bleiben.

[0306] Die niedrige Spannung wird an die Leitung **114** angelegt, so dass der dritte Schritt abgeschlossen wird.

[0307] Fig. 27C und Fig. 27D zeigen einen Lesezustand. In Fig. 26 ist der Zustand durch (C) dargestellt.

[0308] Zu einem Zeitpunkt t_6 wird eine Zuführung der niedrigen Spannung (GND) zu der Leitung 114 unterbrochen (Fig. 27C). Dabei wird die Leitung 114 von der vorgeladenen Spannung in einen elektrisch schwebenden Zustand versetzt. Mit anderen Worten wird das Potential der Leitung 114 leicht durch Laden und Entladen von einer elektrischen Ladung geändert. Dieser schwebende Zustand kann erhalten werden, indem der Schalter zum Zuführen des Potentials der Leitung 114 ausgeschaltet wird.

[0309] Zu dem Zeitpunkt t_6 wird ein Signal bei einer hohen Spannung an die Leitung 115 eingegeben. Der Transistor 108 wird eingeschaltet.

[0310] Da die Spannung V9 an das Gate des Transistors 106 angelegt worden ist, wird der Transistor 106 eingeschaltet. Das Potential der Leitung 114 ändert sich von der vorgeladenen niedrigen Spannung (GND) auf V1 als Reaktion auf die Gate-Spannung V9 (Fig. 27D). Ein Potentialunterschied zwischen dem Gate und der Source des Transistors 106 wird im Laufe der Zeit kleiner, und folglich wird der Transistor 106 ausgeschaltet.

[0311] Die Leitung 114 ist elektrisch mit einer Beurteilungsschaltung oder dergleichen verbunden, um V1 zu lesen. Folglich kann die Spannung V1 gelesen werden.

[0312] Das Anlegen der niedrigen Spannung an die Leitung 114 wird unterbrochen, und der Transistor 108 wird eingeschaltet. Folglich wird der vierte Schritt abgeschlossen.

[0313] Nachdem Daten gelesen worden sind, wird zu einem Zeitpunkt t_7 ein Signal bei einer niedrigen Spannung an die Leitung 115 eingegeben. Folglich wird der Transistor 108 ausgeschaltet ((D) in Fig. 26).

[0314] Eine hohe Spannung (VDD) wird vor einem Zeitpunkt t_8 an die Leitung 114 angelegt ((D) in Fig. 26).

[0315] Zu dem Zeitpunkt t_8 ist der Zustand der Haltezustand. In Fig. 26 ist der Zustand durch (E) dargestellt. Die Halbleitervorrichtung 150 befindet sich in dem in Fig. 27A gezeigten Zustand.

[0316] Es sei angemerkt, dass eine hohe Spannung an die Leitung 114 in (A) und (E) in Fig. 26 angelegt wird, aber eine niedrige Spannung kann an die Leitung 114 in (A) und (E) in Fig. 26 angelegt werden. In dem Fall, in dem eine niedrige Spannung an die Leitung 114 angelegt ist, kann die Spannung schnell geändert werden, wenn der Zustand von dem Zustand

(A) zu dem Zustand (B) geändert wird, d. h. GND an die Leitung 114 angelegt wird.

[0317] Es sei angemerkt, dass in dem Fall, in dem das Potential des Knotens 104, d. h. die Spannung, die an das Gate des Transistors 106 angelegt wird, zurückgesetzt wird, beispielsweise eine niedrige Spannung, wie z. B. GND, an die Leitung 113 angelegt wird, und ein Signal bei einer hohen Spannung an die Leitung 111 eingegeben wird. Folglich wird der Transistor 101 eingeschaltet, so dass der Knoten 104 elektrisch mit der Leitung 113 verbunden ist. Da GND an die Leitung 113 angelegt wird, wird das Potential des Knotens 104 zurückgesetzt.

[0318] Bei der Halbleitervorrichtung 150 dient das Potential (V1), das beim Schreiben von Daten an die Leitung 114 angelegt wird, als Lesepotential.

[0319] Die Halbleitervorrichtung 150 kann, wie die Halbleitervorrichtung 100, einen Effekt bei der Ausführungsform 1 aufweisen. Des Weiteren kann eine Kapazität der Leitung 115, die elektrisch mit dem Transistor 108 bei der Halbleitervorrichtung 150 verbunden ist, kleiner sein als eine Kapazität der Leitung 112, die elektrisch mit dem Kondensator 103 bei der Halbleitervorrichtung 140 verbunden ist; somit kann der Stromverbrauch der Halbleitervorrichtung 150 geringer sein.

[0320] Eine Arbeitsweise der Halbleitervorrichtung 155 in Fig. 23B ist gleich wie diejenige der Halbleitervorrichtung 150; deshalb wird auf die Beschreibung der Arbeitsweise der Halbleitervorrichtung 150 Bezug genommen.

[0321] Diese Ausführungsform kann in Kombination mit jeder der anderen Ausführungsformen in dieser Beschreibung nach Bedarf implementiert werden.

(Ausführungsform 6)

[0322] Ein Oxidhalbleiter, der für den Kanal des Transistors 101 bei den Ausführungsformen 1 bis 5 verwendet werden kann, wird beschrieben.

[0323] Ein Oxidhalbleiter enthält vorzugsweise mindestens Indium (In) oder Zink (Zn). Zusätzlich zu In und Zn enthält der Oxidhalbleiter vorzugsweise Gallium (Ga), das als Stabilisator dient, der Schwankungen der elektrischen Eigenschaften des Transistors verringert, bei dem das oben beschriebene Oxid verwendet wird. Zinn (Sn) ist vorzugsweise als Stabilisator enthalten. Hafnium (Hf) ist vorzugsweise als Stabilisator enthalten. Aluminium (Al) ist vorzugsweise als Stabilisator enthalten. Zirkonium (Zr) ist vorzugsweise als Stabilisator enthalten.

[0324] Unter den Oxidhalbleitern hat ein Oxid auf In-Ga-Zn-Basis, ein Oxid auf In-Sn-Zn-Basis oder der-

gleichen einen Vorteil, nämlich hohe Massenproduktivität, im Unterschied zu Siliziumcarbid, Galliumnitrid oder Galliumoxid, weil ein Transistor mit vorteilhaften elektrischen Eigenschaften durch Sputtern oder einen Nassprozess ausgebildet werden kann. Ferner ermöglicht, im Unterschied zu Siliziumcarbid, Galliumnitrid oder Galliumoxid, das Oxid auf In-Ga-Zn-Basis, einen Transistor mit vorteilhaften elektrischen Eigenschaften über einem Glassubstrat auszubilden. Außerdem kann ein größeres Substrat verwendet werden.

[0325] Als anderer Stabilisator kann/können eine oder mehrere Art/en von Lanthanoiden, wie z. B. Lanthan (La), Cer (Ce), Praseodym (Pr), Neodym (Nd), Samarium (Sm), Europium (Eu), Gadolinium (Gd), Terbium (Tb), Dysprosium (Dy), Holmium (Ho), Erbium (Er), Thulium (Tm), Ytterbium (Yb) oder Lutetium (Lu), enthalten sein.

[0326] Als Oxidhalbleiter kann beispielsweise ein beliebiges Oxid der folgenden Oxide verwendet werden: Indiumoxid, Galliumoxid, Zinnoxid, Zinkoxid, Oxid auf In-Zn-Basis, Oxid auf Sn-Zn-Basis, Oxid auf Al-Zn-Basis, Oxid auf Zn-Mg-Basis, Oxid auf Sn-Mg-Basis, Oxid auf In-Mg-Basis, Oxid auf In-Ga-Basis, Oxid auf In-Ga-Zn-Basis (auch als IGZO bezeichnet), Oxid auf In-Al-Zn-Basis, Oxid auf In-Sn-Zn-Basis, Oxid auf Sn-Ga-Zn-Basis, Oxid auf Al-Ga-Zn-Basis, Oxid auf Sn-Al-Zn-Basis, Oxid auf In-Hf-Zn-Basis, Oxid auf In-La-Zn-Basis, Oxid auf In-Pr-Zn-Basis, Oxid auf In-Nd-Zn-Basis, Oxid auf In-Sm-Zn-Basis, Oxid auf In-Eu-Zn-Basis, Oxid auf In-Gd-Zn-Basis, Oxid auf In-Tb-Zn-Basis, Oxid auf In-Dy-Zn-Basis, Oxid auf In-Ho-Zn-Basis, Oxid auf In-Er-Zn-Basis, Oxid auf In-Tm-Zn-Basis, Oxid auf In-Yb-Zn-Basis, Oxid auf In-Lu-Zn-Basis, Oxid auf In-Sn-Ga-Zn-Basis, Oxid auf In-Hf-Ga-Zn-Basis, Oxid auf In-Al-Ga-Zn-Basis, Oxid auf In-Sn-Al-Zn-Basis, Oxid auf In-Sn-Hf-Zn-Basis und Oxid auf In-Hf-Al-Zn-Basis.

[0327] Es sei angemerkt, dass beispielsweise ein Oxid auf In-Ga-Zn-Basis ein In, Ga und Zn enthaltendes Oxid bezeichnet, wobei es keine besondere Beschränkung bezüglich des Verhältnisses von In:Ga:Zn gibt. Überdies kann das Oxid auf In-Ga-Zn-O-Basis ein Metallelement, das anders als In, Ga und Zn ist, enthalten. Das Oxid auf In-Ga-Zn-Basis weist einen ausreichend hohen Widerstand auf, wenn kein elektrisches Feld daran angelegt wird, so dass der Sperrstrom ausreichend verringert werden kann. Außerdem weist das Oxid auf In-Ga-Zn-Basis hohe Beweglichkeit auf.

[0328] Beispielsweise kann ein Oxid auf In-Ga-Zn-Basis mit einem Atomverhältnis von In: Ga: Zn = 1: 1:1 (= 1/3:1/3:1/3) oder In: Ga: Zn = 2:2:1 (= 2/5:2/5: 1/5), oder ein Oxid mit einem Atomverhältnis, das nahe den obigen Atomverhältnissen ist, verwendet werden. Alternativ kann ein Oxid auf In-Sn-Zn-Basis mit

einem Atomverhältnis von In: Sn: Zn = 1:1:1 (= 1/3:1/ 3:1/3), In: Sn: Zn = 2:1:3 (= 1/3:1/6:1/2) oder In: Sn: Zn = 2:1:5 (= 1/4:1/8:5/8), oder ein Oxid mit einem Atomverhältnis, das nahe den obigen Atomverhältnissen ist, verwendet werden.

[0329] Beispielsweise kann mit einem Oxid auf In-Sn-Zn-Basis relativ leicht hohe Beweglichkeit erzielt werden. Doch kann auch mit einem Oxid auf In-Ga-Zn-Basis die Beweglichkeit durch Verringern der Defektdichte im Bulk erhöht werden.

[0330] Eine Struktur des Oxidhalbleiterfilms wird nachstehend beschrieben.

[0331] Ein Oxidhalbleiterfilm wird grob in einen einkristallinen Oxidhalbleiterfilm und einen nicht-einkristallinen Oxidhalbleiterfilm unterteilt. Der nicht-einkristalline Oxidhalbleiterfilm umfasst einen Film von einem amorphen Oxidhalbleiterfilm, einem mikrokristallinen Oxidhalbleiterfilm, einem polykristallinen Oxidhalbleiterfilm, einem Film aus kristallinem Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline oxide semiconductor, CAAC-OS) und dergleichen.

[0332] Der amorphe Oxidhalbleiterfilm weist eine ungeordnete Atomanordnung und keine kristalline Komponente auf. Ein typisches Beispiel dafür ist ein Oxidhalbleiterfilm, in dem auch in einem mikroskopischen Bereich kein Kristallteil besteht, wobei der ganze Film amorph ist.

[0333] Der mikrokristalline Oxidhalbleiterfilm enthält beispielsweise einen Mikrokristall (auch als Nanokristall bezeichnet) mit einer Größe von größer als oder gleich 1 nm und kleiner als 10 nm. Daher weist der mikrokristalline Oxidhalbleiterfilm einen höheren Grad von Atomordnung auf als der amorphe Oxidhalbleiterfilm. Dementsprechend ist die Dichte der Defektzustände des mikrokristallinen Oxidhalbleiterfilms niedriger als diejenige des amorphen Oxidhalbleiterfilms.

[0334] Der CAAC-OS-Film ist ein Film von Oxidhalbleiterfilmen, die eine Vielzahl von Kristallteilen aufweisen, und die meisten der Kristallteile passen jeweils in einen Würfel, dessen Kantenlänge kleiner als 100 nm ist. Deswegen gibt es einen Fall, in dem ein Kristallteil in dem CAAC-OS-Film in einen Würfel passt, dessen Kantenlänge kleiner als 10 nm, kleiner als 5 nm oder kleiner als 3 nm ist. Die Dichte der Defektzustände des CAAC-OS-Films ist niedriger als diejenige des mikrokristallinen Oxidhalbleiterfilms. Der CAAC-OS-Film wird ausführlich nachstehend beschrieben.

[0335] In einem Transmissionselektronenmikroskop- (TEM-) Bild des CAAC-OS-Films ist eine Grenze zwischen Kristallteilen, d. h. eine Korngrenze, nicht eindeutig wahrzunehmen. Folglich ist es weniger wahrscheinlich, dass in dem CAAC-OS-Film die

Elektronenbeweglichkeit wegen der Korngrenze verringert wird.

[0336] Dem TEM-Bild des CAAC-OS-Films zufolge, der in einer Richtung beobachtet wird, die im Wesentlichen parallel zu einer Probenoberfläche ist (Querschnitts-TEM-Bild, cross-sectional TEM image), sind Metallatome geschichtet in den Kristallteilen angeordnet. Jede Metallatomlage weist eine Gestalt auf, die widergespiegelt wird durch eine Oberfläche, über der der CAAC-OS-Film ausgebildet wird (eine Oberfläche, über der der CAAC-OS-Film ausgebildet wird, wird nachstehend als Ausbildungsoberfläche bezeichnet), oder durch eine nach oben weisende Oberfläche des CAAC-OS-Films, und jede Metallatomlage ist parallel zu der Ausbildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS-Films angeordnet.

[0337] Andererseits sind dem TEM-Bild des CAAC-OS-Films zufolge, der in einer Richtung beobachtet wird, die im Wesentlichen senkrecht zur Probenoberfläche ist (Draufsicht-TEM-Bild, plan TEM image), Metallatome in einer trigonalen oder hexagonalen Konfiguration in den Kristallteilen angeordnet. Zwischen unterschiedlichen Kristallteilen gibt es jedoch keine Regelmäßigkeit der Anordnung von Metallatomen.

[0338] Aus den Ergebnissen des Querschnitt-TEM-Bildes und des Draufsicht-TEM-Bildes wird eine Ausrichtung in den Kristallteilen in dem CAAC-OS-Film festgestellt.

[0339] Ein CAAC-OS-Film wird einer Strukturanalyse mittels eines Röntgenbeugungs- (X-ray diffraction, XRD-) Geräts unterzogen. Wenn beispielsweise der CAAC-OS-Film, der einen InGaZnO_4 -Kristall enthält, durch ein Out-of-Plane-Verfahren (out-of-plane method) analysiert wird, erscheint oft ein Peak bei einem Beugungswinkel (2θ) von ungefähr 31° . Dieser Peak stammt aus der (009)-Ebene des InGaZnO_4 -Kristalls, was darauf hindeutet, dass Kristalle in dem CAAC-OS-Film eine Ausrichtung bezüglich der c-Achse aufweisen und dass die c-Achsen in einer Richtung ausgerichtet sind, die im Wesentlichen senkrecht zu der Ausbildungsoberfläche oder der nach oben weisenden Oberfläche des CAAC-OS-Films ist.

[0340] Andererseits erscheint dann, wenn der CAAC-OS-Film durch ein In-Plane-Verfahren (in-plane method) analysiert wird, in dem ein Röntgenstrahl in eine Probe in einer Richtung eintritt, die im Wesentlichen senkrecht zur c-Achse ist, ein Peak oft bei 2θ von ungefähr 56° . Dieser Peak stammt aus der (110)-Ebene des InGaZnO_4 -Kristalls. Hier wird die Analyse (f-Scan) unter Bedingungen durchgeführt, bei denen die Probe um einen Normalenvektor einer Probenoberfläche als Achse (f-Achse) gedreht wird, wobei $2q$ auf ungefähr 56° festgelegt wird. In dem

Fall, in dem die Probe ein einkristalliner Oxidhalbleiterfilm aus InGaZnO_4 ist, erscheinen sechs Peaks. Die sechs Peaks stammen aus Kristallebenen, die der (110)-Ebene gleich sind. Dagegen ist im Falle eines CAAC-OS-Films ein Peak nicht eindeutig wahrzunehmen, auch wenn ein ϕ -Scan durchgeführt wird, wobei 2θ auf ungefähr 56° festgelegt wird.

[0341] Nach den obigen Ergebnissen sind in dem CAAC-OS-Film mit Ausrichtung bezüglich der c-Achse die c-Achsen in einer Richtung, die parallel zu einem Normalenvektor einer Ausbildungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche ist, ausgerichtet, während die Richtungen von a-Achsen und b-Achsen zwischen Kristallteilen verschieden sind. Jede Metallatomlage, die im Querschnitts-TEM-Bild geschichtet angeordnet wahrzunehmen ist, entspricht daher einer Ebene, die parallel zur a-b-Ebene des Kristalls ist.

[0342] Es sei angemerkt, dass der Kristallteil gleichzeitig mit einer Abscheidung des CAAC-OS-Films gebildet wird oder durch eine Kristallisierungsbehandlung, wie z. B. eine Wärmebehandlung, gebildet wird. Wie zuvor beschrieben worden ist, ist die c-Achse des Kristalls in einer Richtung ausgerichtet, die parallel zu einem Normalenvektor einer Ausbildungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche ist. Deshalb könnte beispielsweise in dem Fall, in dem eine Form des CAAC-OS-Films durch Ätzen oder dergleichen geändert wird, die c-Achse nicht immer parallel zu einem Normalenvektor einer Ausbildungsoberfläche oder einem Normalenvektor einer nach oben weisenden Oberfläche des CAAC-OS-Films sein.

[0343] Zudem ist der Grad der Kristallinität in dem CAAC-OS-Film nicht notwendigerweise gleichmäßig. Zum Beispiel ist in dem Fall, in dem das Kristallwachstum zum Ausbilden des CAAC-OS-Films von der Nähe der nach oben weisenden Oberfläche des Films aus beginnt, in einigen Fällen der Grad der Kristallinität in der Nähe der nach oben weisenden Oberfläche höher als derjenige in der Nähe der Ausbildungsoberfläche. Ferner wird dann, wenn dem CAAC-OS-Film eine Verunreinigung zugesetzt wird, die Kristallinität in einem Bereich, dem die Verunreinigung zugesetzt wird, geändert, und der Grad der Kristallinität in dem CAAC-OS-Film variiert in Abhängigkeit vom Ort.

[0344] Es sei angemerkt, dass dann, wenn der einen InGaZnO_4 -Kristall enthaltende CAAC-OS-Film durch ein Out-of-Plane-Verfahren analysiert wird, auch ein Peak bei 2θ von ungefähr 36° zusätzlich zu dem Peak bei 2θ von ungefähr 31° wahrzunehmen ist. Der Peak bei 2θ von ungefähr 36° deutet darauf hin, dass ein Kristall ohne Ausrichtung bezüglich der c-Achse in einem Teil des CAAC-OS-Films enthalten ist. Es wird bevorzugt, dass in dem CAAC-OS-Film ein Peak bei

20 von ungefähr 31° erscheint und kein Peak bei 20 von ungefähr 36° erscheint.

[0345] Unter Verwendung des CAAC-OS-Films bei einem Transistor sind Schwankungen der elektrischen Eigenschaften des Transistors wegen einer Bestrahlung mit sichtbarem Licht oder UV-Licht gering. Folglich weist der Transistor hohe Zuverlässigkeit auf.

[0346] Es sei angemerkt, dass ein Oxidhalbleiterfilm ein mehrschichtiger Film sein kann, der beispielsweise zwei oder mehr Arten der Filme von einem amorphen Oxidhalbleiterfilm, einem mikrokristallinen Oxidhalbleiterfilm und einem CAAC-OS-Film umfasst.

[0347] Beispielsweise wird der CAAC-OS-Film durch ein Sputterverfahren mit einem Sputtertarget aus einem polykristallinen Metalloxid ausgebildet.

[0348] Zur Abscheidung des CAAC-OS-Films werden vorzugsweise die folgenden Bedingungen verwendet.

[0349] Durch Verringern der Menge an Verunreinigungen, die während der Abscheidung in die CAAC-OS-Schicht eindringen, kann verhindert werden, dass der Kristallzustand durch die Verunreinigungen beschädigt wird. Beispielsweise kann die Konzentration der in der Behandlungskammer vorhandenen Verunreinigungen (z. B. Wasserstoff, Wasser, Kohlendioxid und Stickstoff) verringert werden. Außerdem kann die Verunreinigungskonzentration in einem Abscheidungs gas verringert werden. Insbesondere wird ein Abscheidungs gas verwendet, dessen Taupunkt bei -80 °C oder niedriger, bevorzugt -100 °C oder niedriger liegt.

[0350] Durch Erhöhen der Erwärmungstemperatur des Substrats während der Abscheidung ist es wahrscheinlich, dass es zu einer Migration eines gesputterten Teilchens kommt, nachdem das gesputterte Teilchen eine Oberfläche eines Substrats erreicht hat. Insbesondere ist die Erwärmungstemperatur des Substrats während der Abscheidung höher als oder gleich 100 °C und niedriger als oder gleich 740 °C, bevorzugt höher als oder gleich 200 °C und niedriger als oder gleich 500 °C. Durch Erhöhen der Erwärmungstemperatur des Substrats während der Abscheidung tritt dann, wenn die flachplattenähnlichen gesputterten Teilchen das Substrat erreichen, eine Migration an dem Substrat auf, so dass eine flache Ebene jedes flachplattenähnlichen gesputterten Teilchens an dem Substrat haftet.

[0351] Außerdem ist es zu bevorzugen, dass der Sauerstoffanteil in dem Abscheidungs gas erhöht wird und die Energie optimiert wird, um Plasmaschäden bei der Abscheidung zu verringern. Der Sauerstoffan-

teil in dem Abscheidungs gas ist höher also der gleich 30 Vol.-%, bevorzugt 100 Vol.-%.

[0352] Die Oxidhalbleiterschicht ist nicht auf einen einschichtigen Metalloxidfilm beschränkt und kann eine mehrschichtige Struktur aus einer Vielzahl von Metalloxidfilmen aufweisen. In einem Halbleiterfilm, in dem erste bis dritte Metalloxidfilme der Reihe nach angeordnet sind, sind beispielsweise der erste Metalloxidfilm und der dritte Metalloxidfilm jeweils ein Oxidfilm, der mindestens eines der Metallelemente enthält, die in dem zweiten Metalloxidfilm enthalten sind, und dessen niedrigste Leitungsbandenergie um mehr als oder gleich 0,05 eV, 0,07 eV, 0,1 eV oder 0,15 eV und weniger als oder gleich 2 eV, 1 eV, 0,5 eV oder 0,4 eV näher dem Vakuumniveau liegt als diejenige des zweiten Metalloxidfilms. Ferner enthält vorzugsweise der zweite Metalloxidfilm mindestens Indium, um die Ladungsträgerbeweglichkeit zu erhöhen.

[0353] Bei dem Transistor, der den obigen Oxidhalbleiterfilm beinhaltet, wird ein Kanalbereich in dem zweiten Metalloxidfilm, dessen niedrigste Leitungsbandenergie in dem Halbleiterfilm niedrig ist, gebildet, wenn eine Spannung an die Gate-Elektrode angelegt wird, so dass ein elektrisches Feld an den Halbleiterfilm angelegt wird. Das heißt: Ein Kanalbereich kann in dem zweiten Metalloxidfilm, der von dem Gate-Isolierfilm isoliert ist, gebildet werden, da der dritte Metalloxidfilm zwischen dem zweiten Metalloxidfilm und dem Gate-Isolierfilm bereitgestellt ist.

[0354] Da der dritte Metalloxidfilm mindestens eines der Metallelemente enthält, die in dem zweiten Metalloxidfilm enthalten sind, ist es unwahrscheinlich, dass Grenzflächenstreuung an der Grenzfläche zwischen dem zweiten Metalloxidfilm und dem dritten Metalloxidfilm auftritt. Somit ist es unwahrscheinlich, dass die Bewegung der Ladungsträger an der Grenzfläche behindert wird, was eine Zunahme der Feldefekt-Beweglichkeit des Transistors ergibt.

[0355] Ferner wird ein Kanalbereich auch in der Nähe der Grenzfläche zwischen dem zweiten Metalloxidfilm und dem ersten Metalloxidfilm gebildet, wenn ein Grenzflächenniveau an der Grenzfläche gebildet wird, was eine Veränderung der Schwellenspannung des Transistors verursacht. Jedoch wird ein Grenzflächenniveau unwahrscheinlich an der Grenzfläche zwischen dem zweiten Metalloxidfilm und dem ersten Metalloxidfilm gebildet, da der erste Metalloxidfilm mindestens eines der Metallelemente enthält, die in dem zweiten Metalloxidfilm enthalten sind. Dadurch erlaubt die obige Struktur eine Verringerung der Schwankungen der elektrischen Eigenschaften des Transistors wie z. B. der Schwellenspannung.

[0356] Ferner ist vorzugsweise eine Vielzahl von Metalloxidfilmen derart angeordnet, dass kein Grenzflächenniveau, das aus einer Verunreinigung, die

zwischen den Metalloxidfilmen existiert, stammt und den Fluss von Ladungsträgern sperrt, an der Grenzfläche zwischen den Metalloxidfilmen gebildet wird. Das liegt daran, dass die Stetigkeit der niedrigsten Leitungsbandenergie zwischen den Metalloxidfilmen verloren geht und in der Nähe der Grenzfläche Ladungsträger eingefangen werden oder infolge Rekombination verschwinden, wenn eine Verunreinigung zwischen den angeordneten Metalloxidfilmen existiert. Durch Verringerung einer Verunreinigung, die zwischen den Filmen existiert, wird ein stetiger Übergang (hier besonders eine U-förmige Wannenstruktur (well structure), deren niedrigste Leitungsbandenergie stetig zwischen den Filmen geändert wird) leichter gebildet als in dem Fall, in dem eine Vielzahl von Metalloxidfilmen, die mindestens eine Haupt-Metallkomponente teilen, lediglich gestapelt ist.

[0357] Um ein derartiges stetiges Energieband zu bilden, ist es nötig, unter Verwendung einer Abscheidungseinrichtung (Sputtereinrichtung) mit mehreren Kammern einschließlich einer Schleusenkammer ohne Aussetzung an Luft Filme kontinuierlich auszubilden. Jede Kammer in der Sputtereinrichtung wird vorzugsweise mittels einer Adsorptionsvakuumpumpe, wie z. B. einer Kryopumpe, auf hohes Vakuum (auf etwa 5×10^{-7} Pa bis 1×10^{-4} Pa) evakuiert, so dass Wasser oder dergleichen, das als Verunreinigung für einen Oxidhalbleiter dient, möglichst entfernt wird. Alternativ werden vorzugsweise eine Turbomolekularpumpe und eine Kältefalle kombiniert, um einen Rückfluss eines Gases durch ein Evakuierungssystem in die Kammer zu verhindern.

[0358] Um einen hochreinen intrinsischen Oxidhalbleiter zu erhalten, ist nicht nur die Hochvakuumevakuierung der Kammer als auch eine Erhöhung der Reinheit eines Gases, das beim Sputtern verwendet wird, wichtig. Wenn ein Sauerstoffgas oder ein Argongas, das als vorstehendes Gas verwendet wird, einen Taupunkt von -40°C oder niedriger, bevorzugt -80°C oder niedriger, stärker bevorzugt -100°C oder niedriger aufweist und hochrein ist, kann das Eindringen von Feuchtigkeit und dergleichen in den Oxidhalbleiterfilm möglichst verhindert werden.

[0359] Der erste Metalloxidfilm oder der dritte Metalloxidfilm kann ein Oxidfilm sein, der Aluminium, Silizium, Titan, Gallium, Germanium, Yttrium, Zirkonium, Zinn, Lanthan, Cer oder Hafnium mit einem höheren Atomanteil enthält als der zweite Metalloxidfilm. Konkret gesagt kann der erste Metalloxidfilm oder der dritte Metalloxidfilm ein Oxidfilm sein, der das obige Element derart enthält, dass sein Atomanteil das 1,5-Fache oder mehr, bevorzugt das Doppelte oder mehr, stärker bevorzugt das Dreifache oder mehr desjenigen in dem zweiten Metalloxidfilm ist. Das obige Element wird an Sauerstoff fest gebunden und hat somit eine Funktion zur Unterdrückung der Erzeugung von

Sauerstofffehlstellen in dem Oxidfilm. Das heißt, dass Sauerstofffehlstellen weniger wahrscheinlich in dem ersten Metalloxidfilm oder dem dritten Metalloxidfilm erzeugt werden als in dem zweiten Metalloxidfilm.

[0360] Der erste Metalloxidfilm und der dritte Metalloxidfilm haben jeweils eine Dicke von 3 nm bis 100 nm, bevorzugt 3 nm bis 50 nm. Der zweite Metalloxidfilm hat eine Dicke von 3 nm bis 200 nm, bevorzugt 3 nm bis 100 nm, stärker bevorzugt 3 nm bis 50 nm.

[0361] In dem dreischichtigen Halbleiterfilm können der erste Metalloxidfilm und der dritte Metalloxidfilm amorph oder kristallin sein. Es sei angemerkt, dass der zweite Metalloxidfilm, in dem ein Kanalbereich gebildet wird, vorzugsweise eine kristalline Struktur aufweist, in welchem Falle der Transistor stabile elektrische Eigenschaften aufweisen kann.

(Ausführungsform 7)

[0362] Ein Beispiel für die bei den Ausführungsformen **1** bis **5** gezeigten Halbleitervorrichtungen wird beschrieben. **Fig. 28** stellt ein Beispiel für eine Querschnittsstruktur des Transistors **101**, des Transistors **102** und des Kondensators **103** dar, die in der Halbleitervorrichtung **100** in **Fig. 1** enthalten sind.

[0363] Der Kanal des Transistors **101** wird in einer Oxidhalbleiterschicht gebildet. Der Fall ist gezeigt, in dem der Transistor **101** und der Kondensator **103** über dem Transistor **102**, der einen Kanalbildungsbereich in einem einkristallinen Siliziumsubstrat aufweist, ausgebildet sind.

[0364] Es sei angemerkt, dass eine aktive Schicht in dem Transistor **102** ein amorpher, mikrokristalliner, polykristalliner oder einkristalliner Halbleiterfilm aus Silizium, Germanium oder dergleichen sein kann. Alternativ kann der Transistor **102** eine aktive Schicht beinhalten, die einen Oxidhalbleiter enthält. In dem Fall, in dem alle Transistoren eine aktive Schicht beinhalten, die einen Oxidhalbleiter enthält, ist der Transistor **101** nicht unbedingt über dem Transistor **102** angeordnet, und die Transistoren **101** und **102** können in derselben Schicht ausgebildet sein.

[0365] Wenn der Transistor **102** unter Verwendung eines Siliziumdünnfilms ausgebildet wird, kann zum Beispiel ein beliebiges der Folgenden verwendet werden: amorphes Silizium, das durch Sputtern oder eine Gasphasenabscheidung, wie z. B. plasmaunterstütztes CVD, gebildet ist, polykristallines Silizium, das durch Kristallisierung amorphen Siliziums mit Laserbestrahlung erhalten wird, und einkristallines Silizium, das erhalten wird, indem ein Oberflächenbereich eines einkristallinen Siliziumwafers durch eine Implantation von Wasserstoffionen oder dergleichen in den Siliziumwafer getrennt wird.

[0366] Beispiele für ein Halbleitersubstrat **1400**, bei dem der Transistor **102** ausgebildet ist, sind ein n-Typ- oder p-Typ-Siliziumsubstrat, Germaniumsubstrat, Silizium-Germaniumsubstrat und Verbundhalbleitersubstrat (z. B. GaAs-Substrat, InP-Substrat, GaN-Substrat, SiC-Substrat, GaP-Substrat, GaInAsP-Substrat und ZnSe-Substrat). Als Beispiel zeigt **Fig. 28** den Fall, in dem ein einkristallines n-Typ-Siliziumsubstrat verwendet wird.

[0367] Der Transistor **102** ist elektrisch von anderen Transistoren durch einen Elementisolations-Isolierfilm **1401** isoliert. Der Elementisolations-Isolierfilm **1401** kann durch lokale Oxidation von Silizium (local oxidation of silicon, LOCOS), Grabenisolation oder dergleichen ausgebildet werden.

[0368] Insbesondere beinhaltet der Transistor **102** Verunreinigungsgebiete **1402** und **1403**, die in dem Halbleitersubstrat **1400** ausgebildet sind und als Source-Bereich und Drain-Bereich dienen, eine Gate-Elektrode **1404** und einen Gate-Isolierfilm **1405** zwischen dem Halbleitersubstrat **1400** und der Gate-Elektrode **1404**. Die Gate-Elektrode **1404** überlappt mit einem Kanalbildungsbereich zwischen den Verunreinigungsgebieten **1402** und **1403**, wobei der Gate-Isolierfilm **1405** dazwischen liegt.

[0369] Ein Isolierfilm **1409** ist über dem Transistor **102** bereitgestellt. Öffnungen sind in dem Isolierfilm **1409** ausgebildet. Eine Leitung **1410**, die in Kontakt mit dem Verunreinigungsgebiet **1402** ist, eine Leitung **1411**, die in Kontakt mit dem Verunreinigungsgebiet **1403** ist, und eine Leitung **1412**, die elektrisch mit der Gate-Elektrode **1404** verbunden ist, sind in den Öffnungen ausgebildet.

[0370] Die Leitung **1410** ist elektrisch mit einer Leitung **1415** über dem Isolierfilm **1409** verbunden. Die Leitung **1411** ist elektrisch mit einer Leitung **1416** über dem Isolierfilm **1409** verbunden. Die Leitung **1412** ist elektrisch mit einer Leitung **1417** über dem Isolierfilm **1409** verbunden.

[0371] Ein Isolierfilm **1420** und ein Isolierfilm **1440** sind derart ausgebildet, dass sie in dieser Reihenfolge über den Leitungen **1415** bis **1417** angeordnet sind. Eine Öffnung ist in den Isolierfilmen **1420** und **1440** ausgebildet. Eine Leitung **1421**, die elektrisch mit der Leitung **1417** verbunden ist, ist in der Öffnung ausgebildet.

[0372] In **Fig. 28** sind der Transistor **101** und der Kondensator **103** über dem Isolierfilm **1440** ausgebildet.

[0373] Der Transistor **101** beinhaltet über dem Isolierfilm **1440** einen Halbleiterfilm **1430**, der einen Oxidhalbleiter enthält, leitende Filme **1432** und **1433**, die als Source-Elektrode und Drain-Elektrode dienen

und über dem Halbleiterfilm **1430** liegen, einen Gate-Isolierfilm **1431** über dem Halbleiterfilm **1430** und den leitenden Filmen **1432** und **1433** und eine Gate-Elektrode **1434**, die über dem Gate-Isolierfilm **1431** liegt und mit dem Halbleiterfilm **1430** in dem Bereich zwischen den leitenden Filmen **1432** und **1433** überlappt. Es sei angemerkt, dass der leitende Film **1433** elektrisch mit der Leitung **1421** verbunden ist.

[0374] Ein leitender Film **1435** ist über dem Gate-Isolierfilm **1431** derart bereitgestellt, dass er mit dem leitenden Film **1433** überlappt. Ein Bereich, in dem die leitenden Filme **1433** und **1435** miteinander überlappen, wobei der Gate-Isolierfilm **1431** dazwischen liegt, dient als der Kondensator **103**.

[0375] Obwohl **Fig. 28** ein Beispiel darstellt, in dem der Kondensator **103** zusammen mit dem Transistor **101** über dem Isolierfilm **1440** bereitgestellt ist, kann der Kondensator **103** zusammen mit dem Transistor **102** unter dem Isolierfilm **1440** bereitgestellt sein.

[0376] Ein Isolierfilm **1441** und ein Isolierfilm **1442** sind derart ausgebildet, dass sie in dieser Reihenfolge über dem Transistor **101** und dem Kondensator **103** angeordnet sind. Eine Öffnung ist in den Isolierfilmen **1441** und **1442** ausgebildet. Ein leitender Film **1443**, der in Kontakt mit der Gate-Elektrode **1434** in der Öffnung ist, ist über dem Isolierfilm **1441** bereitgestellt.

[0377] In **Fig. 28** beinhaltet der Transistor **101** die Gate-Elektrode **1434** an mindestens einer Seite des Halbleiterfilms **1430**. Alternativ kann der Transistor **101** ein Paar von Gate-Elektroden beinhalten, wobei der Halbleiterfilm **1430** dazwischen liegt.

[0378] In dem Fall, in dem der Transistor **101** ein Paar von Gate-Elektroden beinhaltet, wobei der Halbleiterfilm **1430** dazwischen liegt, kann eine der Gate-Elektroden mit einem Signal zum Steuern des Durchlass-/Sperrzustandes des Transistors **101** versorgt werden, und die andere der Gate-Elektroden kann mit einem Potential aus einem anderen Element versorgt werden. In diesem Fall können dem Paar von Gate-Elektroden Potentiale auf dem gleichen Level zugeführt werden, oder ein festes Potential, wie z. B. das Erdpotential, kann nur der anderen der Gate-Elektroden zugeführt werden. Durch Steuern des Levels der anderen der Gate-Elektroden zugeführten Potentials kann die Schwellenspannung des Transistors gesteuert werden.

[0379] In **Fig. 28** weist der Transistor **101** eine Single-Gate-Struktur auf, bei der ein Kanalbildungsbereich, der der einzigen Gate-Elektrode **1434** entspricht, bereitgestellt ist. Alternativ kann der Transistor **101** eine Multi-Gate-Struktur aufweisen, bei der eine Vielzahl von Gate-Elektroden, die elektrisch miteinander verbunden sind, bereitgestellt ist und also

eine Vielzahl von Kanalbildungsbereichen in einer einzigen aktiven Schicht enthalten ist.

[0380] Der Halbleiterfilm **1430** ist nicht auf einen einzelnen Film aus einem Oxidhalbleiter beschränkt und kann eine Schichtanordnung aus einer Vielzahl von Oxidhalbleiterfilmen sein. **Fig. 29A** stellt ein Strukturbeispiel für einen Transistor **1110A** dar, in dem der Halbleiterfilm **1430** eine dreischichtige Struktur aufweist.

[0381] Der Transistor **1110A** in **Fig. 29A** beinhaltet den Halbleiterfilm **1430** über einem Isolierfilm **820** oder dergleichen, leitende Filme **832** und **833**, die elektrisch mit dem Halbleiterfilm **1430** verbunden sind, einen Gate-Isolierfilm **831** und eine Gate-Elektrode **834**, die über dem Gate-Isolierfilm **831** derart bereitgestellt ist, dass sie mit dem Halbleiterfilm **1430** überlappt.

[0382] Bei dem Transistor **1110A** sind als der Halbleiterfilm **1430** Oxidhalbleiterschichten **830a** bis **830c** in dieser Reihenfolge von der Seite des Isolierfilms **820** aus angeordnet.

[0383] Die Oxidhalbleiterschichten **830a** und **830c** sind jeweils ein Oxidfilm, der mindestens eines der Metallelemente enthält, die in der Oxidhalbleiterschicht **830b** enthalten sind. Die Energie am Minimum des Leitungsbandes der Oxidhalbleiterschichten **830a** und **830c** liegt um 0,05 eV oder mehr, 0,07 eV oder mehr, 0,1 eV oder mehr oder 0,15 eV oder mehr und 2 eV oder weniger, 1 eV oder weniger, 0,5 eV oder weniger oder 0,4 eV oder weniger näher dem Vakuumniveau als diejenige der Oxidhalbleiterschicht **830b**. Die Oxidhalbleiterschicht **830b** enthält vorzugsweise mindestens Indium, um die Ladungsträgbeweglichkeit zu erhöhen.

[0384] Wie in **Fig. 29B** dargestellt, kann ein Teil der Oxidhalbleiterschicht **830c** über den leitenden Filmen **832** und **833** derart angeordnet sein, dass er mit dem Gate-Isolierfilm **831** überlappt.

(Ausführungsform 8)

[0385] Die Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung kann für Anzeigevorrichtungen, Personal-Computer, Bildwiedergabevorrichtungen, die mit Aufzeichnungsmedien versehen sind (typischerweise Vorrichtungen, die den Inhalt von Aufzeichnungsmedien, wie z. B. Digital Versatile Disks (DVDs), wiedergeben und die Bildschirme zur Anzeige der wiedergegebenen Bilder aufweisen), oder dergleichen verwendet werden. Weitere Beispiele für elektronische Geräte, die mit der Halbleitervorrichtung einer Ausführungsform der vorliegenden Erfindung ausgestattet sein können, sind Mobiltelefone, Spielgeräte einschließlich tragbarer Spielkonsolen, tragbare Datenendgeräte, E-Book-

Lesegeräte, Kameras, wie z. B. Videokameras und digitale Fotokameras, Videobrillen (am Kopf getragene Anzeigen), Navigationssysteme, Audio-Wiedergabevorrichtungen (z. B. Auto-Audiosysteme und digitale Audio-Wiedergabegeräte), Kopiergeräte, Faxgeräte, Drucker, Multifunktionsdrucker, Geldautomaten (automated teller machines, ATM) und Verkaufsautomaten. **Fig. 30A** bis **Fig. 30D** stellen konkrete Beispiele für diese elektronischen Geräte dar.

[0386] **Fig. 30A** stellt eine tragbare Spielkonsole dar, die ein Gehäuse **5001**, ein Gehäuse **5002**, einen Anzeigeabschnitt **5003**, einen Anzeigeabschnitt **5004**, ein Mikrofon **5005**, einen Lautsprecher **5006**, eine Bedienungstaste **5007**, einen Stift **5008** und dergleichen beinhaltet. Obwohl die tragbare Spielkonsole in **Fig. 30A** die zwei Anzeigeabschnitte **5003** und **5004** beinhaltet, ist die Anzahl von Anzeigeabschnitten bei einer tragbaren Spielkonsole nicht darauf beschränkt.

[0387] **Fig. 30B** stellt ein tragbares Datenendgerät dar, das ein erstes Gehäuse **5601**, ein zweites Gehäuse **5602**, einen ersten Anzeigeabschnitt **5603**, einen zweiten Anzeigeabschnitt **5604**, ein Gelenk **5605**, eine Bedienungstaste **5606** und dergleichen beinhaltet. Der erste Anzeigeabschnitt **5603** ist in dem ersten Gehäuse **5601** bereitgestellt, und der zweite Anzeigeabschnitt **5604** ist in dem zweiten Gehäuse **5602** bereitgestellt. Das erste Gehäuse **5601** und das zweite Gehäuse **5602** sind mittels des Gelenks **5605** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **5601** und dem zweiten Gehäuse **5602** kann mittels des Gelenks **5605** geändert werden. Ein Bild auf dem ersten Anzeigeabschnitt **5603** kann entsprechend dem Winkel an dem Gelenk **5605** zwischen dem ersten Gehäuse **5601** und dem zweiten Gehäuse **5602** umgeschaltet werden. Eine Anzeigevorrichtung mit einer Funktion zur Positioneingabe kann für den ersten Anzeigeabschnitt **5603** und/oder den zweiten Anzeigeabschnitt **5604** verwendet werden. Es sei angemerkt, dass man die Funktion zur Positioneingabe durch Bereitstellen eines Touchscreens in einer Anzeigevorrichtung hinzufügen kann. Alternativ kann auch die Funktion zur Positioneingabe durch Bereitstellen eines fotoelektrischen Umwandlungselements, genannt Fotosensor, in einem Pixelgebiet einer Anzeigevorrichtung hinzugefügt werden.

[0388] **Fig. 30C** stellt einen Laptop dar, der ein Gehäuse **5401**, einen Anzeigeabschnitt **5402**, eine Tastatur **5403**, eine Zeigevorrichtung **5404** und dergleichen beinhaltet.

[0389] **Fig. 30D** stellt den elektrischen Kühl-Gefrierschrank dar, der ein Gehäuse **5301**, eine Kühltür **5302**, eine Gefrierschranktür **5303** und dergleichen beinhaltet.

[0390] Fig. 30E stellt eine Videokamera dar, die ein erstes Gehäuse **5801**, ein zweites Gehäuse **5802**, einen Anzeigeabschnitt **5803**, Bedienungstasten **5804**, eine Linse **5805**, ein Gelenk **5806** und dergleichen beinhaltet. Die Bedienungstasten **5804** und die Linse **5805** sind in dem ersten Gehäuse **5801** bereitgestellt, und der Anzeigeabschnitt **5803** ist in dem zweiten Gehäuse **5802** bereitgestellt. Das erste Gehäuse **5801** und das zweite Gehäuse **5802** sind mittels des Gelenks **5806** miteinander verbunden, und der Winkel zwischen dem ersten Gehäuse **5801** und dem zweiten Gehäuse **5802** kann mittels des Gelenks **5806** geändert werden. Bilder, die auf dem Anzeigeabschnitt **5803** angezeigt werden, können entsprechend dem Winkel an dem Gelenk **5806** zwischen dem ersten Gehäuse **5801** und dem zweiten Gehäuse **5802** umgeschaltet werden.

[0391] Fig. 30F stellt einen Personenkraftwagen dar, der eine Karosserie **5101**, Räder **5102**, ein Armaturenbrett **5103**, Scheinwerfer **5104** und dergleichen beinhaltet.

Bezugszeichenliste

100:	Halbleitervorrichtung, Speicherzelle;	302:	Steuerschaltung;
101:	Transistor;	401:	Decoder;
102:	Transistor;	402:	Latch-Schaltung;
103:	Kondensator;	403:	D/A-Wandler;
104:	Knoten;	404:	Schalterstromkreis;
106:	Transistor;	405:	Transistor;
107:	Transistor;	406:	Transistor;
108:	Transistor;	501:	Komparator;
111:	Leitung;	502:	Encoder;
112:	Leitung;	503:	Latch-Schaltung;
113:	Leitung;	504:	Puffer;
114:	Leitung;	600:	Halbleitervorrichtung;
115:	Leitung;	820:	Isolierfilm;
130:	Halbleitervorrichtung;	832:	leitender Film;
135:	Halbleitervorrichtung;	833:	leitender Film;
140:	Halbleitervorrichtung;	831:	Gate-Isolierfilm;
150:	Halbleitervorrichtung;	834:	Gate-Elektrode;
155:	Halbleitervorrichtung;	830a:	Oxidhalbleiterschicht;
200:	Halbleitervorrichtung;	830b:	Oxidhalbleiterschicht;
201:	Speicherzellenarray;	830c:	Oxidhalbleiterschicht;
202:	Zeilenauswahltreiber;	1110A:	Transistor;
203:	Spaltenauswahltreiber;	1400:	Halbleitersubstrat;
204:	A/D-Wandler;	1401:	Elementisations-Isolierfilm;
301:	Decoder;	1402:	Verunreinigungsbereich;
		1403:	Verunreinigungsbereich;
		1404:	Gate-Elektrode;
		1405:	Gate-Isolierfilm;
		1409:	Isolierfilm;
		1410:	Leitung;
		1411:	Leitung;
		1412:	Leitung;
		1415:	Leitung;
		1416:	Leitung;
		1417:	Leitung;
		1420:	Isolierfilm;
		1421:	Leitung;
		1430:	Halbleiterfilm;
		1431:	Gate-Isolierfilm;
		1432:	leitender Film;
		1433:	leitender Film;

1434: Gate-Elektrode;
1435: leitender Film;
1440: Isolierfilm;
1441: Isolierfilm;
1442: Isolierfilm;
1443: leitender Film;
5001: Gehäuse;
5002: Gehäuse;
5003: Anzeigeabschnitt;
5004: Anzeigeabschnitt;
5005: Mikrofon;
5006: Lautsprecher;
5007: Bedienungstaste;
5008: Stift;
5101: Karosserie;
5102: Rad;
5103: Armaturen Brett;
5104: Scheinwerfer;
5301: Gehäuse;
5302: Kühltisch; Tür;
5303: Gefrierschrank; Tür;
5401: Gehäuse;
5402: Anzeigeabschnitt;
5403: Tastatur;
5404: Zeigevorrichtung;
5601: Gehäuse;
5602: Gehäuse;
5603: Anzeigeabschnitt;
5604: Anzeigeabschnitt;
5605: Gelenk;
5606: Bedienungstaste;
5801: Gehäuse;
5802: Gehäuse;
5803: Anzeigeabschnitt;
5804: Bedienungstaste;
5805: Linse;
5806: Gelenk

Patentansprüche

1. Verfahren zum Betreiben einer Halbleitervorrichtung, die einen ersten Transistor (101), dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor (102) und einen Kondensator (103) beinhaltet, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist, wobei das Verfahren umfasst:

Anlegen einer niedrigen Spannung an eine Bitleitung (113) und eine erste Leitung (114), Anlegen einer hohen Spannung an eine Wortleitung (111), um den ersten Transistor (101) einzuschalten, und Anlegen einer niedrigen Spannung an eine Kondensator-Leitung (112), so dass der zweite Transistor (102) eingeschaltet wird, wobei:

die Wortleitung (111) elektrisch mit einem Gate des ersten Transistors (101) verbunden ist, die erste Leitung (114) elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist,

die Bitleitung (113) elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist, und

die Kondensator-Leitung (112) elektrisch mit der anderen Elektrode des Kondensators (103) verbunden ist;

Anlegen einer ersten Spannung an die erste Leitung (114) und Unterbrechen des Anlegens der niedrigen Spannung an die Bitleitung (113), so dass eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung (114) an das Gate des zweiten Transistors (102) über den zweiten Transistor (102), die Bitleitung (113) und den ersten Transistor (101) angelegt wird;

Anlegen einer niedrigen Spannung an die Wortleitung (111), um den ersten Transistor (101) auszuschalten, Anlegen einer niedrigen Spannung an die Bitleitung (113) und die erste Leitung (114), und Anlegen einer hohen Spannung an die Kondensator-Leitung (112), um den zweiten Transistor (102) auszuschalten; Anlegen einer hohen Spannung an die erste Leitung (114); und

Unterbrechen des Anlegens der hohen Spannung an die erste Leitung (114) und Anlegen einer niedrigen Spannung an die Kondensator-Leitung (112), so dass sich eine Spannung der ersten Leitung (114) von der hohen Spannung zu der ersten Spannung ändert.

2. Verfahren zum Betreiben einer Halbleitervorrichtung, die einen ersten Transistor (101), dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor (102), einen dritten Transistor und einen Kondensator (103) beinhaltet, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist, wobei das Verfahren umfasst:

Anlegen einer niedrigen Spannung an eine Bitleitung (113) und eine erste Leitung (114), Anlegen einer hohen Spannung an die Wortleitung (111), um den ersten Transistor (101) einzuschalten, und Anlegen einer niedrigen Spannung an eine Kondensator-Leitung (112), so dass der zweite Transistor (102) eingeschaltet wird, wobei:

hen Spannung an eine erste Wortleitung (111), um den ersten Transistor (101) einzuschalten, so dass die niedrige Spannung der Bitleitung (113) an das Gate des zweiten Transistors (102) angelegt wird und der zweite Transistor (102) eingeschaltet wird, und Anlegen einer niedrigen Spannung an eine zweite Wortleitung (111), um den dritten Transistor einzuschalten, wobei:

die erste Wortleitung (111) elektrisch mit einem Gate des ersten Transistors (101) verbunden ist,
 die zweite Wortleitung (111) elektrisch mit einem Gate des dritten Transistors verbunden ist,
 die erste Leitung (114) elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist,
 ein Anschluss von einer Source und einem Drain des dritten Transistors elektrisch mit dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist,
 die Bitleitung (113) elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des dritten Transistors verbunden ist, und

eine niedrige Spannung an die andere Elektrode des Kondensators (103) angelegt wird;

Anlegen einer ersten Spannung an die erste Leitung (114) und Unterbrechen des Anlegens der niedrigen Spannung an die Bitleitung (113), so dass eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung (114) an das Gate des zweiten Transistors (102) über den zweiten Transistor (102), den dritten Transistor, die Bitleitung (113) und den ersten Transistor (101) angelegt wird;

Anlegen einer niedrigen Spannung an die erste Wortleitung (111), um den ersten Transistor (101) auszuschalten, Anlegen einer niedrigen Spannung an die Bitleitung (113) und die erste Leitung (114), und Anlegen einer hohen Spannung an die zweite Wortleitung (111), um den dritten Transistor auszuschalten; Anlegen einer hohen Spannung an die erste Leitung (114); und

Unterbrechen des Anlegens der hohen Spannung an die erste Leitung (114) und Anlegen einer niedrigen Spannung an die zweite Wortleitung (111), um den dritten Transistor einzuschalten, so dass sich eine Spannung der ersten Leitung (114) von der hohen Spannung zu der ersten Spannung ändert.

3. Verfahren zum Betreiben einer Halbleitervorrichtung, die einen ersten Transistor (101), dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor (102) und einen Kondensator (103) beinhaltet, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist, wobei das Verfahren umfasst:

Anlegen einer hohen Spannung an eine Bitleitung (113) und eine erste Leitung (114), Anlegen einer ho-

hen Spannung an eine Wortleitung (111), um den ersten Transistor (101) einzuschalten, und Anlegen einer hohen Spannung an eine Kondensator-Leitung (112), so dass der zweite Transistor (102) eingeschaltet wird, wobei:

die Wortleitung (111) elektrisch mit einem Gate des ersten Transistors (101) verbunden ist,
 die erste Leitung (114) elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist,
 die Bitleitung (113) elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist, und
 die Kondensator-Leitung (112) elektrisch mit der anderen Elektrode des Kondensators (103) verbunden ist;

Anlegen einer ersten Spannung an die erste Leitung (114) und Unterbrechen des Anlegens der hohen Spannung an die Bitleitung (113), so dass eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung (114) an das Gate des zweiten Transistors (102) über den zweiten Transistor (102), die Bitleitung (113) und den ersten Transistor (101) angelegt wird;

Anlegen einer niedrigen Spannung an die Wortleitung (111), um den ersten Transistor (101) auszuschalten, Anlegen einer hohen Spannung an die Bitleitung (113) und die erste Leitung (114), und Anlegen einer niedrigen Spannung an die Kondensator-Leitung (112), um den zweiten Transistor (102) auszuschalten;

Anlegen einer niedrigen Spannung an die erste Leitung (114); und

Unterbrechen des Anlegens der niedrigen Spannung an die erste Leitung (114) und Anlegen einer hohen Spannung an die Kondensator-Leitung (112), so dass sich eine Spannung der ersten Leitung (114) von der niedrigen Spannung zu der ersten Spannung ändert.

4. Verfahren zum Betreiben einer Halbleitervorrichtung, die einen ersten Transistor (101), dessen Kanalbereich einen Oxidhalbleiter enthält, einen zweiten Transistor (102), einen dritten Transistor und einen Kondensator (103) beinhaltet, dessen eine Elektrode elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist, wobei das Verfahren umfasst:

Anlegen einer hohen Spannung an eine Bitleitung (113) und eine erste Leitung (114), Anlegen einer hohen Spannung an eine erste Wortleitung (111), um den ersten Transistor (101) einzuschalten, so dass die hohe Spannung der Bitleitung (113) an das Gate des zweiten Transistors (102) angelegt wird und der zweite Transistor (102) eingeschaltet wird, und Anlegen einer hohen Spannung an eine zweite Wortleitung (111), um den dritten Transistor einzuschalten, wobei:

die erste Wortleitung (111) elektrisch mit einem Gate des ersten Transistors (101) verbunden ist,
 die zweite Wortleitung (111) elektrisch mit einem Gate des dritten Transistors verbunden ist,
 die erste Leitung (114) elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist,
 ein Anschluss von einer Source und einem Drain des dritten Transistors elektrisch mit dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist,
 die Bitleitung (113) elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des dritten Transistors verbunden ist, und
 eine niedrige Spannung an die andere Elektrode des Kondensators (103) angelegt wird;
 Anlegen einer ersten Spannung an die erste Leitung (114) und Unterbrechen des Anlegens der hohen Spannung an die Bitleitung (113), so dass eine Spannung, die der ersten Spannung entspricht, von der ersten Leitung (114) an das Gate des zweiten Transistors (102) über den zweiten Transistor (102), den dritten Transistor, die Bitleitung (113) und den ersten Transistor (101) angelegt wird;
 Anlegen einer niedrigen Spannung an die erste Wortleitung (111), um den ersten Transistor (101) auszuschalten, Anlegen einer hohen Spannung an die Bitleitung (113) und die erste Leitung (114), und Anlegen einer niedrigen Spannung an die zweite Wortleitung (111), um den dritten Transistor auszuschalten;
 Anlegen einer niedrigen Spannung an die erste Leitung (114); und
 Unterbrechen des Anlegens der niedrigen Spannung an die erste Leitung (114) und Anlegen einer hohen Spannung an die zweite Wortleitung (111), um den dritten Transistor einzuschalten, so dass sich eine Spannung der ersten Leitung (114) von der niedrigen Spannung zu der ersten Spannung ändert.

5. Verfahren nach einem der Ansprüche 1-4, wobei ein Kanalbereich des zweiten Transistors (102) Silizium enthält.

6. Verfahren nach Anspruch 2 oder Anspruch 4, wobei ein Kanalbereich des zweiten Transistors (102) Silizium enthält, und wobei ein Kanalbereich des dritten Transistors Silizium enthält.

7. Verfahren nach einem der Ansprüche 1-4, das ferner umfasst:
 Umwandeln eines Potentials der ersten Leitung (114) in einen digitalen Wert und Ausgeben des digitalen Wertes nach außen,
 wobei ein A/D-Wandler, der elektrisch mit der ersten Leitung (114) verbunden ist, das Potential der ersten Leitung (114) umwandelt.

8. Halbleitervorrichtung, die umfasst:

einen ersten Transistor (101), wobei ein Kanalbereich des ersten Transistors (101) einen Oxidhalbleiter umfasst;
 einen zweiten Transistor (102);
 einen Kondensator (103), wobei eine Elektrode des Kondensators (103) elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) und einem Gate des zweiten Transistors (102) verbunden ist;
 eine Wortleitung (111), die elektrisch mit einem Gate des ersten Transistors (101) verbunden ist;
 eine erste Leitung (114), die elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist;
 eine Bitleitung (113), die elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und dem anderen Anschluss von der Source und dem Drain des zweiten Transistors (102) verbunden ist;
 eine Kondensator-Leitung (112), die elektrisch mit der anderen Elektrode des Kondensators (103) verbunden ist;
 einen Treiber, der direkt mit der ersten Leitung (114) verbunden ist, wobei der Treiber einen Decoder, einen Schalterstromkreis, einen dritten Transistor, einen vierten Transistor, eine zweite Leitung und eine dritte Leitung umfasst; und
 einen A/D-Wandler, der direkt mit der ersten Leitung (114) verbunden ist,
 wobei die zweite Leitung ein erstes Potential zuführen kann,
 wobei die dritte Leitung ein zweites Potential zuführen kann, das sich von dem ersten Potential unterscheidet,
 wobei der Decoder über den Schalterstromkreis elektrisch mit der ersten Leitung (114) verbunden ist,
 wobei die zweite Leitung über den dritten Transistor direkt mit der ersten Leitung (114) verbunden ist, und
 wobei die dritte Leitung über den vierten Transistor direkt mit der ersten Leitung (114) verbunden ist.

9. Halbleitervorrichtung nach Anspruch 8, wobei der A/D-Wandler konfiguriert ist, um ein Potential der ersten Leitung (114) in einen digitalen Wert umzuwandeln und den digitalen Wert nach außen auszugeben.

10. Halbleitervorrichtung nach Anspruch 8, wobei der zweite Transistor (102) ein n-Kanal-Transistor ist.

11. Halbleitervorrichtung nach Anspruch 8, wobei der zweite Transistor (102) ein p-Kanal-Transistor ist.

12. Halbleitervorrichtung nach Anspruch 8, wobei ein Kanalbereich des zweiten Transistors (102) Silizium enthält.

13. Halbleitervorrichtung, die umfasst:

einen ersten Transistor (101), wobei ein Kanalbereich des ersten Transistors (101) einen Oxidhalbleiter umfasst;
 einen zweiten Transistor (102);
 einen dritten Transistor;
 einen Kondensator (103), wobei eine Elektrode des Kondensators (103) elektrisch mit einem Anschluss von einer Source und einem Drain des ersten Transistors (101) verbunden ist und wobei die eine Elektrode des Kondensators (103) elektrisch mit einem Gate des zweiten Transistors (102) oder des dritten Transistors verbunden ist;
 eine Wortleitung (111), die elektrisch mit einem Gate des ersten Transistors (101) verbunden ist;
 eine erste Leitung (114), die elektrisch mit einem Anschluss von einer Source und einem Drain des zweiten Transistors (102) verbunden ist;
 eine Bitleitung (113), die elektrisch mit dem anderen Anschluss von der Source und dem Drain des ersten Transistors (101) und mit einem Anschluss von einer Source und einem Drain des dritten Transistors verbunden ist;
 eine Kondensator-Leitung (112), die elektrisch mit der anderen Elektrode des Kondensators (103) verbunden ist;
 eine zweite Leitung, die elektrisch mit einem Gate des anderen Transistors von dem zweiten Transistor und dem dritten Transistor verbunden ist; und
 einen A/D-Wandler, der direkt mit der ersten Leitung (114) verbunden ist,
 wobei der andere Anschluss von der Source und dem Drain des zweiten Transistors (102) elektrisch mit dem anderen Anschluss von der Source und dem Drain des dritten Transistors verbunden ist.

14. Halbleitervorrichtung nach Anspruch 13, wobei der A/D-Wandler konfiguriert ist, um ein Potential der ersten Leitung (114) in einen digitalen Wert umzuwandeln und den digitalen Wert nach außen auszugeben.

15. Halbleitervorrichtung nach Anspruch 13, wobei der zweite Transistor (102) und der dritte Transistor jeweils ein n-Kanal-Transistor sind.

16. Halbleitervorrichtung nach Anspruch 13, wobei der zweite Transistor (102) und der dritte Transistor jeweils ein p-Kanal-Transistor sind.

17. Halbleitervorrichtung nach Anspruch 13, wobei ein Kanalbereich des zweiten Transistors (102) und ein Kanalbereich des dritten Transistors jeweils Silizium enthalten.

18. Halbleitervorrichtung nach Anspruch 13, wobei die eine Elektrode des Kondensators (103) elektrisch mit dem Gate des zweiten Transistors (102) verbunden ist, und wobei die zweite Leitung elektrisch mit dem Gate des dritten Transistors verbunden ist.

19. Halbleitervorrichtung nach Anspruch 13, wobei die eine Elektrode des Kondensators (103) elektrisch mit dem Gate des dritten Transistors verbunden ist, und wobei die zweite Leitung elektrisch mit dem Gate des zweiten Transistors (102) verbunden ist.

20. Halbleitervorrichtung nach Anspruch 13, die ferner umfasst:
 einen Treiber, der direkt mit der ersten Leitung (114) verbunden ist, wobei der Treiber einen Decoder, einen Schalterstromkreis, einen vierten Transistor, einen fünften Transistor, eine dritte Leitung und eine vierte Leitung umfasst; und
 wobei die dritte Leitung ein erstes Potential zuführen kann,
 wobei die vierte Leitung ein zweites Potential zuführen kann, das sich von dem ersten Potential unterscheidet,
 wobei der Decoder über den Schalterstromkreis elektrisch mit der ersten Leitung (114) verbunden ist,
 wobei die dritte Leitung über den vierten Transistor direkt mit der ersten Leitung (114) verbunden ist, und
 wobei die vierte Leitung über den fünften Transistor direkt mit der ersten Leitung (114) verbunden ist.

Es folgen 30 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1 Stand der Technik

100

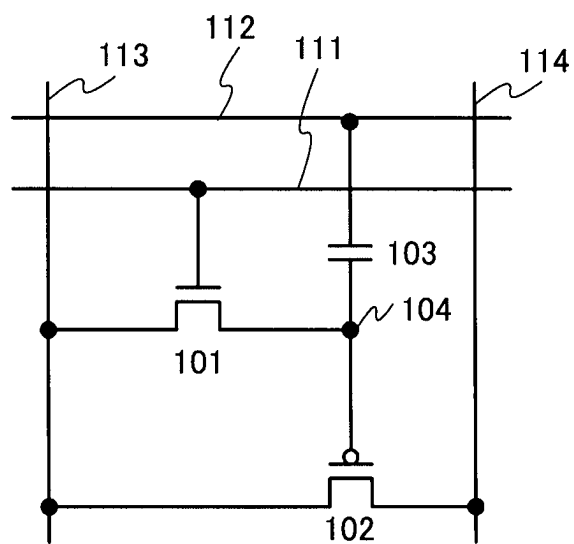


FIG. 2

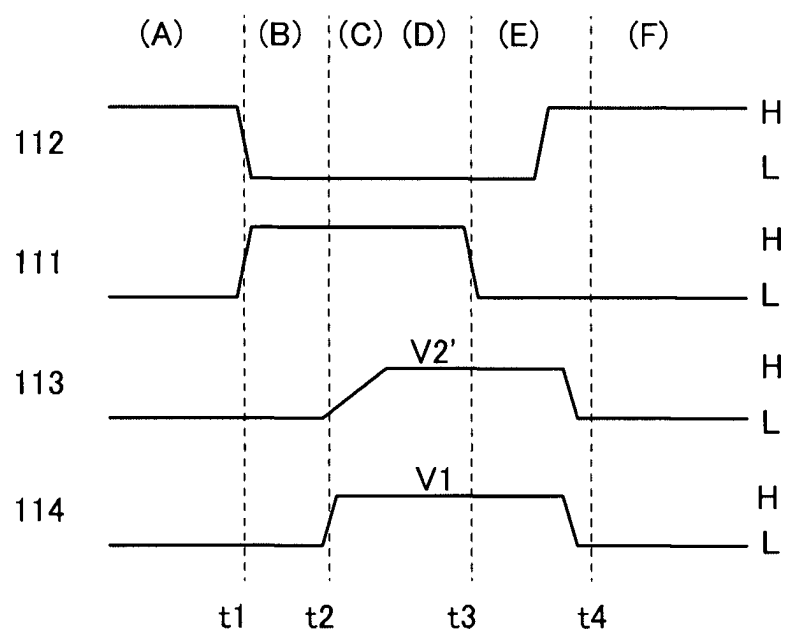


FIG. 3A

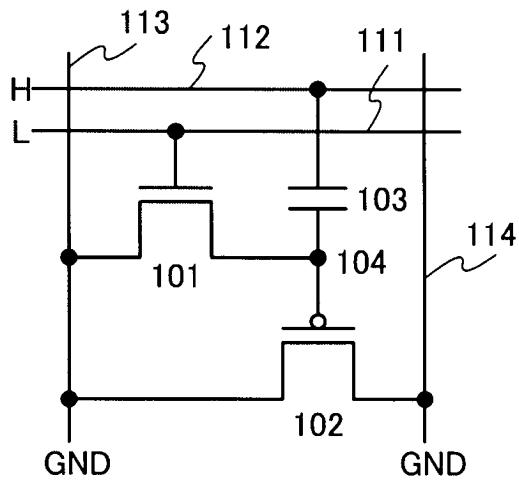


FIG. 3B

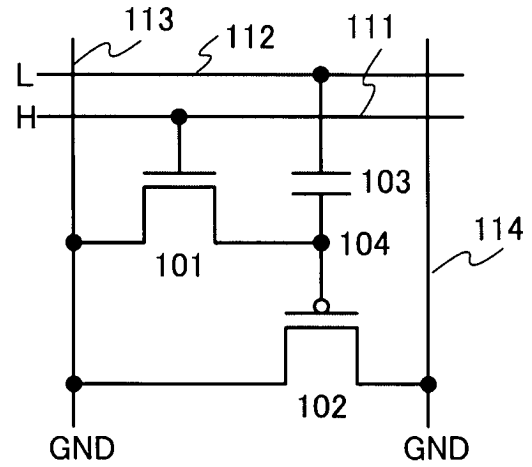


FIG. 3C

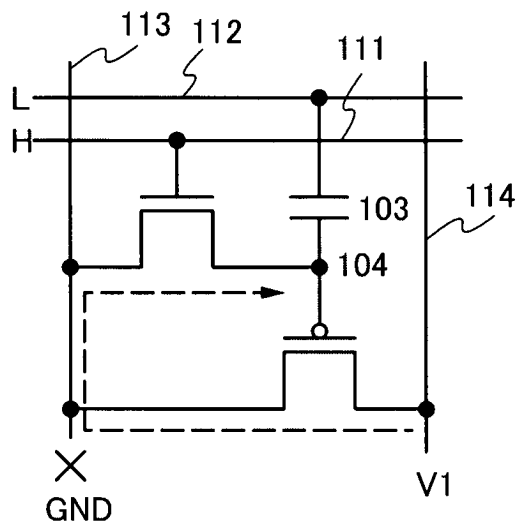


FIG. 3D

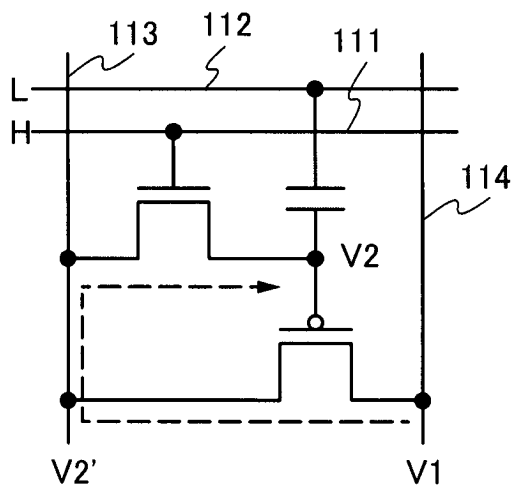


FIG. 3E

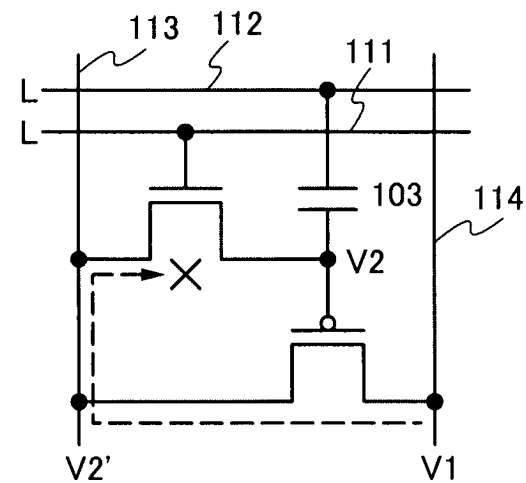


FIG. 4

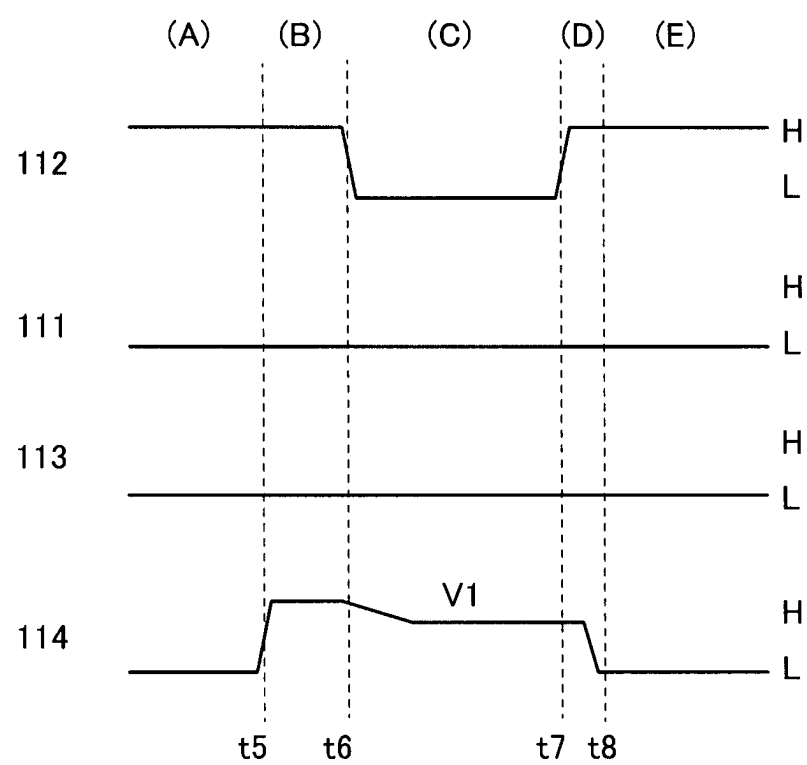


FIG. 5A

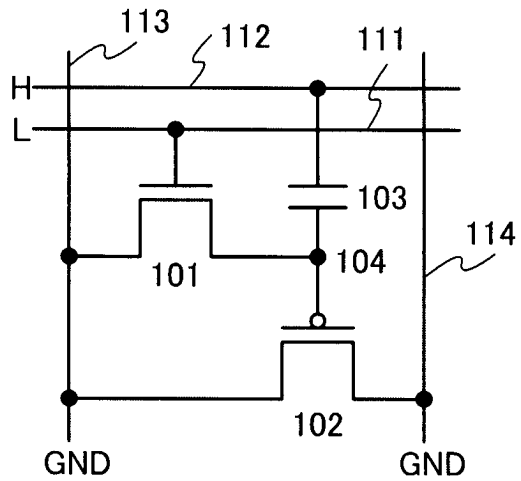


FIG. 5B

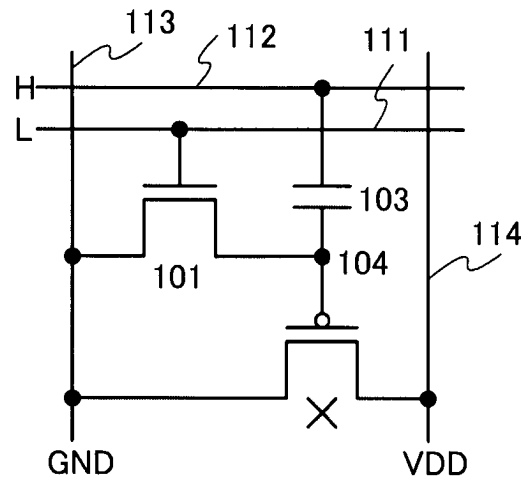


FIG. 5C

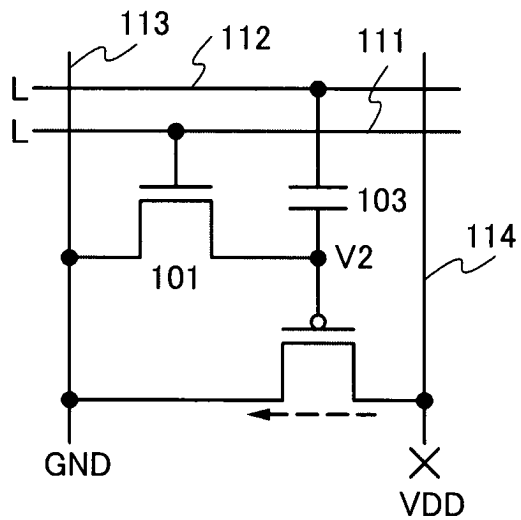


FIG. 5D

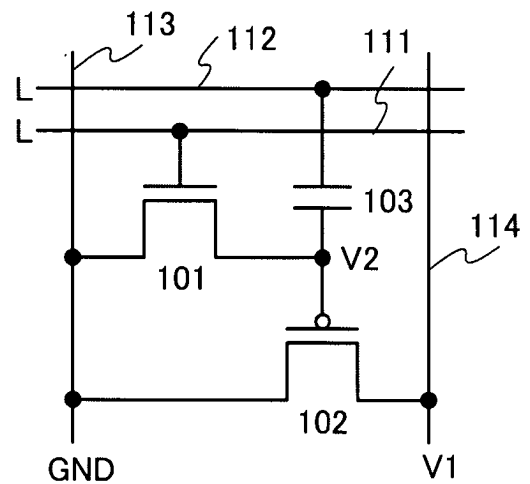


FIG. 6
200

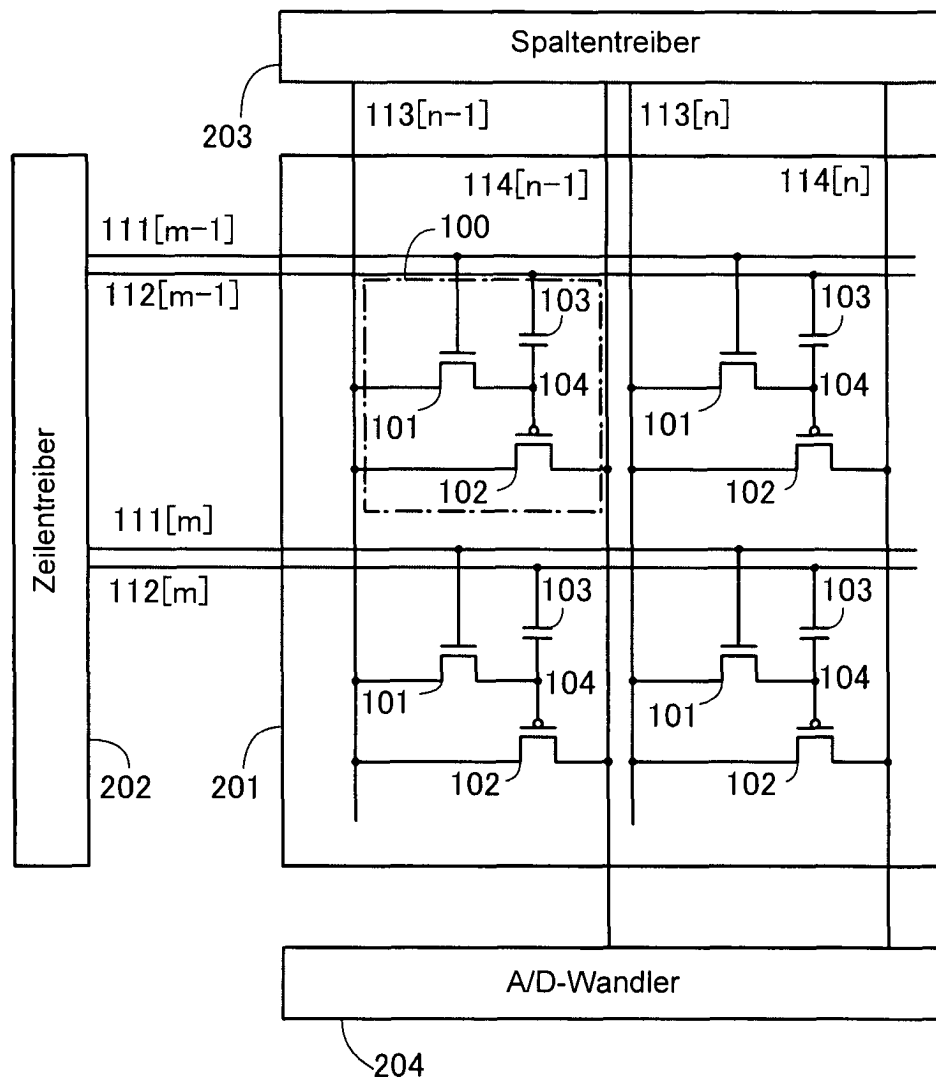


FIG. 7

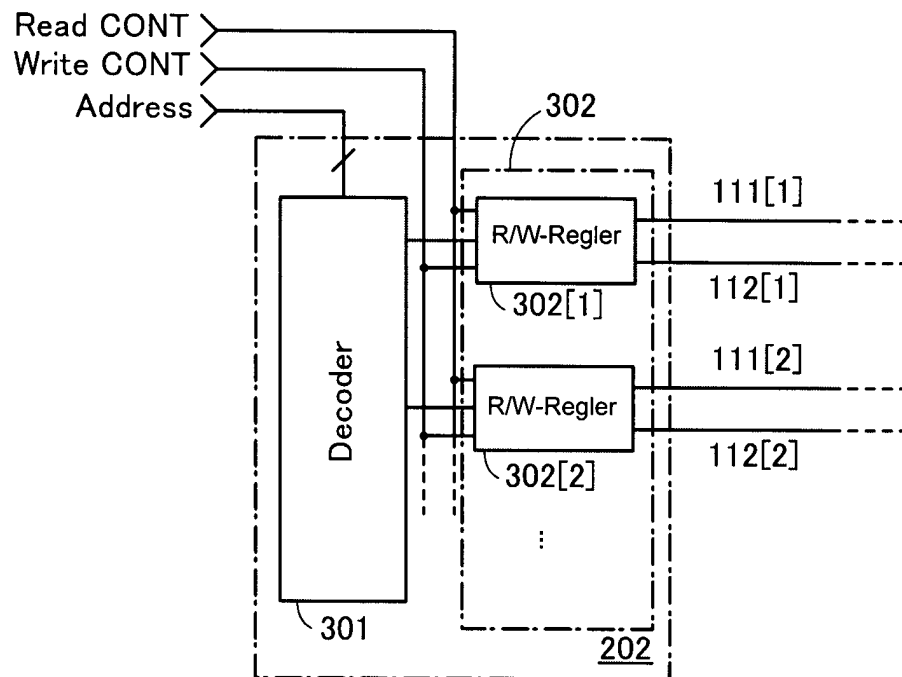


FIG. 8

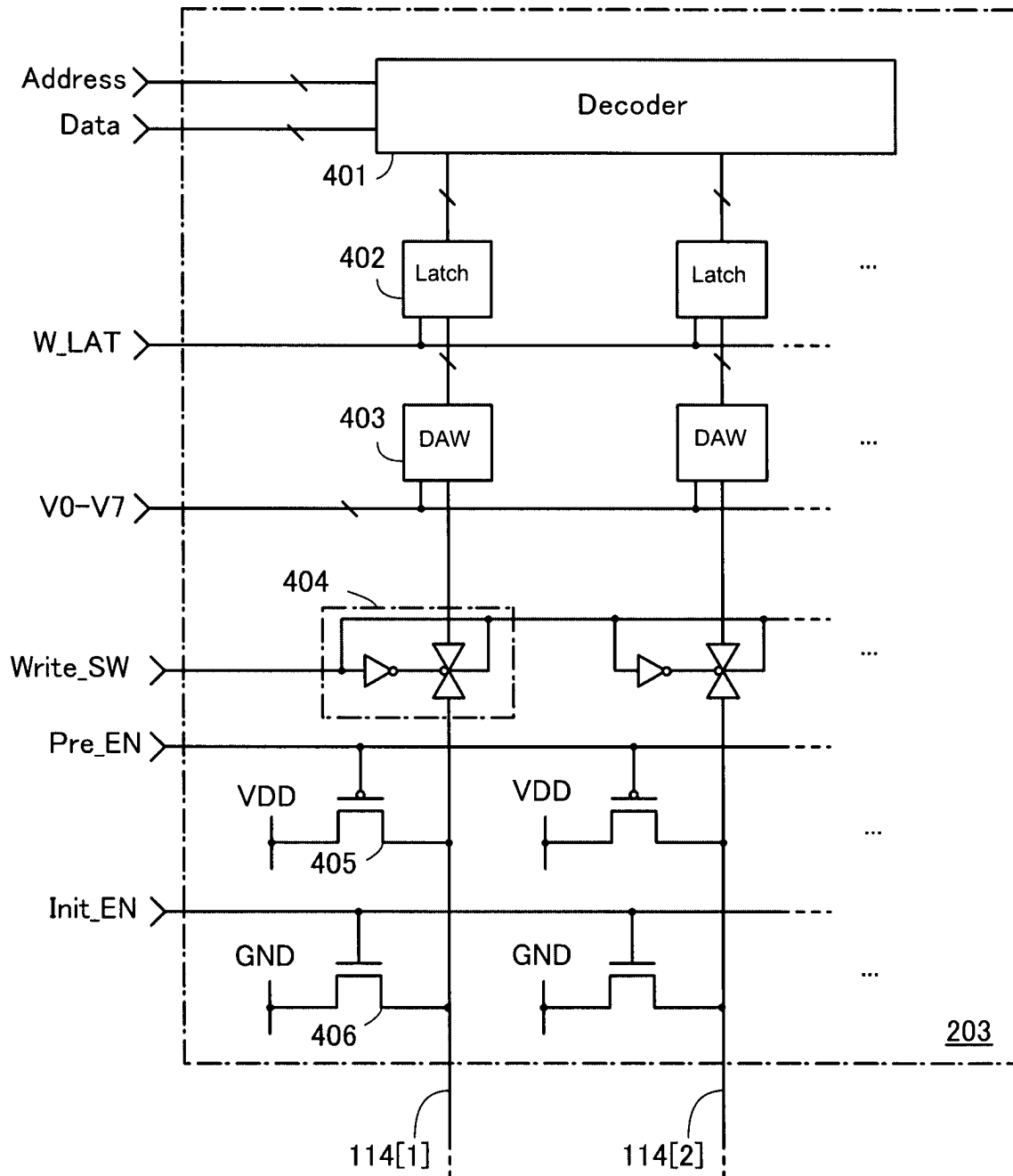


FIG. 9

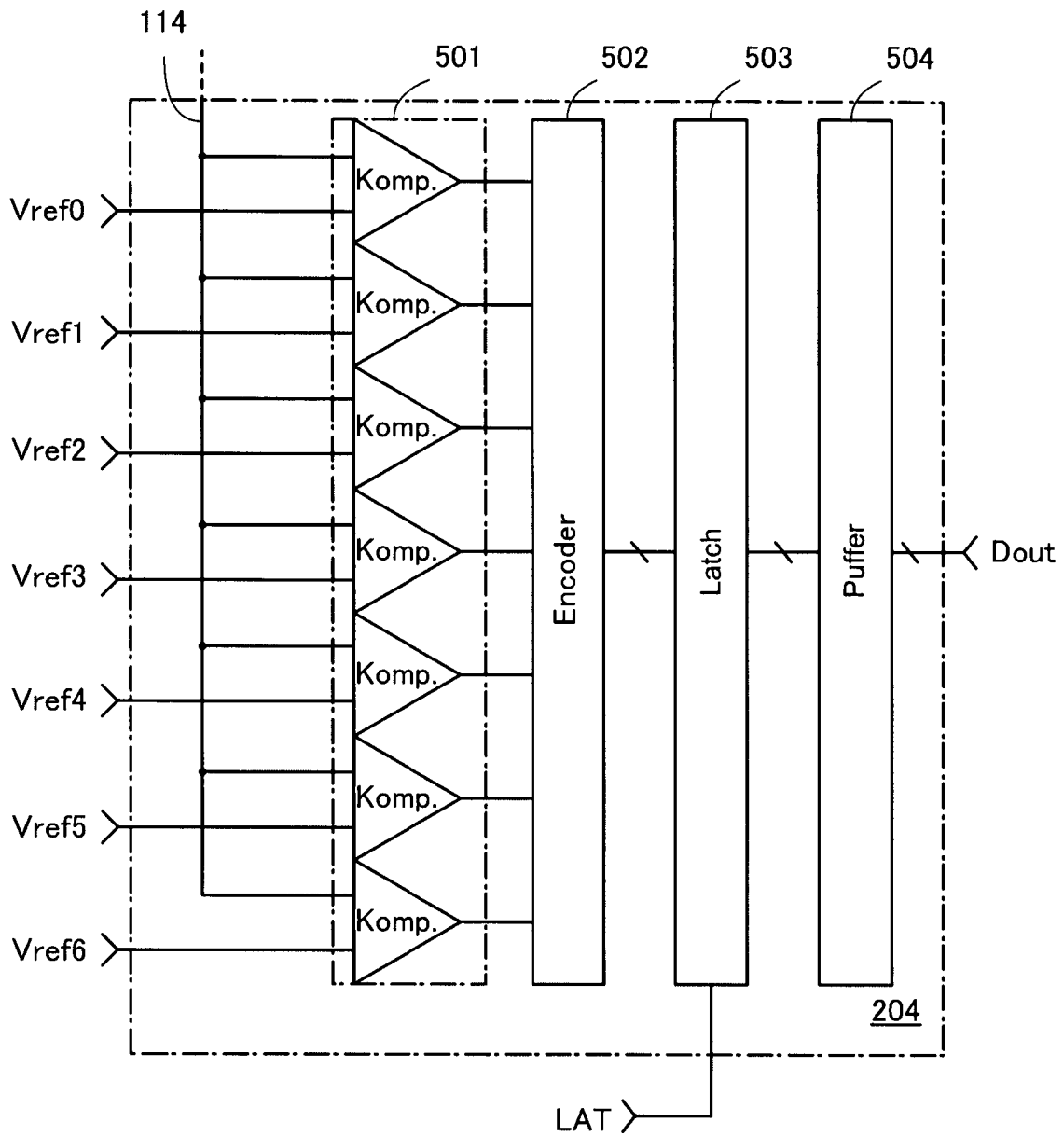


FIG. 10

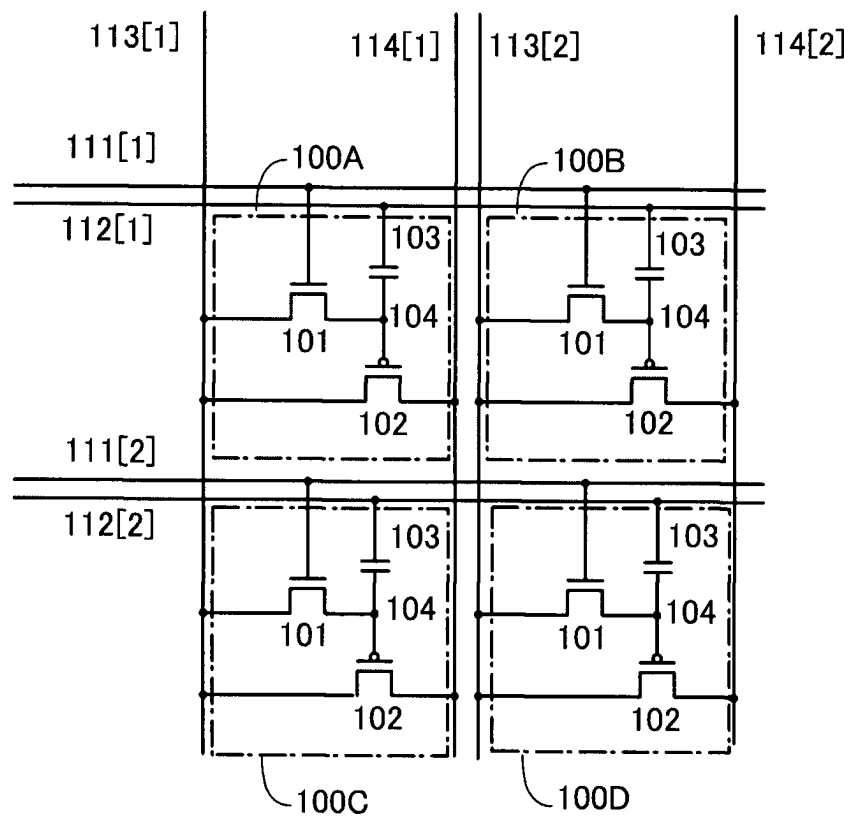
600

FIG. 11

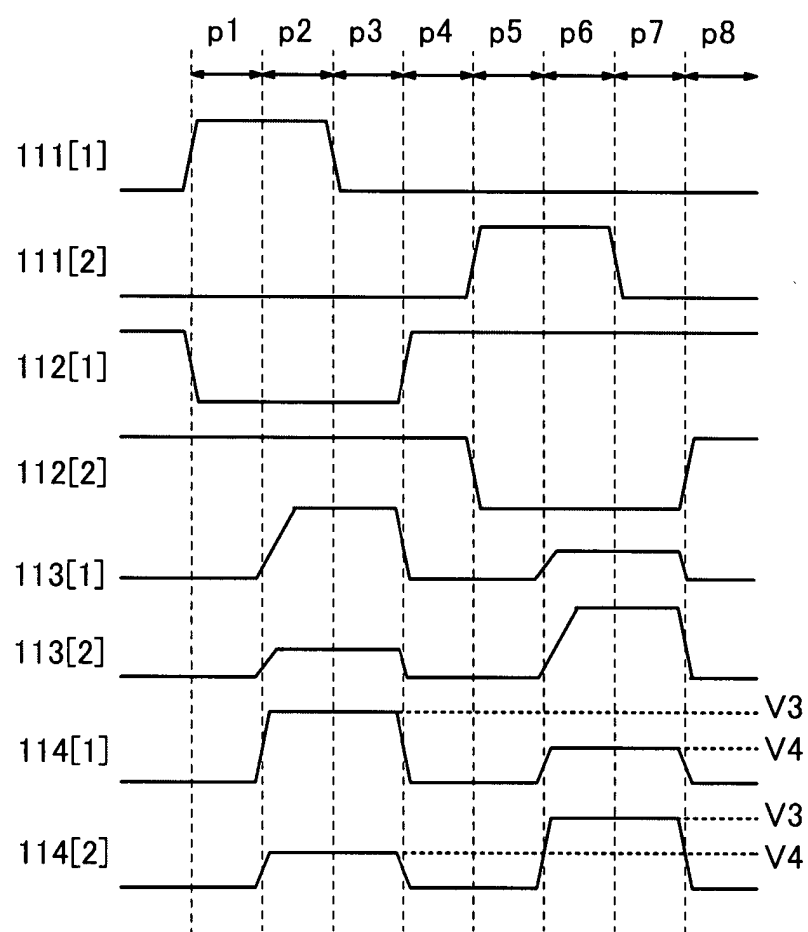


FIG. 12

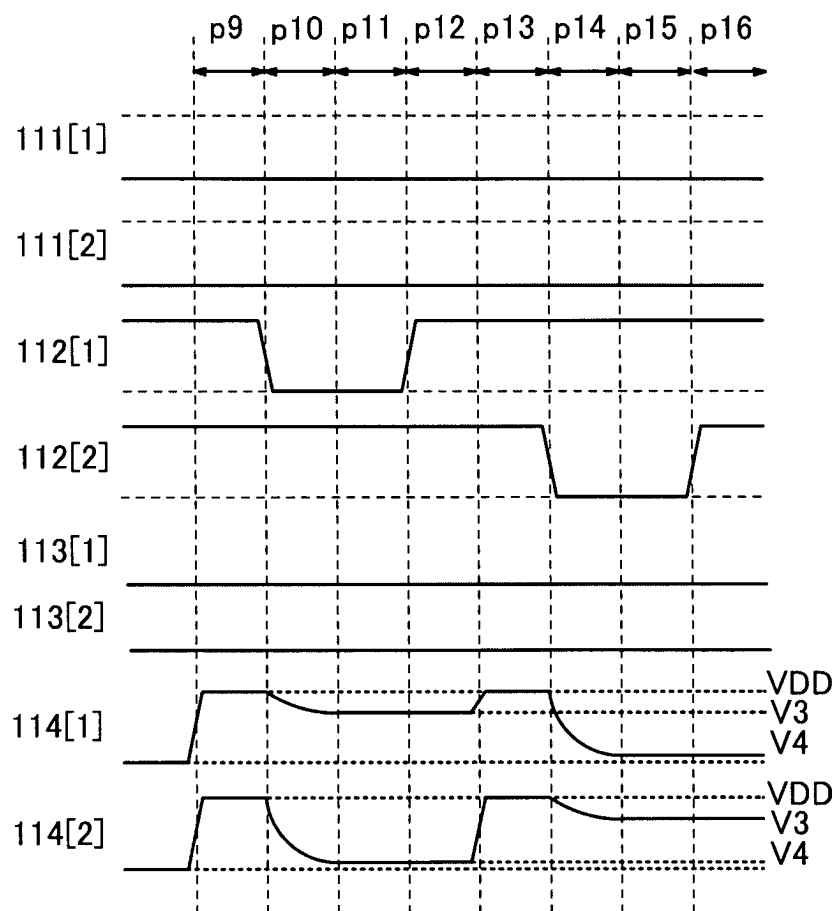


FIG. 13A

130

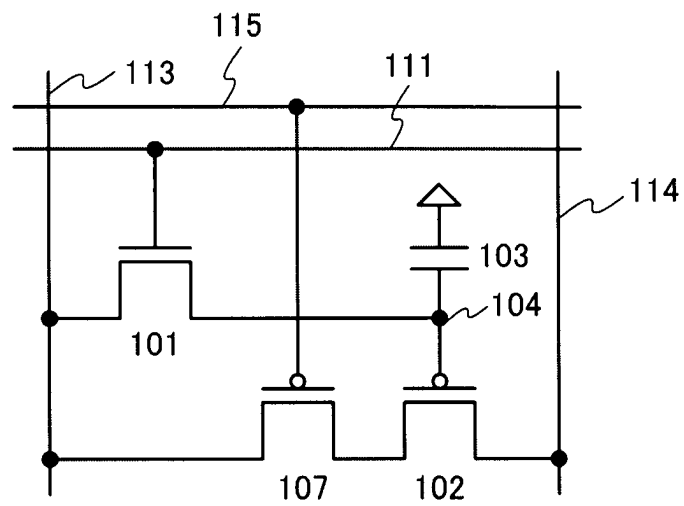


FIG. 13B

135

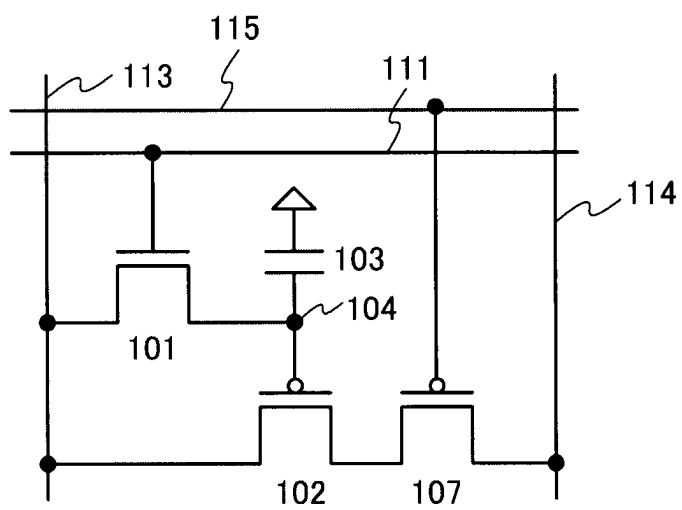


FIG. 14

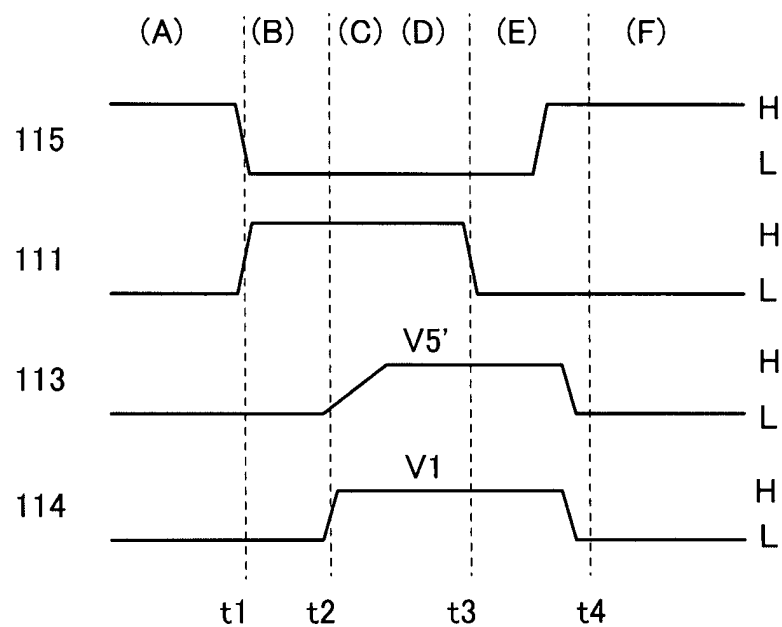


FIG. 15A

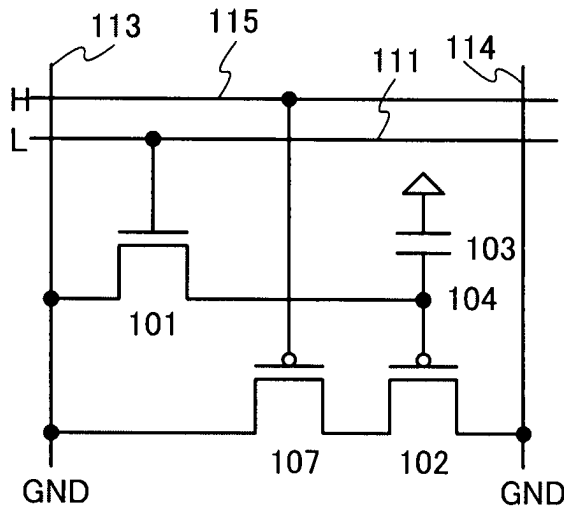


FIG. 15B

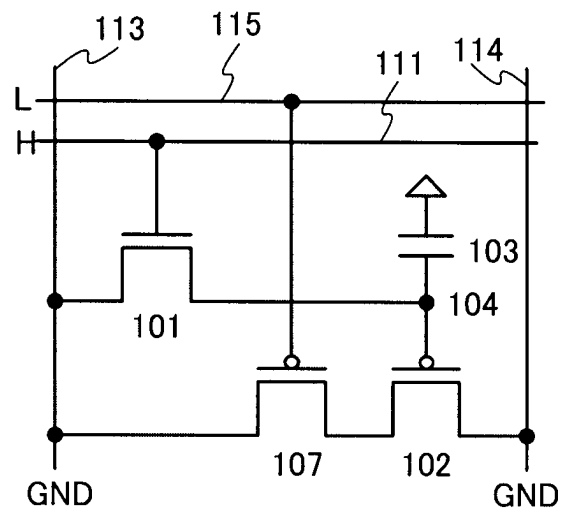


FIG. 15C

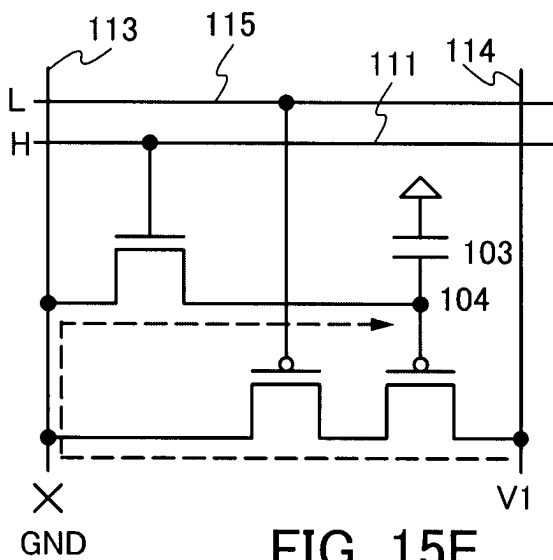


FIG. 15D

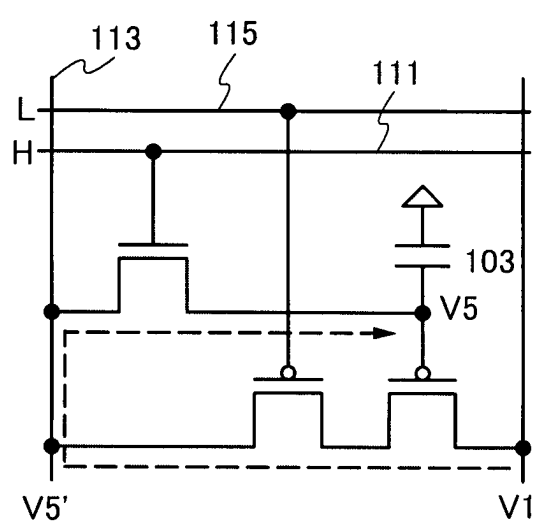


FIG. 15E

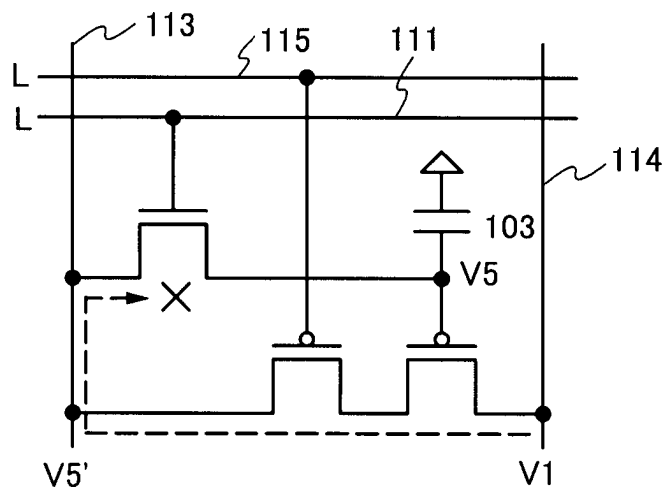


FIG. 16

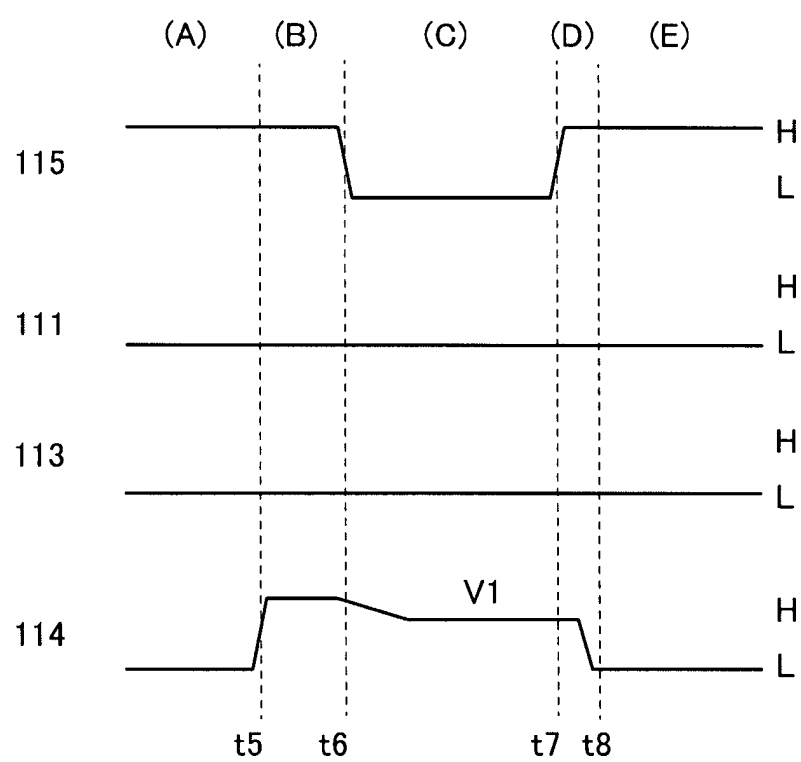


FIG. 17A

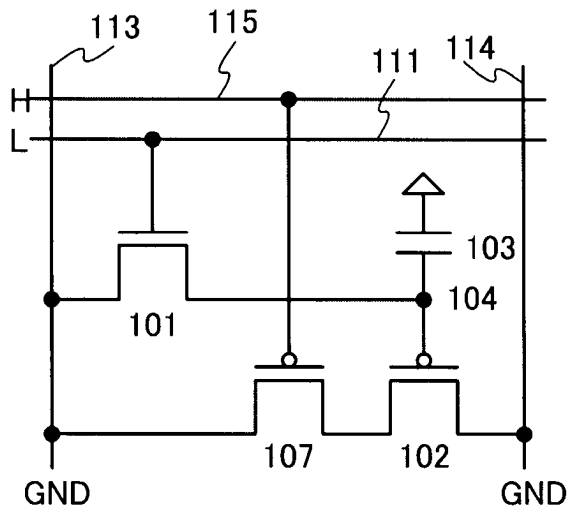


FIG. 17B

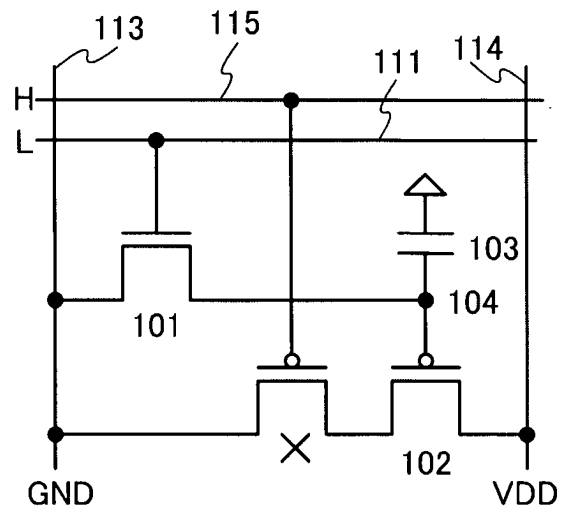


FIG. 17C

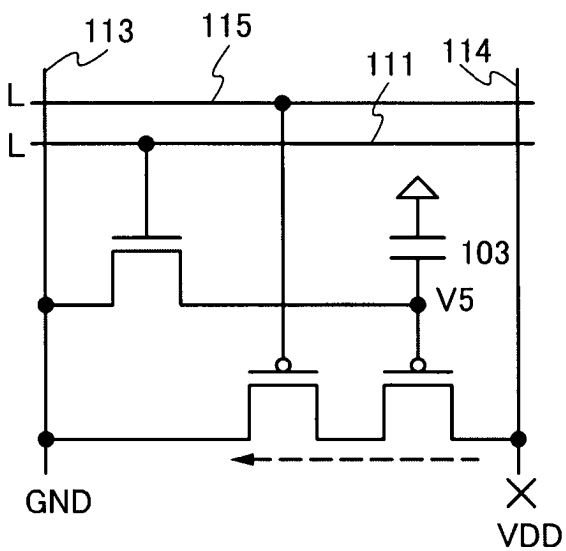


FIG. 17D

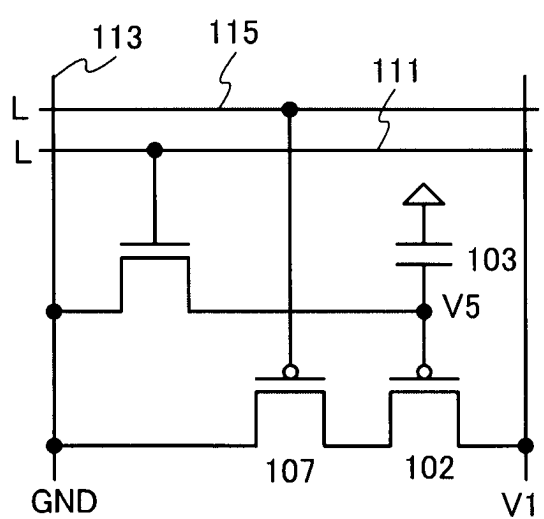


FIG. 18 | Stand der Technik

140

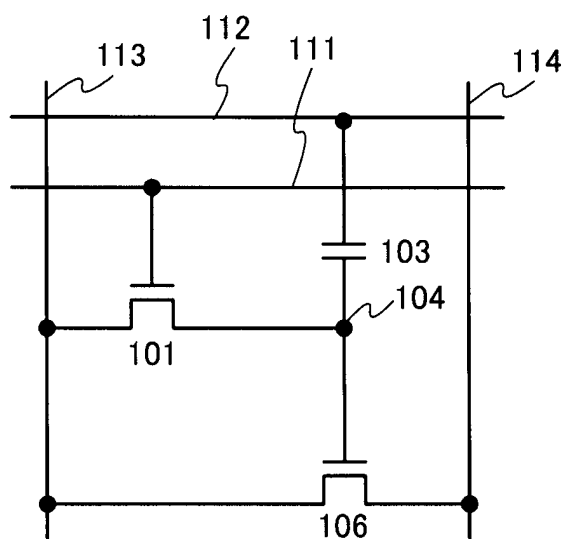


FIG. 19

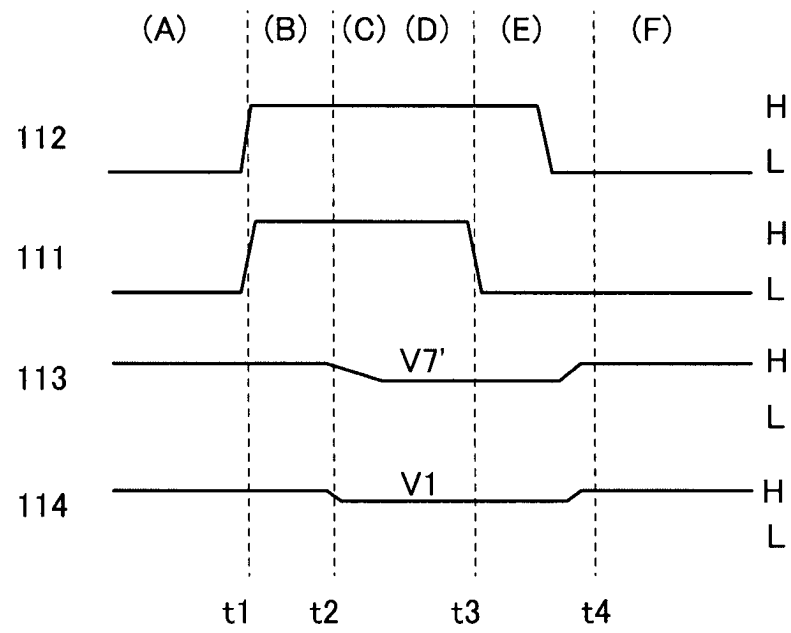


FIG. 20A

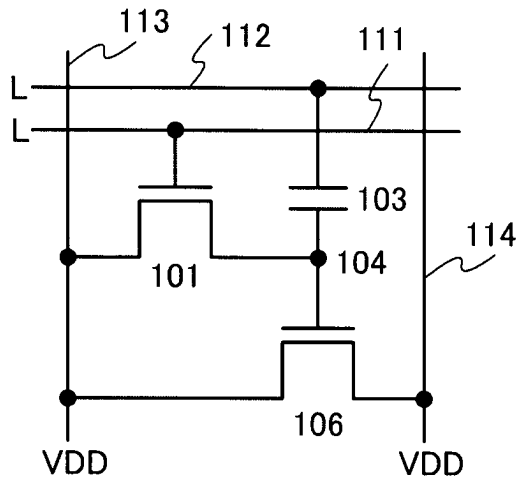


FIG. 20B

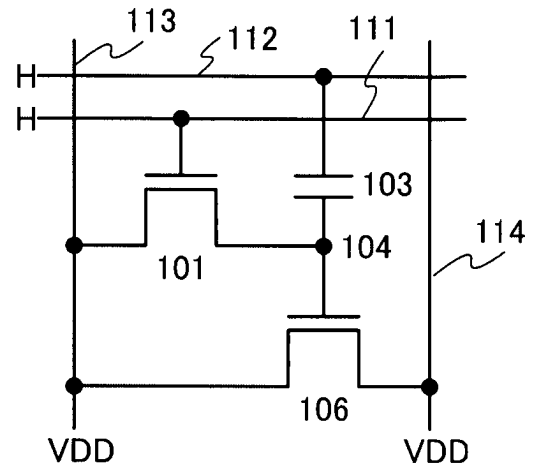


FIG. 20C

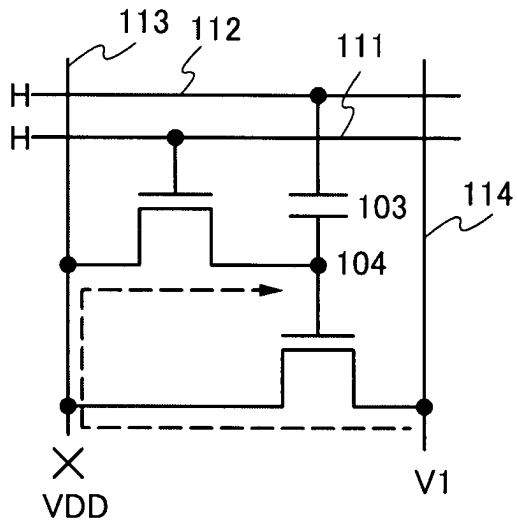


FIG. 20D

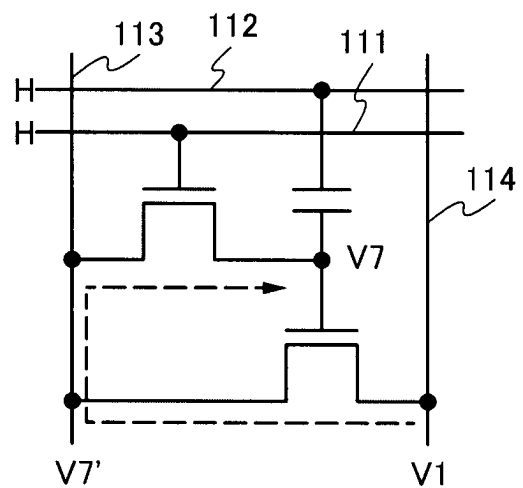


FIG. 20E

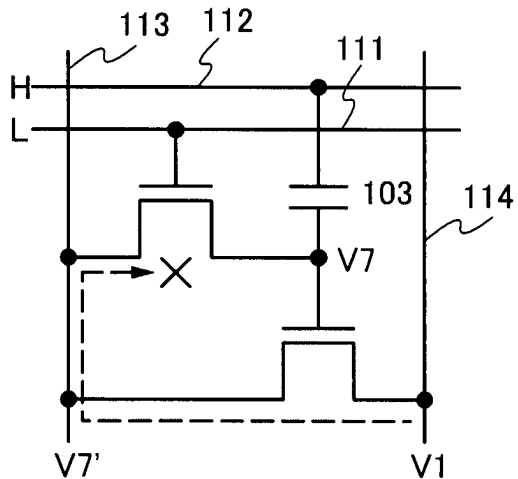


FIG. 21

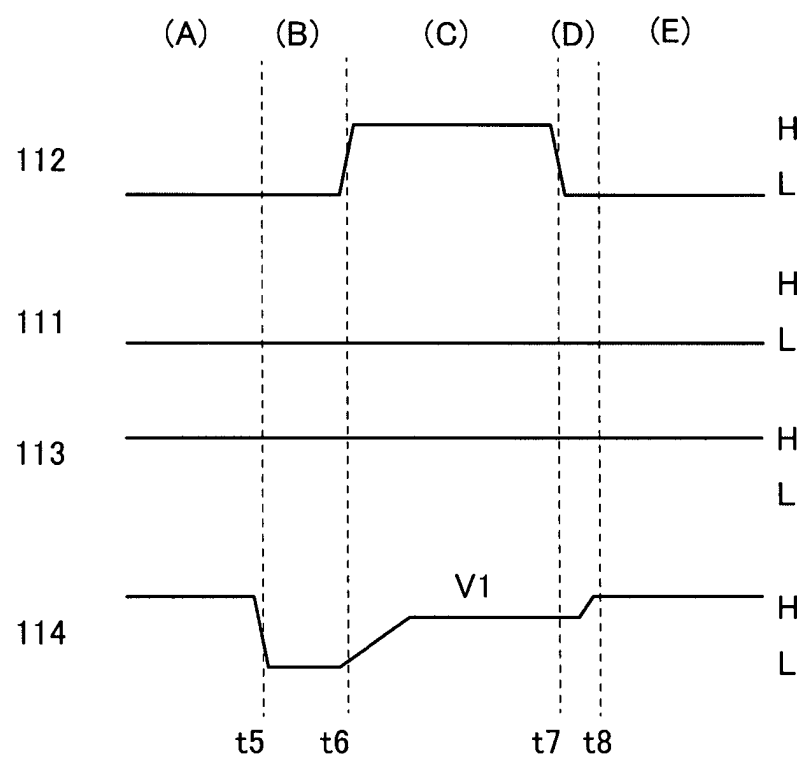


FIG. 22A

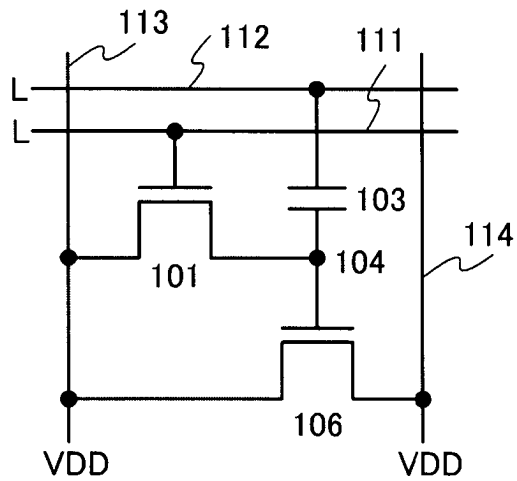


FIG. 22B

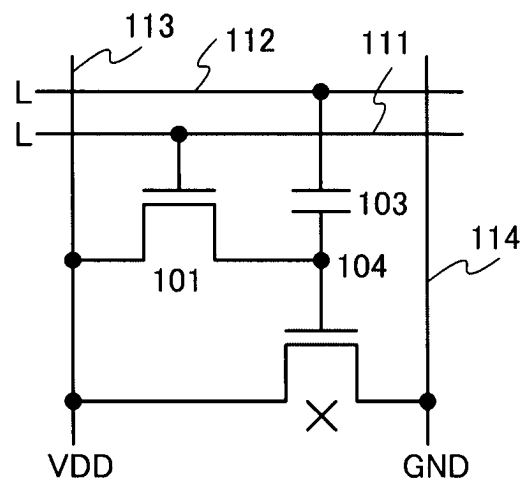


FIG. 22C

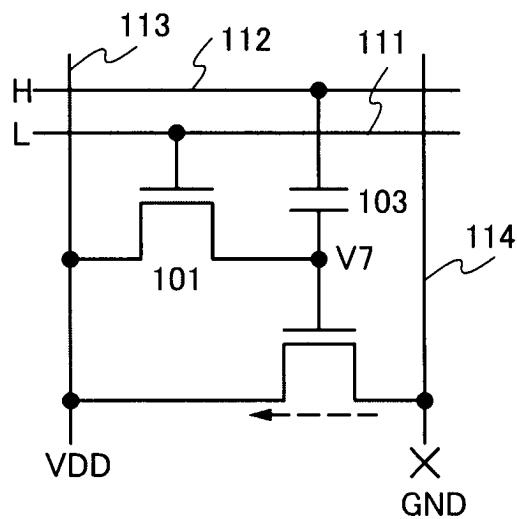


FIG. 22D

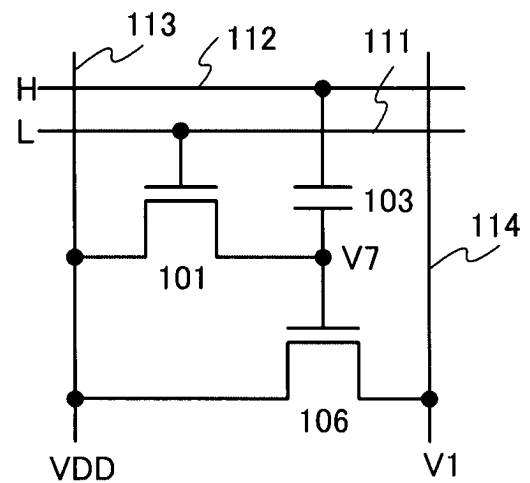


FIG. 23A

150

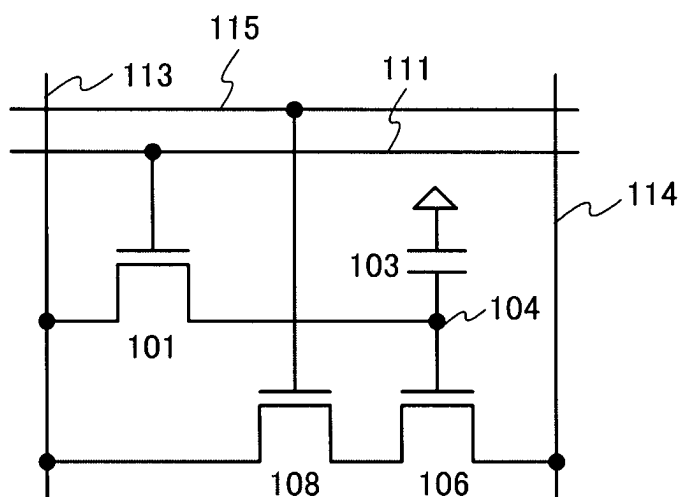


FIG. 23B

155

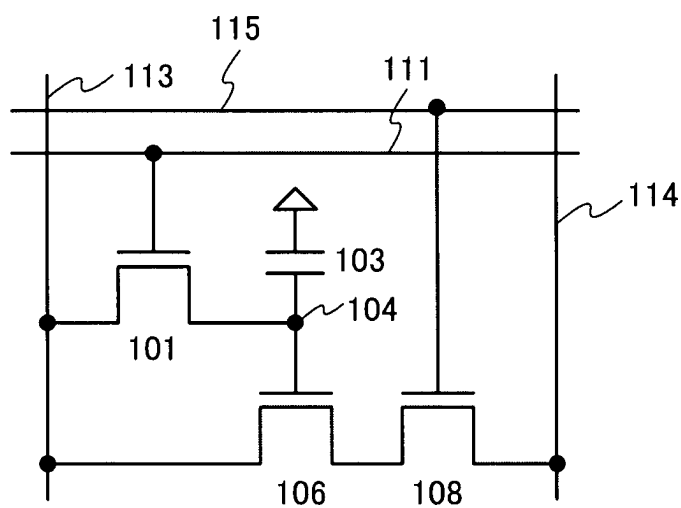


FIG. 24

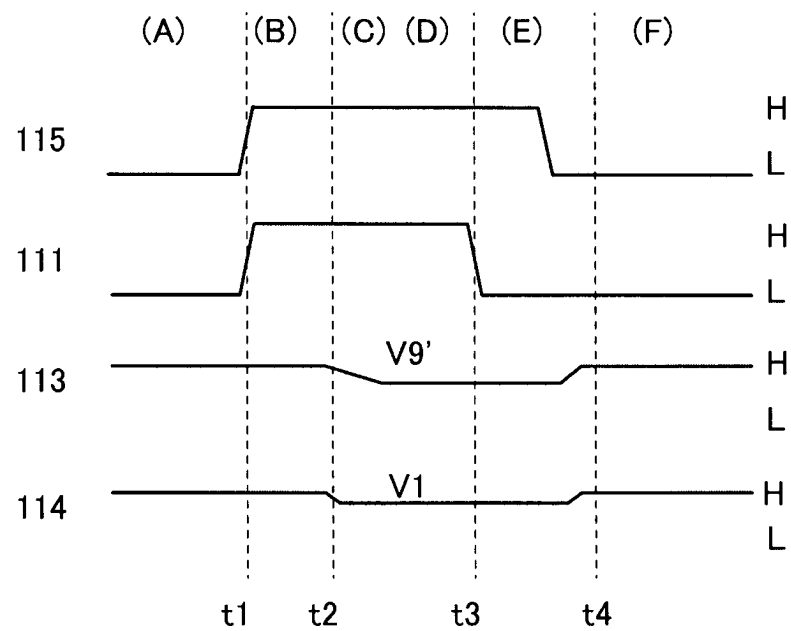


FIG. 25A

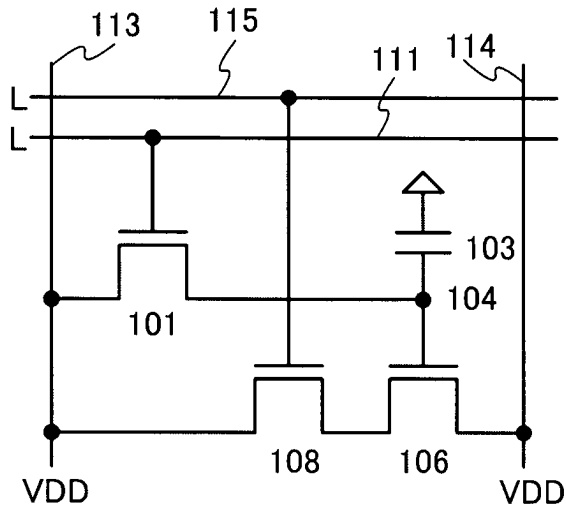


FIG. 25B

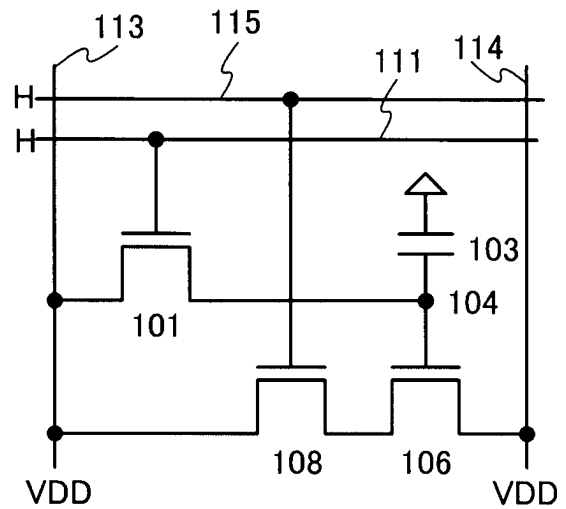


FIG. 25C

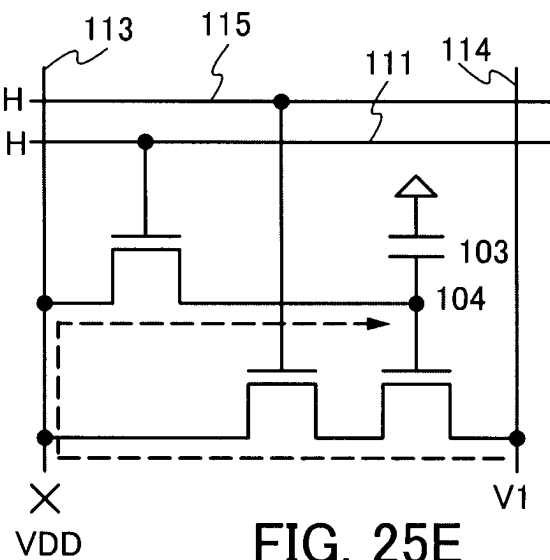


FIG. 25D

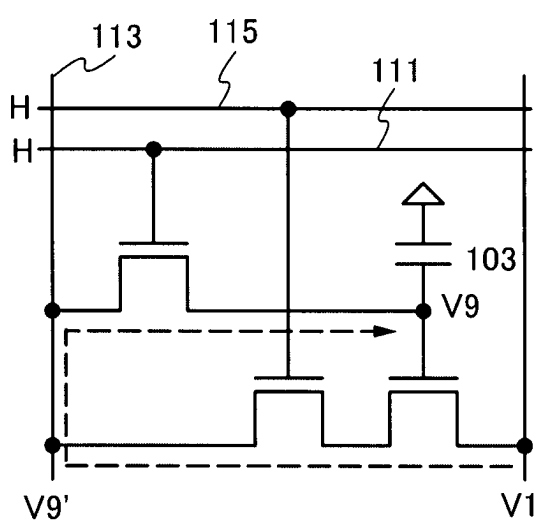


FIG. 25E

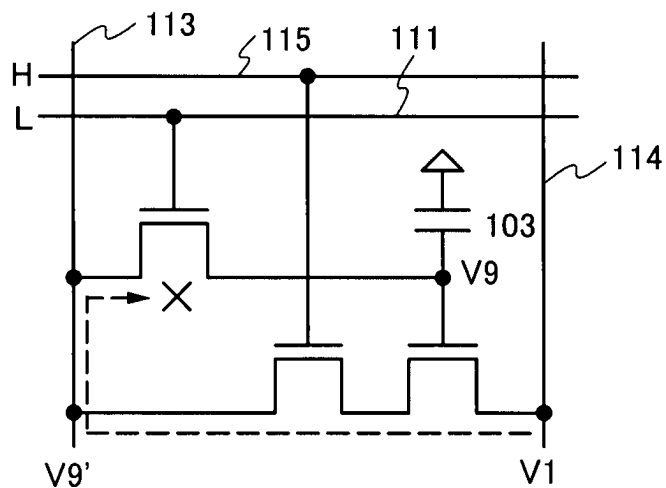


FIG. 26

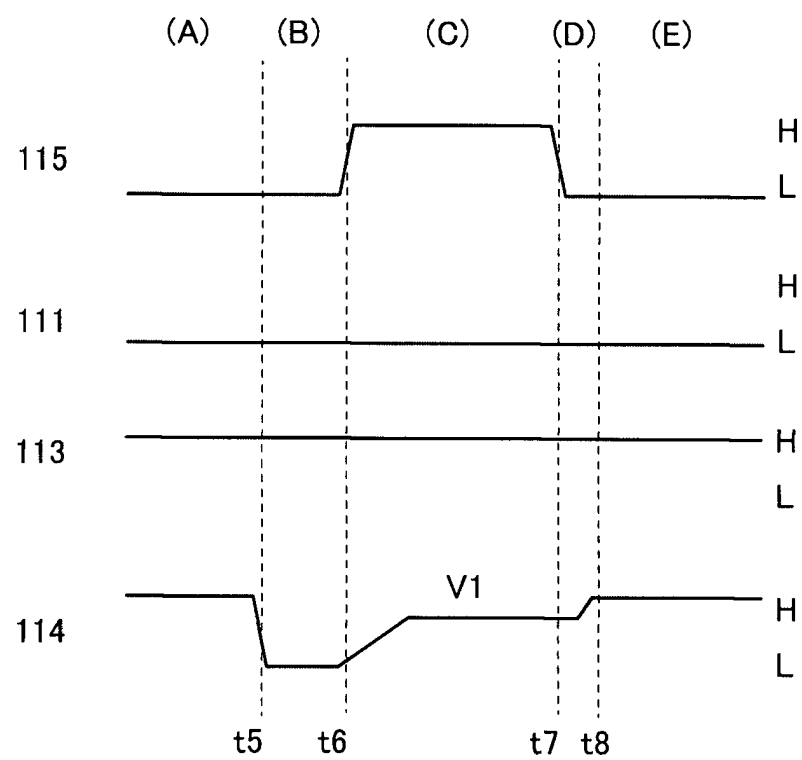


FIG. 27A

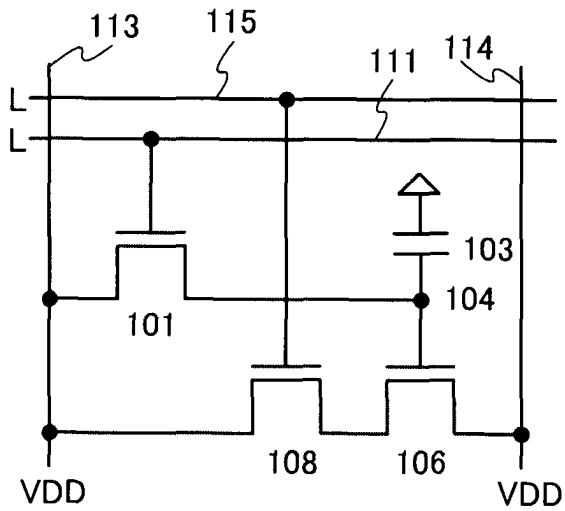


FIG. 27B

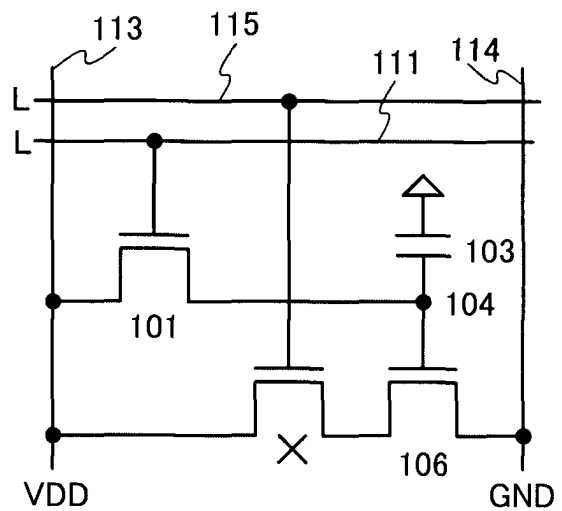


FIG. 27C

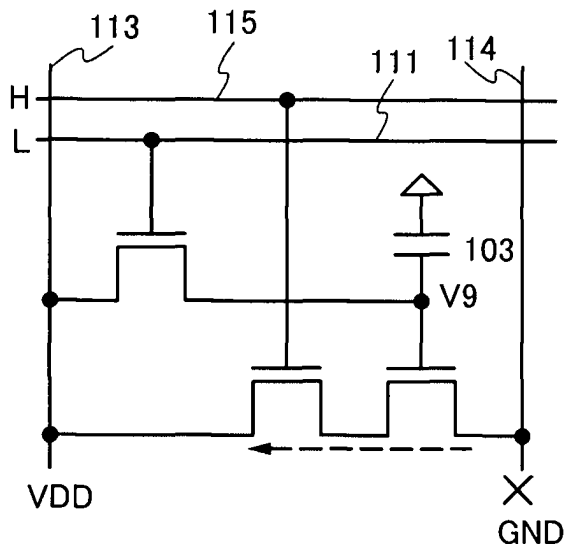


FIG. 27D

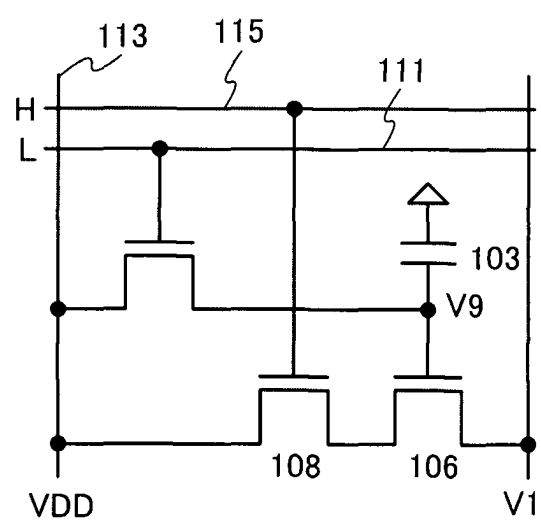


FIG. 28

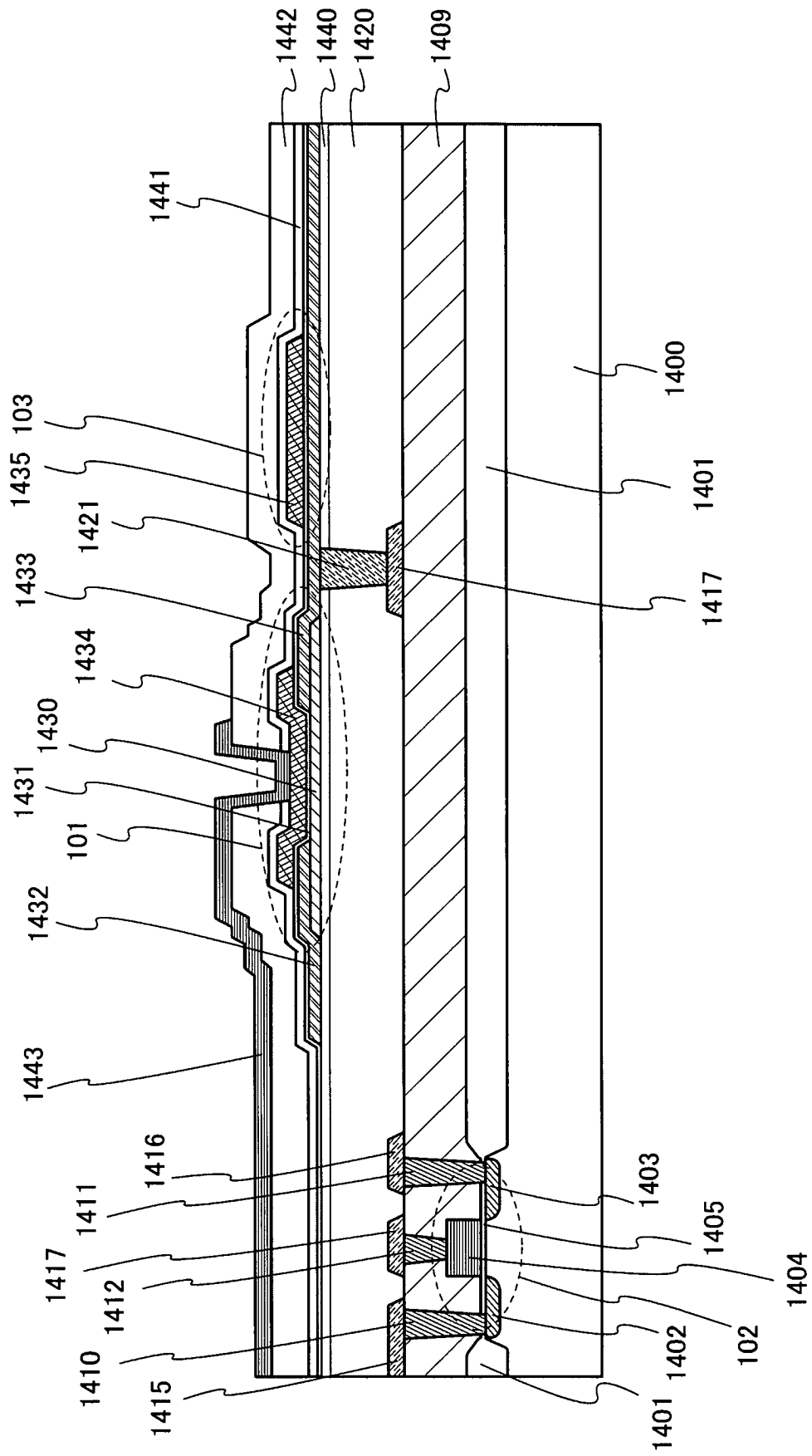


FIG. 29A

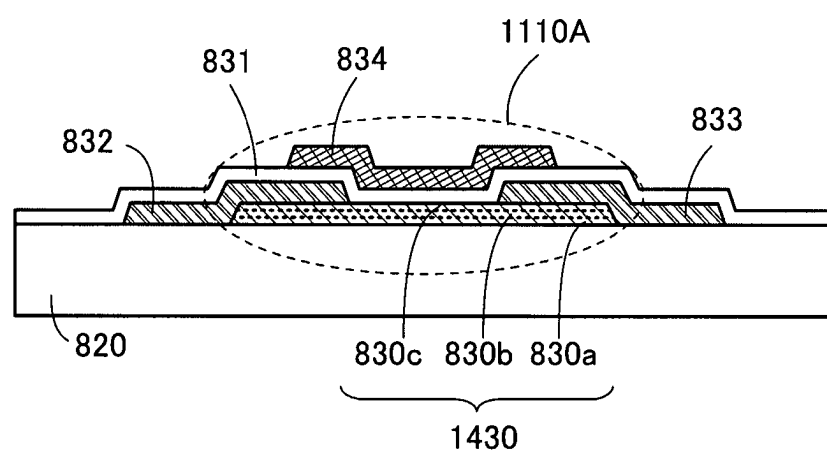


FIG. 29B

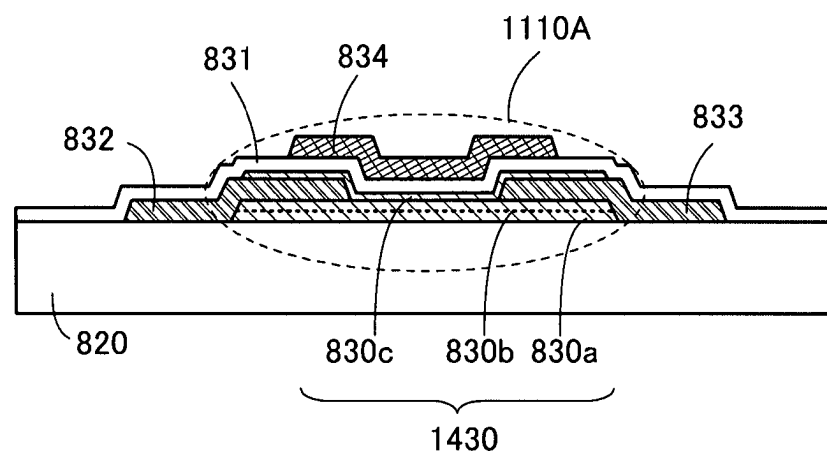


FIG. 30A

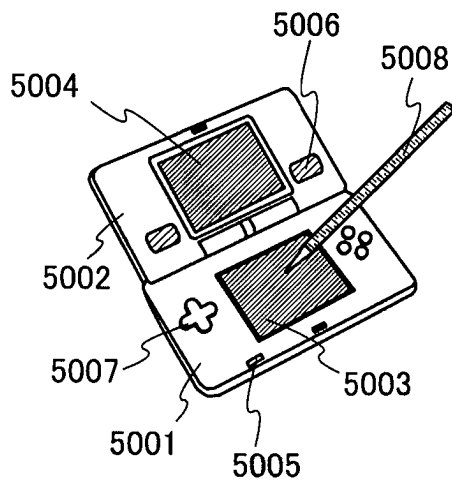


FIG. 30B

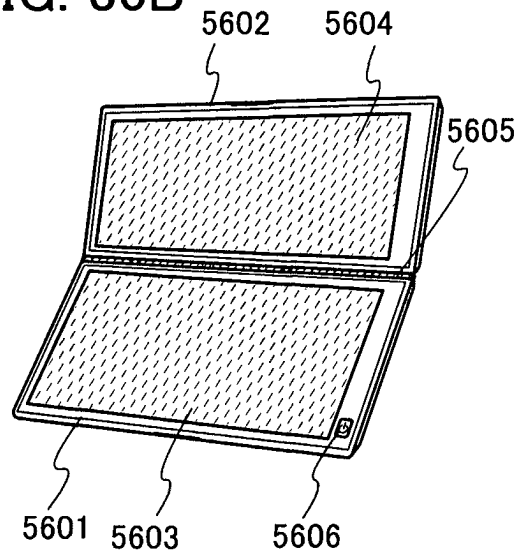


FIG. 30C

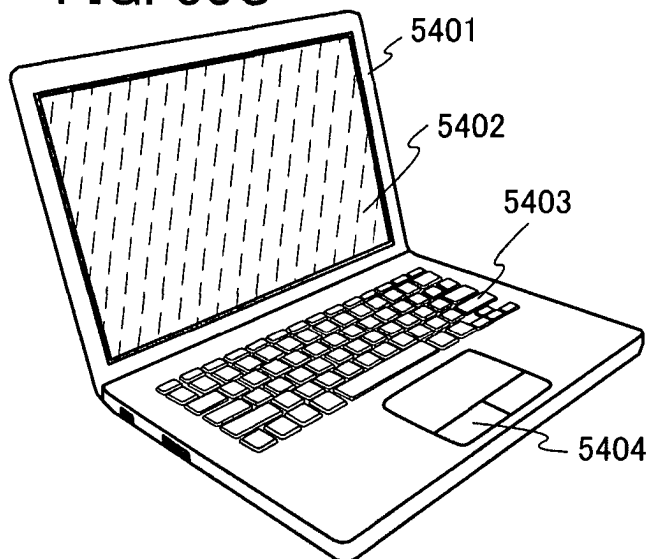


FIG. 30D

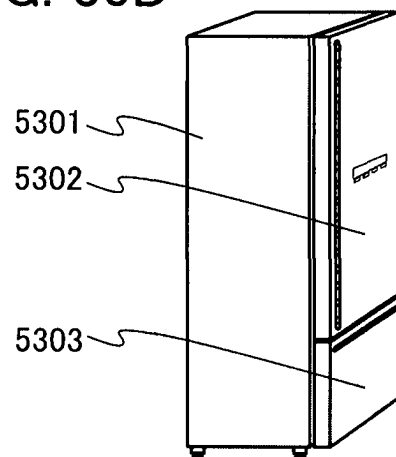


FIG. 30E

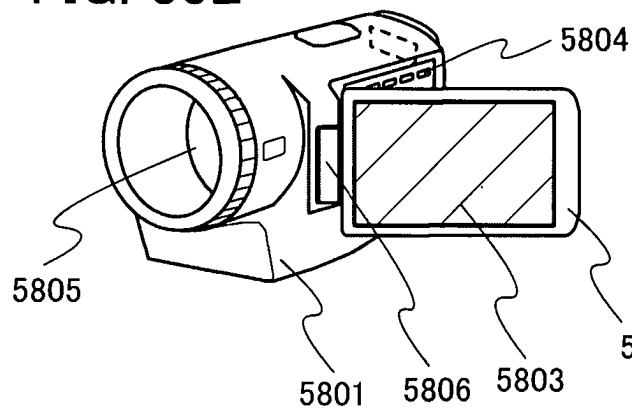


FIG. 30F

