

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月23日(23.11.2023)



(10) 国際公開番号

WO 2023/224024 A1

(51) 国際特許分類:

G01R 31/3177 (2006.01) **H03M 7/30** (2006.01)
G01R 31/28 (2006.01) **H03M 7/40** (2006.01)
G01R 31/3187 (2006.01) **H03M 7/46** (2006.01)

(21) 国際出願番号: PCT/JP2023/018224

(22) 国際出願日: 2023年5月16日(16.05.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-080806 2022年5月17日(17.05.2022) JP

(71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東

京 都 千 代 田 区 丸 の 内 二 丁 目 7 番
3号 Tokyo (JP).

(72) 発明者:増田 周(MASUDA, Shu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 森 敦弘(MORI, Atsuhiko); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

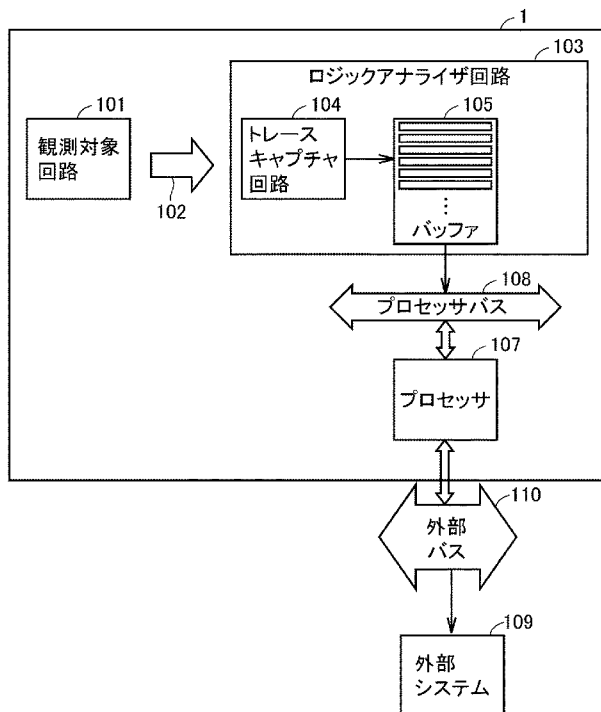
(74) 代理人:弁理士法人深見特許事務所(FUKAMI PATENT OFFICE, P.C.); 〒5300005 大阪府大阪市北区中之島三丁目2番4号 中之島フェスティバルタワー・ウエスト Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) Title: LOGIC ANALYZER CIRCUIT, INTEGRATED CIRCUIT, AND INTEGRATED CIRCUIT SYSTEM

(54) 発明の名称: ロジックアナライザ回路、集積回路および集積回路システム

図1



101 Circuit to be observed
103 Logic analyzer circuit
104 Trace capture circuit
105 Buffer
107 Processor
108 Processor bus
109 External system
110 External bus

(57) Abstract: This logic analyzer circuit comprises: a trace capture circuit that acquires N signals to be observed when a change occurs in at least one of the N signals from a circuit to be observed; and a buffer that stores signal data acquired by the trace capture circuit. The signal data has a timestamp of an M bit width indicating the time of acquisition, and state change data of N bit widths corresponding to respective values of the N signals to be observed. The signal data is binary-format data of an (M+N)-bit fixed length.

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: ロジックアナライザ回路は、観測対象回路からのN個の観測対象信号のうちの少なくとも1つに変化が生じた場合に当該N個の観測対象信号を取得するトレースキャプチャ回路と、トレースキャプチャ回路で取得した信号データを蓄えるバッファとを備える。信号データは、取得された時刻を示すMビット幅のタイムスタンプと、N個の観測対象信号のそれぞれの値にそれぞれ対応するNビット幅の状態変化データとを有する。信号データは、(M+N)ビットの固定長のバイナリ形式データである。

明 細 書

発明の名称：

ロジックアナライザ回路、集積回路および集積回路システム

技術分野

[0001] 本開示は、集積回路に関し、より詳細には集積回路内の信号を監視するロジックアナライザ回路に関する。

背景技術

[0002] 集積回路の大規模化に伴い内部の論理構成が複雑化し、不具合があった場合の原因究明がより困難になっている。机上の論理検証では確認できなかった不具合が実際のデバイス上の試験で発生し、解析が困難となる場合も少なくない。そのため、集積回路内部の所望の信号を複数選択して監視することで検証を効率化したいという要望がある。そこで、ユーザー回路の所望の信号を取得するための監視回路を実装し、内部信号を取得して外部に出力する機構を設ける。この監視回路はロジックアナライザ回路と呼ばれる。

[0003] このロジックアナライザ回路は実装するデバイスに依存しない論理合成可能な回路とすることで、ASICまたはFPGA等に依らずユーザー回路ブロックとともに実装し検証することが可能になる（例えば特許文献1参照）。集積回路内に監視対象となるユーザー回路とロジックアナライザ回路を実装し、監視対象の信号の状態変化をタイムスタンプとともに記録する。特許文献1では、プローブ対象信号の値をシステムクロックに従って継続的にサンプリングするのではなく、状態変化のみをサンプリングすることで取得した信号のデータサイズの削減を行う。ファイル形式の例として、IEEE (Institute of Electrical and Electronics Engineers) 標準に準拠したVCD (Value Change Dump) などのASCII (American Standard Code for Information Interchange) を使用した符号化形式を示している。集積回路内のプログラム実行可能なプロセッサでファイルを読み出し、これを波形に変換してビデオ出力ポートを介してディスプレイ等にリアルタイム

に出力する。

先行技術文献

特許文献

[0004] 特許文献1：特表2020-529064号公報

発明の概要

発明が解決しようとする課題

[0005] 一方、特許文献1に示されるVCD形式では状態変化毎にタイムスタンプ値と、変化があった信号の識別子と値をASCII形式で記録する。そのため、複数の信号を監視する場合、タイムスタンプあたりに変化した信号数に比例してデータサイズが大きくなる可能性がある。

[0006] 本開示は、上記のような問題点を解決するためになされたものであり、監視対象信号のデータサイズを削減することが可能なロジックアナライザ回路、集積回路および集積回路システムを提供することを目的とする。

課題を解決するための手段

[0007] ある開示に従うロジックアナライザ回路は、観測対象回路からのN個の観測対象信号のうちの少なくとも1つに変化が生じた場合に当該N個の観測対象信号を取得するトレースキャプチャ回路と、トレースキャプチャ回路で取得した信号データを蓄えるバッファとを備える。信号データは、取得された時刻を示すMビット幅のタイムスタンプと、N個の観測対象信号のそれぞれの値にそれぞれ対応するNビット幅の状態変化データとを有する。信号データは、(M+N)ビットの固定長のバイナリ形式データである。

発明の効果

[0008] 本開示のロジックアナライザ回路、集積回路および集積回路システムは、監視対象信号のデータサイズを削減することが可能である。

図面の簡単な説明

[0009] [図1]実施の形態1に基づく集積回路1の模式図である。

[図2]実施形態1に基づくバッファ105に蓄えられる信号データの形式を説

明する図である。

[図3]実施形態1に基づく集積回路1と接続される外部システム109の構成の一例について説明する図である。

[図4]実施形態1に基づくバッファ105に格納される信号データセットの詳細について説明する図である。

[図5]比較例として従来の信号データの取得形式について説明する図である。

[図6]実施の形態1に従う方式のデータサイズと、比較例の方式に従うデータサイズについて説明する図である。

[図7]実施の形態2に基づく集積回路1#の模式図である。

[図8]複数の信号データセットの分割のイメージ図である。

[図9]実施の形態2に従う圧縮回路606における複数パターンのブロックの圧縮を実行する処理を説明するフロー図である。

[図10]実施の形態2に従う方式のデータサイズと、比較例に従う方式のデータサイズについて説明する図である。

[図11]実施の形態3に基づく圧縮回路606の内部構成について説明する図である。

[図12]分割された信号データのうちの各々のブロックにおける、入力データスキャン部1101のスキャンの方法について説明する模式図である。

[図13]実施の形態3に従う圧縮回路606における各ブロックの圧縮処理について説明するフロー図である。

[図14]実施形態3に従う圧縮処理について並列処理する場合について説明する図である。

[図15]複数のブロックに対する圧縮符号生成処理を大局的に示したタイミングチャート図である。

[図16]ハフマンテーブルの更新フェーズにおけるハフマンテーブル更新処理方法について記載した模式図である。

[図17]実施の形態3に従うハフマンテーブルの具体例を示したものである。

[図18]他の実施形態に従う集積回路について説明する図である。

発明を実施するための形態

[0010] 以下、実施の形態について図に基づいて説明する。以下の説明では、同一部品には、同一の符号を付している。それらの名称および機能も同じであるためそれらについての詳細な説明は繰り返さない。

[0011] 実施の形態 1.

図 1 は、実施の形態 1 に基づく集積回路 1 の模式図である。

[0012] 図 1 を参照して、集積回路 1 は、観測対象回路 101 と、観測対象回路 101 の観測対象信号 102 を監視するロジックアナライザ回路 103 と、プロセッサバス 108 と、プログラムの実行可能なプロセッサ 107 とを含む。

[0013] また、集積回路 1 は、外部バス 110 を介して外部システム 109 と接続される。

ロジックアナライザ回路 103 は、トレースキャプチャ回路 104 と、バッファ 105 とを含む。トレースキャプチャ回路 104 は、観測対象信号 102 に変化が生じた場合に信号の取得を行う。バッファ 105 は、取得した信号データを一時的に蓄える。

[0014] プロセッサ 107 は、バッファ 105 に一時的に蓄えた信号データをプロセッサバス 108 を介して取得する。また、プロセッサ 107 は、外部バス 110 を介して外部システム 109 に対して送出する。

[0015] 図 2 は、実施形態 1 に基づくバッファ 105 に蓄えられる信号データの形式を説明する図である。

[0016] 図 2 を参照して、トレースキャプチャ回路 104 は、観測対象信号 102 が変化した場合に信号の取得を行う。バッファ 105 は、トレースキャプチャ回路 104 により取得された 1 つの信号データセット 201 を格納する。

[0017] 信号データセット 201 は、先頭に位置するタイムスタンプ 202 と、状態変化データ 203 とを有する。なお、タイムスタンプ 202 は、次の観測対象信号 102 の変化までの時間測定を可能とするために必要なビット幅であれば良い。

- [0018] タイムスタンプ202がオーバーフローした場合は、信号変化がなくてもオーバーフロー時のタイムスタンプ202と状態変化データ203を記録し、オーバーフローが発生したことを明示するようにする。
- [0019] 状態変化データ203は、所望の観測対象信号を包含するために必要なビット幅を割り当てればよい。
- [0020] 本例における信号データセット201は、タイムスタンプ202と状態変化データ203とを組み合わせ、固定長のバイナリ形式とする。
- [0021] バッファ105には、上から古い信号データセット201の順で複数の信号データを蓄える。
- [0022] 図3は、実施形態1に基づく集積回路1と接続される外部システム109の構成の一例について説明する図である。
- [0023] 図3を参照して、外部システム109は、デバッガ2と、PC (Personal Computer) 3と、ディスプレイ5とを含む。
- [0024] 集積回路1から送出された信号データは集積回路1に接続された外部バス110を経由してデバッガ2に入力される。
- [0025] デバッガ2は、信号データのデータ形式をPC3の有するバスに対応する形式に変更してPC3に伝送する。
- [0026] PC3は、信号データをディスプレイ5に表示するためのソフトウェアを有し、当該ソフトウェアを用いて信号データを所定の手順で復号し、波形に再構成してディスプレイ5に表示する。
- [0027] 図4は、実施形態1に基づくバッファ105に格納される信号データセットの詳細について説明する図である。
- [0028] 図4を参照して、実施形態1に基づくデータ記録方式では、MSB (Most Significant Bit) 側にデータ取得時間を示すタイムスタンプ202を配置する。タイムスタンプ202は、一例として8ビット分を割り当てる。
- [0029] 次に、例えば120本で構成される監視対象信号502を、信号1本について1ビットのバイナリデータとして扱い、これらをMSB (Most Significant Bit) 側からLSB (Least Significant Bit) 側にかけて120本

分結合することによって、120ビットの状態変化データ203を生成する。

[0030] 一つの信号データを、8ビットのタイムスタンプ202と120ビットの状態変化データ203を結合した128ビットの固定長のバイナリデータとする。

[0031] これにより、同一時刻において監視対象信号のうち複数の信号で値が変化した場合においても、信号データのサイズは常に128ビット（16バイト）の固定長となり、これを超えることはない。

[0032] 図5は、比較例として従来の信号データの取得形式について説明する図である。

図5を参照して、VCD形式を用いた場合の信号データの取得形式について説明する。VCD形式では、監視対象の全ての信号に該当する文字列の定義401をファイルの先頭に配置する。

[0033] そして、その後、図5に示されるように、監視対象の信号に変化があった場合は、タイムスタンプ402に続けて各々1行ずつ、状態に変化があった信号の変化後の値403と、該当する信号識別文字列404とを記録する形式である。

[0034] ここで、10進数でNd桁のタイムスタンプのデータサイズは、先頭文字<#>1バイト+改行文字1バイト+タイムスタンプNdバイト=2+Ndバイトとなる。

[0035] また、変化のあった信号1本あたりのデータサイズは、変化値1バイト+信号識別文字列404の1バイト+改行文字1バイト=3バイトとなる。

[0036] この点で、変化した信号数がNc本の場合のタイムスタンプあたりのデータサイズは2+Nd+3×Ncバイトとなる。

[0037] したがって、変化した信号数に比例してデータサイズが増加することになる。

一例として、監視対象の信号数が多数となる場合として、例えば信号数Ncが120本ある場合を想定する。

[0038] 図6は、実施の形態1に従う方式のデータサイズと、比較例の方式に従うデータサイズについて説明する図である。

[0039] 図6を参照して、本例においては、VCD形式を用いた場合の信号データのタイムスタンプあたりの状態変化信号数に対するデータサイズが示されている。

[0040] 例えばタイムスタンプのデータサイズとして $N_d = 4$ とする。また、信号数の本数が $N_c > 3$ となる場合に信号データのデータサイズは16バイトを超える。

[0041] 一方、実施形態1に従う固定長バイナリ形式を用いた場合の信号データのタイムスタンプあたりの状態変化信号数に対するデータサイズは、信号数の本数が増加した場合においても一定を維持している。

[0042] 従って、実施形態1に従う転送形式として固定長のバイナリ形式を用いることで、タイムスタンプあたりの状態変化信号数が多数発生する場合においてもデータサイズを大幅に削減することができる。

[0043] 実施の形態2.

図7は、実施の形態2に基づく集積回路1#の模式図である。

[0044] 図7を参照して、集積回路1#は、集積回路1と比較して、ロジックアナライザ回路603#に置換した点異なる。その他の構成については図1で説明したのと同様であるのでその詳細な説明については繰り返さない。

[0045] ロジックアナライザ回路603#は、ロジックアナライザ回路103と比較して圧縮回路606をさらに含む。

[0046] 圧縮回路606は、バッファ105に蓄えたデータ群（複数の信号データセット）を読み出して圧縮を行う。

[0047] 具体的には、圧縮のアルゴリズムとしてランレングス方式により所定のバイナリフォーマットに圧縮してもよい。

[0048] 所定のバイナリフォーマットの例として、信号取得開始時の観測対象信号の各値をヘッダとし、そのあとに信号値の変化毎に、信号が時間軸方向に連続して同一値となった回数を並べる形式が考えられる。この圧縮アルゴリズム

ムを適用すると、信号変化の頻度が低い場合に高い圧縮率が得られる。

[0049] データ群を複数のブロックに分割して、各ブロック毎に圧縮アルゴリズムを適用するようにしてもよい。

[0050] また、分割するブロックの個数を変化させて、複数パターンのブロックの圧縮を行い、データサイズの小さい圧縮を選択するようにしてもよい。

[0051] 図8は、複数の信号データセットの分割のイメージ図である。

図8（A）を参照して、データの配列方向に対して分割する場合のイメージ図である。

[0052] 図8（B）を参照して、データの時間方向に対してさらに分割する場合のイメージ図である。

[0053] 図9は、実施の形態2に従う圧縮回路606における複数パターンのブロックの圧縮を実行する処理を説明するフロー図である。

[0054] 図9を参照して、圧縮回路606は、バッファ105から信号データを取得し、信号データが所定のサイズまで取得できたか判断する（ステップS1）。

[0055] 圧縮回路606は、信号データが所定のサイズまで取得できるまで待機（ステップS1においてNO）し、信号データが所定のサイズまで取得できたと判断した場合（ステップS1においてYES）には、図8（A）で説明したように信号データセットのデータの配列方向に向かってN個のブロックに分割する（ステップS2）。

[0056] 次に、圧縮回路606は、分割したN個のブロックのデータに対して所定の圧縮処理を実行する（ステップS3）。

[0057] 次に、圧縮回路606は、分割したN個の全てのブロックに対する圧縮処理が完了したか否かを判断する（ステップS4）。圧縮回路606は、分割したN個の全てのブロックに対する圧縮処理が完了するまでステップS3の所定の圧縮処理を繰り返し、完了した場合には、次のステップに進む。

[0058] また、圧縮回路606は、N個の各ブロックをさらに2分割にする（ステップS5）。具体的には、図8（B）で説明するように時間方向に対してさ

らに分割する。

[0059] 次に、圧縮回路606は、分割した2N個のブロックのデータに対して所定の圧縮処理を実行する（ステップS6）。

[0060] 次に、圧縮回路606は、分割した2N個の全てのブロックに対する圧縮処理が完了したか否かを判断する（ステップS7）。圧縮回路606は、分割した2N個の全てのブロックに対する圧縮処理が完了するまでステップS6の所定の圧縮処理を繰り返し、完了した場合には、次のステップに進む。

[0061] また、圧縮回路606は、N個の各ブロックをさらに4分割にする（ステップS8）。具体的には、図8（B）で説明したのと同様の方式で時間方向に対してさらに2分割する。

[0062] 次に、圧縮回路606は、分割した4N個のブロックのデータに対して所定の圧縮処理を実行する（ステップS9）。

[0063] 次に、圧縮回路606は、分割した4N個の全てのブロックに対する圧縮処理が完了したか否かを判断する（ステップS10）。圧縮回路606は、分割した4N個の全てのブロックに対する圧縮処理が完了するまでステップS6の所定の圧縮処理を繰り返し、完了した場合には、次のステップに進む。

[0064] 次に、圧縮回路606は、非圧縮のデータと、3種類の圧縮方式の中で最もデータサイズが小さい方式を選択する（ステップS11）。

[0065] そして、圧縮回路606は、処理を終了する（エンド）。

上記方式により、複数の圧縮パターンのうち最もデータサイズの小さい方式のデータが選択されて、当該選択されたデータがプロセッサ107に送出される。

[0066] これにより、膨大な信号データであっても、圧縮により効率的に転送することが可能である。また、波形表示を高速かつリアルタイムに実現することも可能である。

[0067] なお、所定の圧縮処理のアルゴリズムは、上記のランレングス以外にZIP、GZIPなどの広範に利用される可逆圧縮アルゴリズムを用いてもよい。

し、集積回路内への実装が容易なその他の可逆圧縮アルゴリズムを用いてもよい。

[0068] 図10は、実施の形態2に従う方式のデータサイズと、比較例に従う方式のデータサイズについて説明する図である。

[0069] 図10を参照して、ランレングス形式を用いて128個のデータセット毎に圧縮処理を施した場合のタイムスタンプあたりの状態変化信号数に対するデータサイズのグラフを示す。

[0070] タイムスタンプあたりの状態変化信号数が4本以下である場合、データサイズを40%以下に縮小できるため、VCD形式に比べてデータサイズを縮小することが可能である。

[0071] 実施の形態3.

以下、圧縮アルゴリズムとしてハフマン符号を用いる場合について説明する。

[0072] 図11は、実施の形態3に基づく圧縮回路606の内部構成について説明する図である。

[0073] 図11を参照して、圧縮回路606は、入力データスキャン部1101と、元データSRAM (Static Random Access Memory) 1102と、圧縮データSRAM 1106と、ライトデータ制御部1104と、ハフマンテーブルSRAM 1103と、リードデータ制御部1105と、データ出力制御部1107と、セクタ1108, 1109とを含む。

[0074] 元データSRAM 1102は、圧縮前の1ブロック分のバッファ105からの信号データを一時的に格納し、A面とB面との2面バンク構成とし、後述の処理パイプラインステージに合わせてバンク面を切り替えて使用する。

[0075] ハフマンテーブルSRAM 1103は、ハフマンテーブルを格納する。

ライトデータ制御部1104は、圧縮対象の信号データから決定木やヒストグラムなどの統計情報を作成し、ハフマンテーブルを更新する。

[0076] リードデータ制御部1105は、圧縮対象の信号データを元にハフマンテーブルSRAM 1103から圧縮符号を読み出し、ハフマンテーブル更新の

際はハフマンテーブルデータをプロセッサバス108に出力する。

- [0077] 圧縮データSRAM1106は、圧縮符号を格納し、A面とB面との2面バンク構成とし、後述の処理パイプラインステージに合わせてバンク面を切り替えて使用する。
- [0078] データ出力制御部1107は、1ブロック分の圧縮データ量を計算し、出力データを決定する。
- [0079] セレクタ1108は、プロセッサバス108に出力するデータを元データSRAM1102と圧縮データSRAM1106との間で選択する。
- [0080] セレクタ1109は、プロセッサバス108に出力するデータをセレクタ1108の出力とハフマンテーブルデータとの間で選択する。
- [0081] 実施の形態3に基づく信号データの圧縮回路606のデータ圧縮方法について、図8(A)に示すデータの配列方向に対する分割手法において、8ビットを単位としてN個に分割した場合の各ブロックのデータを圧縮する手法について説明する。
- [0082] なお、分割方法は8ビット単位に限定する必要はなく、4ビットや16ビット、その他のビット数を単位とした分割を行っても良い。
- [0083] 図12は、分割された信号データのうちの各々のブロックにおける、入力データスキャン部1101のスキャンの方法について説明する模式図である。
- [0084] 図12を参照して、各々のブロックは、8ビットのデータ配列を時間軸方向にL行分有する構成を取る。
- [0085] 入力データスキャン部1101は、時間軸方向に上（古いデータ）から下（新しいデータ）の方向に8ビットずつ、L回に分けて順に取り込み、圧縮処理を実行する。
- [0086] 図13は、実施の形態3に従う圧縮回路606における各ブロックの圧縮処理について説明するフロー図である。
- [0087] 図13を参照して、圧縮処理を開始するに際し、入力データスキャン部1101は、本ブロックが圧縮するデータの先頭のブロックであるか否かを判

断する（ステップS 2 0）。

[0088] 次に、入力データスキャン部1 1 0 1は、先頭のブロックであると判断した場合（ステップS 2 0においてY E S）には、ライトデータ制御部1 1 0 4に指示し、ハフマンテーブルS R A M 1 1 0 3に対して初期ハフマンテーブルの格納を実行する（ステップS 2 2）。

[0089] 一方、入力データスキャン部1 1 0 1は、先頭ブロックではないと判断した場合（ステップS 2 0においてN O）には、ステップS 2 2をスキップして次のステップS 2 4に進む。

[0090] ステップS 2 4において、入力データスキャン部1 1 0 1は、1ブロック分の信号データのスキャンを開始するとともに、圧縮前の信号データを元データS R A M 1 1 0 2に格納する。

[0091] 次に、入力データスキャン部1 1 0 1は、スキャンされたデータの8ビット分すべてが0であるか否かを判断する（ステップS 2 6）。

[0092] 入力データスキャン部1 1 0 1は、8ビット分すべてが0であると判断した場合（ステップS 2 6においてY E S）には、リードデータ制御部1 1 0 5に対して内蔵する0データカウンタを+ 1加算する（ステップS 2 8）。

[0093] 一方、入力データスキャン部1 1 0 1は、8ビット分すべてが0ではないと判断した場合（ステップS 2 6においてN O）は、ステップS 2 8をスキップして次のステップS 3 0に進む。

[0094] 次に、ステップS 3 0において、ライトデータ制御部1 1 0 4は、スキャンされた8ビットデータを元に、ヒストグラムなどの統計情報を更新する。

[0095] 次に、リードデータ制御部1 1 0 5は、ハフマンテーブルS R A M 1 1 0 3からスキャンされた8ビットデータをアドレスとしてリードアクセスを行い、圧縮符号を読み出す（ステップS 3 2）。

[0096] 次に、データ出力制御部1 1 0 7は、リードデータ制御部1 1 0 5から出力された圧縮符号を圧縮データS R A M 1 1 0 6に詰めて書き込む（ステップS 3 4）。

[0097] 次に、入力データスキャン部1 1 0 1は、8ビットずつの信号データのス

キャンをL回まで完了したか否かを判断する（ステップS36）。

[0098] 入力データスキャン部1101は、8ビットずつの信号データのキャンをL回分まで完了していないと判断した場合（ステップS36においてNO）には、ステップS54に進み、入力データスキャン部1101は、次の順番の8ビットのデータ配列をスキャンする。そして、ステップS26に進む。

[0099] 入力データスキャン部1101は、8ビットずつの信号データのキャンをL回分まで完了したと判断した場合（ステップS36においてYES）には、元データSRAM1102および圧縮データSRAM1106の2つバンク面（A/B）の書込み側と読出し側の間で入れ替えるとともに、リードデータ制御部1105に内蔵されるブロックカウンタを+1加算する（ステップS37）。

[0100] 次に、リードデータ制御部1105は、内蔵する0データカウンタの値がLと一致するか否かを判断する（ステップS38）。

[0101] リードデータ制御部1105は、0データカウンタの値がLと一致すると判断した場合（ステップS38においてYES）には、オール0フラグをON（「1」）として出力する。

[0102] そして、リードデータ制御部1105は、データ出力制御部1107に指示し、圧縮データSRAM1106に格納された1ブロック分の圧縮データを破棄させる（ステップS52）。そして、次のステップS48に進む。

[0103] 一方、リードデータ制御部1105は、内蔵する0データカウンタの値がLと一致しないと判断した場合（ステップS38においてNO）には、オール0フラグをOFF（「0」）として出力する（ステップS40）。

[0104] 次に、データ出力制御部1107は、圧縮データSRAM1106に格納した1ブロック分の圧縮データのサイズが、圧縮前の信号データのサイズ（ $8 \times L$ ビット）以上のサイズであるか否かを判定する（ステップS42）。

[0105] データ出力制御部1107は、1ブロック分の圧縮データのサイズが、圧縮前の信号データのサイズ以上のサイズであった場合（ステップS42にお

いてYES)は、圧縮フラグをOFF(「0」)として出力する。これに伴い、セクタ1108に従って元データSRAM1102側のデータを選択した上で、プロセッサバス108に出力する(ステップS46)。

[0106] 一方、データ出力制御部1107は、1ブロック分の圧縮データのサイズが、圧縮前の信号データのサイズ(8×Lビット)未満のサイズである場合(ステップS42においてNO)には、圧縮フラグをON(「1」)として出力する。これに伴い、セクタ1108に従って圧縮データSRAM1106側のデータを選択した上で、プロセッサバス108に出力する(ステップS44)。

[0107] 次に、リードデータ制御部1105は、内蔵するブロックカウンタの値がP回に達しているか否かを判定する(ステップS48)。一例として8ビットを単位としてN個に分割した場合には、 $P=N$ に設定する。

[0108] リードデータ制御部1105は、ブロックカウンタの値がP回に達していると判断した場合(ステップS48においてYES)には、ライトデータ制御部1104は、算出されたヒストグラムなどの統計情報をもとに、ハフマンテーブルSRAM1103に格納されたハフマンテーブル情報を更新するとともに、ハフマンテーブルデータをセクタ1109を介してプロセッサバス108に出力し、ブロックカウンタを0にリセットする(ステップS50)。

[0109] 一方、ブロックカウンタの値がP回に達していない場合(ステップS48においてNO)は、ステップS20に戻り、上記処理を繰り返す。これにより、1ブロック分ずつ圧縮処理を繰り返し実行する。

[0110] なお、本例においては、一例として8ビットのデータ配列を単位としてN個に分割した場合について説明したが、これに限られずさらにN個のブロックを2分割あるいは4分割する場合についても同様に適用可能である。

[0111] 図14は、実施形態3に従う圧縮処理について並列処理する場合について説明する図である。

[0112] 図14を参照して、ここでは、高速化のために2つのパイプラインステー

ジに分割した場合が示されている。具体的には、連続するブロックを並列に処理する場合のタイミングチャートが示されている。

[0113] 具体的には、圧縮符号を生成する処理と、データ出力処理とを分けて並列に処理する場合が示されている。

[0114] 最初の処理時間帯（時刻 T_1 と時刻 T_2 との間）においては、 M 番目のブロックに対してステージ 1 の圧縮符号生成処理を実施する。

[0115] まず、クロックサイクルに合わせて、信号データ $D-1 \sim D-L$ の L 個（ただし、 L は図 12 に示すスキンの行数に対応している）の 8 ビットデータが入力される。

[0116] このデータをアドレスとしてハフマンテーブル $SRAM1103$ をリードすることによって、1 サイクル後に圧縮符号 $H-1 \sim H-L$ が読み出される。

[0117] 最後の圧縮符号の読出しが完了するのは、フェーズ M の $L+1$ サイクル目である。

次のサイクル（ $L+2$ サイクル目）において、バンク切り替えを実施し、次のサイクル（ $L+3$ サイクル目）において、オール 0 判定を実施し、さらに次のサイクル（ $L+4$ サイクル目）において圧縮データサイズ判定を実施する。

[0118] 以上のように、圧縮符号の生成処理に要するサイクル数は、 $L+4$ サイクルである。

次の処理時間帯（時刻 T_2 と時刻 T_3 との間）においては、 $M+1$ 番目のブロックに対してステージ 1 の圧縮符号生成処理を実施するとともに、 M 番目のブロックに対してステージ 2 のデータ出力処理を実施する。

[0119] ステージ 2 においては、 $L+4$ サイクルの間に、判定結果に基づいて、圧縮データまたは元データをプロセッサバス 108 に出力する、もしくはオール 0 判定により全くデータを出力しない処理が実行される。

[0120] 図 15 は、複数のブロックに対する圧縮符号生成処理を大局的に示したタイミングチャート図である。

- [0121] 図15を参照して、ステージ1の圧縮符号生成およびステージ2のデータ出力処理をM番目のブロック～M+(P-1)番目のブロック（すなわちP個分のブロック）に対して実施したあと、ハフマンテーブルの更新フェーズに入る場合が示されている。
- [0122] ここでは、ハフマンテーブル情報の更新及びプロセッサバス108に出力を実施する。ハフマンテーブルの更新フェーズを終了すると、またM+P番目のブロック～M+(2P-1)番目のブロック（すなわちP個分のブロック）に対するステージ1の圧縮符号生成およびステージ2のデータ出力処理が繰り返される。
- [0123] 図16は、ハフマンテーブルの更新フェーズにおけるハフマンテーブル更新処理方法について記載した模式図である。
- [0124] 図16(A)を参照して、P回の圧縮符号生成フェーズにおいて、8ビットに対応する256種類の信号データに相当するノードに対して、入力データスキャン部1101によって入力されたデータと一致する度に+1が投票される。
- [0125] 次に、P回の圧縮符号生成フェーズが完了した後、ハフマンテーブルの更新フェーズに移行し、256のノードの各々の投票数は、投票総数L×Pで除算され、発生確率(%)に変換される。
- [0126] 図16(B)を参照して、発生確率が高い順にソートされる。
- 図16(C)を参照して、ソートされたデータをもとにハフマン木が生成され、それぞれのノードに対して圧縮符号が生成される。
- [0127] 生成された圧縮符号は、対応するノードに相当する元データをアドレスとして、ハフマンテーブルSRAM1103に書き込まれるとともに、圧縮データを外部システム側またはプロセッサ側で伸長するために、プロセッサバス108にも出力される。
- [0128] 図17は、実施の形態3に従うハフマンテーブルの具体例を示したものである。左側の列は元の8ビットデータ、右側の列はその出現確率を示す。ここでは、圧縮対象の所定のブロック内に11種類の8ビットデータが存在す

る場合が示されている。

[0129] 図 17 を参照して、中央の列は各々の出現確率をもとに決定木を算出し、導出したハフマン符号である。出現確率の高いものから順に、0、10、110、・・・と符号を割り当てる。

[0130] ハフマンテーブルを用いた場合の符号圧縮率は、i 番目の符号サイズを S_i (ビット)、i 番目の出現確率を P_i (%) とすると、以下の式で表される。ここで、N は出現する 8 ビットデータの種類の総数である。

[0131] [数1]

$$\text{圧縮率} = \sum_{n=1}^n (S_i P_i) / 8$$

[0132] 図 17 に示すハフマンテーブルの場合の圧縮率は上記の式を用いて下記のように算出される。

[0133] $(1 \times 40.0\% + 2 \times 25.0\% + 3 \times 17.0\% + 4 \times 8.5\% + 5 \times 5.0\% + 6 \times 2.0\% + 7 \times 1.0\% + 8 \times 0.7\% + 9 \times 0.5\% + 10 \times 0.2\% + 10 \times 0.1\%) / 8 = 29.03\%$

以上の算出結果により、ハフマン符号による符号圧縮によって、元のデータに比較して約 29% の符号量に圧縮することが可能となる。

[0134] なお、ハフマンテーブルを格納するハフマンテーブル SRAM 1103 は、アドレスとして高々 256 アドレス分を確保すればよく、外部メモリ上に配置する必要なく、LSI 上の SRAM として小面積で実装することが可能である。また、LSI 内蔵の SRAM に実装することによって、サイクルベースでの参照が可能となり、DRAM などの外部メモリにハフマンテーブルを実装する場合に比べて、アクセスレイテンシが少なく、高速なハフマン符号化を実施することが可能となる。

[0135] 図 18 は、他の実施形態に従う集積回路について説明する図である。

図 18 を参照して、集積回路 2 は、集積回路 1 # と比較して、第 2 のバッファ 1801 を追加した点が異なる。その他の構成については図 7 で説明したのと同様であるのでその詳細な説明については繰り返さない。

[0136] ロジックアナライザ回路 1802 は、ロジックアナライザ回路 603 # と

比較して圧縮後のデータを一時的に保持する第2のバッファ1801をさらに含む。

[0137] 圧縮回路606は、バッファ105#に蓄えたデータ群（複数の信号データセット）を、より早いタイミングで読み出し、圧縮後のデータを第2のバッファ1801にプロセッサから読み出し要求が発生する前に蓄えることによって、ロジックアナライザ回路603#と比較した場合、バッファ105#のサイズを小さくすることができ、かつ第2のバッファ1801は圧縮データを蓄えるため、第2のバッファ1801のサイズを小さくすることもでき、バッファ105#と第2のバッファ1801のサイズを合計してもロジックアナライザ回路603#のバッファ105のサイズよりも小さくすることができ、バッファに用いるメモリのサイズの効率化を図ることが可能である。

[0138] また、圧縮回路606で圧縮されたデータは、集積回路2に内蔵するプロセッサ107で伸長し、例えばVCD（Value Change Dump）などの汎用的なデータ形式に変換して、外部バス110を経由して外部システム109に供給してもよい。このような方式によれば、プロセッサバス上でのデータ転送量削減効果、及び外部システムへ汎用的なデータ形式によるデータ供給が可能となる。

[0139] 上述の実施の形態として例示した構成は、本開示の構成の一例であり、別の公知の技術と組み合わせることも可能であるし、本開示の要旨を逸脱しない範囲で、一部を省略する等、変更して構成することも可能である。また、上述した実施の形態において、他の実施の形態で説明した処理および構成を適宜採用して実施する場合であってもよい。

[0140] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本開示の範囲は、上記した説明ではなく、請求の範囲によって示され、請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

符号の説明

[0141] 1 集積回路、2 デバッガ、5 ディスプレイ、101 観測対象回路、102 観測対象信号、103, 1802 ロジックアナライザ回路、104 トレースキャプチャ回路、105 バッファ、107 プロセッサ、108 プロセッサバス、109 外部システム、110 外部バス、201 信号データセット、202, 402 タイムスタンプ、203 状態変化データ、606 圧縮回路、1101 入力データスキャン部、1102 元データSRAM、1103 ハフマンテーブルSRAM、1104 ライトデータ制御部、1105 リードデータ制御部、1106 圧縮データSRAM、1107 データ出力制御部、1108, 1109 セレクタ、1801 第2のバッファ。

請求の範囲

- [請求項1] 観測対象回路からのN個の観測対象信号のうちの少なくとも1つに変化が生じた場合に当該N個の観測対象信号を取得するトレースキャプチャ回路と、
- 前記トレースキャプチャ回路で取得した信号データを蓄えるバッファとを備え、
- 前記信号データは、
- 取得された時刻を示すMビット幅のタイムスタンプと、
- 前記N個の観測対象信号のそれぞれの値にそれぞれ対応するNビット幅の状態変化データとを有し、
- 前記信号データは、(M+N)ビットの固定長のバイナリ形式データである、ロジックアナライザ回路。
- [請求項2] 前記バッファに蓄えた複数の前記信号データを圧縮する圧縮回路をさらに備える、請求項1記載のロジックアナライザ回路。
- [請求項3] 前記圧縮回路は、複数の前記信号データを分割し、分割により得られた各々のブロックデータを圧縮する、請求項2記載のロジックアナライザ回路。
- [請求項4] 前記圧縮回路は、複数パターンの個数に分割して圧縮を行い、前記複数パターンの圧縮のうちデータサイズの小さい圧縮を選択する、請求項3記載のロジックアナライザ回路。
- [請求項5] 前記圧縮回路は、
- 分割によって得られた各々のブロックの信号データを格納する第1のメモリと、
- 前記信号データをスキャンする入力データスキャン部と、
- ハフマンテーブルと、
- 前記ハフマンテーブルを初期化及び更新するライトデータ制御部と、
- 、
- 前記信号データに基づいて前記ハフマンテーブルから圧縮符号を読

み出すリードデータ制御部と、

前記圧縮符号を格納する第2のメモリと、

前記第1および第2のメモリのいずれか一方のデータを出力するデータ出力制御部とを含む、請求項3記載のロジックアナライザ回路。

[請求項6] 前記ハフマンテーブルは、SRAM (Static Random Access Memory) を用いて実装される、請求項5記載のロジックアナライザ回路。

[請求項7] 前記ライトデータ制御部は、前記入力データスキャン部による前記信号データのスキャンの結果得られた決定木やヒストグラムなどの統計情報を作成して、前記ハフマンテーブルを更新する、請求項5記載のロジックアナライザ回路。

[請求項8] 前記リードデータ制御部は、前記各々のブロックの信号データがすべて0か否かを判断し、

前記データ出力制御部は、前記リードデータ制御部の判断結果として前記信号データがすべて0である場合には、前記データを出力せず、

前記データ出力制御部は、前記リードデータ制御部の判断結果として前記信号データがすべて0でない場合には、前記各々のブロック分に相当する前記圧縮符号のデータ量を算出し、算出結果に基づいて前記第1および第2のメモリのいずれか一方のデータを出力する、請求項5に記載のロジックアナライザ回路。

[請求項9] 前記圧縮回路で圧縮された信号データを蓄える別のバッファをさらに備える、請求項2記載のロジックアナライザ回路。

[請求項10] 請求項2に記載のロジックアナライザ回路と、前記ロジックアナライザ回路の前記圧縮回路によって出力される前記圧縮された信号データを、伸長するためのプロセッサを備える、集積回路。

[請求項11] 観測対象回路と、

前記観測対象回路の観測対象信号を監視するロジックアナライザ回

路と、

前記ロジックアナライザ回路と接続され、外部にデータ転送するプロセッサとを備え、

前記ロジックアナライザ回路は、

前記観測対象回路からのN個の観測対象信号のうちの少なくとも1つに変化が生じた場合に当該N個の観測対象信号を取得するトレースキャプチャ回路と、

前記トレースキャプチャ回路で取得した信号データを蓄えるバッファとを含み、

前記信号データは、

取得された時刻を示すMビット幅のタイムスタンプと、

前記観測対象信号の値を示すNビット幅の状態変化データとを有し

、

前記信号データは、(M+N)ビットの固定長のバイナリ形式データである、集積回路。

[請求項12] 前記集積回路は、前記ロジックアナライザ回路と前記プロセッサとのデータの授受を実行するプロセッサバスをさらに備える、請求項1記載の集積回路。

[請求項13] 集積回路と、
前記集積回路と接続するための外部バスと、
前記外部バスを介して前記集積回路とデータの授受を実行する外部装置とを備え、
前記集積回路は、
観測対象回路と、
前記観測対象回路の観測対象信号を監視するロジックアナライザ回路と、
前記ロジックアナライザ回路と接続され、前記外部バスを介して前記外部装置にデータ転送するプロセッサとを含み、

前記ロジックアナライザ回路は、

前記観測対象回路からのN個の観測対象信号のうちの少なくとも1つに変化が生じた場合に当該N個の観測対象信号を取得するトレースキャプチャ回路と、

前記トレースキャプチャ回路で取得した信号データを蓄えるバッファとを有し、

前記信号データは、

取得された時刻を示すMビット幅のタイムスタンプと、

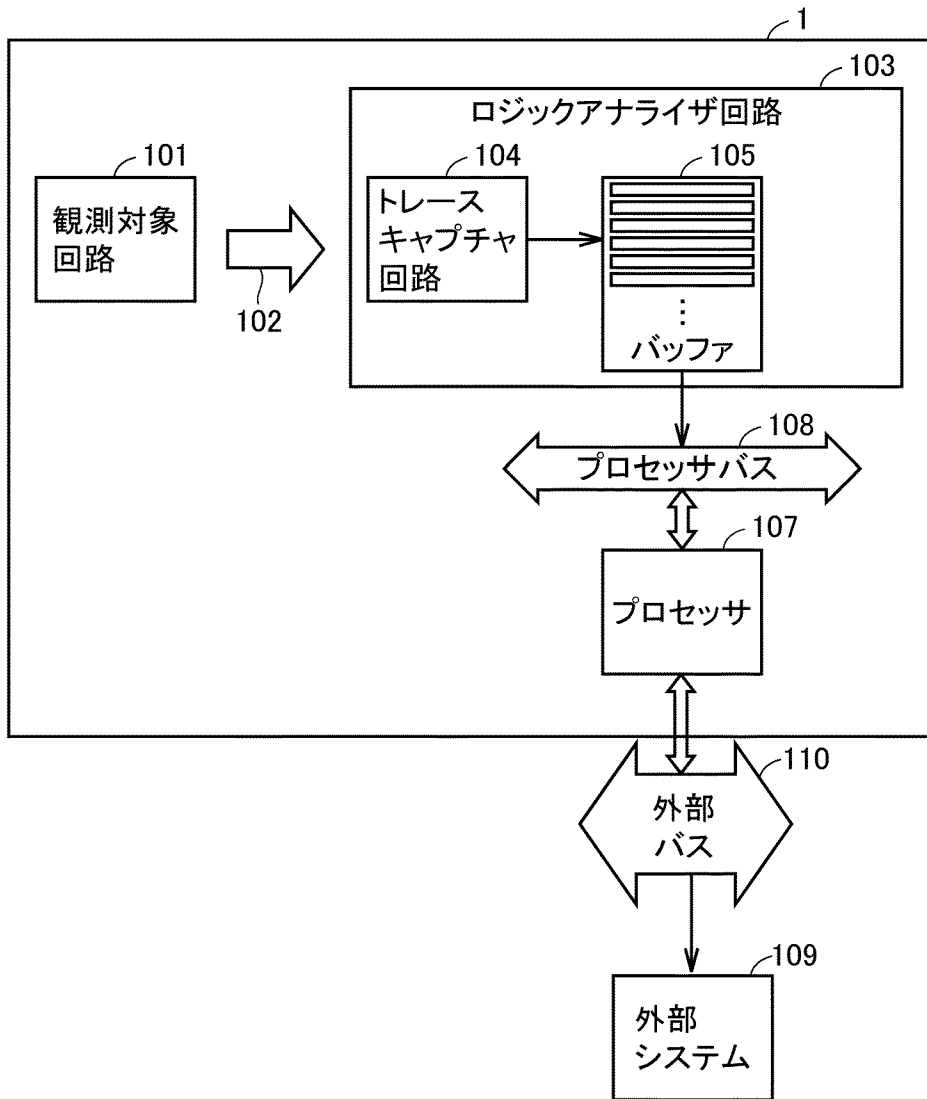
前記観測対象信号の値を示すNビット幅の状態変化データとを有し

、

前記信号データは、 $(M+N)$ ビットの固定長のバイナリ形式データである、集積回路システム。

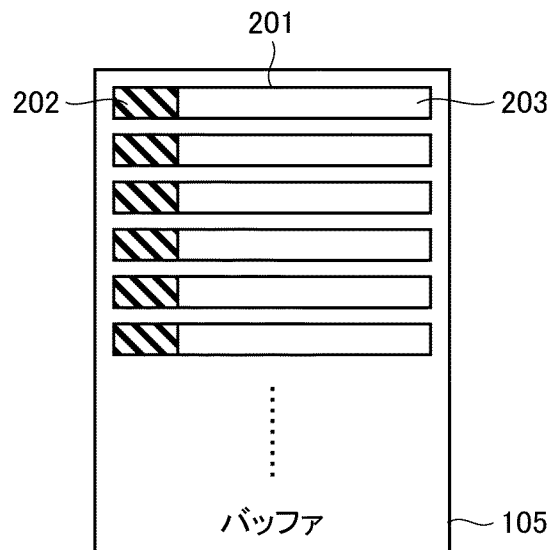
[図1]

図1



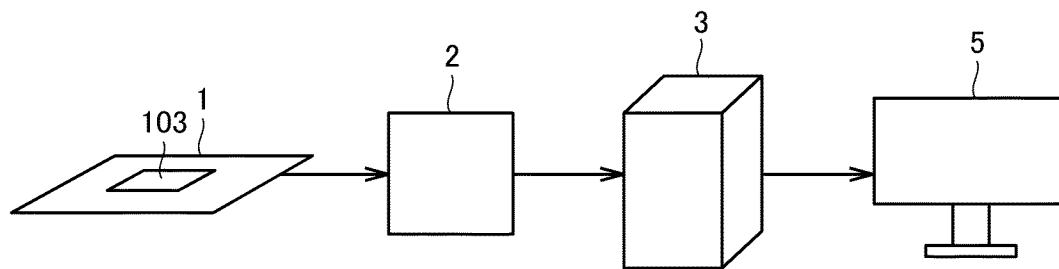
[図2]

図2



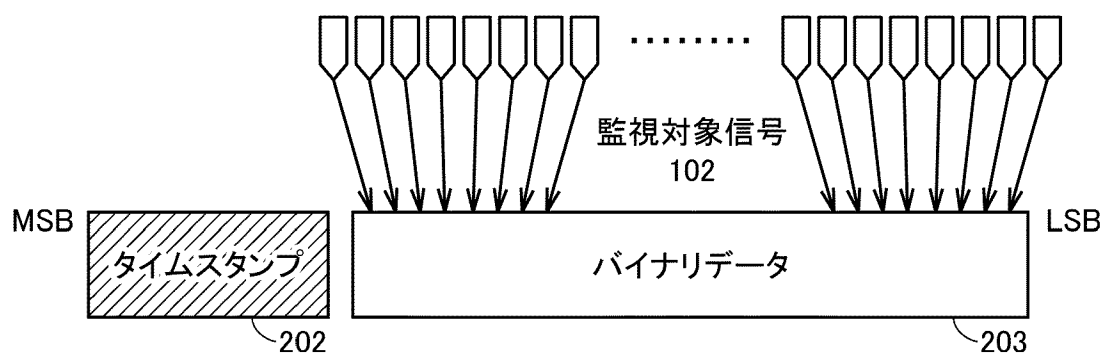
[図3]

図3



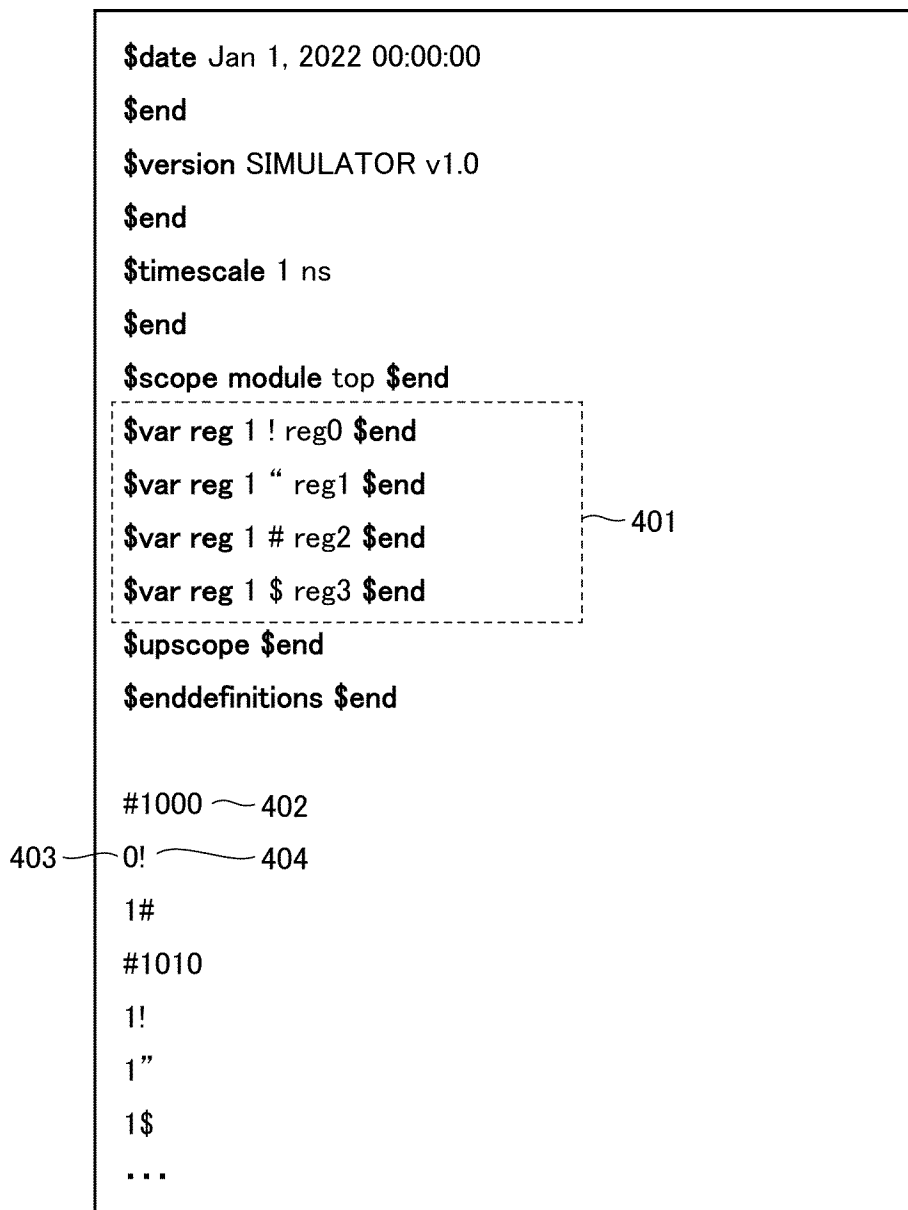
[図4]

図4



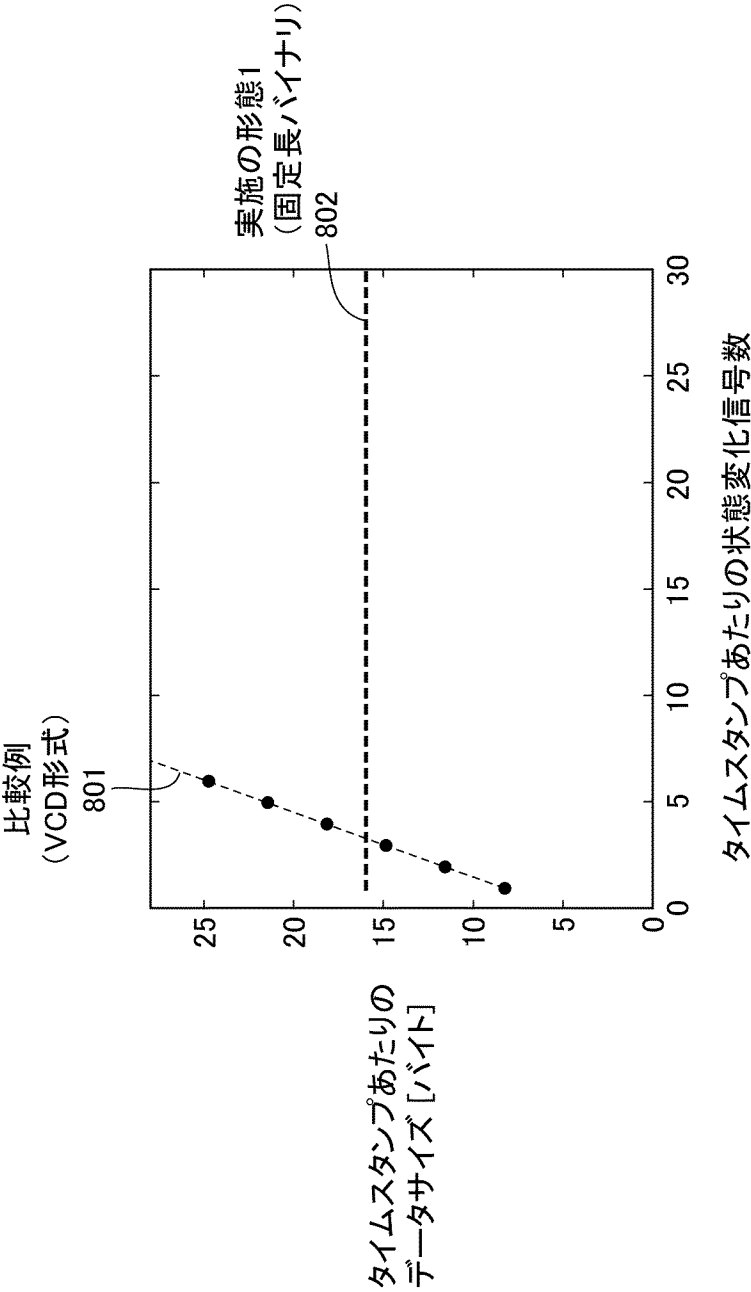
[図5]

図5



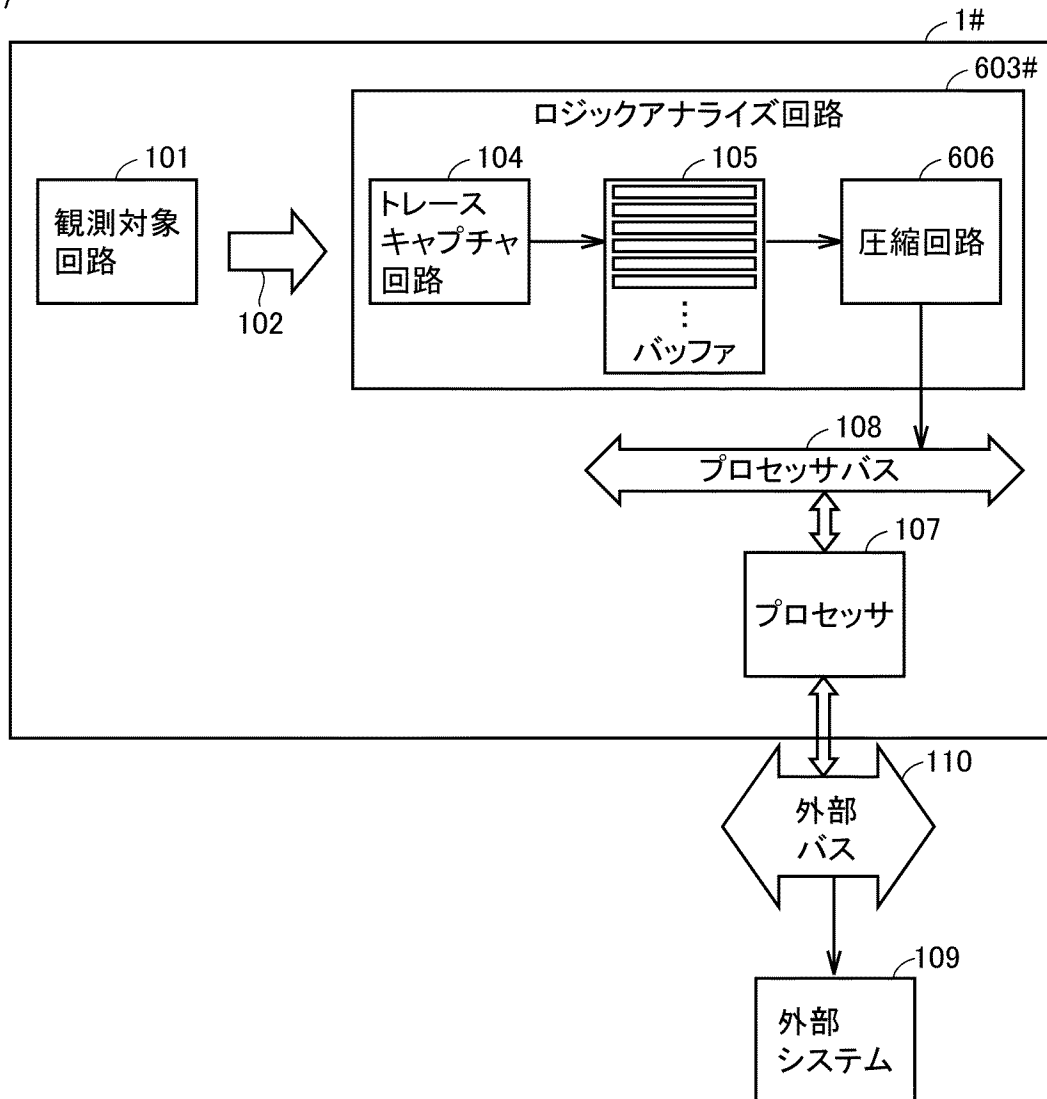
[図6]

図6



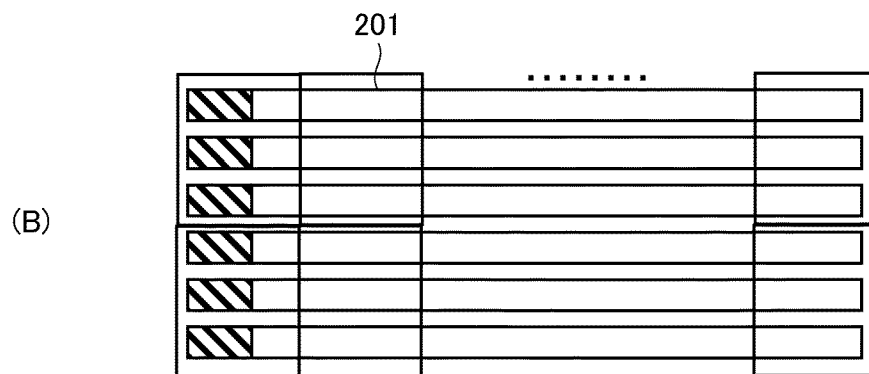
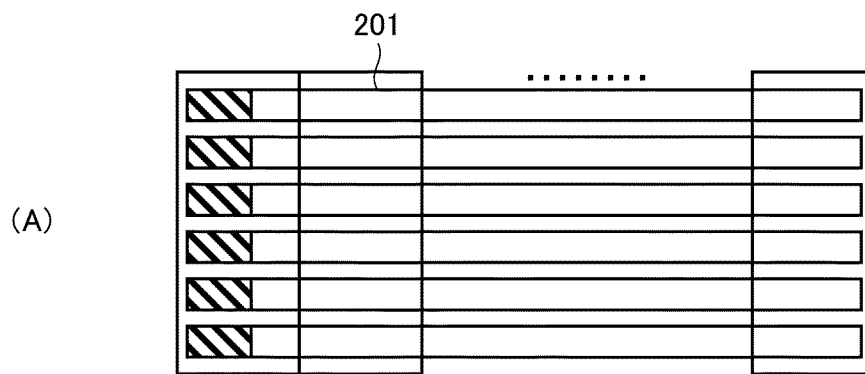
[図7]

図7



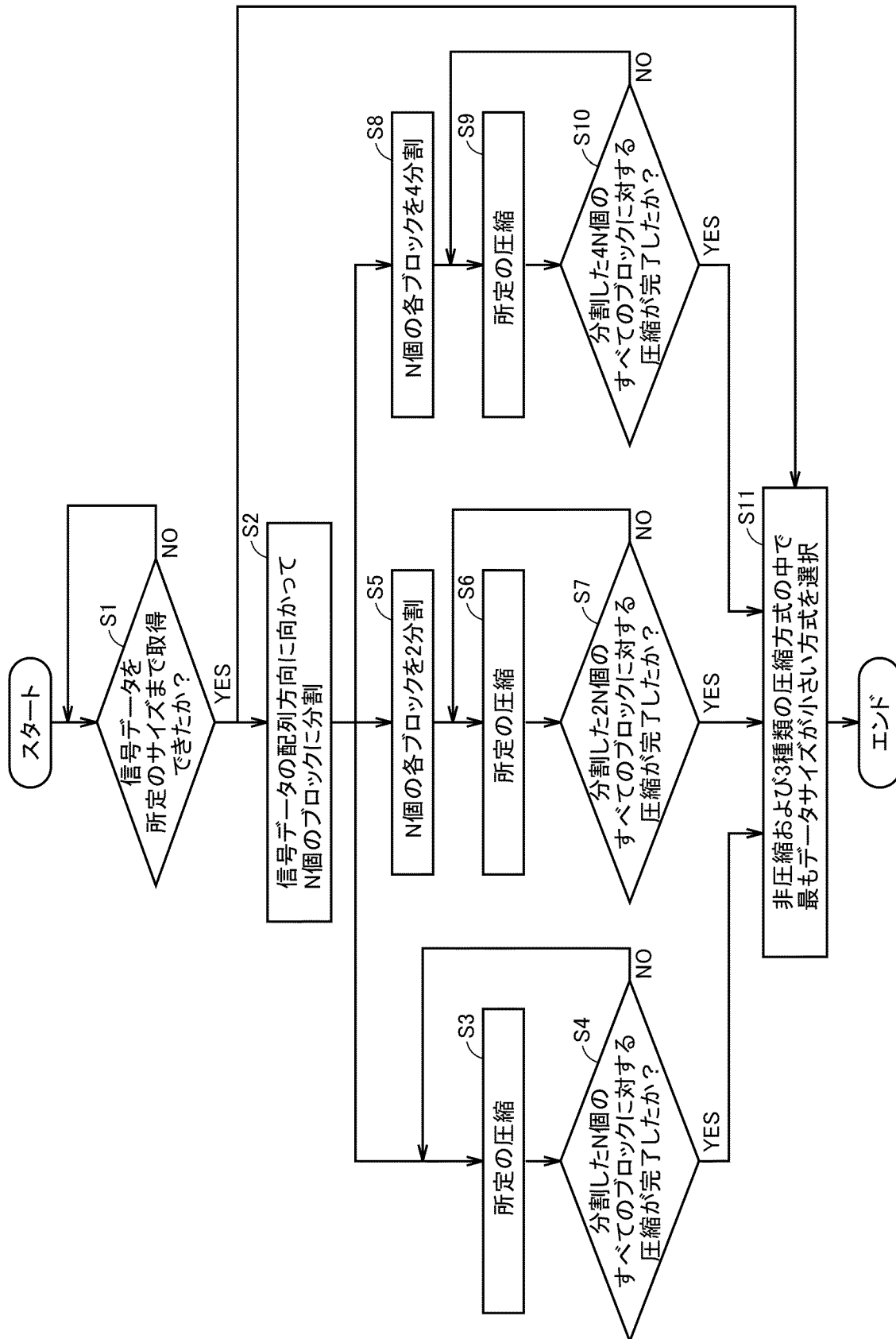
[図8]

図8



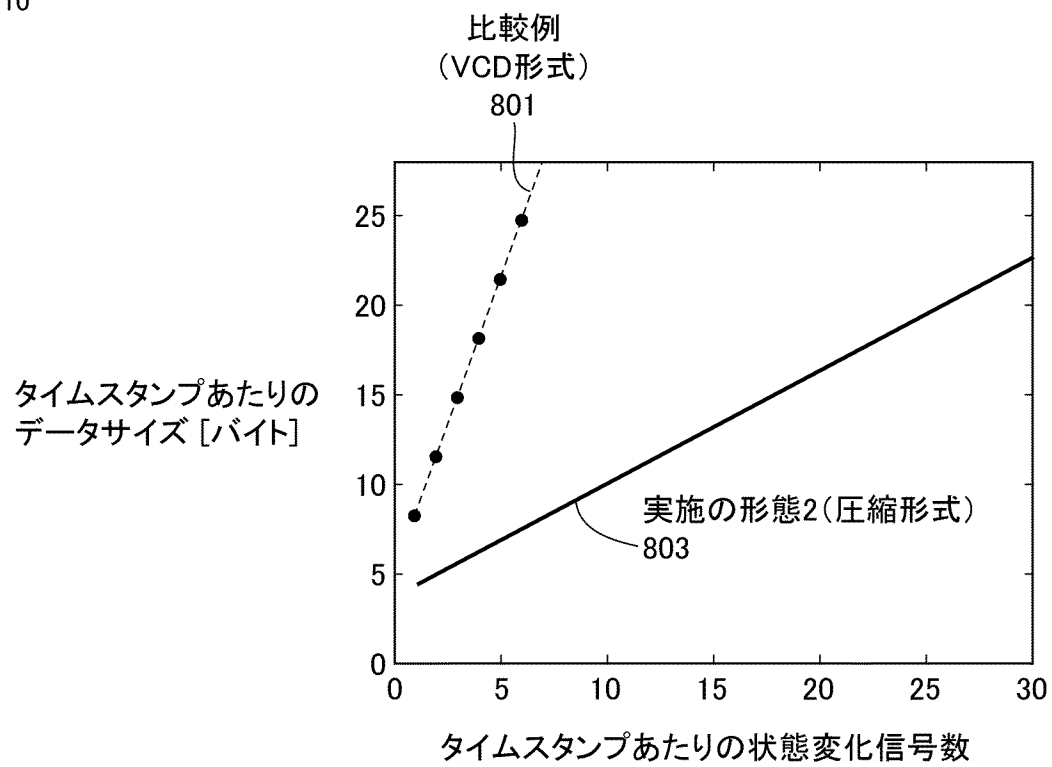
[図9]

図9



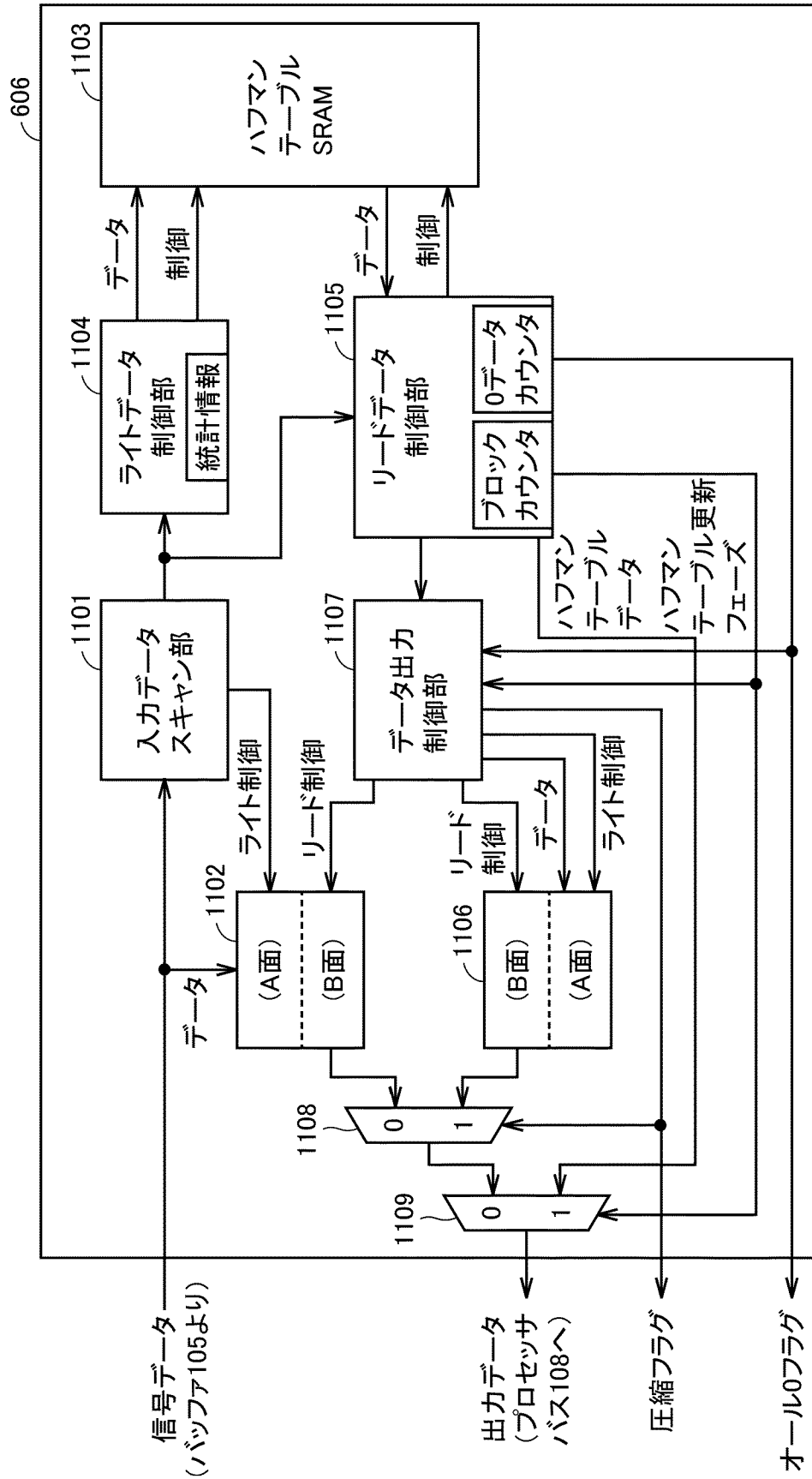
[図10]

図10



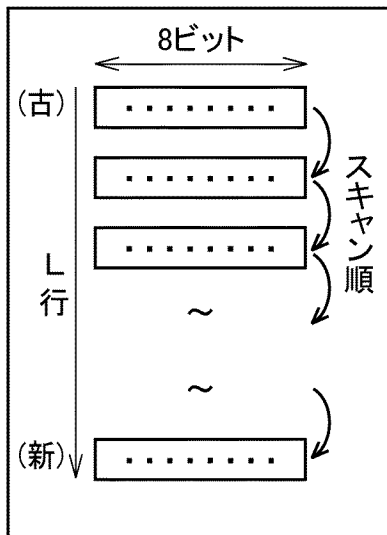
[図11]

図11



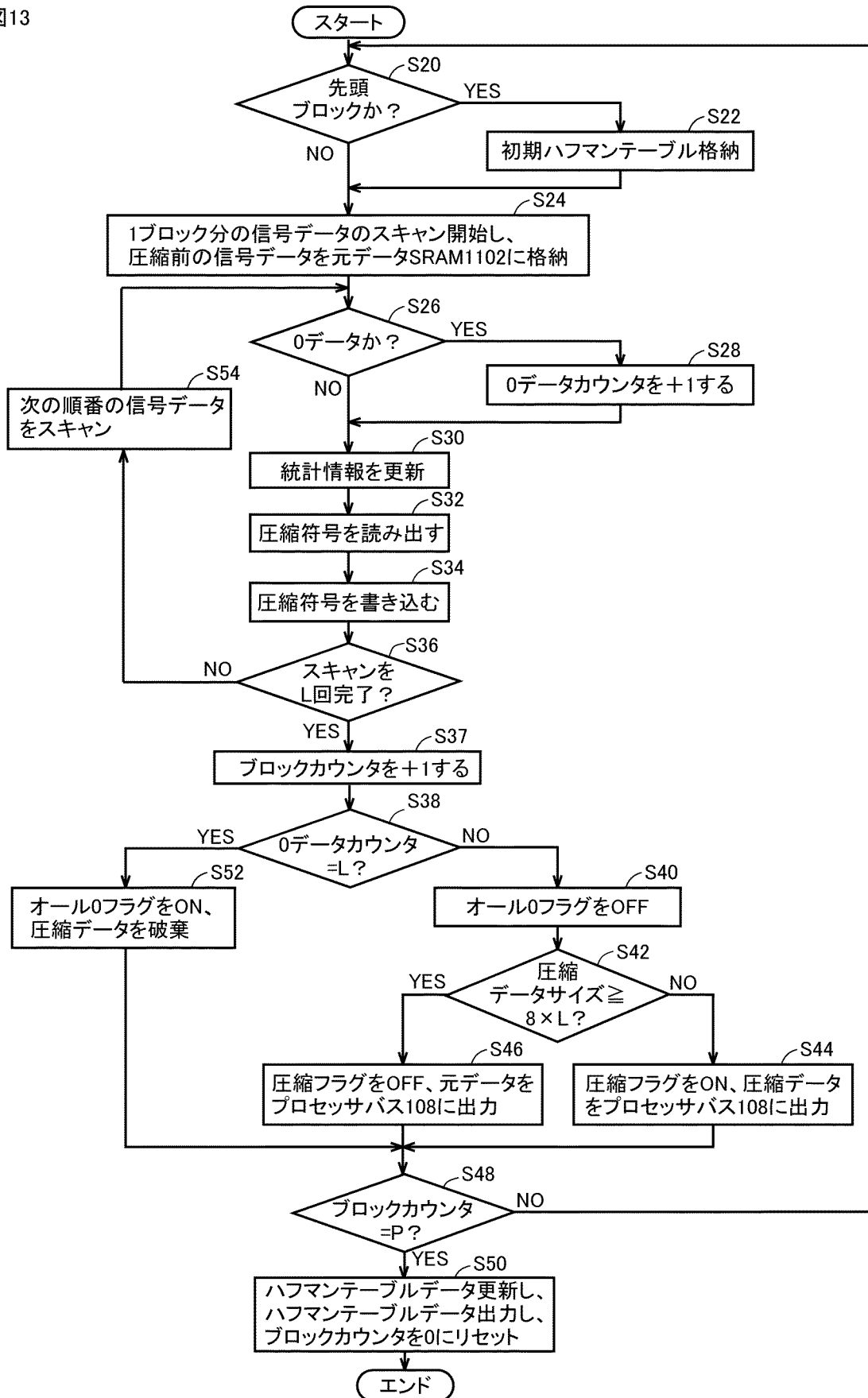
[図12]

図12



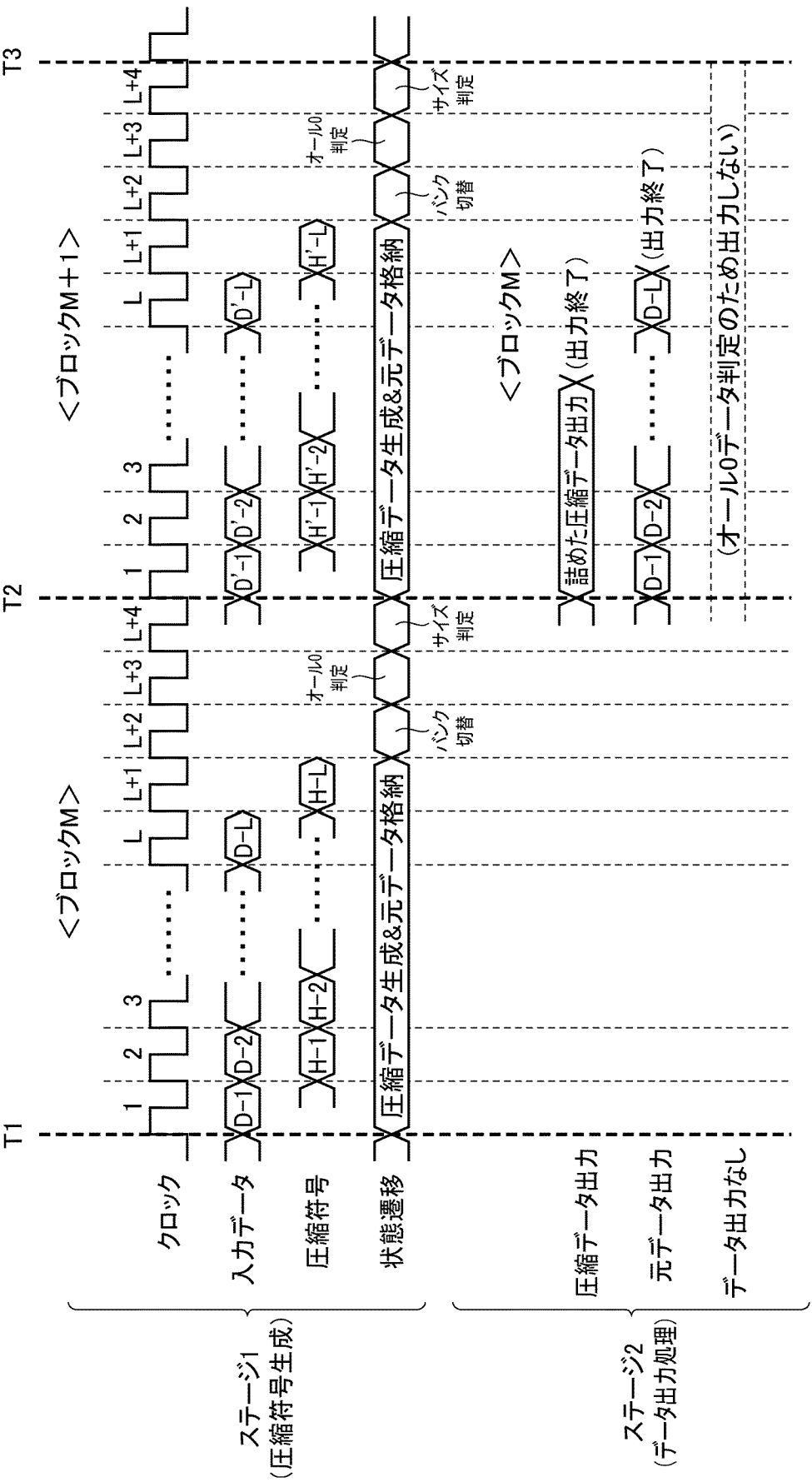
[図13]

図13



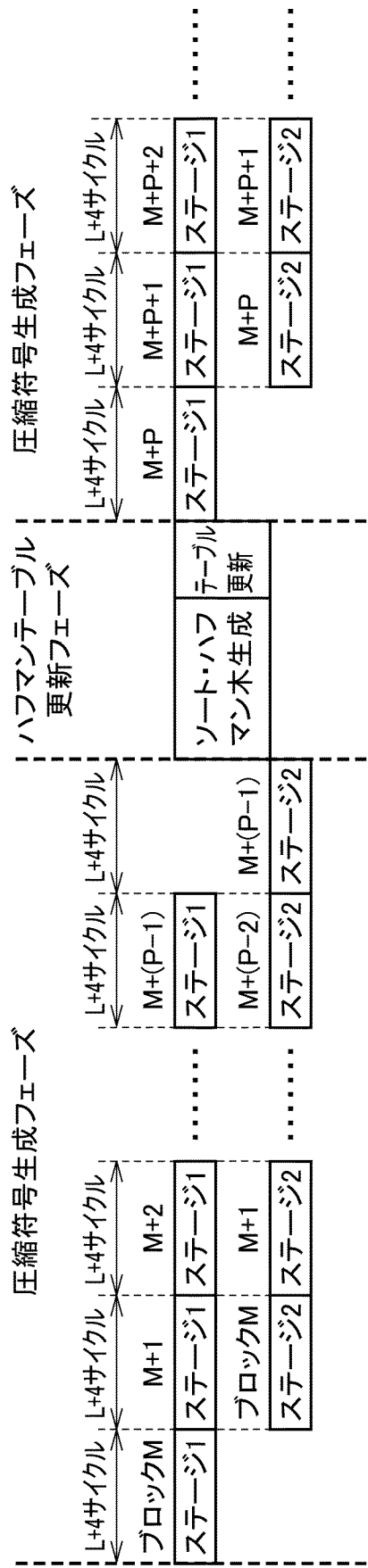
[図14]

図14



[図15]

図15



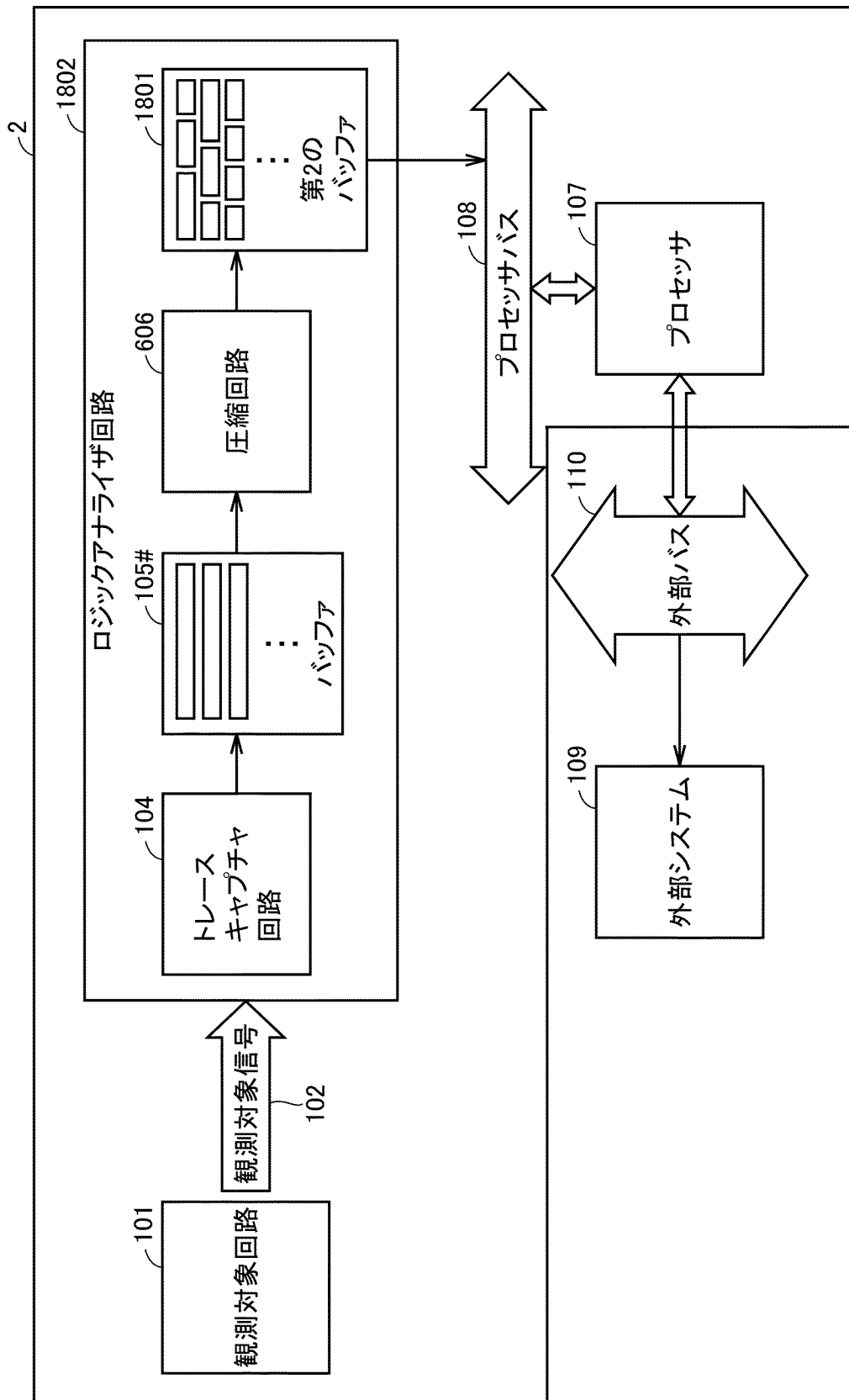
[図17]

図17

No.	元データ	符号	確率
1	00000000	0	40.0%
2	10100010	10	25.0%
3	00010001	110	17.0%
4	10001000	1110	8.5%
5	00100100	11110	5.0%
6	11010001	111110	2.0%
7	00101001	1111110	1.0%
8	10001000	11111110	0.7%
9	10101010	111111110	0.5%
10	00000011	1111111110	0.2%
11	11000000	1111111111	0.1%

[図18]

図18



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/018224

A. CLASSIFICATION OF SUBJECT MATTER

G01R 31/3177(2006.01)i; **G01R 31/28**(2006.01)i; **G01R 31/3187**(2006.01)i; **H03M 7/30**(2006.01)i; **H03M 7/40**(2006.01)i; **H03M 7/46**(2006.01)i

FI: G01R31/3177; G01R31/28 A; G01R31/28 E; G01R31/3187; H03M7/30 Z; H03M7/40; H03M7/46

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28 - 31/3193; H03M3/00 - 9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2017/0045582 A1 (KO, Joon-Won) 16 February 2017 (2017-02-16) paragraphs [0003], [0069]-[0076], [0116]-[0119], [0149]-[0154], fig. 1, 2, 14, 15, 22, 23	1, 11-13
Y	paragraphs [0003], [0069]-[0076], [0116]-[0119], [0149]-[0154], fig. 1, 2, 14, 15, 22, 23	2-10
Y	JP 2006-90727 A (NIPPON ELECTRIC ENGINEERING) 06 April 2006 (2006-04-06) paragraph [0011]	2-10
Y	US 7009533 B1 (WEGENER, Albert W.) 07 March 2006 (2006-03-07) abstract	2-10
A	JP 7-128372 A (SONY TEKTRONIX CORP.) 19 May 1995 (1995-05-19) entire text, all drawings	1-13
A	JP 7-244078 A (TEKTRONIX, INC.) 19 September 1995 (1995-09-19) entire text, all drawings	1-13
A	JP 2020-529064 A (XILINX, INC.) 01 October 2020 (2020-10-01) entire text, all drawings	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

05 July 2023

Date of mailing of the international search report

25 July 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/018224**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/020513 A1 (NEC CORP.) 21 February 2008 (2008-02-21) entire text, all drawings	1-13
A	JP 63-111550 A (MITSUBISHI ELECTRIC CORP.) 16 May 1988 (1988-05-16) entire text, all drawings	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/018224

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2017/0045582	A1	16 February 2017	DE 102016109869 A1 KR 10-2017-0019912 A CN 106443422 A	
JP	2006-90727	A	06 April 2006	(Family: none)	
US	7009533	B1	07 March 2006	(Family: none)	
JP	7-128372	A	19 May 1995	(Family: none)	
JP	7-244078	A	19 September 1995	US 5526286 A entire text, all drawings FR 2716277 A1 GB 2286687 A	
JP	2020-529064	A	01 October 2020	US 2019/0026416 A1 entire text, all drawings WO 2019/022956 A1 KR 10-2020-0033881 A CN 110959121 A	
WO	2008/020513	A1	21 February 2008	US 2009/0249122 A1 entire text, all drawings	
JP	63-111550	A	16 May 1988	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01R 31/3177(2006.01)i; G01R 31/28(2006.01)i; G01R 31/3187(2006.01)i; H03M 7/30(2006.01)i; H03M 7/40(2006.01)i; H03M 7/46(2006.01)i FI: G01R31/3177; G01R31/28 A; G01R31/28 E; G01R31/3187; H03M7/30 Z; H03M7/40; H03M7/46		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01R31/28 - 31/3193; H03M3/00 - 9/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2017/0045582 A1 (K0, Joon-Won) 16.02.2017 (2017-02-16) [0003], [0069] - [0076], [0116] - [0119], [0149] - [0154], FIGs. 1 - 2, 14 - 15, 22 - 23	1, 11 - 13
Y	[0003], [0069] - [0076], [0116] - [0119], [0149] - [0154], FIGs. 1 - 2, 14 - 15, 22 - 23	2 - 10
Y	JP 2006-90727 A (NECエンジニアリング株式会社) 06.04.2006 (2006-04-06) [0011]	2 - 10
Y	US 7009533 B1 (WEGENER, Albert W.) 07.03.2006 (2006-03-07) [Abstract]	2 - 10
A	JP 7-128372 A (ソニー・エレクトロニクス株式会社) 19.05.1995 (1995-05-19) 全文、全図	1 - 13
A	JP 7-244078 A (テクトロニクス・インコーポレイテッド) 19.09.1995 (1995-09-19) 全文、全図	1 - 13
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 05.07.2023		国際調査報告の発送日 25.07.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 田口 孝明 2S 6002 電話番号 03-3581-1101 内線 3216

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2020-529064 A (ザイリンクス インコーポレイテッド) 01.10.2020 (2020 - 10 - 01) 全文、全図	1 - 13
A	W0 2008/020513 A1 (日本電気株式会社) 21.02.2008 (2008 - 02 - 21) 全文、全図	1 - 13
A	JP 63-111550 A (三菱電機株式会社) 16.05.1988 (1988 - 05 - 16) 全文、全図	1 - 13

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/018224

引用文献			公表日	パテントファミリー文献	公表日
US	2017/0045582	A1	16.02.2017	DE 102016109869 A1 KR 10-2017-0019912 A CN 106443422 A	
JP	2006-90727	A	06.04.2006	(ファミリーなし)	
US	7009533	B1	07.03.2006	(ファミリーなし)	
JP	7-128372	A	19.05.1995	(ファミリーなし)	
JP	7-244078	A	19.09.1995	US 5526286 A 全文、全図 FR 2716277 A1 GB 2286687 A	
JP	2020-529064	A	01.10.2020	US 2019/0026416 A1 全文、全図 WO 2019/022956 A1 KR 10-2020-0033881 A CN 110959121 A	
WO	2008/020513	A1	21.02.2008	US 2009/0249122 A1 全文、全図	
JP	63-111550	A	16.05.1988	(ファミリーなし)	