

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年6月25日(25.06.2020)



(10) 国際公開番号

WO 2020/128673 A1

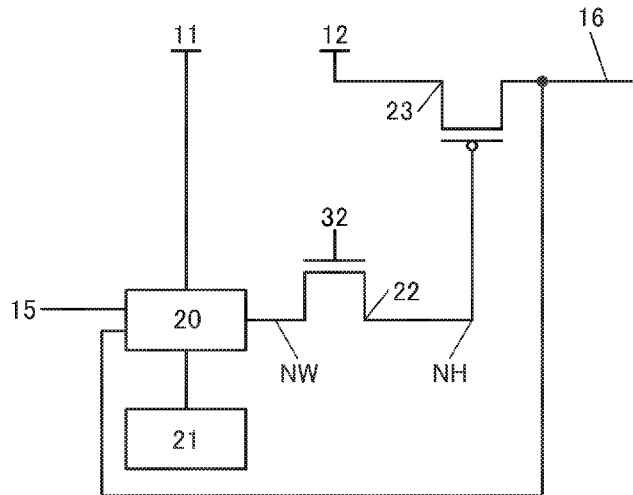
- (51) 国際特許分類:  
G05F 1/56 (2006.01)
- (21) 国際出願番号: PCT/IB2019/059860
- (22) 国際出願日: 2019年11月18日(18.11.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2018-239966 2018年12月21日(21.12.2018) JP  
特願 2019-006545 2019年1月18日(18.01.2019) JP
- (71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).
- (72) 発明者: 佐藤 圭太 (SATO, Keita). 八窪 裕人 (YAKUBO, Yuto); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 及川 欣聡 (OIKAWA, Yoshiaki); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,

(54) Title: SEMICONDUCTOR DEVICE, ELECTRONIC EQUIPMENT, AND ARTIFICIAL SATELLITE

(54) 発明の名称: 半導体装置、並びに電子機器及び人工衛星

図1A

10



(57) Abstract: The purpose of the present invention is to provide a low power consumption semiconductor device. According to the present invention, a retention transistor is provided between a control circuit and an output transistor. An output terminal of the control circuit is electrically connected to one of the source and the drain of the retention transistor, and the other of the source and the drain of the retention transistor is electrically connected to the gate of the output transistor. The node at which the other of the source and the drain of the retention transistor is electrically connected to the gate of the output transistor is set as a retention node. When the retention transistor is set in an ON state, a potential corresponding to the potential output from the control circuit is written to the retention node. Then if the retention transistor is



WO 2020/128673 A1

CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

---

set in an OFF state, the potential at the retention node is retained. Therefore, the gate potential of the output transistor can be maintained at a constant value even if the control circuit is turned off. Accordingly, for example, a constant potential can continue to be output from either the source or the drain of the output transistor even if the control circuit is turned off.

(57) 要約 : 低消費電力の半導体装置を提供すること。制御回路と出力トランジスタの間に保持トランジスタを設ける。制御回路の出力端子は、保持トランジスタのソース又はドレインの一方と電氣的に接続され、保持トランジスタのソース又はドレインの他方は、出力トランジスタのゲートと電氣的に接続される。保持トランジスタのソース又はドレインの他方と出力トランジスタのゲートが電氣的に接続されるノードを保持ノードとする。保持トランジスタをオン状態とすると、制御回路から出力される電位に対応する電位が保持ノードに書き込まれる。その後、保持トランジスタをオフ状態とすると、保持ノードの電位が保持される。よって、制御回路をオフとしても、出力トランジスタのゲート電位を一定値に保つことができる。したがって、制御回路をオフとしても、例えば出力トランジスタのソース又はドレインの一方から定電位を出力し続けることができる。

## 明細書

## 発明の名称

半導体装置、並びに電子機器及び人工衛星

## 技術分野

[0001]

本発明の一態様は、半導体装置、並びに電子機器及び人工衛星に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニファクチャ、又は組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、蓄電装置、撮像装置、記憶装置、信号処理装置、プロセッサ、電子機器、システム、それらの動作方法、それらの製造方法、又はそれらの検査方法を一例として挙げることができる。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置（液晶表示装置、発光表示装置等）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、信号処理装置、送受信装置、無線センサ、及びセンサ装置等は、半導体装置を有すると言える場合がある。

## 背景技術

[0004]

定電位を出力することができる半導体装置として、例えばDC-DCコンバータが挙げられる。また、DC-DCコンバータの一種としてリニアレギュレータが挙げられる。ここで、入出力間電位差が小さくても動作するリニアレギュレータである、低ドロップアウトレギュレータ（Low Drop Out: LDO）が開発されている（例えば、特許文献1）。

[0005]

また、低消費電力の半導体装置が求められている。特に、人工衛星等、宇宙用途の装置は電力の供給が制限される場合があるため、宇宙用途の装置に設けられる半導体装置は低消費電力であることが好ましい。特許文献2には、消費電力を低減した耐故障システムが開示されており、当該システムは宇宙船、人工衛星等で使用できるとされている。

[先行技術文献]

[特許文献]

[0006]

[特許文献1] 特開2014-36543号公報

[特許文献2] 特開2012-130239号公報

## 発明の概要

発明が解決しようとする課題

[0007]

リニアレギュレータは、オペアンプ回路を有する構成とすることができる。この場合、リニアレギュレータが電位を出力している期間は、オペアンプ回路に電流が流れ続け、リニアレギュレータの

消費電力が大きくなる。

[0008]

したがって、本発明の一態様では、低消費電力の半導体装置を提供することを課題の一つとする。又は、安定して動作させることができる半導体装置を提供することを課題の一つとする。又は、信頼性の高い半導体装置を提供することを課題の一つとする。又は、新規な半導体装置を提供することを課題の一つとする。

[0009]

又は、低消費電力の半導体装置の動作方法を提供することを課題の一つとする。又は、安定して動作させることができる半導体装置の動作方法を提供することを課題の一つとする。又は、信頼性の高い半導体装置の動作方法を提供することを課題の一つとする。又は、新規な半導体装置の動作方法を提供することを課題の一つとする。

[0010]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0011]

本発明の一態様は、オペアンプ回路と、第1のトランジスタと、第2のトランジスタと、を有し、オペアンプ回路の出力端子は、第1のトランジスタのソース又はドレインの一方と電氣的に接続され、第1のトランジスタのソース又はドレインの他方は、第2のトランジスタのゲートと電氣的に接続されている半導体装置である。

[0012]

又は、上記態様において、第2のトランジスタのソース又はドレインの一方は、オペアンプ回路の入力端子と電氣的に接続してもよい。

[0013]

又は、上記態様において、第3のトランジスタと、容量素子と、を有し、第3のトランジスタのソース又はドレインの一方は、第1のトランジスタのソース又はドレインの他方と電氣的に接続され、第3のトランジスタのソース又はドレインの他方は、第2のトランジスタのゲートと電氣的に接続され、容量素子の一方の電極は、第3のトランジスタのソース及びドレインと電氣的に接続されているもよい。

[0014]

又は、上記態様において、第1のトランジスタのゲートには、第1の信号が供給され、第3のトランジスタのゲートには、第2の信号が供給され、第1の信号と、第2の信号と、は互いに相補的な信号であってもよい。

[0015]

又は、本発明の一態様は、オペアンプ回路と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、電流源と、を有し、オペアンプ回路の出力端子は、第1のトランジスタのソース又はドレインの一方と電氣的に接続され、第1のトランジスタのソース又はドレインの他方は、第2のトランジスタのゲートと電氣的に接続され、オペアンプ回路の第

1の電源端子は、第3のトランジスタのソース又はドレインの一方と電氣的に接続され、オペアンプ回路の第1の電源端子は、第4のトランジスタのソース又はドレインの一方と電氣的に接続され、第3のトランジスタのソース又はドレインの他方は、電流源と電氣的に接続され、第4のトランジスタのソース又はドレインの他方は、電源線と電氣的に接続されている半導体装置である。

[0016]

又は、上記態様において、第2のトランジスタのソース又はドレインの一方は、オペアンプ回路の入力端子と電氣的に接続されていてもよい。

[0017]

又は、上記態様において、第5のトランジスタと、容量素子と、を有し、第5のトランジスタのソース又はドレインの一方は、第1のトランジスタのソース又はドレインの他方と電氣的に接続され、第5のトランジスタのソース又はドレインの他方は、第2のトランジスタのゲートと電氣的に接続され、容量素子の一方の電極は、第5のトランジスタのソース及びドレインと電氣的に接続されていてもよい。

[0018]

又は、上記態様において、第1のトランジスタのゲートには、第1の信号が供給され、第5のトランジスタのゲートには、第2の信号が供給され、第3のトランジスタのゲートには、第3の信号が供給され、第4のトランジスタのゲートには、第4の信号が供給され、第1の信号と、第2の信号と、は互いに相補的な信号であり、第3の信号と、第4の信号と、は互いに相補的な信号であってもよい。

[0019]

又は、上記態様において、第1のトランジスタは、チャンネル形成領域に金属酸化物を有してもよい。

[0020]

本発明の一態様の半導体装置と、筐体と、を有する電子機器も本発明の一態様である。

[0021]

又は、本発明の一態様の半導体装置と、ソーラーパネルと、を有する人工衛星も本発明の一態様である。

発明の効果

[0022]

したがって、本発明の一態様により、低消費電力の半導体装置を提供することができる。又は、安定して動作させることができる半導体装置を提供することができる。又は、信頼性の高い半導体装置を提供することができる。又は、新規な半導体装置を提供することができる。

[0023]

又は、低消費電力の半導体装置の動作方法を提供することができる。又は、安定して動作させることができる半導体装置の動作方法を提供することができる。又は、信頼性の高い半導体装置の動作方法を提供することができる。又は、新規な半導体装置の動作方法を提供することができる。

[0024]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、請求項等の記載から、これら以外の効果を抽出することが可能である。

## 図面の簡単な説明

[0025]

図1 A及び図1 Bは、半導体装置の構成例を説明するブロック図である。  
図2 A及び図2 Bは、半導体装置の構成例を説明するブロック図である。  
図3 A及び図3 Bは、半導体装置の構成例を説明するブロック図である。  
図4は、半導体装置の構成例を説明する回路図である。  
図5は、半導体装置の構成例を説明する回路図である。  
図6は、半導体装置の構成例を説明する回路図である。  
図7は、半導体装置の構成例を説明する回路図である。  
図8は、半導体装置の動作方法の一例を説明するタイミングチャートである。  
図9は、半導体装置の構成例を説明する断面模式図である。  
図10は、半導体装置の構成例を説明する断面模式図である。  
図11 A乃至図11 Cは、トランジスタの構成例を説明する断面模式図である。  
図12 A及び図12 Bは、トランジスタの構成例を説明する断面模式図である。  
図13は、半導体装置の構成例を説明する断面模式図である。  
図14 A及び図14 Bは、トランジスタの構成例を説明する断面模式図である。  
図15は、半導体装置の構成例を説明する断面模式図である。  
図16 A及び図16 Bは、トランジスタの構成例を説明する断面模式図である。  
図17 A及び図17 Bは、半導体ウェハの一例を示す斜視図である。図17 C及び図17 Dは、電子部品の一例を示す斜視図である。  
図18は、製品の一例を説明する斜視図、及び模式図である。  
図19は、実施例に係る半導体装置の構成を示す回路図である。  
図20 A及び図20 Bは、実施例のシミュレーション結果を示すグラフである。  
図21は、実施例に係る半導体装置の構成を示す回路図である。  
図22 A乃至図22 Cは、実施例のシミュレーション結果を示すグラフである。

## 発明を実施するための形態

[0026]

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

[0027]

また、図面等において示す各構成の、位置、大きさ、範囲等は、発明の理解を容易とするため、実際の位置、大きさ、範囲等を表していない場合がある。このため、開示する発明は、必ずしも図面等を開示された位置、大きさ、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理によりレジストマスク等が意図せず目減りすることがあるが、理解を容易とするために図に反映しないことがある。

[0028]

また、上面図（「平面図」ともいう）や斜視図等において、図面をわかりやすくするために、一部

の構成要素の記載を省略する場合がある。

[0029]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合等も含む。

[0030]

また、本明細書等において、「抵抗」の抵抗値を、配線の長さによって決める場合がある。又は、抵抗値は、配線で用いる導電層とは異なる抵抗率を有する導電層と接続することにより決める場合がある。又は、半導体層に不純物をドーピングすることで抵抗値を決める場合がある。

[0031]

また、本明細書等において、電気回路における「端子」とは、電流又は電圧の入力又は出力や、信号の受信又は送信が行なわれる部位をいう。よって、配線又は電極の一部が端子として機能する場合がある。

[0032]

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上又は直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0033]

また、ソース及びドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合等、動作条件等によって互いに入れ替わるため、いずれがソース又はドレインであるかを限定することが困難である。このため、本明細書等においては、ソース及びドレインの用語は、入れ替えて用いることができるものとする。

[0034]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。また、「直接接続」と表現される場合であっても、異なる導電層がコンタクトを介して接続される場合が含まれる。なお、配線には、異なる導電層が一つ以上の同じ元素を含む場合と、異なる元素を含む場合と、がある。

[0035]

なお、本明細書等において、計数値及び計量値に関して「同一」、「同じ」、「等しい」、又は「均一」等という場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0036]

また、本明細書等において、レジストマスクを形成した後にエッチング処理を行う場合は、特段の説明がない限り、レジストマスクはエッチング処理終了後に除去するものとする。

[0037]

また、電圧は、ある電位と、基準の電位（例えば接地電位又はソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書等では、特段の明示が無い限り、電圧と電位を言い換えることができるものとする。

[0038]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書等に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

[0039]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書等に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。

[0040]

なお、本明細書等における「第1」、「第2」等の序数詞は、構成要素の混同を避けるために付すものであり、工程順又は積層順等、何らかの順番や順位を示すものではない。また、本明細書において序数詞が付されていない用語であっても、構成要素の混同を避けるため、特許請求の範囲において序数詞が付される場合がある。また、本明細書において序数詞が付されている用語であっても、特許請求の範囲において異なる序数詞が付される場合がある。また、本明細書において序数詞が付されている用語であっても、特許請求の範囲等において序数詞を省略する場合がある。

[0041]

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

[0042]

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0043]

また、本明細書等において、ゲートとは、ゲート電極及びゲート配線の一部又は全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0044]

また、本明細書等において、ソースとは、ソース領域、ソース電極、及びソース配線の一部又は全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0045]

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部又は全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0046]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む)、酸化物半導体 (Oxide Semiconductor 又は単に OS ともいう) 等に分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS トランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと言い換えることができる。

[0047]

また、本明細書等において、窒素を有する金属酸化物も金属酸化物と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0048]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の構成例、及びその動作方法の一例について、図面を用いて説明する。ただし、本発明は、本実施の形態に示す構成例に限られない。また、各構成は適宜組み合わせる用いることができる。

[0049]

本発明の一態様は、制御回路と、出力トランジスタと、の間に保持トランジスタを設けた半導体装置である。制御回路は、オペアンプを有する構成とすることができる。本発明の一態様の半導体装置は、例えば DC-DC コンバータ、例えばリニアレギュレータ等の、定電位を出力し続ける機能を有する半導体装置に適用することができる。本発明の一態様の半導体装置が定電位を出力し続ける機能を有する場合、当該定電位は、出力トランジスタのソース又はドレインから出力することができる。

[0050]

本発明の一態様の半導体装置において、例えば、制御回路の出力端子は、保持トランジスタのソース又はドレインの一方と電氣的に接続され、保持トランジスタのソース又はドレインの他方は、出力トランジスタのゲートと電氣的に接続される。制御回路は、例えば比較回路を有し、比較回路の出力端子を制御回路の出力端子とすることができる。

[0051]

本発明の一態様の半導体装置では、保持トランジスタのソース又はドレインの他方と、出力トランジスタのゲートと、が電氣的に接続されるノードを保持ノードとする。保持トランジスタをオン状態とすると、制御回路から出力される電位に対応する電位が保持ノードに書き込まれる。その後、保持トランジスタをオフ状態とすると、保持ノードの電位が保持される。よって、制御回路をオフとしても、出力トランジスタのゲート電位を一定値に保つことができる。したがって、制御回路をオフとしても、例えば出力トランジスタのソース又はドレインから定電位を出力し続けることがで

きる。以上より、制御回路等の内部で消費される電流である自己消費電流を低減することができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

[0052]

ここで、保持トランジスタは、OSトランジスタ等のオフ電流が極めて低いトランジスタとすることが好ましい。これにより、保持ノードに長期間電位を保持し続けることができる。したがって、保持ノードへの電位の書き込みの頻度を低下させることができるため、本発明の一態様の半導体装置の消費電力を低減することができる。

[0053]

<半導体装置の構成例>

図1Aは、本発明の一態様の半導体装置である半導体装置10の構成例を示す図である。半導体装置10は、制御回路20と、電源スイッチ回路21と、トランジスタ22と、トランジスタ23と、を有する。トランジスタ22は、制御回路20と、トランジスタ23と、の間に設けることができる。

[0054]

制御回路20は、例えば第1の電源端子と、第2の電源端子と、第1の入力端子と、第2の入力端子と、出力端子と、を有する構成とすることができる。例えば、制御回路20の第1の電源端子は、配線11と電氣的に接続することができる。例えば、制御回路20の第2の電源端子は、電源スイッチ回路21と電氣的に接続することができる。例えば、制御回路20の第1の入力端子は、配線15と電氣的に接続することができる。例えば、制御回路20の第2の入力端子は、配線16と電氣的に接続することができる。例えば、制御回路20の出力端子は、トランジスタ22のソース又はドレインの一方と電氣的に接続することができる。ここで、制御回路20の出力端子と、トランジスタ22のソース又はドレインの一方と、が電氣的に接続されているノードをノードNWとする。

[0055]

本明細書等において、第1の電源端子という用語と、第2の電源端子という用語は、必要に応じて、又は適宜入れ替えることができる。例えば、制御回路20の第2の電源端子に配線11を電氣的に接続し、制御回路20の第1の電源端子に電源スイッチ回路21を電氣的に接続してもよい。また、本明細書等において、第1の入力端子という用語と、第2の入力端子という用語は、必要に応じて、又は適宜入れ替えることができる。例えば、制御回路20の第2の入力端子に配線15を電氣的に接続し、制御回路20の第1の入力端子に配線16を電氣的に接続してもよい。

[0056]

配線16は、制御回路20の第2の入力端子の他、トランジスタ23のソース又はドレインの一方と電氣的に接続されている。また、トランジスタ22のソース又はドレインの他方は、トランジスタ23のゲートと電氣的に接続されている。さらに、トランジスタ23のソース又はドレインの他方は、配線12と電氣的に接続されている。ここで、トランジスタ22のソース又はドレインの他方と、トランジスタ23のゲートと、が電氣的に接続されているノードをノードNHとする。

[0057]

配線11及び配線12は、電源線としての機能を有する。配線11及び配線12の電位は、例えば高電位とすることができる。

[0058]

本明細書等において、高電位は、低電位より高い電位を示す。例えば、低電位が接地電位である場

合、正電位を高電位とすることができる。また、例えばソース電位を低電位として、nチャネル型トランジスタのゲートに印加した場合に当該トランジスタがオン状態となる電位を高電位とし、オフ状態となる電位を低電位とすることができる。又は、例えばソース電位を高電位として、pチャネル型トランジスタのゲートに印加した場合に当該トランジスタがオフ状態となる電位を高電位とし、オン状態となる電位を低電位とすることができる。

[0059]

配線16は、半導体装置10の外部に所望の電位を出力する、出力線としての機能を有する。配線16は、例えば半導体装置10の外部に設けられている装置と電氣的に接続することができる。

[0060]

制御回路20は、入力端子に供給された電位に対応する電位を、出力端子から出力する機能を有する。ここで、前述のように、第2の入力端子と電氣的に接続されている配線16は出力線としての機能を有する。よって、制御回路20はフィードバック制御されるということが出来る。これにより、制御回路20は、第1の入力端子と電氣的に接続されている配線15の電位と対応する電位を出力することができる。ここで、配線15の電位は、例えば参照電位ということが出来る。

[0061]

電源スイッチ回路21は、制御回路20に供給する電流、又は電位を制御することにより、制御回路20のオンオフを制御することができる。ここで、制御回路20がオンになっているとは、制御回路20が所望の電位を出力することができる状態にあることをいい、制御回路20がオフになっているとは、制御回路20が所望の電位を出力することができない状態にないことをいう。例えば、制御回路20がオンになっている場合には、制御回路20は配線15の電位に対応する電位を出力し、制御回路20がオフになっている場合には、制御回路20が出力する電位は配線15の電位に対応しない電位となる。

[0062]

トランジスタ22は、ノードNHへの電位の書き込みを制御する機能を有する。具体的には、トランジスタ22がオン状態となっている場合は、制御回路20から出力される電位がノードNHに書き込まれ、トランジスタ22がオフ状態となっている場合は、ノードNHの電位が保持される。つまり、トランジスタ22は、保持トランジスタであるということが出来る。

[0063]

トランジスタ22は、オフ電流が極めて低いトランジスタを用いることが好ましい。これにより、ノードNHで電位を保持できる期間を極めて長くすることができる。オフ電流が極めて低いトランジスタとして、OSトランジスタが挙げられる。具体的には、チャンネル幅1 $\mu\text{m}$ 当たりのオフ電流を室温下において $1 \times 10^{-20}$  A未満、好ましくは $1 \times 10^{-22}$  A未満、さらに好ましくは $1 \times 10^{-24}$  A未満とすることができる。

[0064]

また、OSトランジスタは、半導体層にシリコンを有するトランジスタ（以下、Siトランジスタともいう。）に比べて高温環境下における電気特性が優れている。よって、トランジスタ22等、本発明の一態様の半導体装置が有するトランジスタにOSトランジスタを用いることで、高温環境下においても動作が安定し、信頼性の良好な半導体装置を実現できる。

[0065]

トランジスタ23は、ノードNHの電位に対応する電位を、配線16に出力する機能を有する。つ

まり、トランジスタ23は、出力トランジスタであるということができる。トランジスタ23は、例えばpチャネル型トランジスタとすることができる。トランジスタ23は、例えばSiトランジスタとすることができる。また、トランジスタ23以外でも、半導体装置10が有するトランジスタとしてSiトランジスタを用いることができる。

[0066]

前述のように、制御回路20から出力される電位は配線15の電位に対応する電位とすることができる。ノードNHには制御回路20から出力される電位が書き込まれて保持される。そして、配線16の電位は、ノードNHの電位に対応する電位となる。以上より、配線16の電位は、配線15の電位に対応する電位とすることができる。例えば、配線16の電位は、配線15の電位と同一、又は概略同一の電位とすることができる。

[0067]

半導体装置10では、制御回路20をオンとし、トランジスタ22をオン状態とすることにより、制御回路20から出力される電位がノードNHに書き込まれる。その後、トランジスタ22をオフ状態としてノードNHの電位を保持することにより、制御回路20をオフとしても半導体装置10は配線16から所望の電位を出力し続けることができる。以上により、制御回路20等の内部で消費される電流である自己消費電流を低減することができるため、半導体装置10の消費電力を低減することができる。

[0068]

半導体装置10は、例えば定電位を出力し続ける機能を有する半導体装置に適用することができる。例えば、DC-DCコンバータ、リニアレギュレータ等に半導体装置10を適用することができる。

[0069]

図1Bは、図1Aに示す構成の半導体装置10の変形例であり、容量素子24を有する点が図1Aに示す構成の半導体装置10と異なる。容量素子24の容量値は、例えば100aF以上、100pF以下とすることができる。例えば10fF以上、50pF以下とすることができる。例えば100fF以上、10pF以下とすることができる。例えば1pF以上、5pF以下とすることができる。

[0070]

容量素子24の一方の電極は、ノードNHと電氣的に接続されている。容量素子24の他方の電極は、配線34と電氣的に接続されている。配線34は電源線としての機能を有する。配線34の電位は、例えば低電位、例えば接地電位とすることができる。

[0071]

半導体装置10を図1Bに示す構成とすることにより、ノードNHに保持できる電荷量を大きくすることができる。よって、ノードNHの電位を長期間保持することができる。

[0072]

図2Aは、図1Bに示す構成の半導体装置10の変形例であり、トランジスタ26を有する点が図1Bに示す構成の半導体装置10と異なる。図2Aに示すように、制御回路20とトランジスタ23の間に、トランジスタ22、容量素子24、及びトランジスタ26を設けることができる。トランジスタ26のソース及びドレインは、ノードNHと電氣的に接続されている。また、トランジスタ26のゲートは、配線36と電氣的に接続されている。

[0073]

図2Aに示す構成の半導体装置10では、例えばトランジスタ22をオン状態とする場合にはトラ

ンジスタ 26 をオフ状態とし、トランジスタ 22 をオフ状態とする場合にはトランジスタ 26 をオン状態とする。これにより、トランジスタ 22 をオフ状態とした場合に、容量素子 24 等の容量結合によりノード NH の電位が変動することを抑制することができる。したがって、配線 16 の電位の変動を抑制することができ、半導体装置 10 を安定して動作させることができる。特に、半導体装置 10 を DC-DC コンバータ、リニアレギュレータ等に適用する場合、半導体装置 10 の出力電位に高い精度が求められるため、ノード NH の電位がなるべく変動しないようにすることが好ましい。よって、特に半導体装置 10 を DC-DC コンバータ、リニアレギュレータ等に適用する場合には、半導体装置 10 にトランジスタ 26 を設けることが好ましい。

[0074]

図 2 B は、図 2 A に示す構成の半導体装置 10 の変形例であり、容量素子 28 を有する点が図 2 A に示す構成の半導体装置 10 と異なる。容量素子 28 の容量値は、例えば容量素子 24 の容量値以上とすることができる。

[0075]

容量素子 28 の一方の電極はノード NH と電氣的に接続され、容量素子 28 の他方の電極は配線 16 と電氣的に接続されている。

[0076]

半導体装置 10 が容量素子 28 を有さない場合、トランジスタ 23 を p チャネル型トランジスタとすると、ノード NH の電位が大きくなると配線 16 の電位は小さくなり、ノード NH の電位が小さくなると配線 16 の電位は大きくなる。そこで、半導体装置 10 に容量素子 28 を設けると、容量素子 28 の一方の電極の電位が大きくなると容量素子 28 の他方の電極の電位が大きくなり、容量素子 28 の一方の電極の電位が小さくなると容量素子 28 の他方の電極の電位が小さくなる。よって、ノード NH の電位の変動による配線 16 の電位の変動を相殺することができる。これにより、ノード NH の電位が変動した場合に配線 16 の電位が変動することを抑制することができ、半導体装置 10 を安定して動作させることができる。なお、容量素子 28 の容量値が大きいほど、ノード NH の電位が変動した場合に配線 16 の電位が変動することを抑制する効果が大きくなるため、半導体装置 10 を安定して動作させることができる。

[0077]

また、容量素子 28 は、容量素子 24 と同様の機能を有することができる。つまり、例えばノード NH の電位を保持する機能を有する。よって、半導体装置 10 が容量素子 28 を有する場合、半導体装置 10 は容量素子 24 を有しない構成とすることができる。又は、容量素子 24 の容量値を小さくすることができる。

[0078]

図 3 A は、図 2 A に示す構成の半導体装置 10 の変形例であり、トランジスタ 23 を有さず、トランジスタ 41 及びトランジスタ 42 を有する点が図 2 A に示す構成の半導体装置 10 と異なる。図 3 A に示すように、制御回路 20 とトランジスタ 42 の間に、トランジスタ 22、容量素子 24、及びトランジスタ 26 を設けることができる。

[0079]

トランジスタ 41 のソース又はドレインの一方は、配線 12 と電氣的に接続されている。トランジスタ 41 のソース又はドレインの他方、及びトランジスタ 42 のソース又はドレインの一方は、配線 16 と電氣的に接続されている。トランジスタ 42 のソース又はドレインの他方は、配線 52 と

電氣的に接続されている。トランジスタ41のゲートは、配線51と電氣的に接続されている。トランジスタ42のゲートは、ノードNHと電氣的に接続されている。

[0080]

配線51には、バイアス電位を供給することができる。バイアス電位として、例えば定電位とすることができる。配線51にバイアス電位を供給することにより、トランジスタ41は電流源として機能することができる。また、配線52は電源線としての機能を有する。配線52の電位は、例えば低電位、例えば接地電位とすることができる。

[0081]

トランジスタ41及びトランジスタ42は、例えばnチャネル型トランジスタとすることができる。配線12の電位を高電位、配線52の電位を低電位とすると、トランジスタ41及びトランジスタ42をnチャネル型トランジスタとした場合、ノードNHの電位が大きくなると配線16の電位が小さくなり、ノードNHの電位が小さくなると配線16の電位が大きくなる。つまり、出力トランジスタとしてpチャネル型のトランジスタを用いなくても、半導体装置10は出力トランジスタとしてpチャネル型のトランジスタを用いた場合と例えば同様の動作を行うことができる。

[0082]

トランジスタ41及びトランジスタ42をnチャネル型トランジスタとする場合、トランジスタ41及びトランジスタ42として、OSトランジスタを用いることができる。前述のように、OSトランジスタは、Siトランジスタに比べて高温環境下における電気特性が優れている。よって、トランジスタ41及びトランジスタ42にOSトランジスタを用いることで、高温環境下においても配線16の電位が安定する。したがって、高温環境下においても半導体装置10から出力される電位が安定し、半導体装置10を安定して動作させることができる。

[0083]

図3Bは、図3Aに示す構成の半導体装置10の変形例であり、容量素子28を有する点が図3Aに示す構成の半導体装置10と異なる。図2Bに示す構成の半導体装置10と同様に、容量素子28の一方の電極はノードNHと電氣的に接続され、容量素子28の他方の電極は配線16と電氣的に接続されている。

[0084]

半導体装置10を図3Bに示す構成とすることにより、半導体装置10を図2Bに示す構成とする場合と同様に、半導体装置10を安定して動作させることができる。

[0085]

図4は、図2Aに示す半導体装置10の具体的な構成例を示す回路図である。図4では、制御回路20、及び電源スイッチ回路21の回路構成例を示している。

[0086]

制御回路20は、オペアンプ回路40を有する。電源スイッチ回路21は、トランジスタ44aと、トランジスタ44bと、電流源45と、を有する。

[0087]

オペアンプ回路40は、例えば第1の電源端子と、第2の電源端子と、第1の入力端子と、第2の入力端子と、出力端子と、を有する構成とすることができる。この場合、例えばオペアンプ回路40の第1及び第2の電源端子、第1及び第2の入力端子、出力端子をそれぞれ制御回路20の第1及び第2の電源端子、第1及び第2の入力端子、出力端子とすることができる。

[0088]

オペアンプ回路40の第1の電源端子は、配線11と電氣的に接続されている。オペアンプ回路40の第2の電源端子は、トランジスタ44aのソース又はドレインの一方、及びトランジスタ44bのソース又はドレインの一方と電氣的に接続されている。ここで、オペアンプ回路40の第2の電源端子と、トランジスタ44aのソース又はドレインの一方と、トランジスタ44bのソース又はドレインの一方と、が電氣的に接続されているノードをノードNrefとする。

[0089]

オペアンプ回路40の第1の入力端子は、配線15と電氣的に接続されている。オペアンプ回路40の第2の入力端子は、配線16と電氣的に接続されている。図4は、非反転入力端子をオペアンプ回路40の第1の入力端子とし、反転入力端子をオペアンプ回路40の第2の入力端子とする場合を示している。また、オペアンプ回路40の出力端子は、ノードNWと電氣的に接続されている。

[0090]

トランジスタ44aのソース又はドレインの他方は、電流源45の一方の電極と電氣的に接続されている。トランジスタ44aのゲートは、配線54aと電氣的に接続されている。電流源45の他方の電極は、配線55aと電氣的に接続されている。トランジスタ44bのソース又はドレインの他方は、配線55bと電氣的に接続されている。トランジスタ44bのゲートは、配線54bと電氣的に接続されている。

[0091]

配線55a及び配線55bは電源線としての機能を有する。配線55a及び配線55bの電位は、例えば低電位、例えば接地電位とすることができる。

[0092]

図4に示す構成の半導体装置10において、トランジスタ44aをオン状態、トランジスタ44bをオフ状態とすることにより、オペアンプ回路40がオンとなる。よって、オペアンプ回路40は、例えば配線15の電位に対応する電位を出力することができる。一方、トランジスタ44aをオフ状態、トランジスタ44bをオン状態とすると、オペアンプ回路40がオフとなる。よって、オペアンプ回路40は、例えば電位の出力を停止することができる。オペアンプ回路40のオンオフの切り替えの詳細については後述する。

[0093]

図5は、図4に示す構成の半導体装置10の変形例であり、トランジスタ23がnチャネル型トランジスタである点が、図4に示す構成の半導体装置10と異なる。図5に示す構成の半導体装置10では、オペアンプ回路40の反転入力端子に配線15を電氣的に接続し、オペアンプ回路40の非反転入力端子に配線16を電氣的に接続することができる。

[0094]

トランジスタ23をnチャネル型トランジスタとすることにより、トランジスタ23をOSトランジスタとすることができる。前述のように、OSトランジスタは、Siトランジスタに比べて高温環境下における電気特性が優れている。よって、トランジスタ23にOSトランジスタを用いることで、高温環境下においても配線16の電位が安定する。したがって、高温環境下においても半導体装置10から出力される電位が安定し、半導体装置10を安定して動作させることができる。

[0095]

図6は、図4に示す半導体装置10の具体的な構成例を示す回路図であり、オペアンプ回路40の

回路構成例を示している。

[0096]

オペアンプ回路40は、トランジスタ63aと、トランジスタ63bと、トランジスタ64aと、トランジスタ64bと、トランジスタ65aと、トランジスタ65bと、を有する。

[0097]

トランジスタ63aのソース又はドレインの一方、及びトランジスタ63bのソース又はドレインの一方は、配線11と電氣的に接続されている。トランジスタ63aのソース又はドレインの他方は、トランジスタ64aのソース又はドレインの一方と電氣的に接続されている。トランジスタ64aのソース又はドレインの一方は、トランジスタ22のソース又はドレインの一方と電氣的に接続されている。トランジスタ63aのゲートは、トランジスタ63bのゲートと電氣的に接続されている。トランジスタ63bのゲートは、トランジスタ63bのソース又はドレインの他方と電氣的に接続されている。トランジスタ63bのソース又はドレインの他方は、トランジスタ64bのソース又はドレインの一方と電氣的に接続されている。トランジスタ64aのソース又はドレインの他方、及びトランジスタ64bのソース又はドレインの他方は、トランジスタ65aのソース又はドレインの一方と電氣的に接続されている。トランジスタ65aのソース又はドレインの他方は、配線75aと電氣的に接続されている。トランジスタ65aのゲート、トランジスタ65bのゲート、及びトランジスタ65bのソース又はドレインの一方は、ノードNrefと電氣的に接続されている。トランジスタ65bのソース又はドレインの他方は、配線75bと電氣的に接続されている。

[0098]

トランジスタ64aのゲートは配線15と電氣的に接続されており、トランジスタ64bのゲートは配線16と電氣的に接続されている。つまり、トランジスタ64aのゲートは、オペアンプ回路40の第1の入力端子であるということができ、トランジスタ64bのゲートは、オペアンプ回路40の第2の入力端子であることができる。

[0099]

配線75a及び配線75bは、電源線としての機能を有する。配線75a及び配線75bの電位は、例えば低電位、例えば接地電位とすることができる。

[0100]

図7は、図6に示す構成の半導体装置10の変形例であり、容量素子28を有する点が図6に示す構成の半導体装置10と異なる。図2Bに示す場合と同様に、容量素子28の一方の電極はノードNHと電氣的に接続され、容量素子28の他方の電極は配線16と電氣的に接続されている。

[0101]

半導体装置10が容量素子28を有する構成とすることで、前述のように半導体装置10を安定して動作させることができる。

[0102]

<半導体装置の動作方法の一例>

次に、半導体装置10の動作方法の一例を説明する。図8は、図6等に示す構成の半導体装置10の動作方法の一例を示すタイミングチャートである。図8において、“H”は高電位を示し、“L”は低電位を示す。なお、以下の説明では、配線11及び配線12の電位は高電位とする。また、配線34、配線55a、配線55b、配線75a、及び配線75bの電位は低電位とする。

[0103]

時刻T1以前では、配線32の電位は低電位、配線36の電位は高電位、配線54aの電位は低電位、配線54bの電位は高電位となっている。これにより、トランジスタ22はオフ状態、トランジスタ26はオン状態、トランジスタ44aはオフ状態、トランジスタ44bはオン状態となっている。この状態では、ノードNrefの電位は低電位となるため、トランジスタ65bには電流が流れず、よってトランジスタ65aにも電流が流れない。よって、オペアンプ回路40はオフとなっているといえることができる。

[0104]

時刻T1乃至時刻T2において、配線32の電位を低電位、配線36の電位を高電位、配線54aの電位を高電位、配線54bの電位を低電位とする。これにより、トランジスタ22はオフ状態、トランジスタ26はオン状態、トランジスタ44aはオン状態、トランジスタ44bはオフ状態となる。トランジスタ44aがオン状態となることにより、電流源45からノードNrefに向かって電流が流れるため、ノードNrefの電位が上昇する。これにより、トランジスタ65bのソースとドレイン間に電流が流れる。ここで、トランジスタ65aとトランジスタ65bによりカレントミラーが構成されているため、トランジスタ65aにも電流が流れる。よって、配線11と、配線75a及び配線75bと、の間に電流が流れ、オペアンプ回路40がオンとなる。

[0105]

以上より、ノードNrefの電位が低電位である場合はオペアンプ回路40がオフとなり、ノードNrefの電位が低電位より高い電位である場合はオペアンプ回路40がオンになるといえることができる。

[0106]

時刻T2乃至時刻T3において、配線32の電位を高電位、配線36の電位を低電位、配線54aの電位を高電位、配線54bの電位を低電位とする。これにより、トランジスタ22はオン状態、トランジスタ26はオフ状態、トランジスタ44aはオン状態、トランジスタ44bはオフ状態となる。トランジスタ22がオン状態となることにより、制御回路20から出力される電位がノードNHに書き込まれる。よって、配線16の電位が、トランジスタ23のゲート電位であるノードNHの電位に対応する電位となる。前述のように、ノードNHの電位は、配線15の電位に対応する電位とすることができる。以上より、時刻T2乃至時刻T3において、配線16の電位が配線15の電位と対応する電位となる。なお、図8では、時刻T2乃至時刻T3におけるノードNHの電位は、制御回路20の出力端子が電氣的に接続されているノードであるノードNWの電位と等しいとしている。

[0107]

時刻T3乃至時刻T4において、配線32の電位を低電位、配線36の電位を高電位、配線54aの電位を高電位、配線54bの電位を低電位とする。これにより、トランジスタ22はオフ状態、トランジスタ26はオン状態、トランジスタ44aはオン状態、トランジスタ44bはオフ状態となる。トランジスタ22がオフ状態、トランジスタ26がオン状態となることにより、ノードNHの電位が保持される。

[0108]

時刻T4乃至時刻T5において、配線32の電位を低電位、配線36の電位を高電位、配線54aの電位を低電位、配線54bの電位を高電位とする。これにより、トランジスタ22はオフ状態、

トランジスタ 26 はオン状態、トランジスタ 44a はオフ状態、トランジスタ 44b はオン状態となる。トランジスタ 44a がオフ状態、トランジスタ 44b がオン状態となることにより、ノード Nref の電位が低電位となり、トランジスタ 65b のソースとドレイン間に電流が流れなくなる。これにより、トランジスタ 65a のソースとドレイン間にも電流が流れなくなるため、トランジスタ 65a のソース又はドレインの一方の電位が、配線 11 の電位である高電位に近づく。ここで、配線 75a の電位は低電位であり、配線 11 の電位より低いことから、トランジスタ 65a のソース又はドレインの一方の電位が上昇する。これにより、ノード NW の電位が上昇する。以上により、オペアンプ回路 40 がオフとなる。

[0109]

ここで、トランジスタ 22 がオフ状態となっているため、ノード NW の電位が変動しても、ノード NH の電位は変動しない。よって、オペアンプ回路 40 がオフとなっている時刻 T4 乃至時刻 T5 においても、配線 16 の電位は、オペアンプ回路 40 がオンとなっている時刻 T2 乃至時刻 T4 における電位から変動しない。

[0110]

時刻 T4 乃至時刻 T5 において、ノード NW の電位が上昇する一方、ノード NH の電位が変動しないことから、トランジスタ 22 を n チャネル型トランジスタとすると、トランジスタ 22 のソースがノード NH と電氣的に接続された構成となる。よって、時刻 T2 乃至時刻 T3 においてノード NH に書き込む電位を大きくすると、トランジスタ 22 をオフ状態とした際に、トランジスタ 22 のゲート電位とトランジスタ 22 のソース電位との差が小さく（差が負の値である場合は、差の絶対値が大きくなる）。これにより、トランジスタ 22 のオフ電流が小さくなるため、ノード NH の電位を長期間保持することができる。例えば、低電位を接地電位とし、ノード NH に書き込まれる電位を正電位とすると、トランジスタ 22 のゲート電位とトランジスタ 22 のソース電位との差は負となる。よって、トランジスタ 22 のゲート電位がトランジスタ 22 のソース電位と等しい場合、例えばトランジスタ 22 のゲート電位とトランジスタ 22 のソース電位が共に接地電位である場合よりトランジスタ 22 のオフ電流が小さくなり、ノード NH の電位を長期間保持することができる。

[0111]

時刻 T5 以降において、時刻 T1 乃至時刻 T5 の動作を繰り返す。これにより、オペアンプ回路 40 をオンとしてノード NH に再び電位を書き込んだ後、オペアンプ回路 40 をオフとすることができる。以上が半導体装置 10 の動作方法の一例である。

[0112]

なお、図 8 に示すように、配線 32 の電位が低電位となっている期間は配線 36 の電位が高電位となっており、配線 32 の電位が高電位となっている期間は配線 36 の電位が低電位となっている。つまり、配線 32 と配線 36 には、互いに相補的な信号が供給されるということが出来る。また、配線 54a の電位が低電位となっている期間は配線 54b の電位が高電位となっており、配線 54a の電位が高電位となっている期間は配線 54b の電位が低電位となっている。つまり、配線 54a と配線 54b には、互いに相補的な信号が供給されるということが出来る。なお、配線 32 と配線 36 の両方が低電位となる期間があってもよいし、配線 32 と配線 36 の両方が高電位となる期間があってもよい。また、配線 54a と配線 54b の両方が低電位となる期間があってもよいし、配線 54a と配線 54b の両方が高電位となる期間があってもよい。例えば、時刻 T1 乃至時刻 T5 の中の、20% 以内の期間において配線 32 と配線 36 の両方が高電位、又は低電位であっても

よい。又は、時刻T 1乃至時刻T 5の中の、20%以内の期間において配線54aと配線54bの両方が高電位、又は低電位であってもよい。

[0113]

図8に示す動作方法では、ノードNHの電位を保持することにより、オペアンプ回路40をオフとしても半導体装置10は所望の電位を出力し続けることができる。前述のように、オペアンプ回路40をオフとした場合には、トランジスタ65a及びトランジスタ65bに電流が流れなくなる。よって、半導体装置10を図8に示す方法で動作させることにより自己消費電力を低減することができるため、半導体装置10の消費電力を低減することができる。

[0114]

前述のように、トランジスタ22は、OSトランジスタ等のオフ電流が極めて低いトランジスタとすることが好ましい。これにより、ノードNHに長期間電位を保持し続けることができるようになるため、時刻T 4乃至時刻T 5の期間を長くすることができる。したがって、ノードNHへの電位の書き込みの頻度を減少させることができる。つまり、時刻T 1乃至時刻T 4に示す動作を行う頻度を減少させることができる。これにより、半導体装置10の消費電力を低減することができる。

[0115]

また、前述のように、半導体装置10はDC-DCコンバータ、リニアレギュレータ等に適用することができる。これらは出力電位に高い精度が求められる。前述のように、トランジスタ22は、OSトランジスタ等のオフ電流が極めて低いトランジスタとすることができる。また、半導体装置10を図8に示す方法で動作させた場合、前述のように、トランジスタ22をオフ状態とした際にトランジスタ22のゲート電位とトランジスタのソース電位との差が小さく（差が負の値である場合は、差の絶対値が大きく）なる。以上により、半導体装置10では、オペアンプ回路40をオフとしても、ノードNHの電位を高い精度で保持することができる。よって、半導体装置10は高い精度で電位を出力し続けることができ、半導体装置10を安定して動作させることができる。

[0116]

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

[0117]

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置の断面構成例について、図面を用いて説明する。

[0118]

図9に示す半導体装置は、トランジスタ300と、トランジスタ500と、容量素子600と、を有している。図11Aはトランジスタ500のチャネル長方向の断面図であり、図11Bはトランジスタ500のチャネル幅方向の断面図であり、図11Cはトランジスタ300のチャネル幅方向の断面図である。

[0119]

トランジスタ500は、OSトランジスタである。トランジスタ500は、オフ電流が小さい。このため、例えば上記実施の形態で説明したトランジスタ22の構成をトランジスタ500と同様の構成とすることにより、ノードNHに長期間電位を保持することができる。これにより、ノードNHへの電位の書き込みの頻度が少なくなるため、半導体装置の消費電力を低減することができる。

[0120]

本実施の形態で説明する半導体装置は、図9に示すようにトランジスタ300、トランジスタ500、及び容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600はトランジスタ300、及びトランジスタ500の上方に設けられている。例えば上記実施の形態で説明したトランジスタ23の構成をトランジスタ300と同様の構成とすることができ、容量素子24の構成を容量素子600と同様の構成とすることができる。

[0121]

トランジスタ300は、基板311上に設けられる。トランジスタ300は、導電体316及び絶縁体315を有する。また、トランジスタ300は、基板311の一部からなる半導体領域313、ソース領域又はドレイン領域として機能する低抵抗領域314a、及び低抵抗領域314bを有する。

[0122]

トランジスタ300は、図11Cに示すように、半導体領域313の上面、及びチャネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャネル幅が増大する。これにより、トランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0123]

なお、トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0124]

半導体領域313のチャネルが形成される領域及びその近傍の領域、並びにソース領域又はドレイン領域となる低抵抗領域314a及び低抵抗領域314b等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）等を有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又はGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT（High Electron Mobility Transistor）としてもよい。

[0125]

低抵抗領域314a、及び低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リン等のn型の導電性を付与する元素、又はホウ素等のp型の導電性を付与する元素を含む。

[0126]

ゲート電極として機能する導電体316は、ヒ素、リン等のn型の導電性を付与する元素、もしくはホウ素等のp型の導電性を付与する元素を含むシリコン等の半導体材料を用いることができる。また、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。

[0127]

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウム等の金属材料を積層して用いることが好ましく、特にタングステンをを用いるこ

とが耐熱性の点で好ましい。

[0128]

図9に示すトランジスタ300の構成は一例であり、その構造に限定されず、回路構成や動作方法に応じて適切なトランジスタを用いればよい。例えば、半導体装置をOSトランジスタのみの単極性回路とする場合、図10に示すとおり、トランジスタ300の構成を、OSトランジスタであるトランジスタ500と同様の構成にすればよい。なお、トランジスタ500の詳細については後述する。図10に示すトランジスタ300は、例えば図5に示すようなnチャネル型のトランジスタ23に適用することができる。

[0129]

本明細書等において、単極性回路とは、例えば全てのトランジスタが同極性のトランジスタである回路を示す。例えば、全てのトランジスタがnチャネル型トランジスタである回路は、単極性回路であるといえることができる。

[0130]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326が順に積層して設けられている。

[0131]

絶縁体320、絶縁体322、絶縁体324、及び絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム等を用いればよい。

[0132]

なお、本明細書等において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書等において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

[0133]

絶縁体322は、その下方に設けられるトランジスタ300等によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨（CMP）法等を用いた平坦化処理により平坦化されていてもよい。

[0134]

また、絶縁体324には、基板311、又はトランジスタ300等から、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0135]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0136]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）等を用いて分析することができる。例え

ば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15}$  atoms/cm<sup>2</sup>以下、好ましくは $5 \times 10^{15}$  atoms/cm<sup>2</sup>以下であればよい。

[0137]

なお、絶縁体326は、絶縁体324よりも比誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0138]

また、絶縁体320、絶縁体322、絶縁体324、及び絶縁体326には容量素子600、又はトランジスタ500と接続する導電体328、及び導電体330等が埋め込まれている。なお、導電体328、及び導電体330は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

[0139]

各プラグ、及び配線（導電体328、導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、タングステンを用いることが好ましい。又は、アルミニウムや銅等の低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0140]

絶縁体326、及び導電体330上に、配線層を設けてもよい。例えば、図9において、絶縁体350、絶縁体352、及び絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、及び絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、又は配線としての機能を有する。なお導電体356は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

[0141]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350に設けられる開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0142]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと、導電性が高いタングステンとを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0143]

絶縁体354、及び導電体356上に、配線層を設けてもよい。例えば、図9において、絶縁体360、絶縁体362、及び絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、及び絶縁体364には、導電体366が形成されている。導電体366は、プラグ又は配線としての機能を有する。なお導電体366は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

[0144]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360に設けられる開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0145]

絶縁体364、及び導電体366上に、配線層を設けてもよい。例えば、図9において、絶縁体370、絶縁体372、及び絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、及び絶縁体374には、導電体376が形成されている。導電体376は、プラグ又は配線としての機能を有する。なお導電体376は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

[0146]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370に設けられる開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0147]

絶縁体374、及び導電体376上に、配線層を設けてもよい。例えば、図9において、絶縁体380、絶縁体382、及び絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、及び絶縁体384には、導電体386が形成されている。導電体386は、プラグ又は配線としての機能を有する。なお導電体386は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

[0148]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体380に設けられる開口部に、水素に対するバリア性を有する導電体が形成される構成とすることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0149]

上記において、導電体 3 5 6 を含む配線層、導電体 3 6 6 を含む配線層、導電体 3 7 6 を含む配線層、及び導電体 3 8 6 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 3 5 6 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 3 5 6 を含む配線層と同様の配線層を 5 層以上にしてもよい。

[0150]

絶縁体 3 8 4 上には絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 が、順に積層して設けられている。絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0151]

例えば、絶縁体 5 1 0 及び絶縁体 5 1 4 には、基板 3 1 1 等から、又はトランジスタ 3 0 0 を設ける領域等からトランジスタ 5 0 0 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 3 2 4 と同様の材料を用いることが好ましい。

[0152]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 5 0 0 等の酸化物半導体を有する半導体素子に水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 5 0 0 と、トランジスタ 3 0 0 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜である。

[0153]

また、水素に対するバリア性を有する膜として、例えば、絶縁体 5 1 0、及び絶縁体 5 1 4 には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

[0154]

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素、水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する金属酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

[0155]

また、例えば、絶縁体 5 1 2、及び絶縁体 5 1 6 には、絶縁体 3 2 0 と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 1 2、及び絶縁体 5 1 6 として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

[0156]

また、絶縁体 5 1 0、絶縁体 5 1 2、絶縁体 5 1 4、及び絶縁体 5 1 6 には、導電体 5 1 8、及びトランジスタ 5 0 0 を構成する導電体（例えば、導電体 5 0 3）等が埋め込まれている。なお、導電体 5 1 8 は、容量素子 6 0 0、又はトランジスタ 3 0 0 と接続するプラグ、又は配線としての機能を有する。導電体 5 1 8 は、導電体 3 2 8、又は導電体 3 3 0 と同様の材料を用いて設けることができる。

[0157]

特に、絶縁体510、及び絶縁体514と接する領域の導電体518は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、及び水に対するバリア性を有する層で分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0158]

絶縁体514の上方には、トランジスタ500が設けられている。

[0159]

図11A及び図11Bに示すように、トランジスタ500は、絶縁体514及び絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516及び導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に互いに離れて配置された導電体542a及び導電体542bと、導電体542a及び導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の底面及び側面と接する領域を有するように配置された酸化物530cと、酸化物530cの形成面に配置された絶縁体550と、絶縁体550の形成面に配置された導電体560と、を有する。

[0160]

また、図11A及び図11Bに示すように、酸化物530a、酸化物530b、導電体542a、及び導電体542bと、絶縁体580との間に絶縁体544を配置することが好ましい。また、図11A及び図11Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図11A及び図11Bに示すように、酸化物530c、絶縁体580、導電体560、及び絶縁体550の上に絶縁体574が配置されることが好ましい。

[0161]

なお、以下において、酸化物530a、酸化物530b、及び酸化物530cをまとめて酸化物530という場合がある。

[0162]

なお、トランジスタ500では、チャンネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、及び酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、又は4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体560が単層構造であってもよいし、3層以上の積層構造であってもよい。また、図9、図10、図11A及び図11Bに示すトランジスタ500の構成は一例であり、その構造に限定されず、回路構成や動作方法に応じて適切なトランジスタを用いればよい。

[0163]

ここで、導電体560は、トランジスタ500のゲート電極として機能し、導電体542a及び導電体542bは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれ

るように形成される。導電体560、導電体542a、及び導電体542bの配置は、絶縁体580の開口に対して自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるため、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

[0164]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるため、導電体560は、導電体542a又は導電体542bと重畳する領域を有さない。これにより、導電体560と、導電体542a及び導電体542bと、の間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度が向上し、高い周波数特性を有することができる。

[0165]

導電体560は、第1のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ500のしきい値電圧を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500のしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0166]

導電体503は、酸化物530、及び導電体560と重なる領域を有するように配置する。これにより、導電体560、及び導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、及び第2のゲート電極の電界によってチャンネル形成領域を電氣的に取り囲むトランジスタの構造を、surrounded channel (s-channel) 構造という。

[0167]

また、導電体503は、導電体518と同様の構成であり、絶縁体514及び絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。なお、トランジスタ500では、導電体503a及び導電体503bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503は、単層、又は3層以上の積層構造として設ける構成にしてもよい。

[0168]

ここで、導電体503aは、水素原子、水素分子、水分子、銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、酸素分子等の少なくとも一）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書等において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか一、又は全ての拡散を抑制する機能とする。

[0169]

例えば、導電体503aが酸素の拡散を抑制する機能を有することにより、導電体503bが酸化して導電率が低下することを抑制することができる。

[0170]

また、導電体503が配線の機能を兼ねる場合、導電体503bは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503aは、必ずしも設けなくともよい。なお、導電体503bを単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

[0171]

絶縁体520、絶縁体522、及び絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0172]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0173]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、又は $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、又は $100^\circ\text{C}$ 以上 $400^\circ\text{C}$ 以下の範囲が好ましい。

[0174]

また、上記過剰酸素領域を有する絶縁体と、酸化物530と、を接して加熱処理、マイクロ波処理、又はRF処理のいずれか一又は複数の処理を行ってもよい。当該処理を行うことで、酸化物530中の水、又は水素を除去することができる。例えば、酸化物530において、 $\text{V}_o\text{H}$ の結合が切断される反応が起きる、別言すると「 $\text{V}_o\text{H} \rightarrow \text{V}_o + \text{H}$ 」という反応が起きることにより、脱水素化することができる。このとき発生した水素の一部は、酸素と結合して $\text{H}_2\text{O}$ として、酸化物530、又は酸化物530近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体542に拡散又は捕獲（ゲッタリングともいう）される場合がある。

[0175]

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、又は、基板側にRFを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができる。また、基板側にRFを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物530、又は酸化物530近傍の絶縁体中に導入することができる。また、上記マイクロ波処理は、圧力を $133 \text{ Pa}$ 以上、好ましくは $200 \text{ Pa}$ 以上、さらに好ましくは $400 \text{ Pa}$ 以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば酸素及びアルゴンを用い、酸素流量比 ( $\text{O}_2 / (\text{O}_2 + \text{Ar})$ ) は50%以下、好ましくは10%以上30%以下とす

るとよい。

[0176]

また、トランジスタ500の作製工程中において、酸化物530の表面が露出した状態で加熱処理を行うと好適である。当該加熱処理は、例えば、100℃以上450℃以下、より好ましくは350℃以上400℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、又は酸化性ガスを10ppm以上、1%以上、もしくは10%以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物530に酸素を供給して、酸素欠損( $V_o$ )の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。又は、酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行った後に、連続して窒素ガスもしくは不活性ガスの雰囲気で行ってもよい。

[0177]

なお、酸化物530に加酸素化処理を行うことで、酸化物530中の酸素欠損を、供給された酸素により修復させる、別言すると「 $V_o + O \rightarrow n u l l$ 」という反応を促進させることができる。さらに、酸化物530中に残存した水素と、酸化物530に供給された酸素と、が反応することで、当該水素を $H_2O$ として除去する(脱水化する)ことができる。これにより、酸化物530中に残存していた水素が酸素欠損に再結合して $V_oH$ が形成されるのを抑制することができる。

[0178]

また、絶縁体524が過剰酸素領域を有する場合、絶縁体522は、酸素(例えば、酸素原子、酸素分子等)の拡散を抑制する機能を有する(上記酸素が透過しにくい)ことが好ましい。

[0179]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有すると、酸化物530が有する酸素が絶縁体520側へ拡散することがないため好ましい。また、導電体503が、絶縁体524や酸化物530が有する酸素と反応することを抑制することができるため好ましい。

[0180]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛(PZT)、チタン酸ストロンチウム( $SrTiO_3$ )、又は( $Ba, Sr$ ) $TiO_3$ (BST)等のいわゆるhigh-k材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0181]

特に、不純物、及び酸素等の拡散を抑制する機能を有する(上記酸素が透過しにくい)絶縁性材料であるアルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウム的一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、又はアルミニウム及びハフニウムを含む酸化物(ハフニウムアルミネート)等を用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を

抑制する層として機能する。

[0182]

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン、又は窒化シリコンを積層して用いてもよい。

[0183]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好適である。また、high-k材料の絶縁体を酸化シリコン、又は酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

[0184]

なお、図11A及び図11Bのトランジスタ500では、3層の積層構造からなる第2のゲート絶縁膜として、絶縁体520、絶縁体522、及び絶縁体524が図示されているが、第2のゲート絶縁膜は、単層、2層、又は4層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0185]

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、酸化物530として適用できるIn-M-Zn酸化物は、CAAC-OS (C-Axis Aligned Crystal Oxide Semiconductor)、CAC-OS (Cloud-Aligned Composite Oxide Semiconductor)であることが好ましい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。CAAC-OS及びCAC-OSについては後述する。

[0186]

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くするためには、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度が低いことを高純度真性、又は実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0187]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。また、酸化物530中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合しV<sub>o</sub>Hを形成する場合がある。V<sub>o</sub>Hはドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。また、金属酸化物中の水素は、熱、電界等のス

トレスによって動きやすいため、金属酸化物に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物530中の $V_{OH}$ をできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、 $V_{OH}$ が十分低減された金属酸化物を得るには、金属酸化物中の水分、水素等の不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、金属酸化物に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 $V_{OH}$ 等の不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0188]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0189]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素等の不純物が十分に低減された金属酸化物をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0190]

また、酸化物530に金属酸化物を用いる場合、チャンネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャンネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0191]

また、酸化物530に金属酸化物を用いる場合、導電体542（導電体542a、及び導電体542b）と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えることができる。

[0192]

また、酸化物530中の酸素が導電体542（導電体542a、及び導電体542b）へ拡散することで、導電体542aと酸化物530bとの間、及び導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542と、当該異層と、酸化物530bとの3層

構造は、金属—絶縁体—半導体からなる3層構造とみなすことができ、MIS (Metal-Insulator-Semiconductor) 構造という、又はMIS構造を主としたダイオード接合構造という場合がある。

[0193]

なお、上記異層は、導電体542と酸化物530bとの間に形成されることに限られない。例えば、異層が、導電体542と酸化物530cとの間に形成される場合がある。又は、導電体542と酸化物530bとの間、及び導電体542と酸化物530cとの間に形成される場合がある。

[0194]

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2 eV以上、好ましくは2.5 eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0195]

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへ不純物が拡散することを抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへ不純物が拡散することを抑制することができる。

[0196]

なお、酸化物530は、各金属原子の原子数比が異なる酸化物により、積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530a又は酸化物530bに用いることができる金属酸化物を用いることができる。

[0197]

具体的には、酸化物530aとして、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比]、又はその近傍の組成、或いは $1 : 1 : 0.5$  [原子数比]、又はその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比]、又はその近傍の組成、 $In : Ga : Zn = 5 : 1 : 3$  [原子数比]、又はその近傍の組成、或いは $1 : 1 : 1$  [原子数比]、又はその近傍の組成の金属酸化物を用いればよい。また、酸化物530cとして、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比]、又はその近傍の組成、 $Ga : Zn = 2 : 1$  [原子数比]、又はその近傍の組成、或いは $Ga : Zn = 2 : 5$  [原子数比]、又はその近傍の組成の金属酸化物を用いればよい。また、酸化物530cを積層構造とする場合の具体例としては、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比]、又はその近傍の組成と、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比]、又はその近傍の組成との積層構造、 $Ga : Zn = 2 : 1$  [原子数比]、又はその近傍の組成と、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比]、又はその近傍の組成との積層構造、 $Ga : Zn = 2 : 5$  [原子数比]、又はその近傍の組成と、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比]、又はその近傍の組成との積層構造、酸化ガリウムと、 $In : Ga : Zn = 4 : 2 : 3$  [原子数比]、又はそ

の近傍の組成との積層構造等が挙げられる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。

[0198]

また、酸化物530a及び酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。言い換えると、酸化物530a及び酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。

[0199]

ここで、酸化物530a、酸化物530b、及び酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。言い換えると、酸化物530a、酸化物530b、及び酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

[0200]

具体的には、酸化物530aと酸化物530b、及び酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530a及び酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いるとよい。

[0201]

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、及び酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、及び酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0202]

なお、酸化物530に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物530として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコン等の単体元素の半導体、ヒ化ガリウム等の化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料等ともいう。）等を半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0203]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0204]

層状物質として、グラフェン、シリセン、カルコゲン化物等がある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属

カルコゲナイド、13族カルコゲナイド等が挙げられる。

[0205]

酸化物530として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物530として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には $\text{MoS}_2$ ）、セレン化モリブデン（代表的には $\text{MoSe}_2$ ）、モリブデンテルル（代表的には $\text{MoTe}_2$ ）、硫化タングステン（代表的には $\text{WS}_2$ ）、セレン化タングステン（代表的には $\text{WSe}_2$ ）、タングステンテルル（代表的には $\text{WTe}_2$ ）、硫化ハフニウム（代表的には $\text{HfS}_2$ ）、セレン化ハフニウム（代表的には $\text{HfSe}_2$ ）、硫化ジルコニウム（代表的には $\text{ZrS}_2$ ）、セレン化ジルコニウム（代表的には $\text{ZrSe}_2$ ）等が挙げられる。

[0206]

酸化物530b上には、ソース電極、及びドレイン電極として機能する導電体542a、及び導電体542bが設けられる。導電体542a、及び導電体542bとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、窒化タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は酸素を吸収しても導電性を維持する材料であるため好ましい。更に、窒化タンタル等の金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

[0207]

また、図11では、導電体542a、及び導電体542bを単層構造として示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0208]

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構造、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

[0209]

また、図11Aに示すように、酸化物530の、導電体542a（導電体542b）との界面とその近傍には、低抵抗領域として領域543a、及び領域543bが形成される場合がある。このとき、領域543aはソース領域又はドレイン領域の一方として機能し、領域543bはソース領域又はドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチ

チャネル形成領域が形成される。

[0210]

酸化物530と接するように上記導電体542a（導電体542b）を設けることで、領域543a（領域543b）の酸素濃度が低減する場合がある。また、導電体542a（導電体542b）に含まれる金属と、酸化物530の成分と、を含む金属化合物層が領域543a（領域543b）に形成される場合がある。このような場合、領域543a（領域543b）のキャリア濃度が増加し、領域543a（領域543b）は、低抵抗領域となる。

[0211]

絶縁体544は、導電体542a、及び導電体542bを覆うように設けられ、導電体542a、及び導電体542bの酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0212]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体544として、窒化酸化シリコン又は窒化シリコン等も用いることができる。

[0213]

特に、絶縁体544として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、若しくはアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいことが好ましい。なお、導電体542a、及び導電体542bが耐酸化性を有する材料、又は酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は必須の構成ではない。求めるトランジスタ特性により適宜設計すればよい。

[0214]

絶縁体544を有することで、絶縁体580に含まれる水、及び水素等の不純物が、酸化物530c及び絶縁体550を介して酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化することを抑制することができる。

[0215]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面、及び側面）と接するように配置することが好ましい。絶縁体550は、上述した絶縁体524と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

[0216]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

[0217]

加熱により酸素が放出される絶縁体を、絶縁体550として酸化物530cの上面に接して設ける

ことにより、酸化物530cを通じて、絶縁体550から酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とすることが好ましい。

[0218]

また、絶縁体550が有する過剰酸素を効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制する機能を有することが好ましい。酸素の拡散を抑制する機能を有する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0219]

なお、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。このため、ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位を低減することが可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0220]

第1のゲート電極として機能する導電体560は、図11A及び図11Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0221]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子(N<sub>2</sub>O、NO、NO<sub>2</sub>等)、銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素(例えば、酸素原子、酸素分子等の少なくとも一)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を有することで、絶縁体550に含まれる酸素により導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、導電体560aとして、酸化物530に適用できる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体にすることができる。これをOC(Oxide Conductor)電極とすることができる。

[0222]

また、導電体560bは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

[0223]

絶縁体580は、絶縁体544を介して、導電体542a、及び導電体542b上に設けられる。

絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等を有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、及び空孔を有する酸化シリコンは、後の工程で容易に過剰酸素領域を形成することができるため好ましい。

[0224]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接する領域を有するように設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530a及び酸化物530bへと効率良く供給することができる。なお、絶縁体580中の水又は水素等の不純物濃度が低減されていることが好ましい。

[0225]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、及び導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。

[0226]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく導電体560を形成することができる。

[0227]

絶縁体574は、絶縁体580の上面、導電体560の上面、及び絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550、及び絶縁体580に過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0228]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

[0229]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、及び窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

[0230]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524等と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

[0231]

また、絶縁体581、絶縁体574、絶縁体580、及び絶縁体544に形成された開口に、導電体540a、及び導電体540bを配置する。導電体540a及び導電体540bは、導電体560を挟んで対向して設ける。導電体540a及び導電体540bは、後述する導電体546、及び導電体548と同様の構成である。

[0232]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタル等の金属酸化物を用いることが好ましい。

[0233]

特に、酸化アルミニウムは、酸素、及びトランジスタの電気特性の変動要因となる水素、水分等の不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素、水分等の不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0234]

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜等を用いることができる。

[0235]

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、及び絶縁体586には、導電体546、及び導電体548等が埋め込まれている。

[0236]

導電体546、及び導電体548は、容量素子600、トランジスタ500、又はトランジスタ300と接続するプラグ、又は配線としての機能を有する。導電体546、及び導電体548は、導電体328、又は導電体330と同様の材料を用いて設けることができる。

[0237]

なお、トランジスタ500の形成後、トランジスタ500を囲むように開口を形成し、当該開口を覆うように、水素、又は水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ500を包み込むことで、外部から水分、及び水素が侵入することを防止することができる。又は、複数のトランジスタ500をまとめて、水素、又は水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ500を囲むように開口を形成する場合、例えば、絶縁体514又は絶縁体522に達する開口を形成し、絶縁体514又は絶縁体522に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ500の作製工程の一部を兼ねられるため好適である。なお、水素、又は水に対するバリア性が高い絶縁体としては、例えば、絶縁体522と同様の材料を用いればよい。

[0238]

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、

導電体610、導電体620、及び絶縁体630を有する。

[0239]

また、導電体546、及び導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、又は配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、及び導電体610は、同時に形成することができる。

[0240]

導電体612、及び導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

[0241]

図9では、導電体612、及び導電体610は単層構造を示したが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

[0242]

絶縁体630を介して導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデン等の高融点材料を用いることが好ましく、特にタングステンをを用いることが好ましい。また、導電体等の他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

[0243]

導電体620、及び絶縁体630上には、絶縁体640が設けられている。絶縁体640は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体640は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0244]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

[0245]

図12A及び図12Bは、図11A及び図11Bに示すトランジスタ500の変形例である。図12Aはトランジスタ500のチャンネル長方向の断面図であり、図12Bはトランジスタ500のチャンネル幅方向の断面図である。図12A及び図12Bに示すトランジスタ500は、絶縁体402及び絶縁体404を有する点が、図11A及び図11Bに示すトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体552が設けられ、導電体540bの側面に接して絶縁体552が設けられる点が、図11A及び図11Bに示すトランジスタ500と異なる。さらに、絶縁体520を有さない点が、図11A及び図11Bに示すトランジスタ500と異なる。なお、図12A及び図12Bに示す構成は、トランジスタ300等、本発明の一態様の半導体装置が有する他

のトランジスタにも適用することができる。

[0246]

図12A及び図12Bに示すトランジスタ500は、絶縁体512上に絶縁体402が設けられる。また、絶縁体574上、及び絶縁体402上に絶縁体404が設けられる。

[0247]

図12A及び図12Bに示すトランジスタ500では、絶縁体514、絶縁体516、絶縁体522、絶縁体524、絶縁体544、絶縁体580、及び絶縁体574がパターンニングされており、絶縁体404がこれらを覆う構造になっている。つまり、絶縁体404は、絶縁体574の上面、絶縁体574の側面、絶縁体580の側面、絶縁体544の側面、絶縁体524の側面、絶縁体522の側面、絶縁体516の側面、絶縁体514の側面、絶縁体402の上面とそれぞれ接する。これにより、酸化物530等は、絶縁体404と絶縁体402によって外部から隔離される。

[0248]

絶縁体402及び絶縁体404は、水素（例えば、水素原子、水素分子等の少なくとも一）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体402及び絶縁体404として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物530に水素等が拡散することを抑制することができるため、トランジスタ500の特性が低下することを抑制することができる。よって、本発明の一態様の半導体装置の信頼性を高めることができる。

[0249]

絶縁体552は、絶縁体581、絶縁体404、絶縁体574、絶縁体580、及び絶縁体544に接して設けられる。絶縁体552は、水素又は水分子の拡散を抑制する機能を有することが好ましい。例えば、絶縁体552として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるため、絶縁体552として用いると好適である。絶縁体552として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体580等から導電体540a又は導電体540bを通じて酸化物530に拡散することを抑制することができる。また、絶縁体580に含まれる酸素が導電体540a及び導電体540bに吸収されることを抑制することができる。以上により、本発明の一態様の半導体装置の信頼性を高めることができる。

[0250]

図13は、トランジスタ500及びトランジスタ300を図12A及び図12Bに示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体546の側面に、絶縁体552が設けられている。

[0251]

図14A及び図14Bは、図12A及び図12Bに示すトランジスタの変形例である。図14Aはトランジスタのチャネル長方向の断面図であり、図14Bはトランジスタのチャネル幅方向の断面図である。図14A及び図14Bに示すトランジスタは、酸化物530cが酸化物530c1及び酸化物530c2の2層構造である点が、図12A及び図12Bに示すトランジスタと異なる。

[0252]

酸化物530c1は、絶縁体524の上面、酸化物530aの側面、酸化物530bの上面及び側面、導電体542a及び導電体542bの側面、絶縁体544の側面、及び絶縁体580の側面と

接する。酸化物530c2は、絶縁体550と接する。

[0253]

酸化物530c1として、例えばIn-Zn酸化物を用いることができる。また、酸化物530c2として、酸化物530cが1層構造である場合に酸化物530cに用いることができる材料と同様の材料を用いることができる。例えば、酸化物530c2として、In:Ga:Zn=1:3:4 [原子数比]、又はその近傍の組成、Ga:Zn=2:1 [原子数比]、又はその近傍の組成、或いはGa:Zn=2:5 [原子数比]、又はその近傍の組成の金属酸化物を用いることができる。

[0254]

酸化物530cを酸化物530c1及び酸化物530c2の2層構造とすることにより、酸化物530cを1層構造とする場合より、トランジスタのオン電流を高めることができる。よって、トランジスタを、例えばパワーMOSトランジスタとすることができる。なお、図11A及び図11Bに示すトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

[0255]

図14A及び図14Bに示すトランジスタは、例えばトランジスタ300に適用することができる。前述のように、トランジスタ300は、上記実施の形態の図5に示すトランジスタ23に適用することができる。前述のように、図14A及び図14Bに示す構成のトランジスタ300のオン電流は高い。よって、出力トランジスタとしての機能を有するトランジスタ23を図14A及び図14Bに示す構成とすることで、トランジスタ23のオン電流を高めることができる。したがって、本発明の一態様の半導体装置から出力される電位の精度を高めることができる。なお、図14A及び図14Bに示す構成は、トランジスタ500等、本発明の一態様の半導体装置が有する、トランジスタ300以外のトランジスタにも適用することができる。

[0256]

図15は、トランジスタ500を図11A及び図11Bに示す構成とし、トランジスタ300を図14A及び図14Bに示す構成とした場合における、半導体装置の構成例を示す断面図である。なお、図13と同様に、導電体546の側面に絶縁体552を設ける構成としている。図15に示すように、本発明の一態様の半導体装置は、トランジスタ300とトランジスタ500を両方ともOSトランジスタとしつつ、トランジスタ300とトランジスタ500のそれぞれを異なる構成にすることができる。

[0257]

図16A及び図16Bは、図14A及び図14Bに示すトランジスタの変形例である。図16Aはトランジスタのチャネル長方向の断面図であり、図16Bはトランジスタのチャネル幅方向の断面図である。図16A及び図16Bに示すトランジスタは、酸化物530bを有さない点が、図14A及び図14Bに示すトランジスタと異なる。つまり、図16A及び図16Bに示すトランジスタは、酸化物530a、酸化物530c1、及び酸化物530c2によって酸化物530が構成されているといえることができる。

[0258]

酸化物530を、酸化物530aと、酸化物530c1と、酸化物530c2との積層構造とすることで、以下の優れた効果を有する。

[0259]

例えば、酸化物530aを $In:Ga:Zn=1:3:4$  [原子数比]、又はその近傍の組成とし、酸化物530c1を $In:Ga:Zn=4:2:3$  [原子数比]、又はその近傍の組成とし、酸化物530c2を $In:Ga:Zn=1:3:4$  [原子数比]、又はその近傍の組成とすることで、酸化物530c1にチャネル形成領域を設ける構成とすることができる。この構成の場合、絶縁体580、絶縁体544、導電体542a、導電体542b、及び酸化物530aに形成された開口部を沿うように、酸化物530c1及び酸化物530c2がU字状(U-Shape)に形成される。なお、酸化物530aに形成された上記開口部は、絶縁体524の上面には達していない。また、導電体542aの側面、及び導電体542bの側面と、酸化物530c1の側面とを、接触させる構成とすることができる。さらに、酸化物530c1の上面に、酸化物530c2が接しており、絶縁体550が酸化物530c1に接触することを防ぐことができる。

[0260]

上記の構成とすることで、導電体542a及び導電体542bと、酸化物530c1との接触面積を小さくすることができる。導電体542a及び導電体542bと、酸化物530c1との接触面積を小さくすることで、導電体542と酸化物530c1との間に起こりうる接合リーク電流(ジャンクションリーク電流ともいう)を低減することができる。また、導電体542の厚さを調整することで、酸化物530c1との接触面積を任意に調整することが可能となる。

[0261]

例えば、図16に示す構成のトランジスタを有する半導体装置は、宇宙空間にて使用する場合に好適に用いることができる。例えば、図16に示す構成のトランジスタを、人工衛星に設けられる半導体装置を構成するトランジスタに用いることができる。宇宙空間においては、宇宙放射線、又は太陽から放出された電子や陽子が、半導体装置の内部まで入り込み半導体特性に影響を与える場合がある。図16に示す構成のトランジスタにおいては、接合リーク電流が低減されたトランジスタであるため、宇宙放射線等に対する耐性が高く、信頼性が高い構造であるともいえる。

[0262]

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

[0263]

(実施の形態3)

本実施の形態では、上記の実施の形態で説明したOSトランジスタに用いることができる金属酸化物であるCAC-OS、及びCAAC-OSの構成について説明する。なお、本明細書等において、CACは機能、又は材料の構成の一例を表し、CAACは結晶構造の一例を表す。

[0264]

<金属酸化物の構成>

CAC-OS又はCAC-metal oxideとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS又はCAC-metal oxideを、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子(又はホール)を流す機能であり、絶縁性の機能は、キャリアとなる電子を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能(On/Offさせる機能)をCAC-OS又はCAC-metal oxideに付与することができる。CAC-OS又はCAC-metal oxideにおいて、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0265]

また、CAC-OS又はCAC-metal oxideは、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0266]

また、CAC-OS又はCAC-metal oxideにおいて、導電性領域と、絶縁性領域とは、それぞれ0.5nm以上10nm以下、好ましくは0.5nm以上3nm以下のサイズで材料中に分散している場合がある。

[0267]

また、CAC-OS又はCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OS又はCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OS又はCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタのオン状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0268]

すなわち、CAC-OS又はCAC-metal oxideは、マトリックス複合材(matrix composite)、又は金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0269]

<金属酸化物の構造>

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS: amorphous-like oxide semiconductor)及び非晶質酸化物半導体等がある。

[0270]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0271]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、及び七角形等の格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう)を確認するこ

とはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化すること等によって、歪みを許容することができるためと考えられる。

[0272]

また、CAAC-OSは、インジウム、及び酸素を有する層（以下、In層）と、元素M、亜鉛、及び酸素を有する層（以下、(M, Zn)層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素Mがインジウムと置換した場合、(In, M, Zn)層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M)層と表すこともできる。

[0273]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成等によって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損等）の少ない酸化物半導体ともいえる。したがって、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSトランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

[0274]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0275]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。

[0276]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0277]

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0278]

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0279]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導

体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。

[0280]

また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0281]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャンネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0282]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0283]

<不純物>

ここで、酸化物半導体中における各不純物の影響について説明する。

[0284]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）により得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0285]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0286]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。したがって、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0287]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠

損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20}$  atoms/cm<sup>3</sup>未満、好ましくは $1 \times 10^{19}$  atoms/cm<sup>3</sup>未満、より好ましくは $5 \times 10^{18}$  atoms/cm<sup>3</sup>未満、さらに好ましくは $1 \times 10^{18}$  atoms/cm<sup>3</sup>未満とする。

[0288]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0289]

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

[0290]

(実施の形態4)

本実施の形態は、上記実施の形態に示す半導体装置等が形成された半導体ウェハ、及び当該半導体装置が組み込まれた電子部品の一例を示す。

[0291]

<半導体ウェハ>

初めに、半導体装置等が形成された半導体ウェハの例を、図17Aを用いて説明する。

[0292]

図17Aに示す半導体ウェハ4800は、ウェハ4801と、ウェハ4801の上面に設けられた複数の回路部4802と、を有する。なお、ウェハ4801の上面において、回路部4802の無い部分は、スペーシング4803であり、ダイシング用の領域である。

[0293]

半導体ウェハ4800は、ウェハ4801の表面に対して、前工程によって複数の回路部4802を形成することで作製することができる。また、その後、ウェハ4801の複数の回路部4802が形成された反対側の面を研削して、ウェハ4801を薄膜化してもよい。この工程により、ウェハ4801の反り等を低減し、部品としての小型化を図ることができる。

[0294]

次の工程としては、ダイシング工程が行われる。ダイシングは、一点鎖線で示したスクライブラインSCL1及びスクライブラインSCL2（ダイシングライン、又は切断ラインという場合がある）に沿って行われる。なお、スペーシング4803は、ダイシング工程を容易に行うために、複数のスクライブラインSCL1が平行になるように設け、また複数のスクライブラインSCL2が平行になるように設け、さらにスクライブラインSCL1とスクライブラインSCL2が垂直になるように設けるのが好ましい。

[0295]

ダイシング工程を行うことにより、図17Bに示すようなチップ4800aを、半導体ウェハ4800から切り出すことができる。チップ4800aは、ウェハ4801aと、回路部4802と、スペーシング4803aと、を有する。なお、スペーシング4803aは、極力小さくなるようにすることが好ましい。この場合、隣り合う回路部4802の間のスペーシング4803の幅が、ス

クライブラインSCL1の切りしろ、又はスクライブラインSCL2の切りしろとほぼ同等の長さであればよい。

[0296]

なお、本発明の一態様の素子基板の形状は、図17Aに図示した半導体ウェハ4800の形状に限定されない。例えば、矩形の形状の半導体ウェハあってもよい。素子基板の形状は、素子の作製工程、及び素子を作製するための装置に応じて、適宜変更することができる。

[0297]

<電子部品>

次に、チップ4800aが組み込まれた電子部品の例を、図17C、図17Dを用いて説明する。

[0298]

図17Cに電子部品4700、及び電子部品4700が実装された基板（実装基板4704）の斜視図を示す。図17Cに示す電子部品4700は、リード4701と、上述したチップ4800aと、を有し、ICチップ等として機能する。

[0299]

電子部品4700は、例えば、リードフレームのリード4701とチップ4800a上の電極とを金属の細線（ワイヤー）で電氣的に接続するワイヤーボンディング工程と、エポキシ樹脂等によって封止するモールド工程と、リードフレームのリード4701へのメッキ処理と、パッケージの表面への印字処理と、を行うことで作製することができる。また、ワイヤーボンディング工程は、例えば、ボールボンディングや、ウェッジボンディング等を用いることができる。また、図17Cでは、電子部品4700のパッケージにQFP（Quad Flat Package）を適用しているが、パッケージの態様はこれに限定されない。

[0300]

電子部品4700は、例えばプリント基板4702に実装される。このようなICチップが複数組み合わされて、それぞれがプリント基板4702上で電氣的に接続されることで実装基板4704が完成する。

[0301]

図17Dに電子部品4730の斜視図を示す。電子部品4730は、SiP（System in Package）又はMCM（Multi Chip Module）の一例である。電子部品4730は、パッケージ基板4732（プリント基板）上にインターポーザ4731が設けられ、インターポーザ4731上に半導体装置4735、及び複数の半導体装置4710が設けられている。

[0302]

半導体装置4710としては、例えば、上記実施の形態で説明した半導体装置の他、広帯域メモリ（HBM: High Bandwidth Memory）等とすることができる。また、半導体装置4735は、CPU、GPU、FPGA、記憶装置等の集積回路（半導体装置）を用いることができる。

[0303]

パッケージ基板4732は、セラミック基板、プラスチック基板、又はガラスエポキシ基板等を用いることができる。インターポーザ4731は、シリコンインターポーザ、樹脂インターポーザ等を用いることができる。

[0304]

インターポーザ 4731 は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ 4731 は、インターポーザ 4731 上に設けられた集積回路をパッケージ基板 4732 に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ 4731 に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板 4732 を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSV (Through Silicon Via) を用いることも出来る。

[0305]

インターポーザ 4731 としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行なうことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

[0306]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0307]

また、シリコンインターポーザを用いたSiPやMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0308]

また、電子部品 4730 と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ 4731 上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品 4730 では、半導体装置 4710 と半導体装置 4735 の高さを揃えることが好ましい。

[0309]

電子部品 4730 を他の基板に実装するため、パッケージ基板 4732 の底部に電極 4733 を設けてもよい。図 17D では、電極 4733 を半田ボールで形成する例を示している。パッケージ基板 4732 の底部に半田ボールをマトリクス状に設けることで、BGA (Ball Grid Array) 実装を実現できる。また、電極 4733 を導電性のピンで形成してもよい。パッケージ基板 4732 の底部に導電性のピンをマトリクス状に設けることで、PGA (Pin Grid Array) 実装を実現できる。

[0310]

電子部品 4730 は、BGA 及び PGA に限らず様々な実装方法を用いて他の基板に実装することができる。例えば、SPGA (Staggered Pin Grid Array)、LGA (Land Grid Array)、QFP (Quad Flat Package)、QFJ (Quad Flat J-leaded package)、又は QFN (Quad Flat

Non-leaded package) 等の実装方法を用いることができる。

[0311]

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

[0312]

(実施の形態5)

本実施の形態では、上記実施の形態で説明した半導体装置を有する電子機器の一例について説明する。なお、図18には、当該半導体装置を有する電子部品4700が各電子機器に含まれている様子を図示している。

[0313]

[携帯電話]

図18に示す情報端末5500は、情報端末の一種である携帯電話（スマートフォン）である。情報端末5500は、筐体5510と、表示部5511と、を有しており、入力用インターフェースとして、タッチパネルが表示部5511に備えられ、ボタンが筐体5510に備えられている。

[0314]

情報端末5500は、上記実施の形態で説明した半導体装置を適用することで、低消費電力の情報端末5500を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、情報端末5500の信頼性を高めることができる。

[0315]

[ウェアラブル端末]

また、図18には、ウェアラブル端末の一例としてスマートウォッチ5900が図示されている。スマートウォッチ5900は、筐体5901、表示部5902、操作ボタン5903、操作子5904、バンド5905等を有する。

[0316]

ウェアラブル端末は、前述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、低消費電力のウェアラブル端末を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、ウェアラブル端末の信頼性を高めることができる。

[0317]

[情報端末]

また、図18には、デスクトップ型情報端末5300が図示されている。デスクトップ型情報端末5300は、情報端末の本体5301と、ディスプレイ5302と、キーボード5303と、を有する。

[0318]

デスクトップ型情報端末5300は、前述した情報端末5500と同様に、上記実施の形態で説明した半導体装置を適用することで、低消費電力のデスクトップ型情報端末5300を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、デスクトップ型情報端末5300の信頼性を高めることができる。

[0319]

なお、上述では、電子機器としてスマートフォン、スマートウォッチ、及びデスクトップ用情報端末を例として、それぞれ図18に図示したが、スマートフォン、スマートウォッチ、及びデスクトップ用情報端末以外の情報端末を適用することができる。スマートフォン、スマートウォッチ、及びデスクトップ用情報端末以外の情報端末としては、例えば、PDA (Personal Digital Assistant)、ノート型情報端末、ワークステーション等が挙げられる。

[0320]

[電化製品]

また、図18には、電化製品の一例として電気冷凍冷蔵庫5800が図示されている。電気冷凍冷蔵庫5800は、筐体5801、冷蔵室用扉5802、冷凍室用扉5803等を有する。

[0321]

電気冷凍冷蔵庫5800に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の電気冷凍冷蔵庫5800を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、電気冷凍冷蔵庫5800の信頼性を高めることができる。

[0322]

本一例では、電化製品として電気冷凍冷蔵庫について説明したが、その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、IH調理器、ウォーターサーバ、エアコンディショナーを含む冷暖房器具、洗濯機、乾燥機、オーディオビジュアル機器等が挙げられる。

[0323]

[ゲーム機]

また、図18には、ゲーム機の一例である携帯ゲーム機5200が図示されている。携帯ゲーム機5200は、筐体5201、表示部5202、ボタン5203等を有する。

[0324]

更に、図18には、ゲーム機の一例である据置型ゲーム機7500が図示されている。据置型ゲーム機7500は、本体7520と、コントローラ7522を有する。なお、本体7520には、無線又は有線によってコントローラ7522を接続することができる。また、図18には示していないが、コントローラ7522は、ゲームの画像を表示する表示部、ボタン以外の入力インターフェースとなるタッチパネルやスティック、回転式つまみ、スライド式つまみ等を備えることができる。また、コントローラ7522は、図18に示す形状に限定されず、ゲームのジャンルに応じて、コントローラ7522の形状を様々に変更してもよい。例えば、FPS (First Person Shooter) 等のシューティングゲームでは、トリガーをボタンとし、銃を模した形状のコントローラを用いることができる。また、例えば、音楽ゲーム等では、楽器、音楽機器等を模した形状のコントローラを用いることができる。更に、据置型ゲーム機は、コントローラを使わず、代わりにカメラ、深度センサ、マイクロフォン等を備えて、ゲームプレイヤーのジェスチャー、及び/又は音声によって操作する形式としてもよい。

[0325]

また、上述したゲーム機の映像は、テレビジョン装置、パーソナルコンピュータ用ディスプレイ、ゲーム用ディスプレイ、ヘッドマウントディスプレイ等の表示装置により表示することができる。

[0326]

携帯ゲーム機5200、又は据置型ゲーム機7500に上記実施の形態で説明した半導体装置を適用することによって、低消費電力の携帯ゲーム機5200、又は据置型ゲーム機7500を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、携帯ゲーム機5200、又は据置型ゲーム機7500の信頼性を高めることができる。

[0327]

図18では、ゲーム機の一例として携帯ゲーム機、及び据置型ゲーム機を図示しているが、本発明の一態様の電子機器はこれに限定されない。本発明の一態様の電子機器としては、例えば、娯楽施設（ゲームセンター、遊園地等）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシン等が挙げられる。

[0328]

[カメラ]

上記実施の形態で説明した半導体装置は、カメラに適用することができる。

[0329]

図18には、デジタルカメラ6240が図示されている。デジタルカメラ6240は、筐体6241、表示部6242、操作ボタン6243、シャッターボタン6244等を有する。また、デジタルカメラ6240には、着脱可能なレンズ6246が取り付けられている。なお、ここではデジタルカメラ6240を、筐体6241からレンズ6246を取り外して交換することが可能な構成としたが、レンズ6246と筐体6241とが一体となってもよい。また、デジタルカメラ6240は、ストロボ装置や、ビューファインダー等を別途装着することができる構成としてもよい。

[0330]

デジタルカメラ6240に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のデジタルカメラ6240を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、デジタルカメラ6240の信頼性を高めることができる。

[0331]

[ビデオカメラ]

上記実施の形態で説明した半導体装置は、ビデオカメラに適用することができる。

[0332]

図18には、ビデオカメラ6300が図示されている。ビデオカメラ6300は、第1筐体6301、第2筐体6302、表示部6303、操作キー6304、レンズ6305、接続部6306等を有する。操作キー6304及びレンズ6305は第1筐体6301に設けられており、表示部6303は第2筐体6302に設けられている。そして、第1筐体6301と第2筐体6302とは、接続部6306により接続されており、第1筐体6301と第2筐体6302との間の角度は、接続部6306により変更が可能である。表示部6303における映像を、接続部6306における第1筐体6301と第2筐体6302との間の角度にしたがって切り替える構成としてもよい。

[0333]

ビデオカメラ6300に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のビデオカメラ6300を実現することができる。また、低消費電力により、回路からの発熱を

低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、ビデオカメラ6300の信頼性を高めることができる。

[0334]

[ICD]

上記実施の形態で説明した半導体装置は、植え込み型除細動器（ICD）に適用することができる。

[0335]

図18には、ICDの一例を示す断面模式図が図示されている。ICD本体5400は、バッテリー5401と、電子部品4700と、アンテナ5404と、右心房へのワイヤ5402と、右心室へのワイヤ5403とを少なくとも有している。

[0336]

ICD本体5400は手術により体内に設置され、二本のワイヤは、人体の鎖骨下静脈5405及び上大静脈5406を通過させて一方のワイヤ先端が右心室、もう一方のワイヤ先端が右心房に設置されるようにする。

[0337]

ICD本体5400は、ペースメーカとしての機能を有し、心拍数が規定の範囲から外れた場合に心臓に対してペーシングを行う。また、ペーシングによって心拍数が改善しない場合（速い心室頻拍や心室細動等）、電気ショックによる治療が行われる。

[0338]

ICD本体5400は、ペーシング及び電気ショックを適切に行うため、心拍数を常に監視する必要がある。そのため、ICD本体5400は、心拍数を検知するためのセンサを有する。また、ICD本体5400は、当該センサ等によって取得した心拍数のデータ、ペーシングによる治療を行った回数、時間等を記憶することができる。

[0339]

また、アンテナ5404で電力が受信でき、その電力はバッテリー5401に充電される。また、ICD本体5400は複数のバッテリーを有することにより、安全性を高くすることができる。具体的には、ICD本体5400の一部のバッテリーが使えなくなったとしても残りのバッテリーを機能させることができるため、補助電源としても機能する。

[0340]

また、電力を受信できるアンテナ5404とは別に、生理信号を送信できるアンテナを有していてもよく、例えば、脈拍、呼吸数、心拍数、体温等の生理信号を外部のモニタ装置で確認できるような心臓活動を監視するシステムを構成してもよい。

[0341]

ICD本体5400に上記実施の形態で説明した半導体装置を適用することによって、低消費電力のICD本体5400を実現することができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、及びモジュールへの影響を少なくすることができる。これにより、ICD本体5400の信頼性を高めることができる。

[0342]

[宇宙用途]

上記実施の形態で説明した半導体装置は、宇宙用途の装置にも適用することができる。

[0343]

図18には、人工衛星6800が図示されている。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、を有する。

[0344]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、例えば人工衛星6800にバッテリーを設けることが考えられる。しかしながら、バッテリーの容量が大きくなると、バッテリーの重量も大きくなるため、当該バッテリーが設けられている人工衛星6800の重量も大きくなる。これにより、人工衛星6800を地上から打ち上げる際のコスト等が大きくなる場合がある。

[0345]

人工衛星6800に適用される半導体装置は、例えば信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば地上に設けられた受信機、又は他の人工衛星が受信することができる。人工衛星6800が送信した信号を受信することにより、例えば当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、例えば衛星測位システムを構成することができる。

[0346]

又は、人工衛星6800に適用される半導体装置は、例えばセンサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば地球観測衛星としての機能を有することができる。

[0347]

前述のように、上記実施の形態で示した半導体装置は、低消費電力の半導体装置である。よって、人工衛星6800に上記実施の形態で示した半導体装置を適用することにより、人工衛星6800の消費電力を低減することができる。これにより、人工衛星6800に大容量のバッテリーを設ける必要がなくなるため、人工衛星6800の重量を小さくすることができる。よって、人工衛星6800を地上から打ち上げる際のコスト等を小さくすることができる。

[0348]

また、宇宙空間においては、太陽光が照射されている領域においては、人工衛星6800に設けられる半導体装置等は、200℃以上の高温環境下に曝される場合がある。上記実施の形態で示した半導体装置は、高温環境下においても高い信頼性を有する。よって、人工衛星6800に本発明の一態様の半導体装置を適用することにより、人工衛星6800の信頼性を高めることができる。

[0349]

本実施の形態は、他の実施の形態等に記載した構成と適宜組み合わせることで実施することが可能である。

[実施例1]

[0350]

本実施例では、本発明の一態様の半導体装置をシミュレーション上で動作させた結果について説明

する。

[0351]

図19は、本実施例で想定した回路の構成を示す回路図である。本実施例では、図6に示す構成の半導体装置10と、半導体装置10の外部に設けられ、配線16と電氣的に接続された負荷回路13と、を有する回路を想定して、当該回路を図8に示す方法によりシミュレーション上で動作させた。

[0352]

負荷回路13は、トランジスタ46aと、トランジスタ46bと、容量素子47と、電流源48と、を有する構成とした。トランジスタ46aのソース又はドレインの一方、及び容量素子47の一方の電極を、配線16と電氣的に接続した。容量素子47の他方の電極を、配線57と電氣的に接続した。トランジスタ46aのソース又はドレインの他方を、配線56aと電氣的に接続した。トランジスタ46aのゲートを、トランジスタ46bのゲートと電氣的に接続した。トランジスタ46bのゲートを、トランジスタ46bのソース又はドレインの一方と電氣的に接続した。トランジスタ46bのソース又はドレインの一方を、電流源48の一方の電極と電氣的に接続した。電流源48の他方の電極を、配線58と電氣的に接続した。トランジスタ46bのソース又はドレインの他方を、配線56bと電氣的に接続した。

[0353]

また、配線11の電位を3.3V、容量素子24の容量値を1pF、電流源45の電流値を0.1μA、容量素子47の容量値を1μF、電流源48の電流値を1μAとした。また、配線34、配線55a、配線55b、配線56a、配線56b、配線57、配線58、配線75a、配線75bの電位は、接地電位とした。以上のような条件を想定して、配線15に参照電位として1.2Vを供給する場合の半導体装置10の動作を、シミュレーションにより検証した。

[0354]

図20Aは、配線32及び配線54aの電位の経時変化を示すグラフである。図20Bは、配線16、ノードNW、ノードNH、及びノードNrefの電位の経時変化を示すグラフである。ここで、0.0s乃至0.5sの間に時刻T1乃至時刻T2に対応する動作を行い、0.5s乃至1.5sの間に時刻T2乃至時刻T3に対応する動作を行い、1.5s乃至2.0sの間に時刻T3乃至時刻T4に対応する動作を行い、2.0s乃至4.0sの間に時刻T4乃至時刻T5に対応する動作をシミュレーション上で行った。また、4.0s乃至4.5sの間に時刻T1乃至時刻T2に対応する動作を行い、4.5s乃至5.5sの間に時刻T2乃至時刻T3に対応する動作を行い、5.5s乃至6.0sの間に時刻T3乃至時刻T4に対応する動作を行い、6.0s乃至8.0sの間に時刻T4乃至時刻T5に対応する動作をシミュレーション上で行った。

[0355]

図20Bに示すように、配線16の電位は、配線15の電位である1.2Vと概略同一となり、半導体装置10が所望の電位を出力し続けることができることがシミュレーション上で確認された。

[実施例2]

[0356]

本実施例では、本発明の一態様の半導体装置をシミュレーション上で動作させた結果について説明する。

[0357]

本実施例では、図 19 に示す構成の半導体装置 10、及び図 21 に示す構成の半導体装置 10 を想定して、図 8 に示す方法によりシミュレーション上で動作させた。図 21 は、図 7 に示す構成の半導体装置 10 の外部に図 19 に示す構成の負荷回路 13 を設け、負荷回路 13 を配線 16 と電氣的に接続した構成である。

[0358]

ここで、配線 11 の電位を 3.3 V、容量素子 24 の容量値を 1 pF、電流源 45 の電流値を 0.1  $\mu$ A、容量素子 47 の容量値を 1  $\mu$ F とした。また、配線 34、配線 55 a、配線 55 b、配線 56 a、配線 56 b、配線 57、配線 58、配線 75 a、配線 75 b の電位は、接地電位とした。さらに、配線 15 に参照電位として 1.2 V を供給するとした。以上のような条件を想定して、電流源 48 を流れる電流の電流値を電流  $I_{I_{o.a.d}}$  とし、電流  $I_{I_{o.a.d}}$  を 0.20  $\mu$ A、0.40  $\mu$ A、0.60  $\mu$ A、0.80  $\mu$ A、0.90  $\mu$ A、0.92  $\mu$ A、0.94  $\mu$ A、0.96  $\mu$ A、0.98  $\mu$ A、1.00  $\mu$ A、1.02  $\mu$ A、1.04  $\mu$ A、1.06  $\mu$ A、1.08  $\mu$ A、1.10  $\mu$ A、1.20  $\mu$ A、1.40  $\mu$ A、1.60  $\mu$ A、1.80  $\mu$ A、及び 2.00  $\mu$ A とした場合の、配線 16 の電位の経時変化をそれぞれ算出した。

[0359]

図 22 A は、半導体装置 10 を図 19 に示す構成とした場合の、配線 16 の電位の経時変化の算出結果を示す。図 22 B は、半導体装置 10 を図 21 に示す構成とし、容量素子 28 の容量値を 1 pF とした場合の、配線 16 の電位の経時変化の算出結果を示す。図 22 C は、半導体装置 10 を図 21 に示す構成とし、容量素子 28 の容量値を 10 pF とした場合の、配線 16 の電位の経時変化の算出結果を示す。

[0360]

図 22 A 乃至図 22 C に示すように、電流  $I_{I_{o.a.d}}$  が大きくなるほど、配線 16 の電位が小さくなることがシミュレーション上で確認された。また、半導体装置 10 に容量素子 28 を設けることにより、電流  $I_{I_{o.a.d}}$  の変動に伴う配線 16 の電位の変動が小さくなることがシミュレーション上で確認された。さらに、容量素子 28 の容量値が大きくなると、電流  $I_{I_{o.a.d}}$  の変動に伴う配線 16 の電位の変動がさらに小さくなることがシミュレーション上で確認された。

[符号の説明]

[0361]

10 : 半導体装置、11 : 配線、12 : 配線、13 : 負荷回路、15 : 配線、16 : 配線、20 : 制御回路、21 : 電源スイッチ回路、22 : トランジスタ、23 : トランジスタ、24 : 容量素子、26 : トランジスタ、28 : 容量素子、32 : 配線、34 : 配線、36 : 配線、40 : オペアンプ回路、41 : トランジスタ、42 : トランジスタ、44 a : トランジスタ、44 b : トランジスタ、45 : 電流源、46 a : トランジスタ、46 b : トランジスタ、47 : 容量素子、48 : 電流源、51 : 配線、52 : 配線、54 a : 配線、54 b : 配線、55 a : 配線、55 b : 配線、56 a : 配線、56 b : 配線、57 : 配線、58 : 配線、63 a : トランジスタ、63 b : トランジスタ、64 a : トランジスタ、64 b : トランジスタ、65 a : トランジスタ、65 b : トランジスタ、75 a : 配線、75 b : 配線、300 : トランジスタ、311 : 基板、313 : 半導体領域、314 a : 低抵抗領域、314 b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、

364 : 絶縁体、366 : 導電体、370 : 絶縁体、372 : 絶縁体、374 : 絶縁体、376 : 導電体、380 : 絶縁体、382 : 絶縁体、384 : 絶縁体、386 : 導電体、402 : 絶縁体、404 : 絶縁体、500 : トランジスタ、503 : 導電体、503a : 導電体、503b : 導電体、510 : 絶縁体、512 : 絶縁体、514 : 絶縁体、516 : 絶縁体、518 : 導電体、520 : 絶縁体、522 : 絶縁体、524 : 絶縁体、530 : 酸化物、530a : 酸化物、530b : 酸化物、530c : 酸化物、530c1 : 酸化物、530c2 : 酸化物、540a : 導電体、540b : 導電体、542 : 導電体、542a : 導電体、542b : 導電体、543a : 領域、543b : 領域、544 : 絶縁体、546 : 導電体、548 : 導電体、550 : 絶縁体、552 : 絶縁体、560 : 導電体、560a : 導電体、560b : 導電体、574 : 絶縁体、580 : 絶縁体、581 : 絶縁体、582 : 絶縁体、586 : 絶縁体、600 : 容量素子、610 : 導電体、612 : 導電体、620 : 導電体、630 : 絶縁体、640 : 絶縁体、4700 : 電子部品、4701 : リード、4702 : プリント基板、4704 : 実装基板、4710 : 半導体装置、4730 : 電子部品、4731 : インターポーザ、4732 : パッケージ基板、4733 : 電極、4735 : 半導体装置、4800 : 半導体ウェハ、4800a : チップ、4801 : ウェハ、4801a : ウェハ、4802 : 回路部、4803 : スペーシング、4803a : スペーシング、5200 : 携帯ゲーム機、5201 : 筐体、5202 : 表示部、5203 : ボタン、5300 : デスクトップ型情報端末、5301 : 本体、5302 : ディスプレイ、5303 : キーボード、5400 : ICD本体、5401 : バッテリー、5402 : ワイヤ、5403 : ワイヤ、5404 : アンテナ、5405 : 鎖骨下静脈、5406 : 上大静脈、5500 : 情報端末、5510 : 筐体、5511 : 表示部、5800 : 電気冷凍冷蔵庫、5801 : 筐体、5802 : 冷蔵室用扉、5803 : 冷凍室用扉、5900 : スマートウォッチ、5901 : 筐体、5902 : 表示部、5903 : 操作ボタン、5904 : 操作子、5905 : バンド、6240 : デジタルカメラ、6241 : 筐体、6242 : 表示部、6243 : 操作ボタン、6244 : シャッターボタン、6246 : レンズ、6300 : ビデオカメラ、6301 : 筐体、6302 : 筐体、6303 : 表示部、6304 : 操作キー、6305 : レンズ、6306 : 接続部、6800 : 人工衛星、6801 : 機体、6802 : ソーラーパネル、6803 : アンテナ、7500 : 据置型ゲーム機、7520 : 本体、7522 : コントローラ

## 請求の範囲

## [請求項 1]

オペアンプ回路と、第 1 のトランジスタと、第 2 のトランジスタと、を有し、  
前記オペアンプ回路の出力端子は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続されている半導体装置。

## [請求項 2]

請求項 1 において、

前記第 2 のトランジスタのソース又はドレインの一方は、前記オペアンプ回路の入力端子と電氣的に接続されている半導体装置。

## [請求項 3]

請求項 1 又は 2 において、

第 3 のトランジスタと、容量素子と、を有し、

前記第 3 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記容量素子の一方の電極は、前記第 3 のトランジスタのソース及びドレインと電氣的に接続されている半導体装置。

## [請求項 4]

請求項 3 において、

前記第 1 のトランジスタのゲートには、第 1 の信号が供給され、

前記第 3 のトランジスタのゲートには、第 2 の信号が供給され、

前記第 1 の信号と、前記第 2 の信号と、は互いに相補的な信号である半導体装置。

## [請求項 5]

オペアンプ回路と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、電流源と、を有し、

前記オペアンプ回路の出力端子は、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記オペアンプ回路の第 1 の電源端子は、前記第 3 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記オペアンプ回路の第 1 の電源端子は、前記第 4 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 3 のトランジスタのソース又はドレインの他方は、前記電流源と電氣的に接続され、

前記第 4 のトランジスタのソース又はドレインの他方は、電源線と電氣的に接続されている半導体装置。

## [請求項 6]

請求項 5 において、

前記第 2 のトランジスタのソース又はドレインの一方は、前記オペアンプ回路の入力端子と電氣的に接続されている半導体装置。

## [請求項 7]

請求項 5 又は 6 において、

第 5 のトランジスタと、容量素子と、を有し、

前記第 5 のトランジスタのソース又はドレインの一方は、前記第 1 のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第 5 のトランジスタのソース又はドレインの他方は、前記第 2 のトランジスタのゲートと電氣的に接続され、

前記容量素子の一方の電極は、前記第 5 のトランジスタのソース及びドレインと電氣的に接続されている半導体装置。

## [請求項 8]

請求項 7 において、

前記第 1 のトランジスタのゲートには、第 1 の信号が供給され、

前記第 5 のトランジスタのゲートには、第 2 の信号が供給され、

前記第 3 のトランジスタのゲートには、第 3 の信号が供給され、

前記第 4 のトランジスタのゲートには、第 4 の信号が供給され、

前記第 1 の信号と、前記第 2 の信号と、は互いに相補的な信号であり、

前記第 3 の信号と、前記第 4 の信号と、は互いに相補的な信号である半導体装置。

## [請求項 9]

請求項 1 乃至 8 のいずれか一項において、

前記第 1 のトランジスタは、チャンネル形成領域に金属酸化物を有する半導体装置。

## [請求項 10]

請求項 1 乃至 9 のいずれか一の半導体装置と、筐体と、を有する電子機器。

## [請求項 11]

請求項 1 乃至 9 のいずれか一の半導体装置と、ソーラーパネルと、を有する人工衛星。

图 1A

10

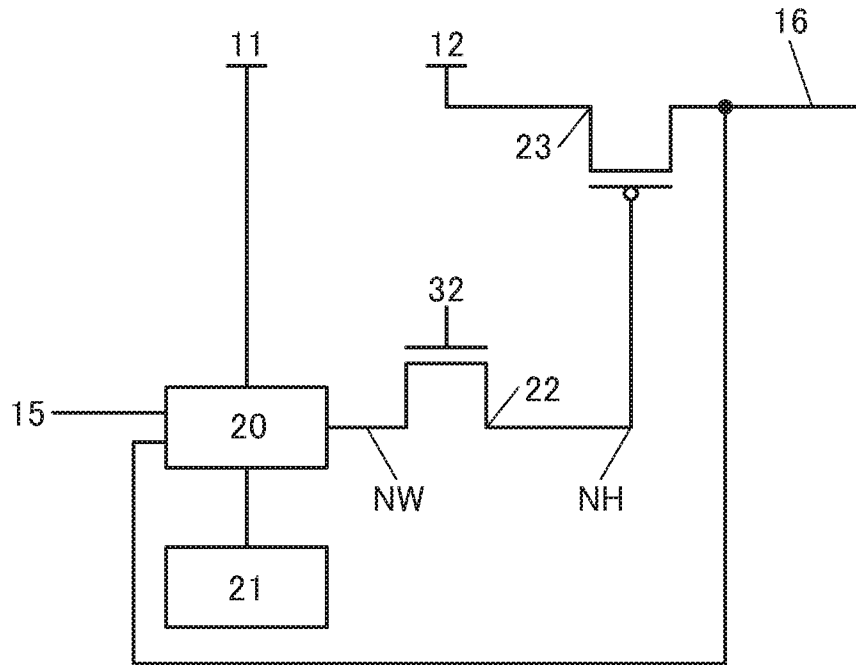


图 1B

10

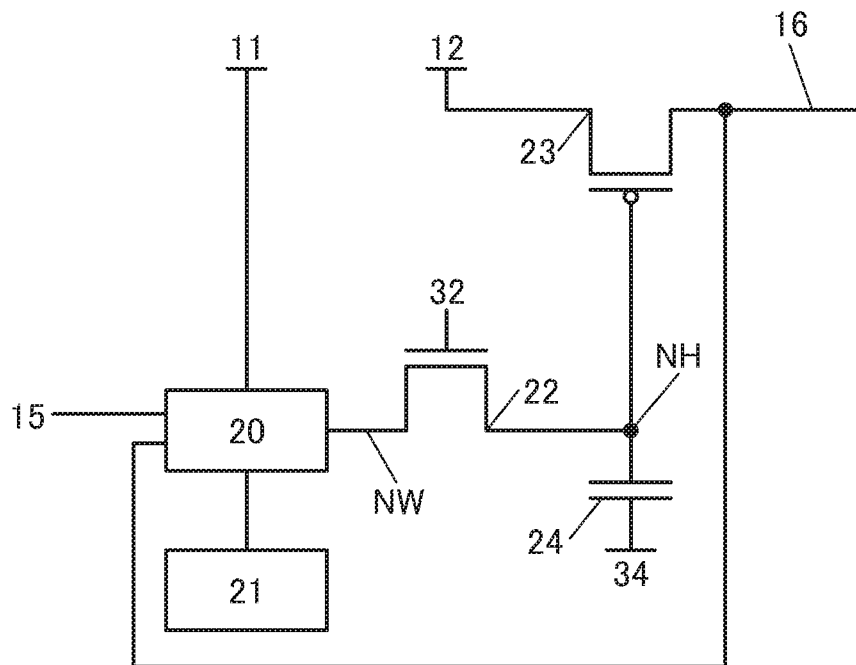


図2A  
10

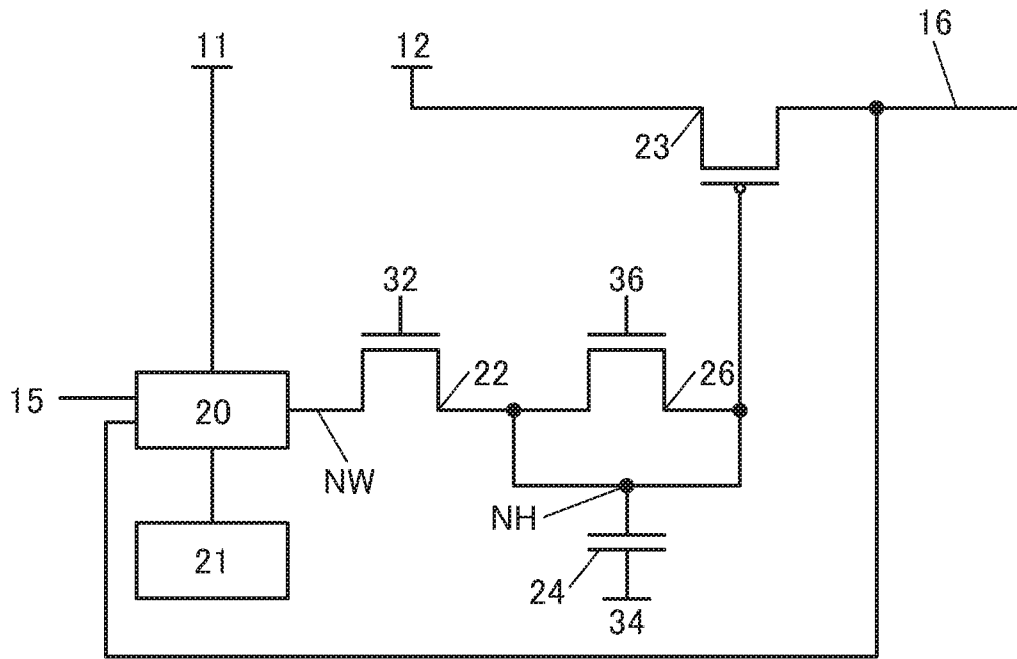
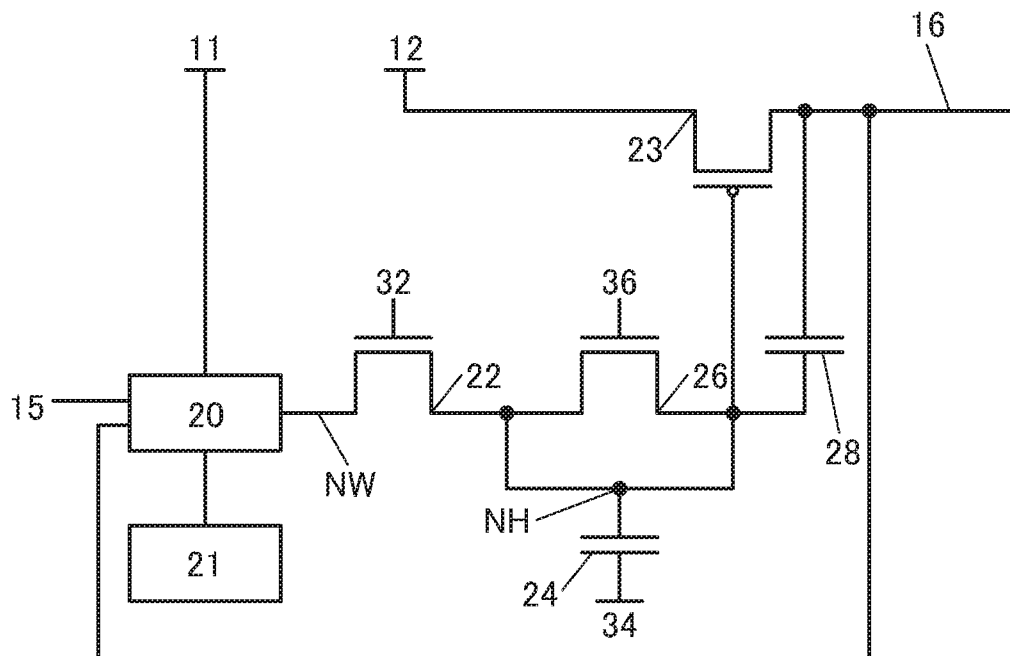
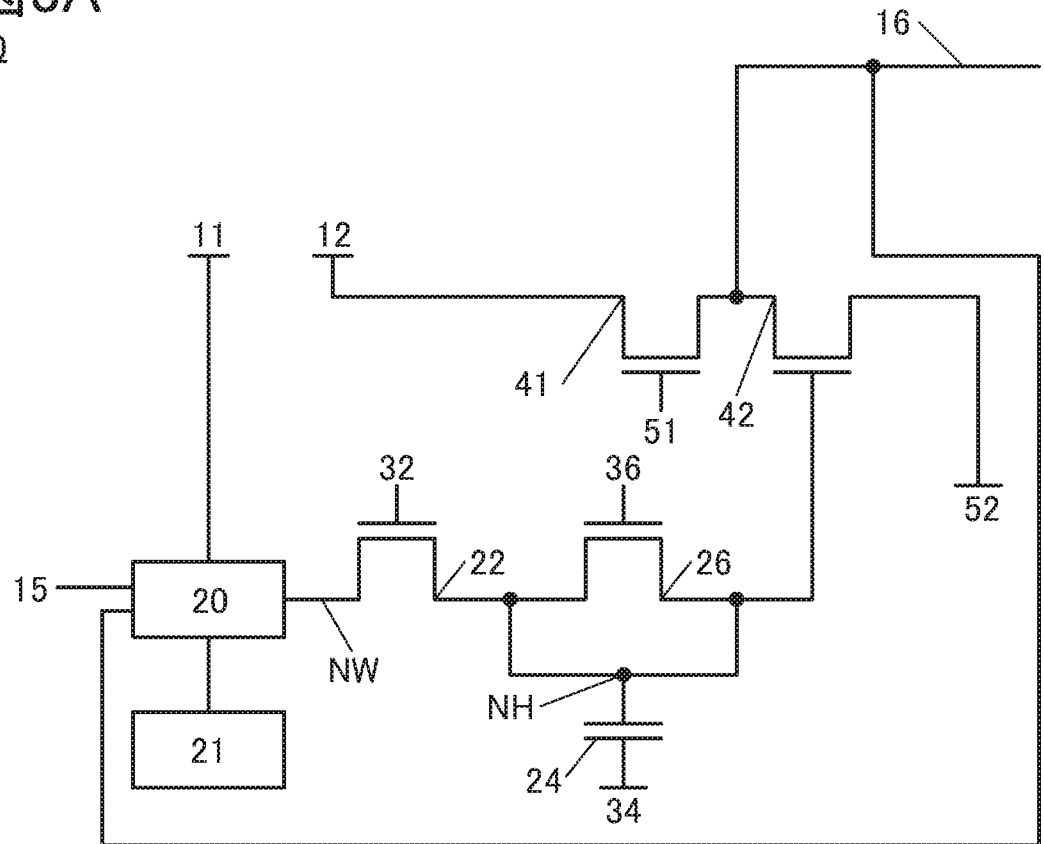


図2B  
10



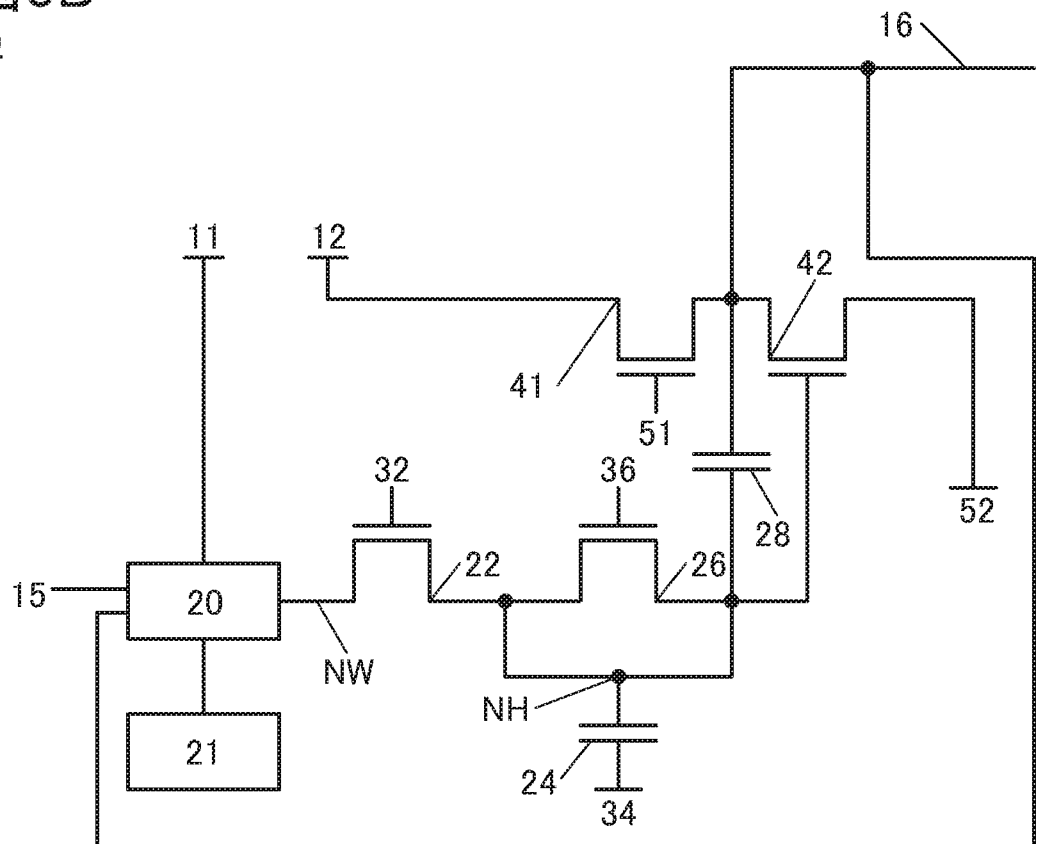
3A

10



3B

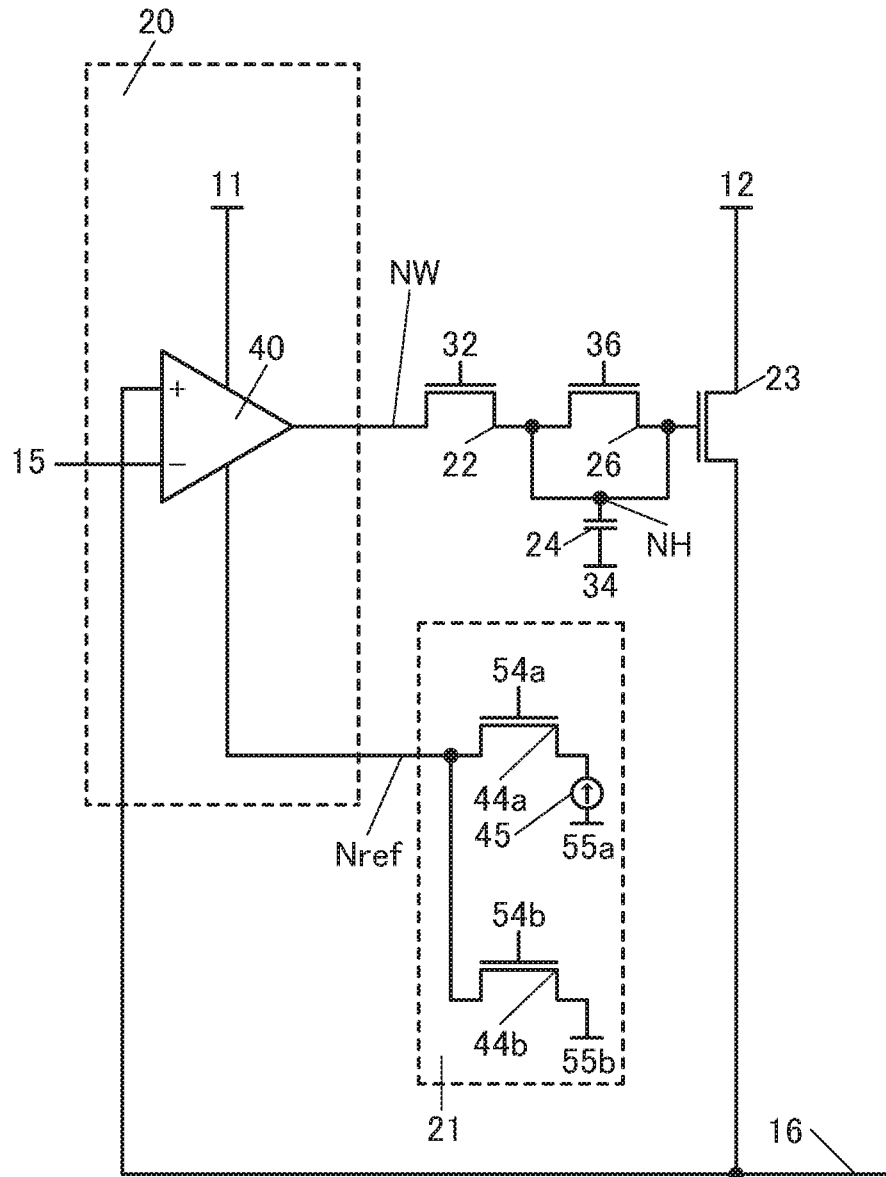
10





5

10

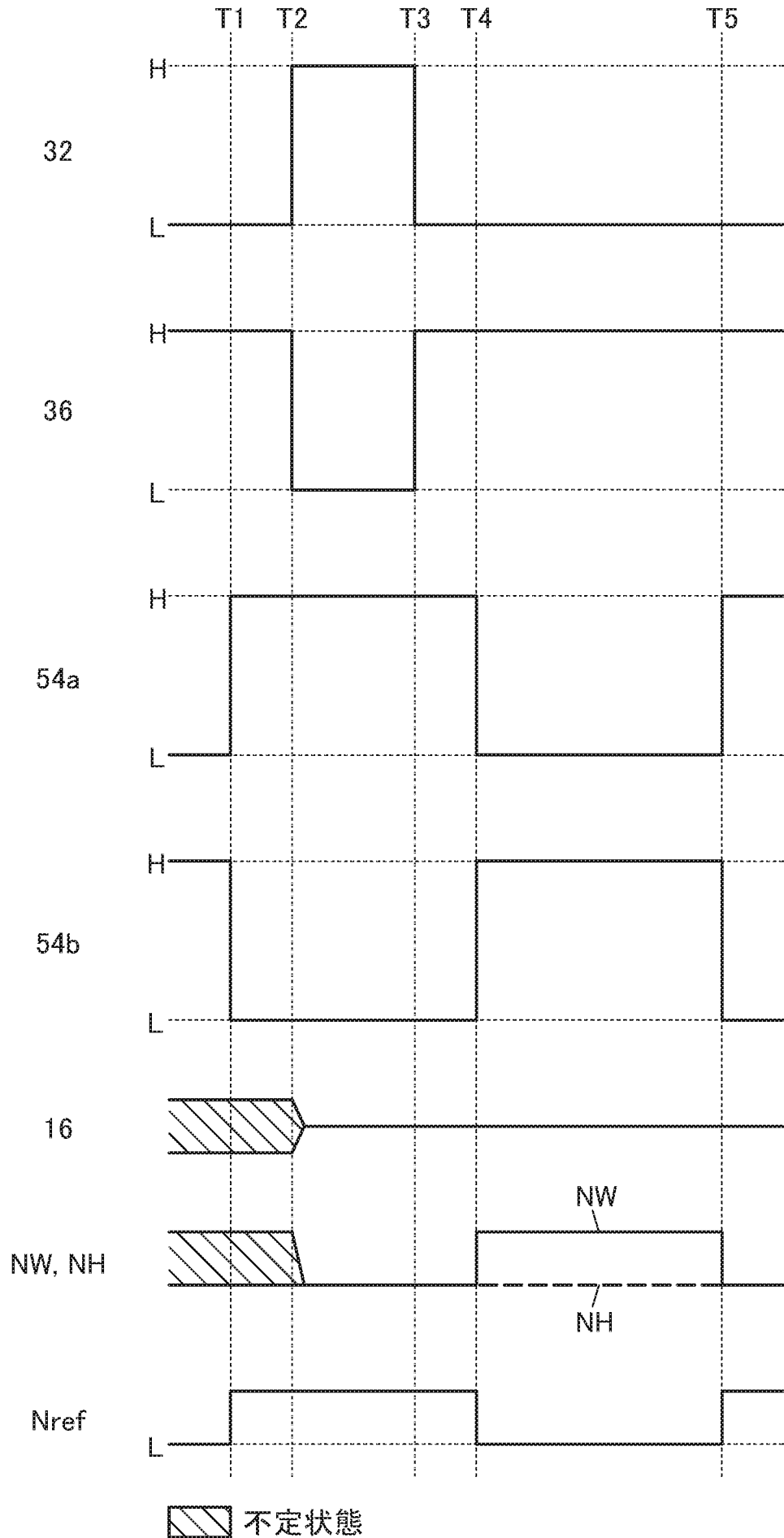


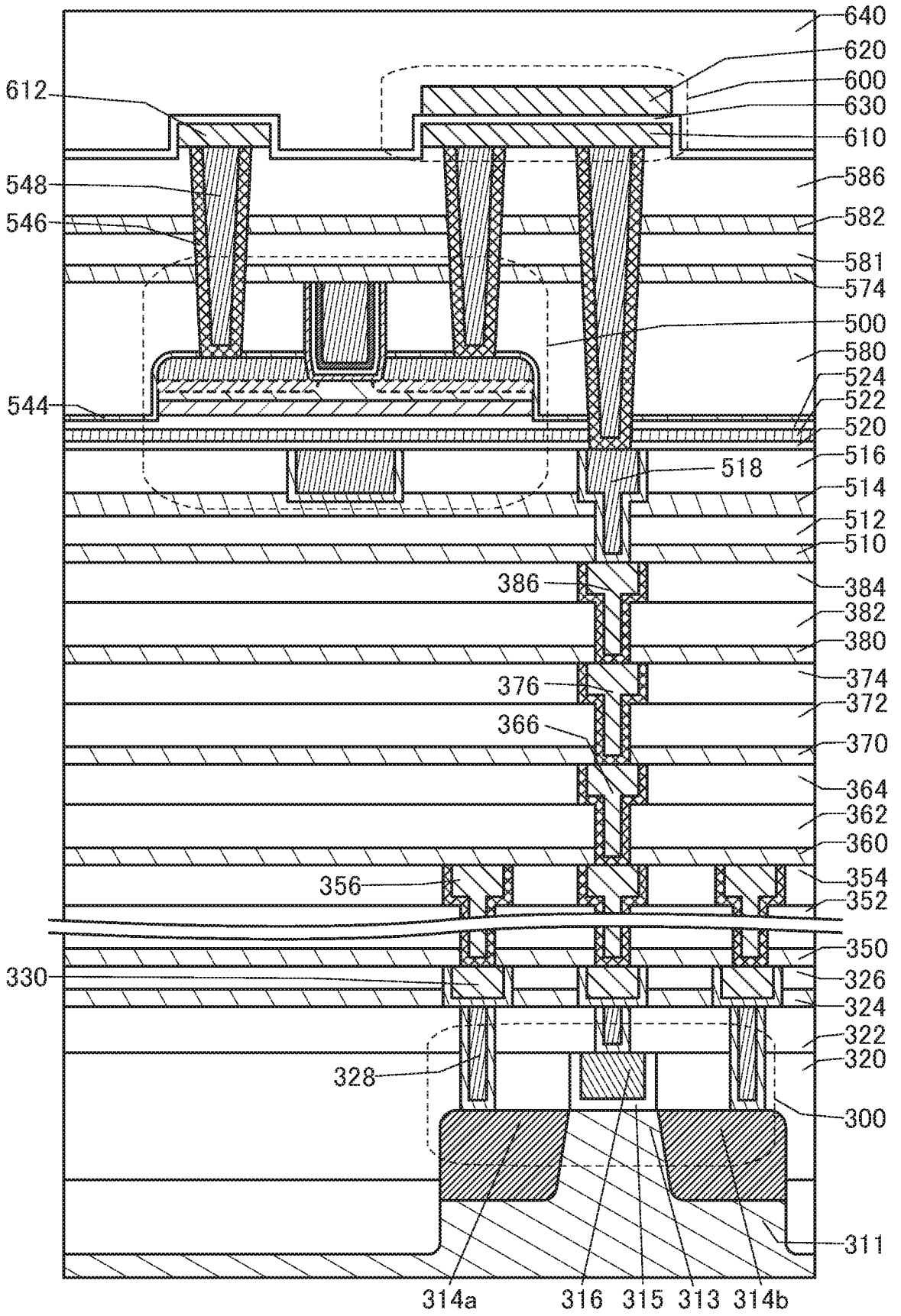






8/22





10

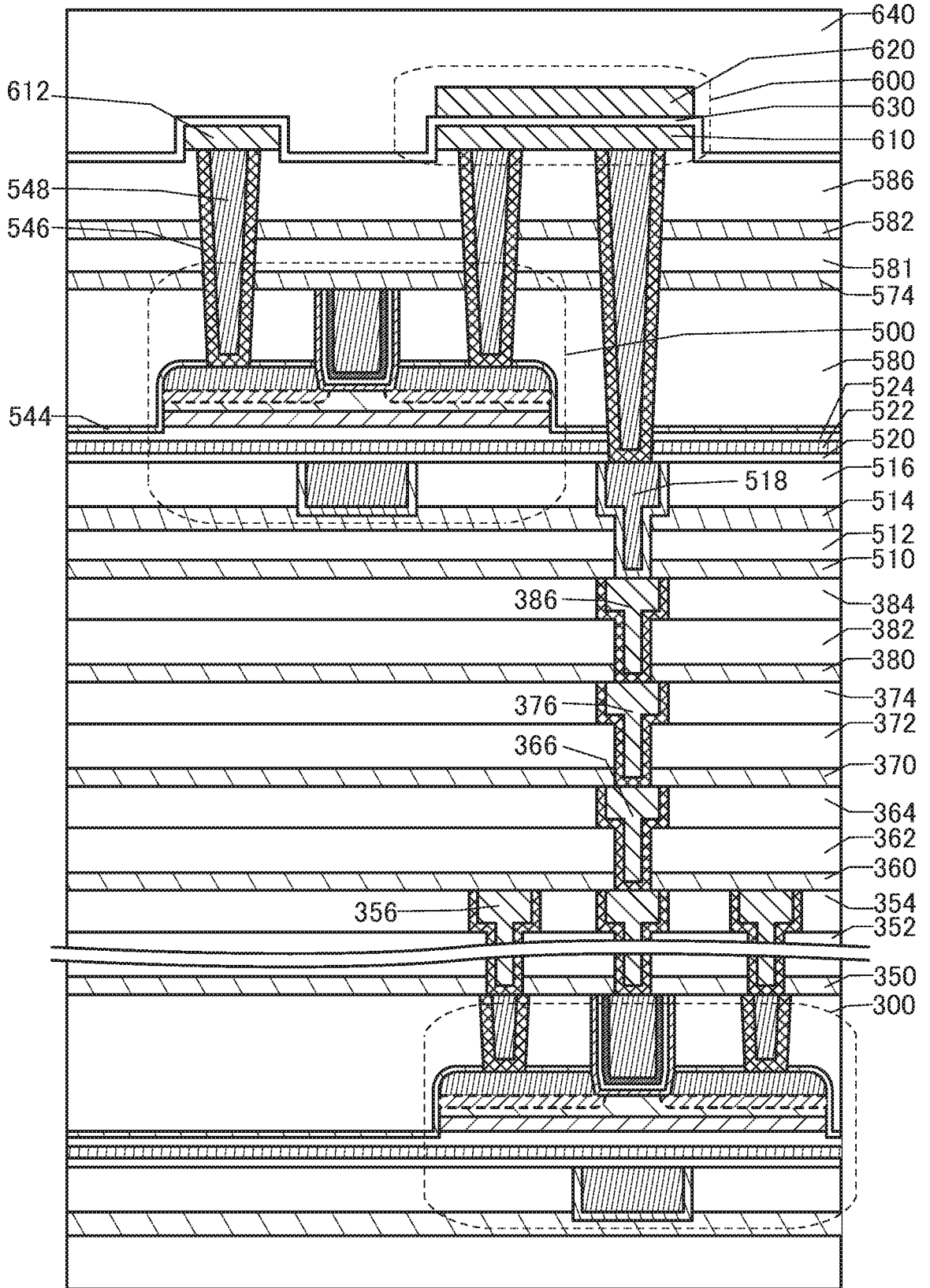


図11A

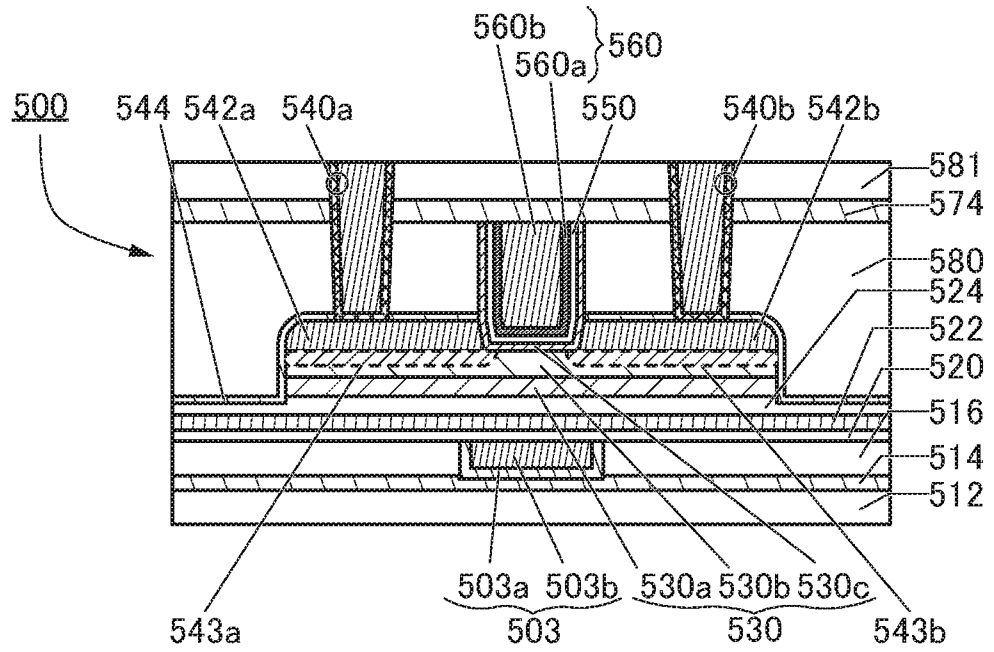


図11B

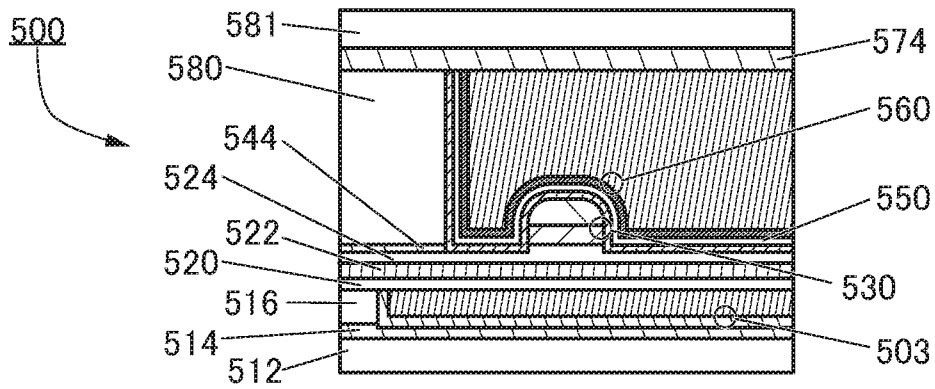


図11C

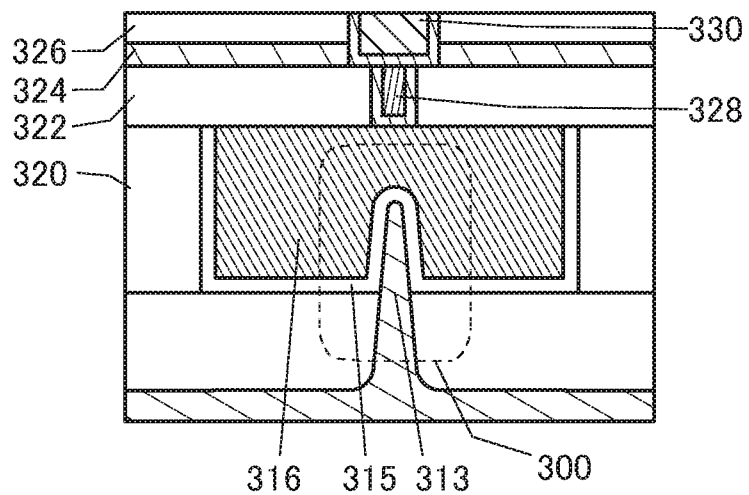


図12A

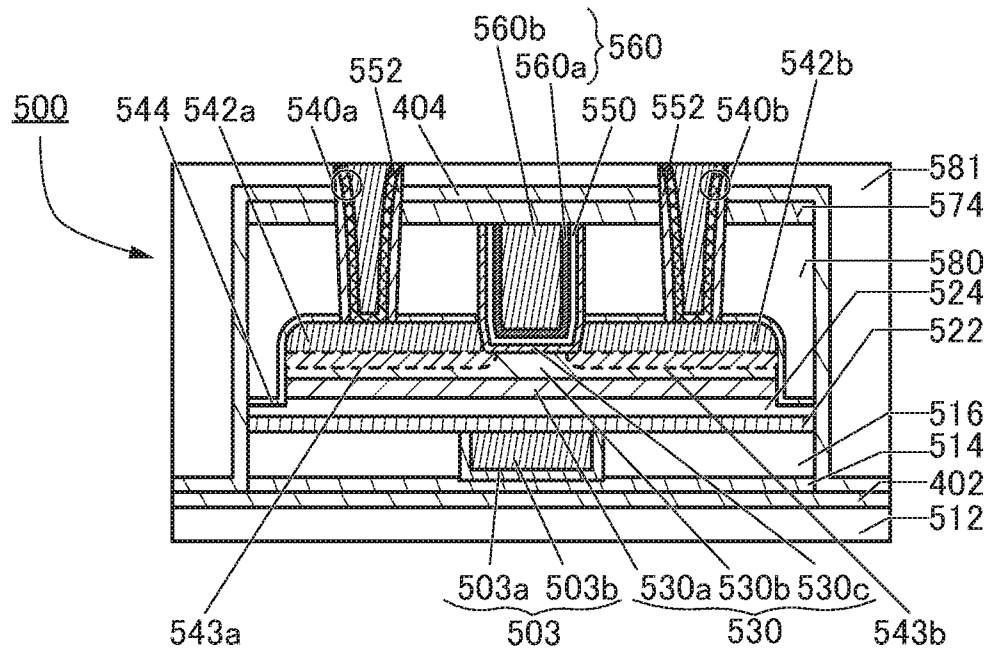
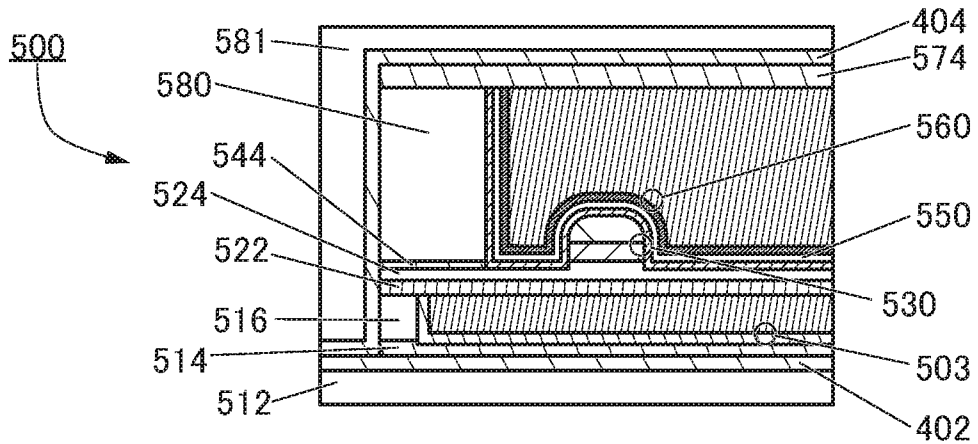


図12B



13

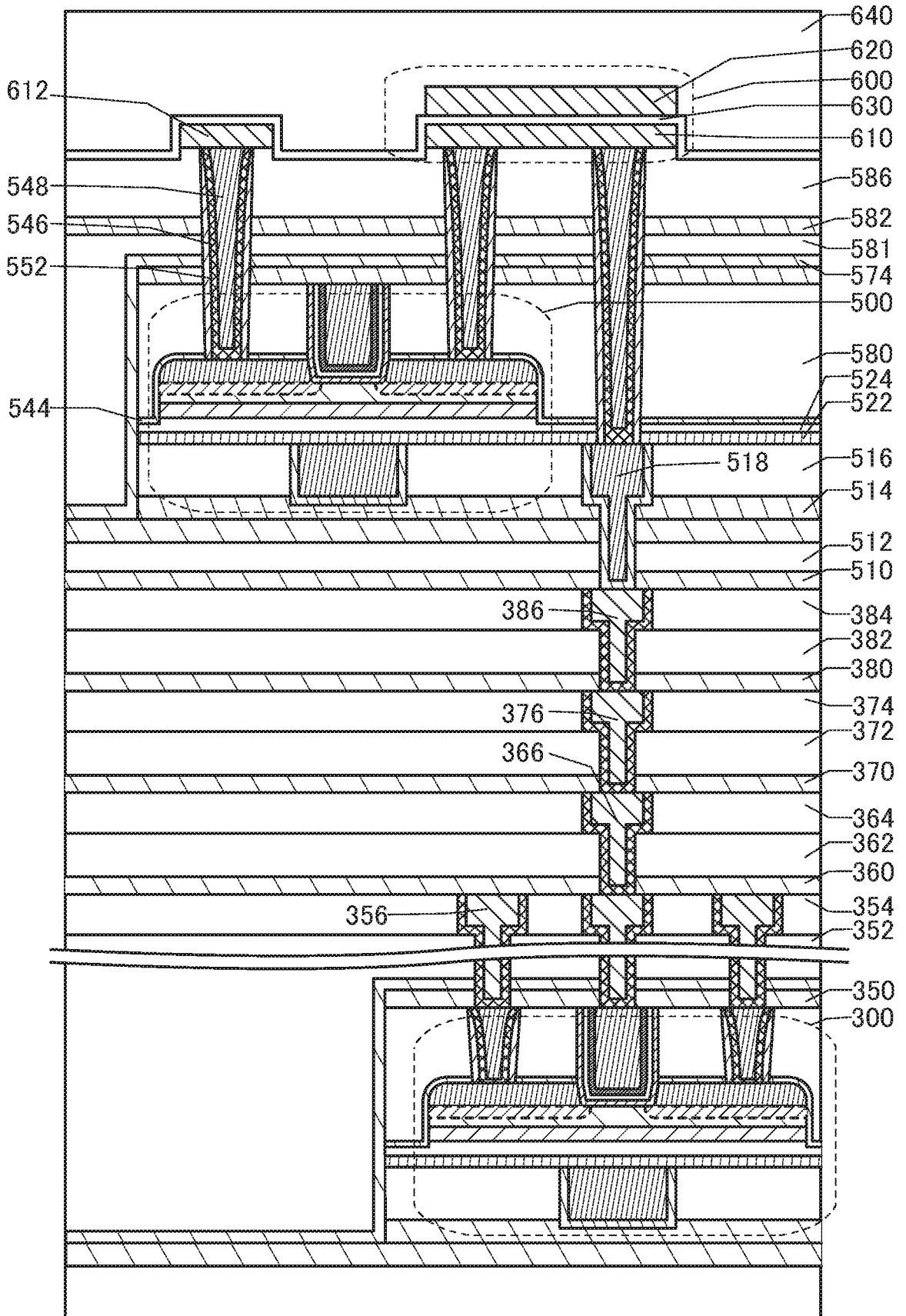


図14A

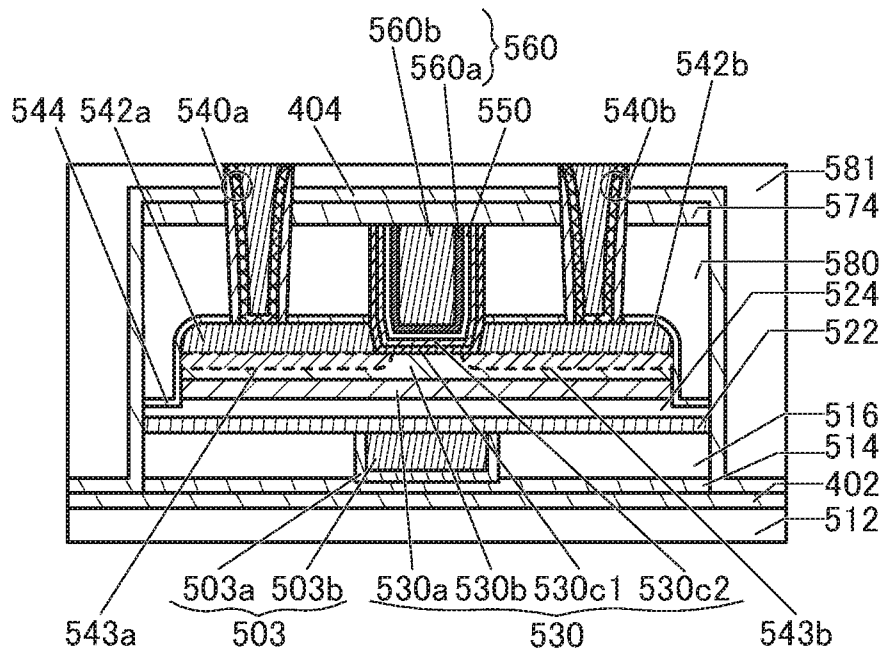
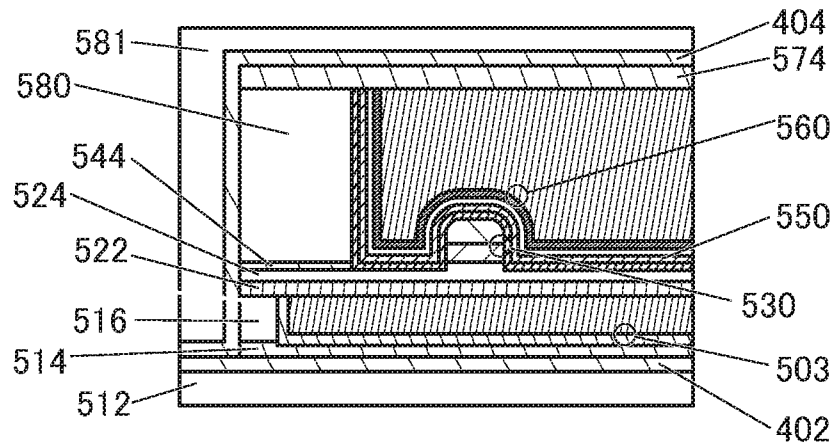


図14B



15

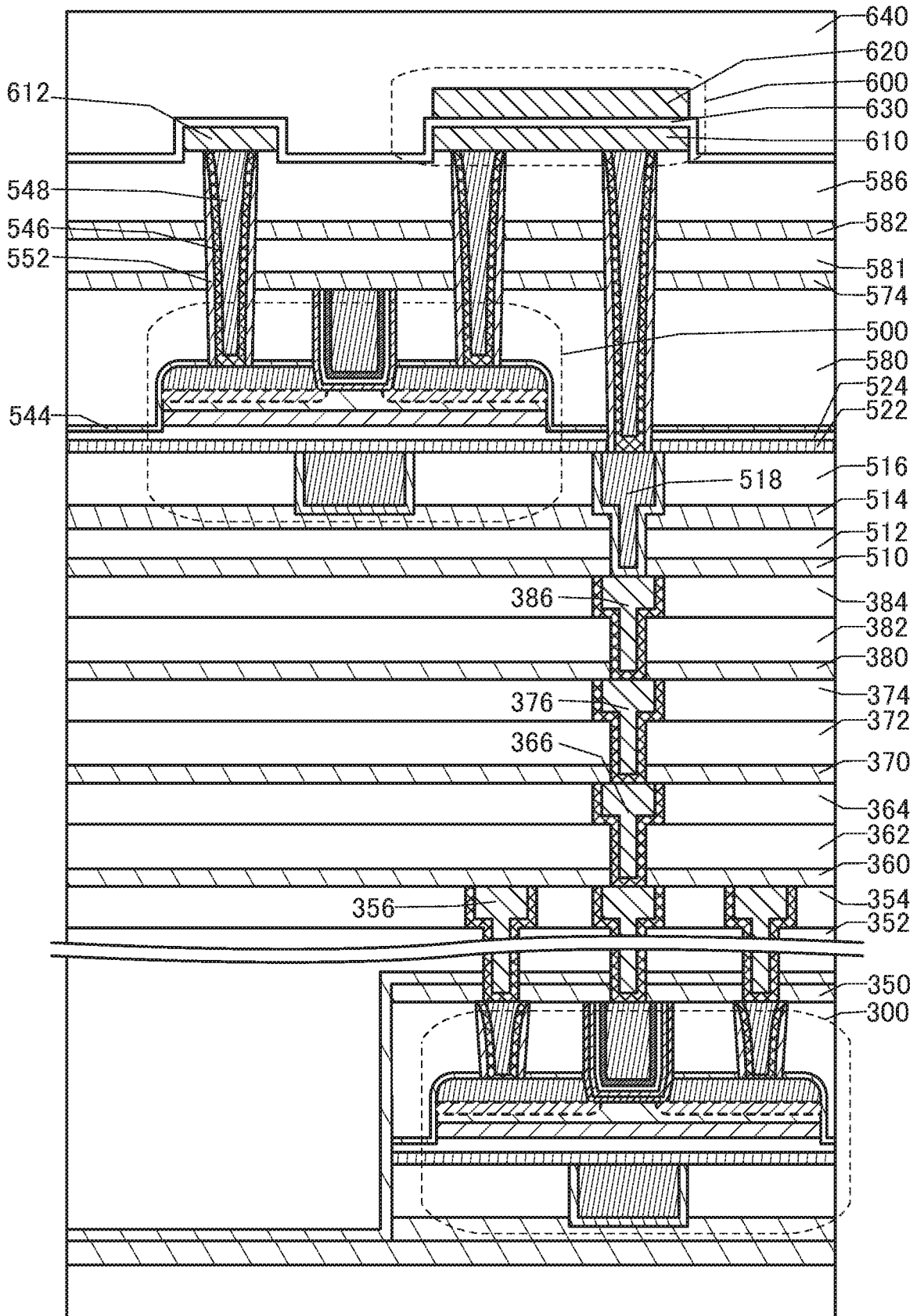


図16A

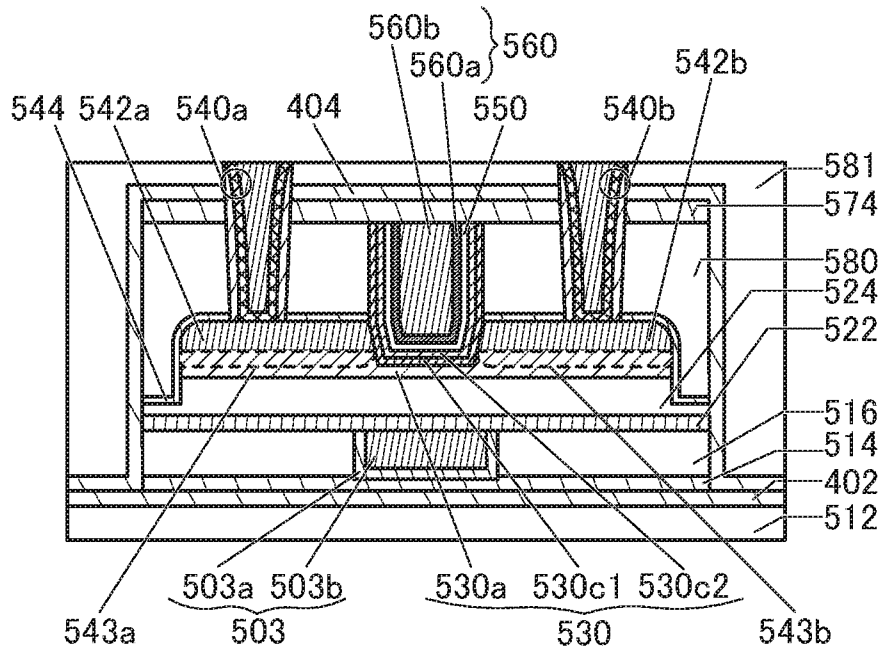
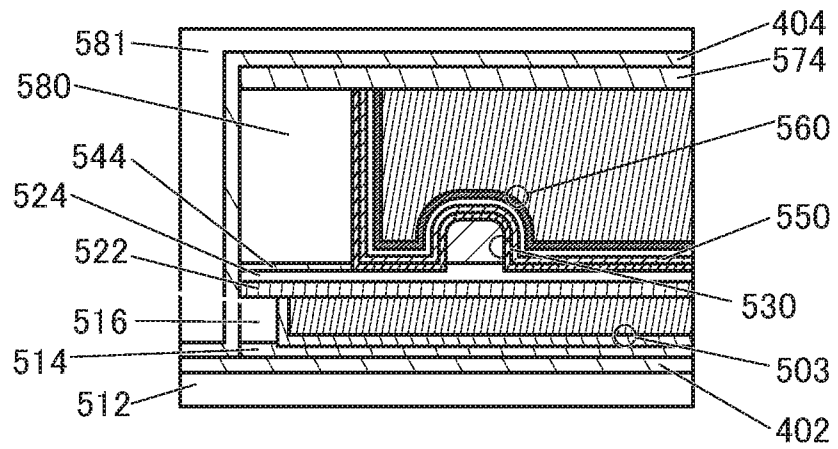
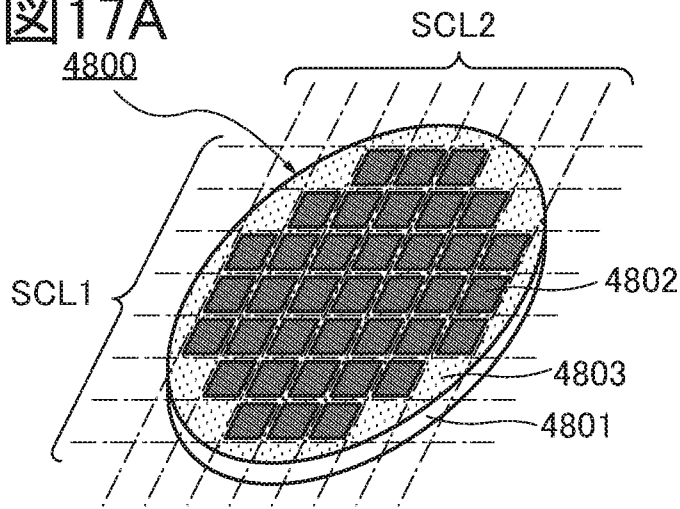


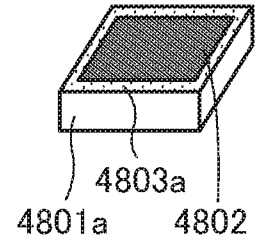
図16B



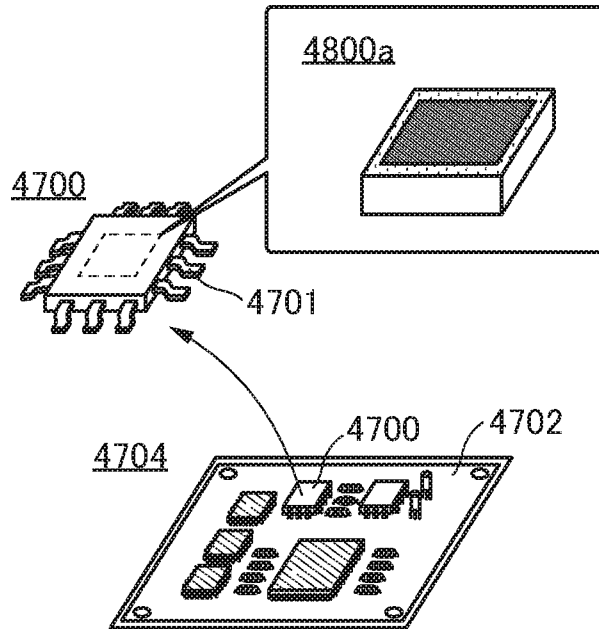
17A  
4800



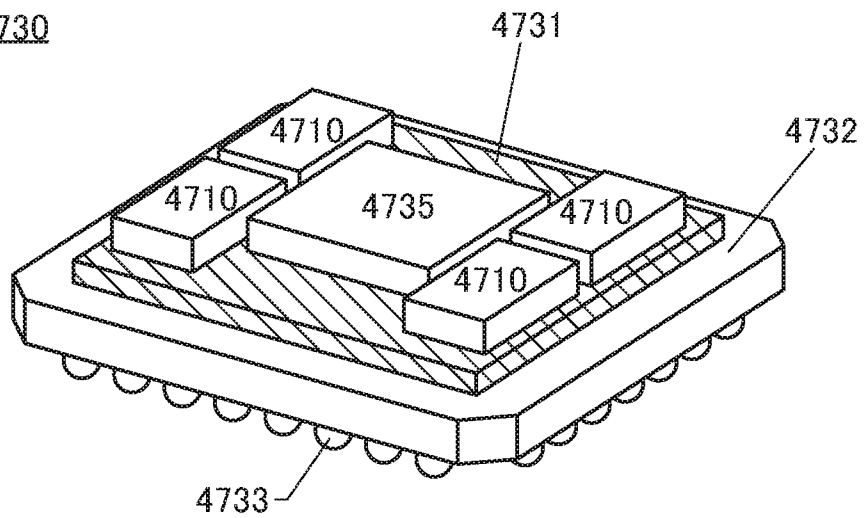
17B  
4800a



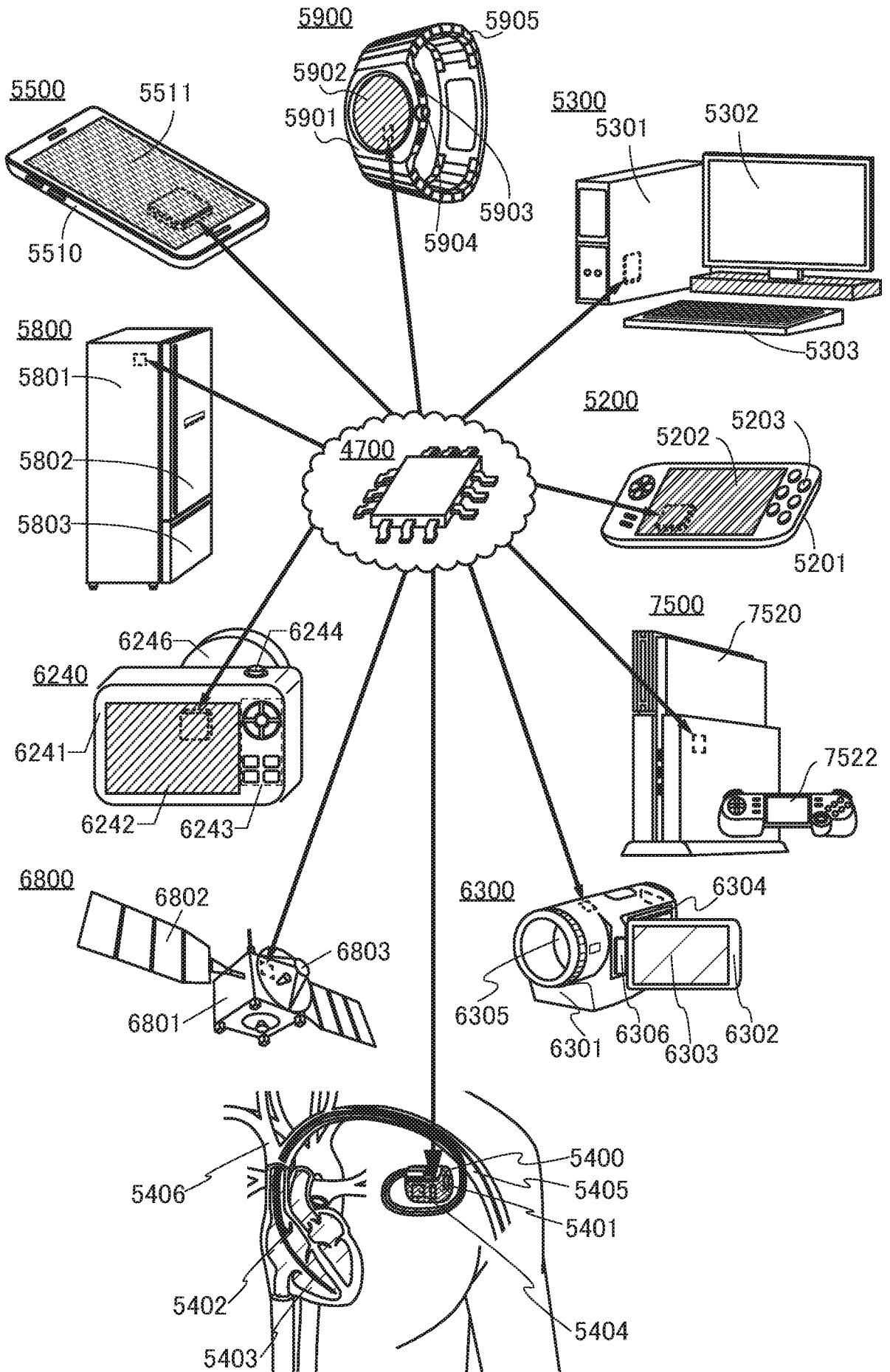
17C



17D  
4730



18



19

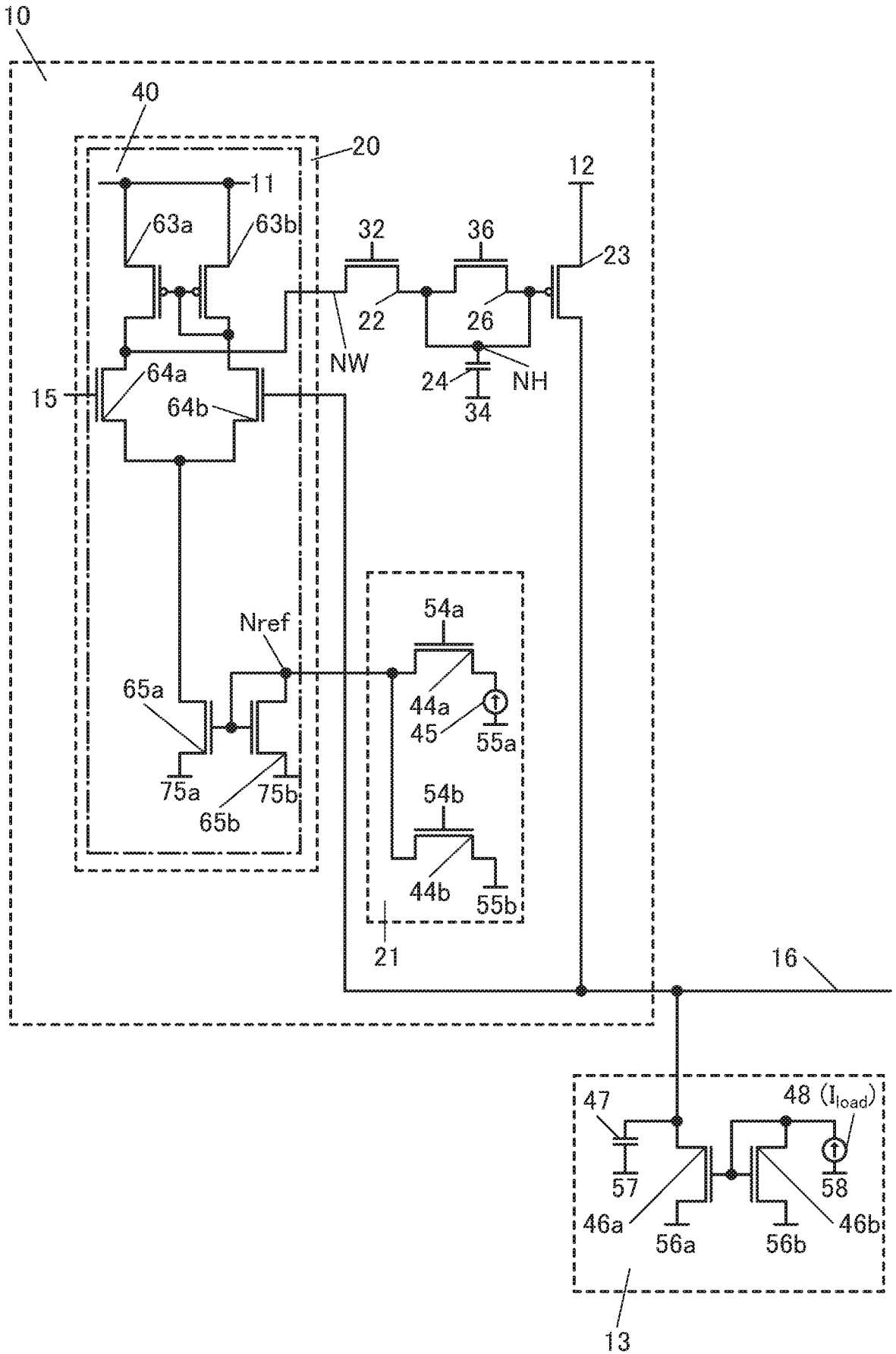


図20A

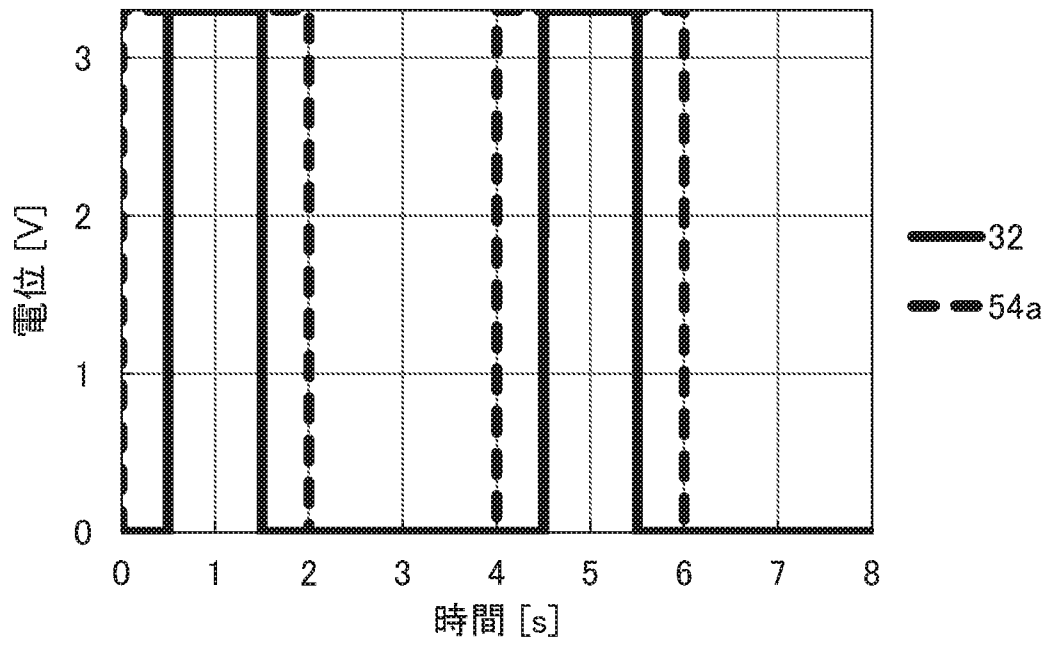
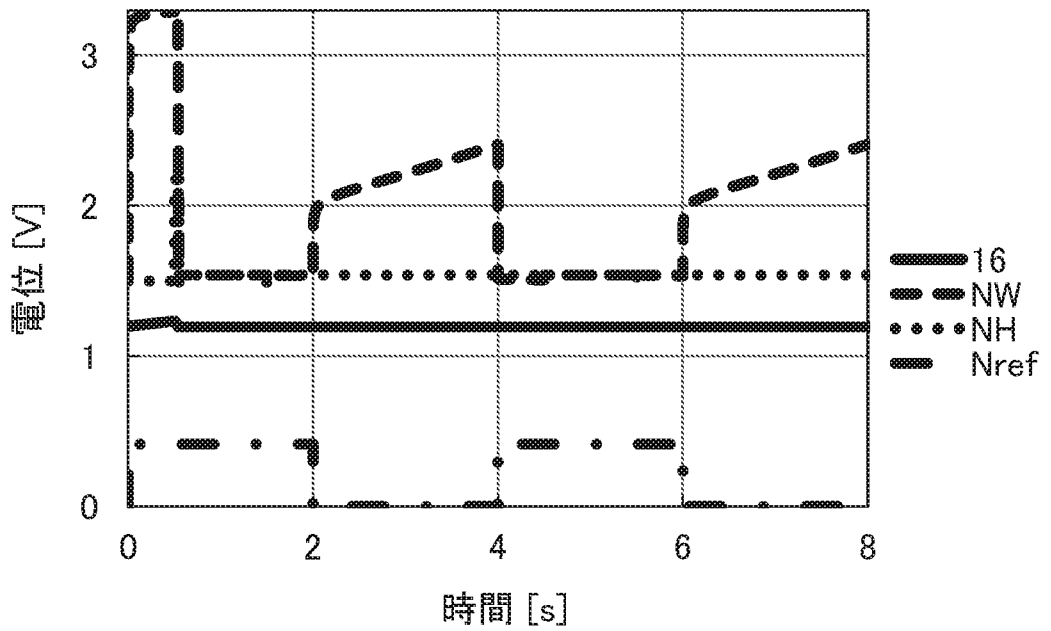


図20B



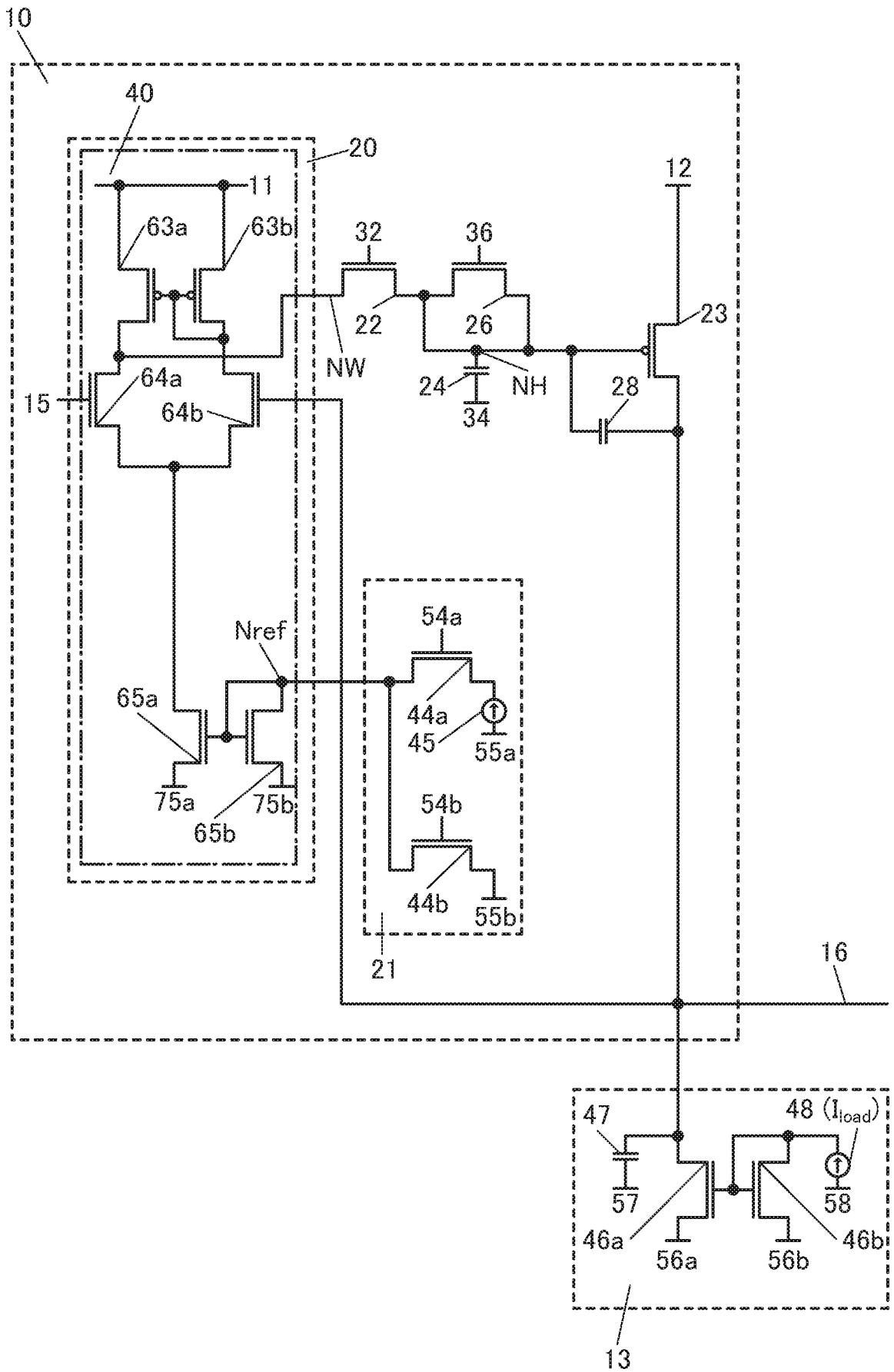


図22A

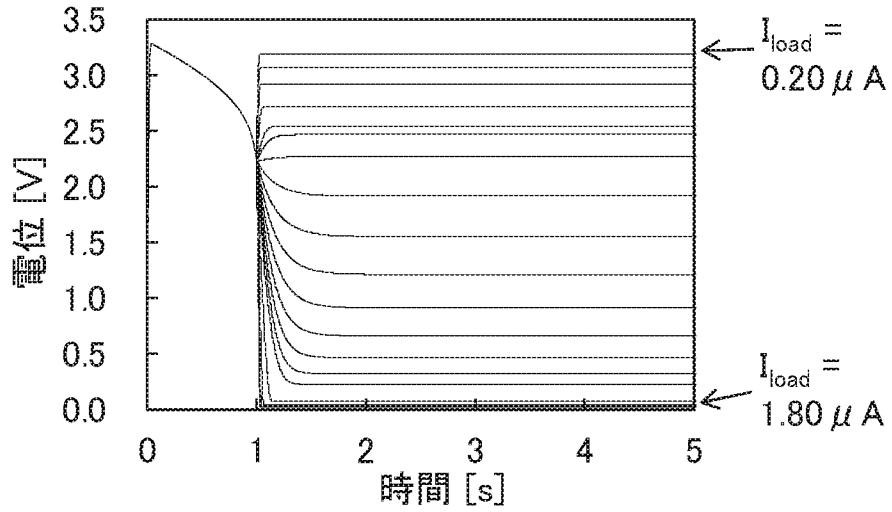


図22B

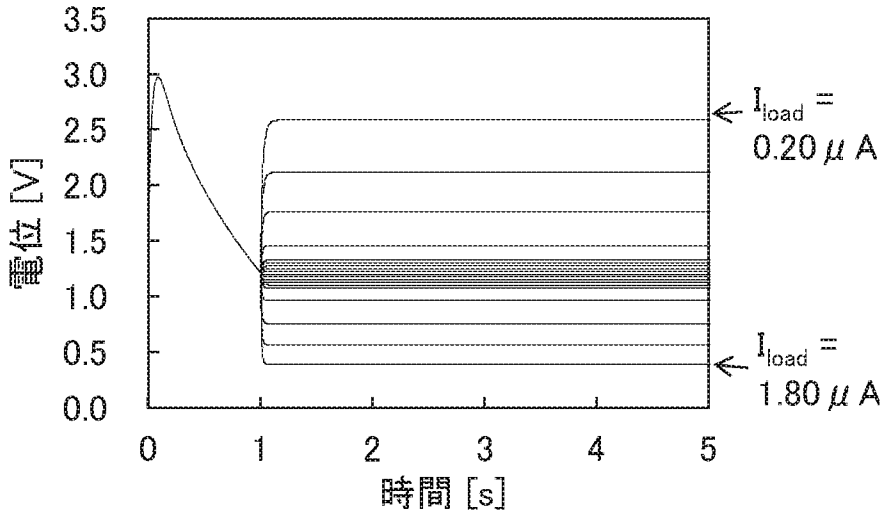
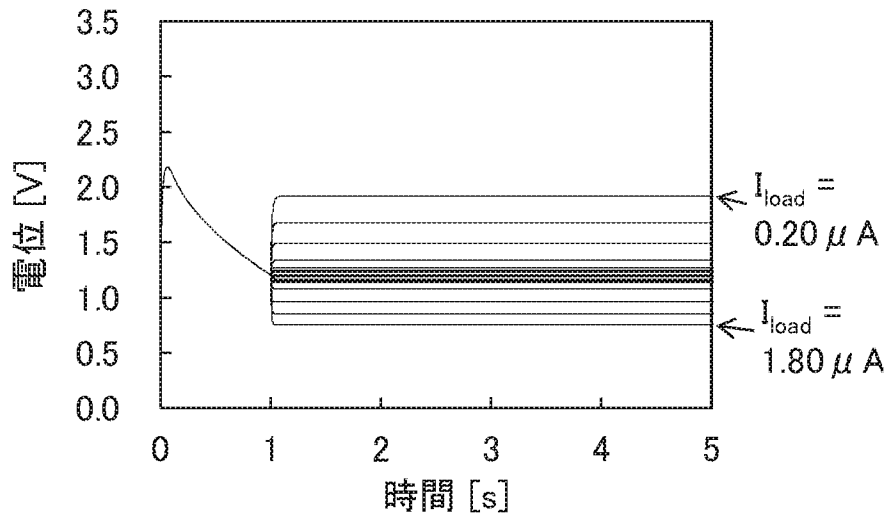


図22C



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2019/059860

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G05F1/56 (2006.01) i  
 FI: G05F1/56310C

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G05F1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2009-32278 A (FUJITSU MICROELECTRONICS LTD.) 12 February 2009, paragraphs [0037]-[0048], fig. 3-5	1, 2, 5, 6, 9-11 3, 4, 7, 8
A	JP 11-224496 A (KAWASAKI STEEL CORP.) 17 August 1999, paragraphs [0002]-[0009], fig. 7, 8	1-11
A	JP 2003-29854 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 31 January 2003, entire text, all drawings	1-11
A	JP 2013-235564 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 21 November 2013, entire text, all drawings	1-11
A	US 8954767 B2 (GUNTHER, A.) 10 February 2015, column 1, lines 40-50, fig. 1	1-11

Further documents are listed in the continuation of Box C.  See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
21.01.2020

Date of mailing of the international search report  
28.01.2020

Name and mailing address of the ISA/  
 Japan Patent Office  
 3-4-3, Kasumigaseki, Chiyoda-ku,  
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

PCT/IB2019/059860

JP 2009-32278 A	12 February 2009	(Family: none)
JP 11-224496 A	17 August 1999	(Family: none)
JP 2003-29854 A	31 January 2003	(Family: none)
JP 2013-235564 A	21 November 2013	US 2013/0271220 A1 DE 102013206284 A1 KR 10-2013-0115131 A
US 8954767 B2	10 February 2015	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i FI: G05F1/56 310C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） G05F1/56 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2009-32278 A（富士通マイクロエレクトロニクス株式会社）12.02.2009（2009-02-12） 【0037】 - 【0048】， 図3-5	1,2,5,6,9-11
A		3,4,7,8
A	JP 11-224496 A（川崎製鉄株式会社）17.08.1999（1999-08-17） 【0002】 - 【0009】， 図7, 8	1-11
A	JP 2003-29854 A（松下電器産業株式会社）31.01.2003（2003-01-31） 全文， 全図	1-11
A	JP 2013-235564 A（株式会社半導体エネルギー研究所）21.11.2013（2013-11-21） 全文， 全図	1-11
A	US 8954767 B2（GUNTHER, Andre）10.02.2015（2015-02-10） 第1カラム第40-50行， 図1	1-11
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 21.01.2020	国際調査報告の発送日 28.01.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 栗栖 正和 5G 3987 電話番号 03-3581-1101 内線 3526	

国際調査報告  
 パテントファミリーに関する情報

国際出願番号  
 PCT/IB2019/059860

引用文献	公表日	パテントファミリー文献	公表日
JP 2009-32278 A	12.02.2009	(ファミリーなし)	
JP 11-224496 A	17.08.1999	(ファミリーなし)	
JP 2003-29854 A	31.01.2003	(ファミリーなし)	
JP 2013-235564 A	21.11.2013	US 2013/0271220 A1 DE 102013206284 A1 KR 10-2013-0115131 A	
US 8954767 B2	10.02.2015	(ファミリーなし)	