公告本

申請日期： 82.6.8	案號： 82111136
類別： H01L 29/788, 27/115	

(以上各欄由本局填註)

發明專利說明書 466776

一、發明名稱	中文	製造半導體記憶體的方法和半導體記憶體
	英文	PROCESS FOR MANUFACTURING SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR MEMORY DEVICE
二、發明人	姓名(中文)	1.谷上 拓司
	姓名(英文)	1.TAKUJI TANIGAMI
	國籍	1.日本
	住、居所	1.日本國廣島縣福山市木之庄町1丁目3-10-301
三、申請人	姓名(名稱)(中文)	1.日商夏普股份有限公司
	姓名(名稱)(英文)	1.SHARP KABUSHIKI KAISHA
	國籍	1.日本
	住、居所(事務所)	1.日本國大阪府大阪市阿倍野區長池町22番22號
	代表人姓名(中文)	1.町田 勝彥
	代表人姓名(英文)	1.KATSUHIKO MACHIDA

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/08/02	特願平11-218971	有

有關微生物已寄存於　　寄存日期　　寄存號碼

無

五、發明說明 (1)

發明背景

1. 發明領域

本發明係關於製造半導體記憶體之方法。更特別地是，本發明係關於製造具有浮置閘及控制閘之半導體記憶體裝置之方法，其中絕緣膜提供於浮置閘之間。

2. 相關技藝說明

在具有浮置閘及控制閘之半導體記憶體裝置領域中，用於增加耦合比率[$C_2/(C_1+C_2)$，C_1：介於浮置閘與半導體底材之間之耦合電容，C_2：介於浮置閘與控制閘之間之耦合電容]之技術已經以降低電壓之意圖提出，例如由日本尚未檢視之專利公布案號為HEI9-102554號提出。

此後，將解釋基於此技術之製造半導體記憶體裝置之方法。圖14(a)至14(g)為沿著圖13(a)之線X-X'所取之截面圖以及圖14(a')至14(g')為沿著圖13(a)之線Y-Y'所取之截面圖。

首先，如圖14(a)以及14(a')所示，大約10 nm厚之通道氧化物膜22藉由熱氧化形成在p-型半導體底材21上之活性區域上。之後，100至200 nm厚之磷摻雜之多晶矽膜23形成在其上為下浮置閘之材料。光阻膜因此形成在其上而且藉由微影加以圖案化以形成光阻圖案R1(參考圖13(b))。使用光阻圖案R1為光罩，多晶矽膜23及通道氧化物膜22為依序藉由反應性離子蝕刻(RIE)方法蝕刻至浮置閘內。

接著，如圖14(b)及14(b')所示，使用光阻圖案R1及多晶矽膜23為光罩，砷離子，例如以由正常線相對於底材表

五、發明說明 (2)

面傾斜7° 之角度(此後縮寫為"以7° ")以1x10^{15}/cm^{2}劑量之植入能量70 keV植入以形成高濃度雜質層29。

如圖14(c)及14(c')所示，移除該光阻圖案R1以及之後砷離子，例如使用光阻圖案R1為光罩沿著垂直於底材表面之方向(此後縮寫為"以0° ")以3x10^{13}/cm^{2}劑量之植入能量50 keV植入利用多晶矽膜23以形成低濃度雜質層28。

之後，如圖14(d)及14(d')所示，合成半導體底材21為在氮氣壓下以900℃加熱10分鐘以形成雜質為活性之雜質層28a及29a。

如圖14(e)及14(e')所示，大約200至300 nm厚之氧化矽膜為藉由化學汽相沈積(CVD)方法形成在半導體底材21全部表面上以及藉由RIE方法回蝕，直到該多晶矽膜23為曝光以在介於浮置閘之間之空間形成埋入絕緣膜30為止。此時，該埋入絕緣膜30為配置，所以該多晶矽膜23側壁為部分曝光。

之後，如圖14(f)及14(f')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜形成在半導體底材21全部表面上以及藉由RIE方法回蝕，以形成將為浮置閘投射之多晶矽膜31。

接著，如圖14(g)及14(g')所示，6 nm厚之氧化矽膜藉由熱氧化，8 nm厚之氮化矽膜藉由CVD方法以及6 nm厚之氧化矽膜藉由CVD方法以此順序沈積在半導體底材21上以形成氧化物/氮化物/氧化物膜32為介於浮置閘與控制閘之間之介電膜。此外，100 nm厚之磷摻雜之多晶矽膜以及100 nm厚之矽化鎢

五、發明說明 (4)

接至包含Tr.11之字元線WL 1之Tr.10至Tr.12抹除之狀態。

表1

	選擇之WL	非選擇之WL	選擇之BL	非選擇之BL	SL	底材
	WL 1	WL 0, 2	BL 1	BL 0, 3	BL 2	PW
讀	3	0	0	開啟	1	0
寫	-12	開啟	4	開啟	開啟	0
抹除	12	開啟	-8	-8	-8	-8

註PW表示施加於底材之電壓。

寫入記憶體單元定義為Vth < 2V而抹除定義為Vth > 4V。

如圖16以及表1所示，記憶體單元之資訊藉由應用3V電壓至控制閘，底材及汲極接地，以及應用1V電壓至源極以傳遞電流i而讀取。

如圖17以及表1所示，資訊藉由應用-12V至控制閘、底材接地以及應用4V至汲極而寫入至Tr.11，所以電子利用流經汲極與浮置閘為重疊之區域內之薄氧化物膜之FN隧穿電流而由浮置閘移動。此時，應用至汲極之4V電壓亦應用至與Tr1.11汲極共享共通擴散繞線層之Tr.10源極。然而，空乏層在底材內形成，因為源極內之雜質濃度為低而且實際應用至源極及浮置閘重疊區域之薄氧化物膜之電場不足以產生FN隧穿電流。結果，資訊為選擇性地只寫入至包含與汲極重疊(高濃度雜質層)之浮置閘之記憶體單元。

如圖18以及表1所示，資訊藉由應用12V至控制閘以及應

五、發明說明 (5)

用-8V至源極/汲極以及底材而由Tr.11抹除，所以電子為利用流經全部通道之FN隧穿電流而注入至浮置閘內。此，相同電壓應用至該底材、控制閘以及經由字元線WL 1與Tr.11連接之Tr.10及Tr.12源極/汲極，所以連接至選擇之字元線之記憶體單元資料在相同時間抹除。

如圖14(g)及14(g')所示，在多晶矽膜23及31圖案化至浮置閘23a及31a內，以及多晶矽化金屬膜圖案化至控制閘13內時，當該多晶矽化金屬膜、ONO膜32以及多晶矽膜31為藉由蝕刻方法移除時，埋入絕緣膜30為曝光。因此，該埋入絕緣膜30作用為抗蝕刻之保護層。此外，在該埋入絕緣膜30表面上，產生反應生成物35，確定多晶矽高選擇性蝕刻率以及作用為該埋入絕緣膜30表面之保護。

如該多晶矽膜23為更進一步蝕刻時，該多晶矽膜23之一部份23b以稍低於該埋入絕緣膜30高度之類似柵欄形式保持在該埋入絕緣膜30垂直側壁上，如圖19(a)所示。這是因為產生在該該埋入絕緣膜30表面上之反應產品35延伸至或是覆蓋該埋入絕緣膜30側上之多晶矽膜，所以在該埋入絕緣膜30側壁上之多晶矽膜23b之蝕刻為局部減慢。

該因此保留之多晶矽膜23b造成在控制閘圖案化時應該隔離之控制閘短路。此情形導引出半導體記憶體裝置之失效。

該多晶矽膜23以相對於上述案例之埋入絕緣膜30之高選擇性速率蝕刻，該埋入絕緣膜30之高度必須為大約50 nm或是更少，以不以類似柵欄形式保留該多晶矽膜23b。

五、發明說明 (6)

另一方面，該多晶矽膜以相對於埋入絕緣膜30之低選擇性速率蝕刻，在該埋入絕緣膜30表面上之反應產品之產生為禁止。因此，該埋入絕緣膜30在高度方面降低而蝕刻該多晶矽膜23。只有當高度為50 nm或是更少時，該多晶矽膜23b以類似柵欄形式之保留為避免。

然而，如該多晶矽膜以上文提到之低選擇性速率蝕刻時，當該多晶矽膜之蝕刻完成時，難以控制該埋入絕緣膜30高度為50 nm或是更少。也就是說，考慮形成該埋入絕緣膜30之變化、回蝕該埋入絕緣膜30之變化以及當蝕刻該多晶矽膜時之該埋入絕緣膜之膜縮減變化時，相當困難控制該埋入絕緣膜30厚度。

此外，就膜變化而言，該膜將在稍後步驟中形成在如控制閘33上，必須使用相對於該埋入絕緣膜30具有高選擇性蝕刻速率之多晶矽膜以補償該變化。

因此，相對於該絕緣膜具有高選擇性蝕刻速率之導電膜為所需以及接觸該多晶矽膜側之絕緣膜需要變薄。

此外，當該控制閘33為圖案化時，該控制閘之多晶矽膜、ONO膜32以及該浮置閘之多晶矽膜以此順序蝕刻。所以具有足夠厚度之蝕刻保護膜鑑於將蝕刻之該ONO膜32厚度為所需。也就是說，作用為蝕刻保護膜以及填入介於多晶矽膜之間之空間之該埋入絕緣膜30需要形成厚於該浮置閘與ONO膜之總厚度。

然而，此情形與上文說明之薄埋入絕緣膜之需要不一致，而使該控制閘33之形成為困難。

五、發明說明（7）

此外，對回蝕該多晶矽膜至浮置閘投影內以增加耦合比率而言，介於浮置閘之間之空間寬度需要為大於該多晶矽膜大約3倍。否則該多晶矽膜埋入至空間中而且不能藉由回蝕程序形成為側壁間隔片形狀。因此，因為確定該空間之必要性而難以縮小半導體裝置。

發明總結

本發明已經就傳統裝置上述缺陷完成。本發明意圖提供製造具有浮置閘與控制閘之半導體記憶體裝置之方法，其中在控制閘形成使用之蝕刻保護膜以相對於下浮置閘之自我對準形成，而上浮置閘以相對於蝕刻保護膜之自我對準形成，因此縮小記憶體單元以及促進該控制閘之形成。

本發明提供製造半導體記憶體裝置的方法，包括下列步驟：(a) 以此順序形成通道氧化物膜，將下浮置閘之第一導電膜為，第一絕緣膜以及第二絕緣膜在半導體底材上以及圖案化第二絕緣膜、第一絕緣膜、第一導電膜以及通道氧化物膜為所需建構；(b)形成第三絕緣膜在合成半導體底材之全部表面上；(c)縮小第三絕緣膜，直到第二絕緣膜顯露為止；(d)移除第二絕緣膜；(e)移除第一絕緣膜而更進一步縮小第三絕緣膜；(f)在第一導電膜及第三絕緣膜上形成將為上浮置閘之第二導電膜；(g)平坦化第二導電膜直到第三絕緣膜顯露為止；以及(h)在第二導電膜以及第三絕緣膜上形成插入層電容膜以及將為控制閘之第三導電膜，以及圖案化第三導電膜、插入層電容膜、第二導電膜以及第一導電膜以形成浮置閘及控制閘。

五、發明說明（8）

此外，本發明提供半導體記憶體裝置，包括：形成在具有通道氧化物膜插入之半導體底材上之多數浮置閘；形成在該浮置閘上之插入層電容；以及形成在該插入層絕緣膜上之控制閘，其中該浮置閘包括側壁實質上垂直於該半導體底材表面之下浮置閘以及往該下浮置閘上之頂部逐漸加寬之形狀形成之上浮置閘，以及具有實質上垂直於半導體底材之下側以及往其與下及上浮置閘形狀一致之頂部逐漸變窄之上側之絕緣膜。

本申請案這些以及其他目的將由此後之詳細說明變成更容易顯現。然而，當指示本發明較佳具體實施例時，必須瞭解詳細說明及特定例子，只是以解釋方式既定，因為在本發明精神及範疇內之種種改變及修正將由此詳細說明而對那些熟知相關技藝之人士變成明顯。

圖式之簡單說明

圖1(a)及1(b)為解釋製造如本發明半導體記憶體裝置之方法之概要平面圖；

圖2(a)至2(j)以及2(a')至2(j')為解釋製造如本發明半導體記憶體裝置方法之例子1之概要截面圖；

圖3(a)及3(b)為解釋製造如本發明半導體記憶體裝置之方法例子2之概要截面圖；

圖4(a)至4(k)以及4(a')至4(k')為解釋製造如本發明半導體記憶體裝置之方法例子3之概要截面圖；

圖5(a)至5(k)以及5(a')至5(k')為解釋製造如本發明半導體記憶體裝置之方法例子4之概要截面圖；

五、發明說明 (9)

圖6(a)至6(k)以及6(a')至6(k')為解釋製造如本發明半導體記憶體裝置之方法例子5之概要截面圖；

圖7(a)至7(l)以及7(a')至7(l')為解釋製造如本發明半導體記憶體裝置之方法例子6之概要截面圖；

圖8(a)及8(b)為解釋製造如本發明半導體記憶體裝置之方法例子7之概要截面圖；

圖9(a)至9(j)以及9(a')至9(j')為解釋製造如本發明半導體記憶體裝置之方法例子8之概要截面圖；

圖10(a)及10(b)為解釋製造如本發明半導體記憶體裝置之方法例子9之概要截面圖；

圖11(a)至11(k)以及11(a')至11(k')為解釋製造如本發明半導體記憶體裝置之方法例子10之概要截面圖；

圖12為解釋製造如本發明半導體記憶體裝置之方法例子11之概要截面圖；

圖13(a)及13(b)為解釋製造傳統半導體記憶體裝置之方法之概要平面圖；

圖14(a)至14(g)以及14(a')至14(g')為解釋製造傳統半導體記憶體裝置之方法之概要截面圖；

圖15為解釋傳統半導體記憶體裝置操作原理之等效電路圖；

圖16為解釋傳統半導體記憶體裝置讀取原理之透視截面圖；

圖17為解釋傳統半導體記憶體裝置寫入原理之透視截面圖；

五、發明說明 (10)

圖18為解釋傳統半導體記憶體裝置抹除原理之透視截面圖；以及

圖19(a)及19(b)為解釋製造傳統半導體記憶體裝置缺陷主要部分之概要截面圖。

圖式之詳細說明

在製造如本發明半導體記憶體裝置之方法之步驟(a)中，通道氧化物膜、將形成為下浮置閘之第一導電膜，第一絕緣膜以及第二絕緣膜以此順序形成在半導體底材上以及依序圖案化為所需建構。

由此使用之半導體底材之材料不特別限制，只要共通使用於半導體記憶體裝置之底材即可，例如可以使用元素半導體，矽及鍺；化合半導體，GaAs、InGaAs、ZnSe以及類似物。在它們之中，矽底材為較佳。

該通道氧化物膜可以藉由已知技術，例如矽之熱氧化形成為具有大約7 nm至大約15 nm之厚度。

第一導電膜之材料不特別限制，只要共通使用於浮置閘即可，例如可以使用多晶矽，金屬例如銅及鋁，高熔點金屬例如鎢、鉭以及鈦，具有高熔點金屬之矽化物以及具有高熔點金屬之多晶矽化金屬。在它們之中，多晶矽為較佳。第一導電膜可以藉由已知技術，例如濺鍍、汽相沈積或是CVD方法形成為大約50 nm至大約150 nm厚。

而第一絕緣膜，例如，具有相當高蝕刻速率之膜，如氧化矽膜或是氮化矽可以藉由CVD方法或是類似方法形成為大約50 nm至大約150 nm之厚度。而第二絕緣膜，例如，

五、發明說明 (11)

氧化矽膜或是類似物可以藉由CVD方法或是類似方法形成為大約300 nm至大約800 nm之厚度。第一及第二絕緣膜之材料、品質以及形成方法可以就相對於後者步驟形成之其他膜之蝕刻速率方面適當地選擇。

第二絕緣膜、第一絕緣膜、第一導電膜以及通道氧化物膜可以藉由使用藉由已知微影及蝕刻方法形成之所需建構之光阻光罩加以圖案化。第一絕緣膜以及第二絕緣膜可以圖案化為豎立或是錐形形狀。此處，該錐形形狀包含往其頂部以直線式、階梯式或是曲線方式逐漸變窄。錐形角度因此可以適當地選擇，因為其影響後者步驟(e)之第三絕緣膜內形成之弧曲率。例如，使用大約60°至90°之錐形角度。圖案化為豎立或是錐形形狀可以藉由已知技術，例如，以二步驟蝕刻以及在該錐形形狀案例之個別步驟期間控制絕緣膜側壁上反應產品產生之方法。

在步驟(b)之前，側壁絕緣膜及/或熱氧化物膜可以形成在圖案化第一導電膜側壁上。該側壁絕緣膜可以具有實質上與第一絕緣膜相同之蝕刻速率。該側壁絕緣膜不僅形成在圖案化第一導電膜側壁上，亦且形成在第一絕緣膜以及第二絕緣膜側壁上。例如，以相同材料藉由相同方法製成之膜可以使用為側壁絕緣膜。另外，該側壁絕緣膜可以用蝕刻速率經由密集化，例如藉由熱處理減低為實質上與第一絕緣膜相同蝕刻速率之材料形成。該側壁絕緣膜可以藉由已知技術，例如沈積預先決定之厚度之絕緣膜在緊接著蝕刻之半導體底材全部表面上而形成。

五、發明說明 (12)

該熱氧化物膜可以藉由例如加熱該半導體底材而形成，在該底材上，第一絕緣膜已經在氧氣壓或是大氣壓下以大約800至1000℃之溫度加熱大約1至大約100分鐘而形成。該氧化物膜之厚度例如大約2至大約50 nm。該熱氧化不僅產生氧化物膜在第一導電膜側壁上，亦且產生氧化物膜在半導體底材之曝光表面上。在半導體底材表面上之氧化物膜較佳地，例如在熱氧化之後藉由乾蝕刻方法移除。

在形成該熱氧化物膜之後，可以形成絕緣膜。之後，該絕緣膜以及氧化物膜為依序回蝕，所以該氧化物膜為形成在圖案化第一導電膜側壁上以及在第一導電膜外部周圍形成在半導體底材上，而且該側壁絕緣膜為形成在該氧化物膜上以及形成在第一絕緣膜以及第二絕緣膜側壁上。

在步驟(b)中，第三絕緣膜形成在合成半導體底材之全部表面上。而使用之第三絕緣膜為蝕刻速率以使用稀釋HF之等向蝕刻設定為與第一絕緣膜蝕刻速率幾乎相同之絕緣膜。例如，如氧化矽膜為藉由CVD方法形成為第一絕緣膜，第三絕緣膜可以為藉由CVD方法形成之氧化矽膜，藉由等離子體CVD方法形成之氧化矽膜，藉由高密度電漿體CVD(HDP-CVD)方法或是類似方法形成之氧化矽膜。第三絕緣膜之厚度可以為大約400至大約600 nm。

在步驟(c)中，第三絕緣膜為縮小直到第二絕緣膜曝光為止。因此，第三絕緣膜為充填在圖案化第一導電膜(下浮置閘)之間。縮小方法可以依據第二以及第三絕緣膜之材料、膜品質以及類似性質而適當地選擇。例如，使用氫

五、發明說明 (13)

氟酸、熱磷酸、硝酸、硫酸或是類似物之濕蝕刻方法，乾蝕刻方法如RIE方法、CMP(化學機械研磨)方法可以使用。而氮化矽膜使用為第二絕緣膜以及藉由HDP-CVD方法形成之氧化矽膜使用為第三絕緣膜，具氫氟酸之濕蝕刻方法或是CMP方法為較佳。

在步驟(d)中，第二絕緣膜為移除。該移除可以藉由用於步驟(c)縮小第三絕緣膜之相同方法加以執行，但較佳地是，藉由能夠選擇性蝕刻第二絕緣膜而非第三絕緣膜之方法。而藉由HDP-CVD方法形成之氮化矽膜及氧化矽膜分別使用為第二絕緣膜以及第三絕緣膜，使用熱磷酸之濕蝕刻方法為較佳。

在步驟(e)中，第一絕緣膜為移除，而更進一步縮小第三絕緣膜。也就是說，第一絕緣膜為完全移除，然而第三絕緣膜非完全移除以及較佳地蝕刻，所以接近第一絕緣膜之角落為變圓。特定地是，該移除可以藉由步驟(c)之相同方法加以執行。能夠以實質上小於或是實質上與第一絕緣膜相同之蝕刻速率蝕刻第三絕緣膜為較佳。例如，使用氫氟酸之濕蝕刻方法為較佳。介於第一與第三絕緣膜蝕刻速率之間之差異影響第三絕緣膜圓形形狀之曲率。也就是說，介於第一與第三絕緣膜之間之蝕刻速率實質上相同，合成第三絕緣膜之曲率與蝕刻速率小於第一絕緣膜蝕刻速率之案例比較變成溫和。因此，促進後者步驟執行之控制閘形成，特別是，在圓形部分。

此外，在側壁絕緣膜案例中，氧化物膜由熱氧化形成，

五、發明說明 (14)

具有與第一絕緣膜實質上相同之蝕刻速率，或是該側壁絕緣膜與熱氧化物膜二者為形成在先前步驟之圖案化第一導電膜側壁上，第三絕緣膜圓形形狀之曲率可以依據該側壁絕緣膜或是氧化物膜之蝕刻速率而適當地調整(溫和或是急遽)。特別是，熱處理為在該氧化物膜或是側壁絕緣膜形成之後執行，該第二絕緣膜以及側壁絕緣膜可以密集化，因此降低它們的蝕刻速率。因此，第三絕緣膜圓形形狀之曲率可以在此步驟中容易地調整。

在步驟(f)中，為浮置閘材料之第二導電膜形成在第一導電膜以及第三絕緣膜上。第二導電膜可以藉由第一導電膜之那些相同方法以相同材料形成。在它們之中，多晶矽為較佳。第一以及第二導電膜不需要以相同材料形成，但是較佳地是以相同材料形成。第二導電膜之厚度可以依據第一導電膜、剩餘第三絕緣膜以及類似物之厚度而適當地調整，但較佳地形成稍厚於剩餘第三絕緣膜，更特定地是大約100至大約200 nm厚。

在步驟(g)中，第二導電膜為平坦化直到第三絕緣膜曝光為止。該平坦化可以藉由步驟(c)提到之縮小方法而加以執行，其中CMP方法為較佳。因此，第二導電膜以及第三絕緣膜之平面可以平坦化。

另一方法可以執行以移除小量之第三絕緣膜，所以一部份第二導電膜之側壁為曝光。較佳地是在此方法之第三絕緣膜之移除為藉由選擇性地移除第三絕緣膜而執行。將移除之厚度大約為10至大約50 nm。

五、發明說明 (15)

在步驟(h)中，為控制閘材料之插入層電容膜以及第三導電膜為形成在第二導電膜以及第三絕緣膜上。例如，氧化矽膜、氮化矽膜或是層壓膜因此可以上述相同方式形成為插入層電容膜。插入層電容膜之厚度大約為10至大約20 nm。

第三導電膜可以藉由第一導電膜之那些相同方法以相同材料形成。第一以及第三導電膜可以相同膜或是不同膜形成。由高熔點金屬形成之多晶矽化金屬膜為較佳。第三導電膜之厚度不特別限制，但為提到之大約100至大約300 nm。

第三導電膜、插入層電容膜、第二導電膜以及第一導電膜以此順序圖案化。該圖案化以步驟(a)之相同方式執行。

依據這些步驟，在步驟(a)初步圖案化之第一導電膜形成為下浮置閘，第二導電膜充填在介於第三絕緣膜之間之空間而且其表面為平坦化，在步驟(g)形成為上浮置閘。形成在上浮置閘上之第三導電膜形成為多數浮置閘上之單一控制閘。該插入層電容膜形成為與第三導電膜相同建構。

在如本發明之製造半導體記憶體裝置之方法中，用於形成低濃度及/或高濃度雜質層之離子植入為較佳地在所需程序之前、之中或是之後執行。該離子植入可以執行以在浮置閘對稱或是非對稱二側形成雜質層。此外，該離子植入可以在垂直於底材之角度或是在依據雜質層形成之位置

五、發明說明 (16)

傾斜所需度數之角度、其中雜質濃度、離子植入方法以及類似因素執行。

由本發明製造半導體記憶體裝置之方法獲得之半導體記憶體裝置可以實質上與傳統裝置說明之相同方式操作。

此後，如本發明用於製造半導體記憶體裝置之方法以及半導體記憶體裝置例子為參考附圖加以解釋。

例子1

如圖1(a)所示，在此例子中形成之半導體記憶體裝置包括由下浮置閘與在其上之上浮置閘組成之浮置閘以及形成在該浮置閘上之控制閘。

將解釋用於製造此種半導體記憶體裝置之方法。圖2(a)至2(j)為沿著圖1(a)之線X-X'所取之截面圖以及圖2(a')至2(j')為沿著圖1(a)之線Y-Y'所取之截面圖。

首先，如圖2(a)及2(a')所示，大約10 nm厚之通道氧化物膜2藉由熱氧化形成在p-型半導體底材1活性區域上。3至50 nm厚之磷摻雜之多晶矽膜形成為下浮置閘材料，以及大約50至大約150 nm厚之氧化矽膜4以及大約200 nm厚之氮化矽膜5為藉由CVD方法依序沈積在上面。光阻膜形成在氮化矽膜5上以及藉由微影圖案化以形成光阻膜R1，如圖1(b)所示。使用光阻膜R1為光罩，該氮化矽膜5、氧化矽膜4、多晶矽膜3以及通道氧化物膜2為依序蝕刻以形成下浮置閘。

該光阻膜R1為移除以及之後，如圖2(b)及2(b')所示，砷離子，例如，以大約$5x10^{12}/cm^2$至大約$5x10^{13}/cm^2$劑量之

五、發明說明 (17)

植入能量大約5至大約40 keV植入。此外，如圖2(c)及2(c')所示，砷離子，例如，以大約-7°至大約-25°、大約5至大約40 keV以及大約$1x10^{15}/cm^2$至大約$1x10^{16}/cm^2$植入。因此，形成雜質層8及9。雜質為藉由熱處理加以啟動。

連續地，如圖2(d)及2(d')所示，大約400至大約600 nm厚之氧化矽膜10為藉由HDP-CVD方法加以沈積。

之後，如圖2(e)及2(e')所示，氧化矽膜10之表面為藉由使用稀釋氫氟酸之濕蝕刻加以蝕刻以完全曝光該圖案化氮化矽膜5之頂部表面，因此使埋入絕緣膜10a堅固。不經意地，特定於藉由HDP-CVD方法形成之氧化物膜之投射為形成在緊接氮化矽膜5之上之氧化矽膜10表面上。當移除投射時，此步驟之蝕刻為移除。

之後，如圖2(f)及2(f')所示，該氮化矽膜5為藉由使用熱磷酸之濕蝕刻方法移除。此外，如圖2(g)及2(g')所示，該埋入絕緣膜10a蝕刻為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4。因此，埋入絕緣膜10b充填在介於下浮置閘之間之空間。

接著，如圖2(h)及2(h')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP方法研磨直到在介於下浮置閘之間之空間之該埋入絕緣膜10b曝光為止，如圖2(i)及2(i')所示。因此，形成上浮置閘。

此後，藉由熱氧化之大約6 nm厚之氧化矽膜、藉由CVD

五、發明說明 (18)

方法之大約8 nm厚之氮化矽膜以及藉由CVD方法之大約6 nm厚之氧化矽膜以此順序沈積在上浮置閘表面上以形成ONO膜12。之後，例如，大約100 nm厚之磷摻雜之多晶矽膜以及大約100 nm厚之矽化鎢膜為形成在其上以形成大約200 nm厚之多晶矽化金屬膜13a為控制閘材料。此外，如圖1(b)顯示之光阻膜R3為藉由微影形成。使用光阻膜R3為光罩，該多晶矽化金屬膜13a、ONO膜12、多晶矽膜11a以及多晶矽膜3為依序蝕刻以形成控制閘13a以及包括上浮置閘11b以及下浮置閘3a之浮置閘。之後，該光阻膜R3為移除以及如圖2(j)及2(j')所示，硼離子，例如使用控制閘13a為光罩以0°、大約10至大約40 keV以及大約$5x10^{12}/cm^2$至大約$5x10^{13}/cm^2$植入以形成記憶體裝置隔離之雜質層14。

此後，插入層絕緣膜、接觸孔以及金屬繞線為形成以完成半導體記憶體裝置。

依據製造半導體記憶體裝置之上述方法，獲得如下文種種不同之價值。

1)如本發明，藉由HDP-CVD方法形成之埋入絕緣膜10a為等向蝕刻為圓形形狀而移除多晶矽膜3上之氧化矽膜4。所以，當氧化矽膜4之移除完成時，該埋入絕緣膜保持厚度與下浮置閘側壁上之下浮置閘3a相同或是小於下浮置閘3a。在下浮置閘側壁上之該埋入絕緣膜厚度之變化為藉由形成以及蝕刻以移除氧化矽膜4之變化造成但是與形成該埋入絕緣膜10之變化無關。因此，在下浮置閘側壁上之該

五、發明說明（19）

埋入絕緣膜厚度之變化為藉由形成為下浮置閘3a材料之多晶矽膜3為大約50 nm厚度以及該薄氧化矽膜4所禁止，因此控制其厚度為所需之厚度。

2）此外，由於該埋入絕緣膜10a蝕刻為具有圓角之類似向上凸形狀，所以為上浮置閘之多晶矽膜防止保持而蝕刻以形成控制閘。

3）此外，介於該氧化矽膜4與埋入絕緣膜10a蝕刻速率之間之差異影響該埋入絕緣膜10a圓形部分之曲率。所以，藉由設定該蝕刻速率為氧化矽膜4/埋入絕緣膜10a之比率>1，該埋入絕緣膜10a圓形部分之寬度可以縮小為小於該氧化矽膜之厚度。此情形使將在後者步驟中形成之上浮置閘之縮小能夠作用。

4）此外，覆蓋該埋入絕緣膜10a圓形部分之上浮置閘之高度可以藉由選擇性地設定該氧化矽膜4與埋入絕緣膜10a之厚度而設定為50 nm或是更少。所以，該上浮置閘材料可以同時與控制閘圖案化同時蝕刻而不留下任何剩餘物。

5）甚至於，該埋入絕緣膜可以形成與該下浮置閘自我對準以及上浮置閘以形成與該埋入絕緣膜自我對準。所以，該浮置閘可以縮小，在底部及頂部之浮置閘寬度變化可以禁止而且耦合比率之變化可以防止。

6）此外，由於該上浮置閘之表面為平坦化，所以薄插入層絕緣膜可以形成在上面。因此，經由該插入層絕緣膜之耦合比率為增加，寫入速度為改良以及控制閘材料之導電膜可以平坦地沈積。所以，控制閘之過度蝕刻為緩和，因

五、發明說明 (20)

此可以降低生產成本。

例子2

以例子1之相同方式，通道氧化物膜2、多晶矽膜3、氧化矽膜4、氮化矽膜5以及雜質層8a及9a為形成在p-型半導體底材1活性區域上。此外，具有實質上與該氧化矽膜4相同濕蝕刻速率之氧化矽膜10為藉由HDP-CVD方法形成以及氮化矽膜5頂部表面為藉由使用稀釋氫氟酸之濕蝕刻方法曝光。

之後，如圖3(a)所示，該氮化矽膜5為藉由使用熱磷酸之濕蝕刻方法加以移除。

此外，如圖3(b)所示，當藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4時，該埋入絕緣膜10a蝕刻為圓形形狀。

此後，半導體記憶體裝置以例子1之相同方式完成。

如上述之製造半導體記憶體裝置方法，1)該埋入絕緣膜10a圓形部分可以藉由設定氧化矽膜4之蝕刻速率而在寬度上擴張而該埋入絕緣膜10a實質上相同。因此，該埋入絕緣膜10a往上凸之曲率變成溫和而且在圓形部分控制閘之圖案化可以較容易。此外，增加該浮置閘之頂部表面面積可以改良經由插入層電容膜之耦合比率以及寫入速度。

例子3

以例子1之相同方式，通道氧化物膜2、多晶矽膜3、氧化矽膜4以及氮化矽膜5為形成在p-型半導體底材活性區域上以形成下浮置閘。之後，如圖4(a)及4(a')所示，大約

五、發明說明 (21)

25至大約75 nm厚之氧化矽膜為藉由CVD方法沈積以及藉由RIE方法回蝕以形成下浮置閘側壁上之側壁絕緣膜7a。

連續地，如圖4(b)及4(b')所示，雜質層8為藉由圖2(b)相同方式之離子植入使用下浮置閘與側壁絕緣膜7a為光罩而形成。之後，如圖4(c)及4(c')所示，雜質為藉由加熱啟動以形成延伸至側壁絕緣膜7a以下之雜質層8a。

之後，如圖4(d)及4(d')所示，離子植入以與圖2(c)相同方式執行以及加熱以形成雜質層9。

接著，如圖4(e)及4(e')所示，為絕緣膜之氧化矽膜10藉由HDP-CVD方法沈積為大約400至大約600 nm之厚度。氧化矽膜10之頂部部分藉由使用稀釋氫氟酸之濕蝕刻方法移除以完全曝光圖案化氮化矽膜5之頂部表面，如圖4(f)及4(f')所示。此時，該氧化矽膜10需要移除以不曝光該側壁絕緣膜7a。

之後，如圖4(g)及4(g')所示，該氮化矽膜5以熱磷酸移除。該埋入絕緣膜10a以及側壁絕緣膜7a為蝕刻成圓形形狀，而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4，如圖4(h)及4(h')所示。因此，氧化矽膜10b以及側壁絕緣膜7b充填至介於下浮置閘之間之空間。

接著，如圖4(i)及4(i')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP方法研磨直到介於下浮置閘之間之空間之該氧化矽膜10b曝光為止，如圖4(j)及4(j')所示，以及因此形成上浮置閘。

五、發明說明 (22)

此後，如圖4(k)及4(k')所示，ONO膜12以及多晶矽化金屬膜13為以例子1相同方式形成以及依序蝕刻以形成控制閘13a以及包括上浮置閘11b以及下浮置閘3a之浮置閘。之後，形成用於記憶體裝置隔離之雜質層14。

連續地，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)該埋入絕緣膜10a圓形部分之寬度可以藉由控制側壁絕緣膜7a之寬度而容易地控制。特別是，該側壁絕緣膜7a之寬度大於氧化矽膜4之厚度，該埋入絕緣膜10a圓形部分之寬度為藉由等向蝕刻之蝕刻量而決定，不論該氧化矽膜4與絕緣膜10a之蝕刻速率為何，所以該圓形部分之大小可以優良地控制。

2)此外，雜質層為藉由經由該側壁絕緣膜7a植入雜質而形成，所以雜質層與下浮置閘3a重疊區域之寬度可以藉由控制該側壁絕緣膜7a之寬度而最佳化。所以，該浮置閘可以容易地縮小。

例子4

如圖5(a)及5(a')所示，通道氧化物膜2、多晶矽膜3、氧化矽膜4以及氮化矽膜5為依序形成在p-型半導體底材1活性區域上以例子1相同方式形成下浮置閘。

之後，如圖5(b)及5(b')所示，p-型半導體底材1之曝光區域以及該多晶矽膜3之側壁為熱氧化以形成大約2至大約50 nm厚之氧化矽膜6。該熱氧化形成氧化矽膜4為具有低濕蝕刻速率之密集氧化矽膜4a。

五、發明說明 (23)

接著，如圖5(c)及5(c')所示，在p-型半導體底材1上之氧化矽膜6為藉由乾蝕刻而移除，而只留下該氧化矽膜6a在下浮置閘側壁上。使用該下浮置閘及氧化矽膜6a為光罩，離子植入以圖2(b)相同方式執行以形成雜質層8。

之後，如圖5(d)及5(d')所示，離子植入以圖2(c)相同方式執行以形成雜質層9。之後，雜質層8及9為藉由加熱而啟動。

接著，如圖5(e)及5(e')所示，為絕緣膜之埋入絕緣膜10藉由HDP-CVD方法沈積為大約400至大約600 nm厚以及頂部部分藉由使用稀釋氫氟酸之濕蝕刻方法移除以完全曝光該圖案化氮化矽膜5頂部表面，如圖5(f)及5(f')所示。

之後，如圖5(g)及5(g')所示，該氮化矽膜5藉由使用熱磷酸之濕蝕刻方法移除。該埋入絕緣膜10a蝕刻為圓形形狀而藉由濕蝕刻方法使用稀釋氫氟酸移除氧化矽膜4。因此，埋入絕緣膜10b充填在介於下浮置閘之間之空間。

之後，如圖5(i)及5(i')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP方法研磨直到介於下浮置閘之間之空間之該氧化矽膜10b曝光為止，如圖5(j)及5(j')所示。因此，形成將為上浮置閘之多晶矽膜11a。

此後，如圖5(k)及5(k')所示，ONO膜12以及多晶矽化金屬膜13為形成。使用藉由微影圖案化之光阻膜R3為光罩，控制閘13a以及包括下浮置閘3a與上浮置閘11b之浮置閘為藉由RIE方法圖案化。之後，形成用於記憶體裝置隔離之

五、發明說明 (24)

雜質層14。

之後，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)該多晶矽膜側壁3之熱氧化使該氧化矽膜4密集以及該氧化矽膜4之蝕刻速率可以設定為後者步驟沈積之埋入絕緣膜10相同程度，因此該埋入絕緣膜10a圓形部分之寬度可以為較大。依據此情形，該埋入絕緣膜10a往上凸之曲率變成溫和，使圓形部分上之控制閘形成較容易。此外，增加該浮置閘頂部表面面積可以改良經由插入層絕緣膜之耦合比率以及寫入速度。

例子5

首先，如圖6(a)及6(a')所示，通道氧化物膜2、多晶矽膜3、氧化矽膜4以及氮化矽膜5為依序形成在p-型半導體底材1活性區域上以例子1相同方式形成下浮置閘。

之後，如圖6(b)及6(b')所示，p-型半導體底材1之曝光區域以及該多晶矽膜3之側壁為熱氧化以形成大約2至大約50 nm厚之氧化矽膜6。該熱氧化形成氧化矽膜4為具有低濕蝕刻速率之密集氧化矽膜4a。

之後，如圖6(c)及6(c')所示，為絕緣膜材料之大約25至大約75 nm厚之氧化矽膜7藉由CVD方法沈積，而且之後該氧化矽膜7以及氧化物膜6藉由RIE方法回蝕以形成在下浮置閘側壁上之側壁絕緣膜7a及6a。使用該下浮置閘以及側壁絕緣膜7a為光罩，雜質層8藉由例如與圖2(b)所示相

五、發明說明 (25)

同方式之離子植入加以形成。

之後，如圖6(d)及6(d')所示，雜質層9藉由例如與圖2(c)相同方式之離子植入加以形成。該雜質層8及9藉由加熱以及擴散至下浮置閘之下而啟動。

連續地，如圖6(e)及6(e')所示，為絕緣膜材料之大約400至大約600 nm厚之氧化矽膜10藉由HDP-CVD方法而形成。此外，氧化矽膜10之頂部部分為移除以藉由使用稀釋氫氟酸之濕蝕刻方法完全曝光該圖案化氮化矽膜5，如圖6(f)及6(f')所示。

之後，如圖6(g)及6(g')所示，該氮化矽膜5藉由使用熱磷酸之濕蝕刻方法移除。如圖6(h)及6(h')所示，該埋入絕緣膜10a以及側壁絕緣膜7a蝕刻為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4。因此，該埋入絕緣膜10b以及側壁絕緣膜7b充填在介於下浮置閘之間之空間。

接著，如圖6(i)及6(i')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP方法研磨直到介於下浮置閘之間之空間之該氧化矽膜10b曝光為止，如圖6(j)及6(j')所示。因此形成將為上浮置閘之多晶矽膜11a。

如圖6(k)及6(k')所示，ONO膜12以及多晶矽化金屬膜13為形成。使用藉由微影圖案化之光阻膜R3為光罩，控制閘13a以及包括上浮置閘11b與下浮置閘3a之浮置閘為藉由RIE方法圖案化。之後，形成用於記憶體裝置隔離之雜質

五、發明說明 (26)

層14。

之後，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)該多晶矽膜側壁3之熱氧化使該氧化矽膜4密集以及該氧化矽膜4之蝕刻速率可以設定為後者步驟沈積之埋入絕緣膜10相同程度，因此該埋入絕緣膜10a圓形部分可以變寬。

2)此外，控制介於該側壁絕緣膜與該埋入絕緣膜10a之間之蝕刻速率為側壁絕緣膜/埋入絕緣膜10a>1，使具有二不同曲率圓形部分之該埋入絕緣膜能夠以類似往上凸之形狀形成，使得控制閘在圓形部分上之形成較容易。

例子6

如圖7(a)及7(a')所示，通道氧化物膜2、多晶矽膜3、氧化矽膜4以及氮化矽膜5為依序形成在p-型半導體底材1活性區域上以例子5相同方式形成下浮置閘。

之後，如圖7(b)及7(b')所示，p-型半導體底材1之曝光區域以及該多晶矽膜3之側壁為熱氧化以形成大約2至大約50 nm厚之氧化物膜6。該熱氧化將氧化矽膜4形成為具有低濕蝕刻速率之密集氧化矽膜4a。之後，為絕緣膜材料之大約25至大約75 nm厚之氧化矽膜7藉由CVD方法沈積。該氧化矽膜7以及氧化物膜6藉由RIE方法回蝕以形成在下浮置閘側壁上之側壁絕緣膜7a及6a。

接著，如圖7(c)及7(c')所示，使用該下浮置閘以及側壁絕緣膜7a為光罩，雜質層8藉由圖2(b)所示相同方式之

五、發明說明 (27)

離子植入加以形成。之後，如圖7(d)及7(d')所示，延伸至側壁絕緣膜7a以下之雜質層8a為藉由加熱形成。該加熱為執行，所以該側壁絕緣膜7a為密集化足夠程度以及形成為具有與氧化矽膜4a實質上相同蝕刻速率之側壁絕緣膜7b。

之後，如圖7(e)及7(e')所示，該雜質層8及9藉由，例如圖2(c)所示相同方式之離子植入加以形成。該雜質層8a及9藉由加熱以形成延伸至下浮置閘之下之雜質層9a而啟動。

連續地，如圖7(f)及7(f')所示，將為絕緣膜材料之大約400至大約600 nm厚之氧化矽膜10藉由HDP-CVD方法形成。之後，如圖7(g)及7(g')所示，該氧化矽膜10頂部部分為藉由使用稀釋氫氟酸之濕蝕刻方法移除以完全曝光該圖案化氮化矽膜5表面之頂部部分。

如圖7(h)及7(h')所示，該氮化矽膜5為藉由使用熱磷酸之濕蝕刻方法移除。之後，如圖7(i)及7(i')所示，該埋入絕緣膜10a以及側壁絕緣膜7a蝕刻為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4。因此，該埋入絕緣膜10b以及側壁絕緣膜7b充填在介於下浮置閘之間之空間。

接著，如圖7(j)及7(j')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP方法研磨直到介於下浮置閘之間之空間之該氧化矽膜10b曝光為止，以形成將形成為上浮置閘之多晶矽膜11a，如

五、發明說明 (28)

圖7(k)及7(k')所示。

之後，如圖7(l)及7(l')所示，ONO膜12以及多晶矽化金屬膜13為沈積。使用藉由微影圖案化之光阻膜R3為光罩，控制閘13a以及包括上浮置閘11b與下浮置閘3a之浮置閘為藉由RIE方法圖案化。之後，使用該控制閘13a為光罩形成用於記憶體裝置隔離之雜質層14。

此後，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)在形成該側壁絕緣膜之後之熱處理使該側壁絕緣膜密集以及該側壁絕緣膜之蝕刻速率可以設定為後者步驟沈積之埋入絕緣膜10相同程度，因此該埋入絕緣膜10a圓形部分之寬度可以變成較大。因此，該圓形部分之曲率變成溫和，使圓形部分上之控制閘圖案化較容易。此外，增加該浮置閘頂部面積改良經由插入層絕緣膜之耦合比率以及寫入速度。

2)此外，雜質層為藉由經由該側壁絕緣膜植入雜質而形成，所以雜質層與下浮置閘3a重疊區域之寬度可以藉由控制該側壁絕緣膜之寬度而最佳化。因此，該浮置閘可以容易地縮小。

例子7

此例子以例子6相同方式實行。首先，通道氧化物膜2、多晶矽膜3、氧化矽膜4以及氮化矽膜5為形成在p-型半導體底材1活性區域上以形成下浮置閘。側壁絕緣膜7a及6a為形成在下浮置閘側壁上。此外，形成雜質層8。

五、發明說明 (29)

在形成雜質層8之後，該側壁絕緣膜7a為密集化而加熱以及形成為具有實質上與氧化矽膜4a相同濕蝕刻速率之側壁絕緣膜7b。之後，雜質層9為形成以及啟動。

連續地，大約400至大約600 nm厚之氧化矽膜10為藉由HDP-CVD方法沈積為介於下浮置閘之間以具有實質上與該氧化矽膜4a以及側壁絕緣膜7b相同之濕蝕刻速率。之後，如圖8(a)所示，使用氫氟酸之濕蝕刻方法為執行以曝光該氮化矽膜5頂部表面以及該氮化矽膜5以熱磷酸加以移除。

此外，如圖8(b)所示，該埋入絕緣膜10a蝕刻為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4。

此後，半導體記憶體裝置以例子1相同方式完成。

如上述之製造半導體記憶體裝置方法，1)該埋入絕緣膜10a圓形部分之寬度可以藉由設定該埋入絕緣膜10a與側壁絕緣膜之蝕刻速率實質上為相同程度而形成為較大。依據此情形，該埋入絕緣膜10a往上凸之曲率變成溫和，使在圓形部分上控制閘之形成較容易。此外，增加浮置閘頂部面積改良經由插入層電容膜之耦合比率以及寫入速度。

例子8

如圖9(a)及9(a')所示，由大約10 nm厚之氧化矽製成之通道氧化物膜2藉由熱氧化形成在p-型半導體底材1活性區域上，而為下浮置閘材料之大約50 nm厚之磷摻雜之多晶矽膜3、藉由CVD方法形成之為絕緣膜材料之大約50至大約150 nm厚之氧化矽膜4以及為絕緣膜之大約為200 nm之氮

五、發明說明（30）

化矽膜5為形成。使用藉由微影而圖案化之光阻膜R1為光罩，該氮化矽膜5、氧化矽膜4多晶矽膜3以及通道氧化物膜2為依序蝕刻以形成下浮置閘。此時，該氮化矽膜5以及氧化矽膜4圖案化為錐形形狀。

如圖9(b)及9(b')所示，該光阻膜R1為移除以及之後雜質層8藉由圖2(b)所示相同方式之離子植入使用該下浮置閘為光罩加以形成。之後，如圖9(c)及9(c')所示，砷離子，例如以大約-15°至大約-35°、大約5至大約40 keV以及大約$1x10^{15}$至大約$1x10^{16}/cm^2$植入以形成雜質層9。此後，雜質藉由加熱而啟動。

接著，如圖9(d)及9(d')所示，為絕緣膜之大約400至大約600 nm厚之氧化矽膜10為藉由HDP-CVD方法沈積。該氧化矽膜10頂部部分藉由使用稀釋氫氟酸之濕蝕刻方法移除以完全曝光該圖案化氮化矽膜5頂部表面，如圖9(e)及9(e')所示。此時，埋入絕緣膜10a形成為突出形狀。

之後，如圖9(f)及9(f')所示，該氮化矽膜5藉由使用熱磷酸之濕蝕刻方法加以移除。之後，該埋入絕緣膜10a蝕刻為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4，如圖9(g)及9(g')所示。該埋入絕緣膜10a之突出可以藉由設定該埋入絕緣膜10a蝕刻量為大於在該氧化矽膜4移除時之突出量而完全移除。因此，埋入絕緣膜10b為充填在介於下浮置閘之間之空間。

接著，如圖9(h)及9(h')所示，為增加該閘耦合比率，大約100 nm厚之磷摻雜之多晶矽膜11為形成以及藉由CMP

五、發明說明 (31)

方法研磨直到在介於下浮置閘之間之空間之該埋入絕緣膜10b頂部表面曝光為止，如圖9(i)及9(i')所示。因此，形成為上浮置閘之多晶矽膜11a。

之後，如圖9(j)及9(j')所示，ONO膜12以及多晶矽化金屬膜13為形成。使用藉由微影圖案化之光阻膜R3為光罩，控制閘13a以及包括上浮置閘11b與下浮置閘3a之浮置閘為藉由RIE方法圖案化。之後，使用該控制閘13a為光罩形成用於記憶體裝置隔離之雜質層14。

此後，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)該氧化矽膜4以及該氮化矽膜5圖案化為錐形形狀。因此，具有較小曲率之傾斜部分之往上投射之埋入絕緣膜可以在後者步驟中形成。因此，該控制閘可以容易地形成在該傾斜部分上。

2)此外，該氧化矽膜4以及該氮化矽膜5之錐形角度影響在後者步驟中形成之該埋入絕緣膜傾斜部分之曲率。所以控制該錐形角度使該埋入絕緣膜傾斜部分之寬度能夠縮小相當於該錐形部分偏離量。因此，該浮置閘之縮小可以容易地實現。

例子9

以例子1相同方式，通道氧化物膜2、多晶矽膜3、氧化矽膜4、氮化矽膜5雜質層8及9以及藉由HDP-CVD方法之氧化矽膜10為形成在p-型半導體底材1活性區域上。之後，如圖10(a)所示，該氮化矽膜5之頂部表面為曝光以及藉由

五、發明說明 (32)

CMP方法取代使用稀釋氫氟酸之濕蝕刻方法研磨。

之後，該氮化矽膜5藉由使用熱磷酸之濕蝕刻方法移除以及埋入絕緣膜10a回蝕為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除氧化矽膜4，如圖10(b)所示。

此後，半導體記憶體裝置以例子1相同方式加以完成。

如上述之製造半導體記憶體裝置方法，1)該氮化矽膜5使用為用於研磨該埋入絕緣膜10之制動裝置，所以該合成埋入絕緣膜10a具有與該氮化矽膜5相同平坦平面。特別是，即使側壁絕緣膜形成在該多晶矽膜側壁上為下浮置閘材料，仍不需要控制該埋入絕緣膜10a之移除，以不曝光該側壁絕緣膜，而使該製造方法簡單以及容易。

例子10

如圖11(a)及11(a')所示，由大約10 nm厚之氧化矽製成之通道氧化物膜2藉由熱氧化形成在p-型半導體底材1活性區域上，而為下浮置閘材料之大約50 nm厚之磷摻雜之多晶矽膜3、藉由CVD方法之為絕緣膜材料之大約50至大約150 nm厚之氧化矽膜4以及為絕緣膜之大約為300 nm之氮化矽膜5為形成在上面。使用藉由微影而圖案化之光阻膜R1為光罩，該氮化矽膜5、氧化矽膜4多晶矽膜3以及通道氧化物膜2為依序蝕刻以形成下浮置閘。

如圖11(b)及11(b')所示，該光阻膜R1為移除以及之後雜質層8藉由圖2(b)所示相同方式之離子植入使用該下浮置閘為光罩加以形成。此外，如圖11(c)及11(c')所示，雜質層9藉由，例如以大約-15°至大約-35°、大約5至大

五、發明說明 (33)

約40 keV以及大約1x10^{15}至大約1x10^{16}/cm^{2}植入砷離子而形成。之後，雜質藉由加熱而啟動。

接著，如圖11(d)及11(d')所示，為絕緣膜之大約500至大約700 nm厚之氧化矽膜10為藉由HDP-CVD方法沈積。該氧化矽膜10頂部部分藉由使用稀釋氫氟酸之濕蝕刻方法移除以完全曝光該圖案化氮化矽膜5頂部表面，如圖11(e)及11(e')所示。此時，介於該氧化矽膜4頂部表面與氮化矽膜10頂部表面之間之位準差需要大於將在稍後執行之氧化矽膜4移除時縮小之該氧化矽膜10之厚度。

此後，如圖11(f)及11(f')所示，該氮化矽膜5藉由使用熱磷酸之濕蝕刻加以移除。之後，如圖11(g)及11(g')所示，該埋入絕緣膜10a回蝕為圓形形狀而藉由使用稀釋氫氟酸之濕蝕刻方法移除該氧化矽膜4。結果，該埋入絕緣膜10b上側部分形成為垂直於該半導體底材表面。

之後，如圖11(h)及11(h')所示，為增加該閘耦合比率，大約200 nm厚之磷摻雜多晶矽膜11為形成以及藉由CMP方法研磨直到在介於下浮置閘之間之空間之該埋入絕緣膜10b曝光為止，以形成為上浮置閘材料之多晶矽膜11a。即使藉由CMP方法之研磨不準確，多晶矽膜11a之上表面，亦即，將以ONO膜覆蓋之上表面面積可以藉由控制該多晶矽膜11a而禁止以跨越該埋入絕緣膜10b垂直側部分。

此外，如圖11(j)及11(j')所示，該埋入絕緣膜10b使用多晶矽膜11a為光罩回蝕以曝光該多晶矽膜11a之側壁。該

五、發明說明 (34)

埋入絕緣膜10b需要回蝕，所以該多晶矽膜11a圓形部分不為曝光，亦即，幾乎只有該多晶矽膜11a之側壁為曝光。

此外，如圖11(k)及11(k')所示，ONO膜12以及多晶矽化金屬膜13為沈積。使用藉由微影而圖案化之光阻膜R3為光罩，控制閘13a以及包括上下浮置閘11b與下浮置閘3a之浮置閘為藉由RIE方法加以形成。之後，使用該控制閘13a為光罩形成用於記憶體裝置隔離之雜質層14。

之後，插入層絕緣膜、接觸孔以及金屬繞線為藉由已知技術形成以完成半導體記憶體裝置。

如上述之製造半導體記憶體裝置方法，1)介於多晶矽膜11a之間之埋入絕緣膜10b之頂部部分為回蝕一程度，如此該多晶矽膜11a之圓形部分不曝光。因此，該表面面積可以由該曝光垂直側壁面積，以及經由該插入電容膜之耦合比率增加以及改良寫入速度。

例子11

如圖12所示，在此例子之半導體記憶體裝置中，包括下浮置閘3a及上浮置閘11b二層結構之浮置閘經由通道氧化物膜2之插入形成在p-型半導體底材活性區域上，以及控制閘13a經由電容絕緣膜之ONO膜12之插入而形成在浮置閘上。該下浮置閘3a具有實質上垂直於底材表面之側壁。該上浮置閘11b形成在該下浮置閘3a上以及具有幾乎反向錐形形狀之側壁。

與浮置閘形成相當之幾乎錐形形狀之該埋入絕緣膜10b，配置於介於該浮置閘之間之空間。

五、發明說明（35）

此外，為相互非對稱之雜質層8a及9a分別形成在該下浮置閘3a之二側以跨越該控制閘13a。

如該下浮置閘3a形狀之該埋入絕緣膜10b高度為決定，如此該下浮置閘3a在控制閘13a、ONO膜12以及浮置閘蝕刻之後不保留。

如上述之半導體記憶體裝置由分層以及電氣連接之二導電材料組成。接觸為下浮置閘之該多晶矽膜側壁之埋入絕緣膜形成為如此之薄，所以當該控制閘形成時，該多晶矽膜不保留。所以該控制閘可以容易地形成而且可以避免記憶體裝置之失效。

此外，該埋入絕緣膜形成為具有往頂部表面錐形之一部分以及鄰近該下浮置閘之側壁部分。至少在該錐形部分側壁上，為上浮置閘材料之多晶矽膜形成為自我對準，所以該埋入絕緣膜可以確定該厚度足以承擔該控制閘之形成（圖案化）。

此外，在該埋入絕緣膜之錐形部分，該多晶矽膜圖案化為上浮置閘而移除在蝕刻期間產生之反應產品，所以該蝕刻為執行而不具任何失效。

如本發明製造半導體記憶體裝置之方法，介於該浮置閘之間之距離可以縮小，增加每單位面積位元線數目以及縮小單元面積。研磨該浮置閘上表面使能夠形成薄插入層電容膜以及改良寫入速度。此外，在該浮置閘側壁之絕緣膜厚度可以更精確地控制，所以改良維持電荷之特徵以及可以獲得擾動特徵。因此，可以製造高度可靠之半導體記憶

五、發明說明（36）

體 裝 置 。

四、中文發明摘要 （發明之名稱：製造半導體記憶體的方法和半導體記憶體）

製造半導體記憶體之方法包括下列步驟：(a)以此順序形成通道氧化物膜，將為下浮置閘之第一導電膜，第一絕緣膜以及第二絕緣膜在半導體底材上以及圖案化第二絕緣膜、第一絕緣膜、第一導電膜以及通道氧化物膜為所需建構；(b)形成第三絕緣膜在合成底材之全部表面上；(c)縮小第三絕緣膜，直到第二絕緣膜顯露為止；(d)移除第二絕緣膜；(e)移除第一絕緣膜而更進一步縮小第三絕緣膜；(f)在第一導電膜及第三絕緣膜上形成將為上浮置閘之第二導電膜；(g)平坦化第二導電膜直到第三絕緣膜顯露為止；以及(h)在第二導電膜以及第三絕緣膜上形成插入層電容膜以及將為控制閘之第三導電膜，以及圖案化第三導電膜、插入層電容膜、第二導電膜以及第一導電膜以

英文發明摘要 （發明之名稱：PROCESS FOR MANUFACTURING SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR MEMORY DEVICE）

A process for manufacturing a semiconductor memory device comprises the steps of:(a) forming a tunnel oxide film, a first (1st) conductive film to be a lower floating gate, a 1st insulating film and a second (2nd) insulating film in this order on a semiconductor substrate and patterning the 2nd insulating film, the 1st insulating film, the 1st conductive film and the tunnel oxide film into a desired configuration; (b) forming a third (3rd) insulating film on the entire surface of the

四、中文發明摘要　（發明之名稱：製造半導體記憶體的方法和半導體記憶體）

英文發明摘要　（發明之名稱：PROCESS FOR MANUFACTURING SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR MEMORY DEVICE）

conductive film to be a control gate on the 2nd conductive film and the 3rd insulating film, and patterning the 3rd conductive film, the interlayer capacitance film, the 2nd conductive film and the 1st conductive film to form a floating gate and the control gate.

六、申請專利範圍

1. 一種用於製造半導體記憶體裝置之方法，包括下列步驟：

(a)以此順序形成通道氧化物膜，將為下浮置閘之第一導電膜，第一絕緣膜以及第二絕緣膜在半導體底材上以及圖案化第二絕緣膜、第一絕緣膜、第一導電膜以及通道氧化物膜為所需建構；

(b)形成第三絕緣膜形成在合成半導體底材之全部表面上；

(c)縮小第三絕緣膜，直到第二絕緣膜顯露為止；

(d)移除第二絕緣膜；

(e)移除第一絕緣膜而更進一步縮小第三絕緣膜；

(f)在第一導電膜及第三絕緣膜上形成將為上浮置閘之第二導電膜；

(g)平坦化第二導電膜直到第三絕緣膜顯露為止；以及

(h)在第二導電膜以及第三絕緣膜上形成插入層電容膜以及將為控制閘之第三導電膜，以及圖案化第三導電膜、插入層電容膜、第二導電膜以及第一導電膜以形成浮置閘及控制閘。

2. 如申請專利範圍第1項之方法，其中該第三絕緣膜與該第一絕緣膜之蝕刻速率實質上相同。

3. 如申請專利範圍第1項之方法，其中該側壁絕緣膜形成在該圖案化第一導電膜側壁上，該側壁絕緣膜具有實質上與該第一絕緣膜相同之蝕刻速率。

六、申請專利範圍

4. 如申請專利範圍第1項之方法，其中該圖案化第一導電膜側壁為熱氧化以形成該圖案化第一導電膜側壁上之氧化物膜。

5. 如申請專利範圍第1項之方法，其中該側壁絕緣膜在熱氧化該圖案化第一導電膜之後形成在該圖案化第一導電膜側壁上。

6. 如申請專利範圍第5項之方法，其中該側壁絕緣膜為藉由熱處理而密集化以設定蝕刻速率實質上與該第一絕緣膜蝕刻速率相同。

7. 如申請專利範圍第6項之方法，其中該第三與第一絕緣膜之蝕刻速率實質上相同。

8. 如申請專利範圍第1項之方法，其中該第一與第二絕緣膜為圖案化至步驟(a)錐形形狀內。

9. 如申請專利範圍第1項之方法，其中該第三絕緣膜之縮小為藉由步驟(c)之蝕刻或是研磨而執行。

10. 如申請專利範圍第1項之方法，其中該第二導電膜為平坦化直到該第三絕緣膜曝光為止以及之後第三絕緣膜縮小以部分曝光步驟(g)之第二導電膜之側壁。

11. 一種半導體裝置，包括：

形成在具有通道氧化物膜插入之半導體底材上之多數浮置閘；

形成在該浮置閘上之插入層電容；以及

形成在該插入層絕緣膜上之控制閘，

其中該浮置閘包括側壁實質上垂直於該半導體底材表

六、申請專利範圍

面之下浮置閘以及往該下浮置閘上之頂部逐漸加寬之形狀形成之上浮置閘，以及

具有實質上垂直於半導體底材之下側以及往其與下及上浮置閘形狀一致之頂部逐漸變窄之上側之絕緣膜。

圖式

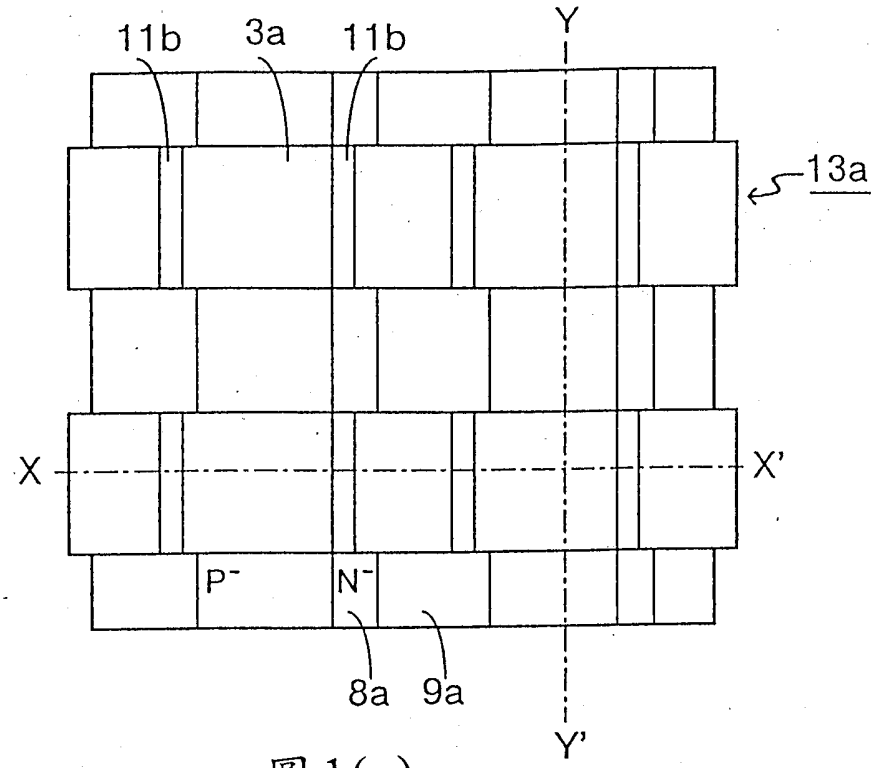

圖 1(a)

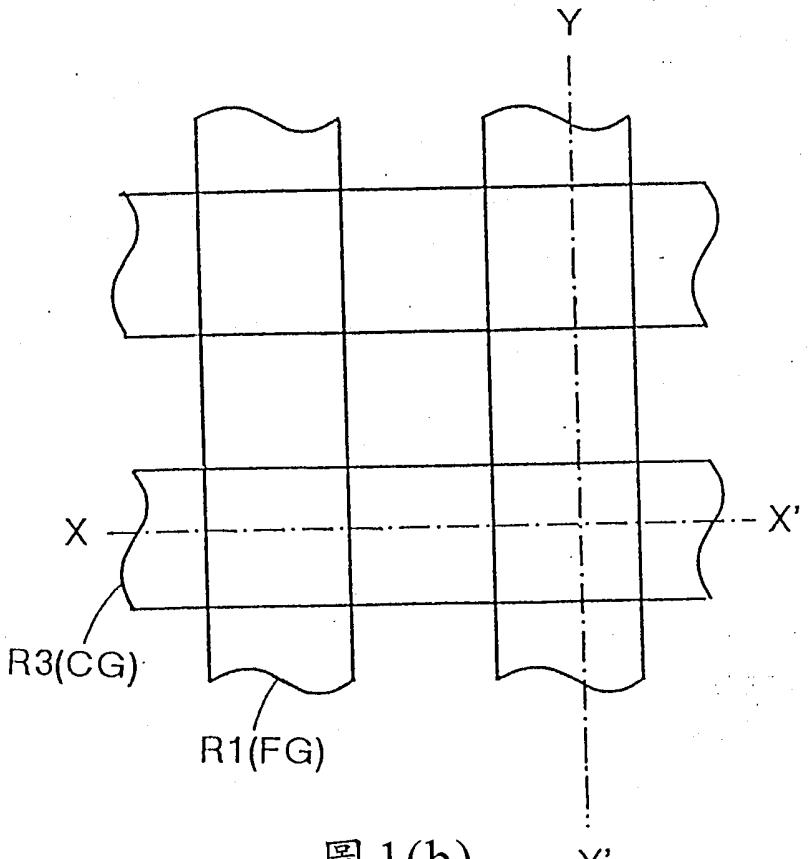

圖 1(b)

圖式

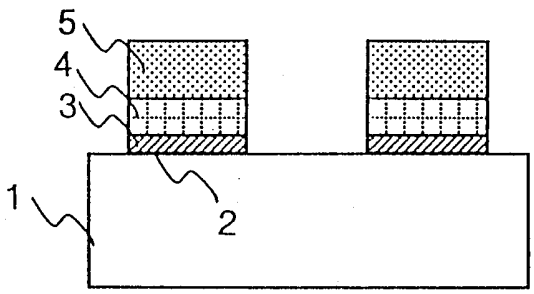

圖 2(a)

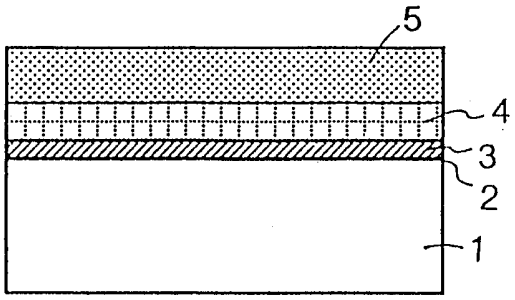

圖 2(a')

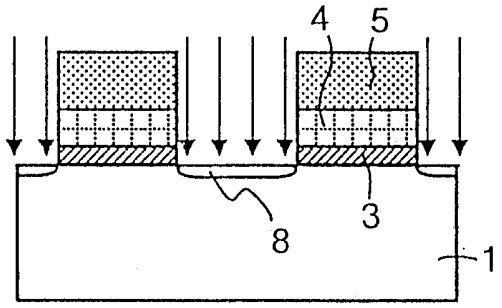

圖 2(b)

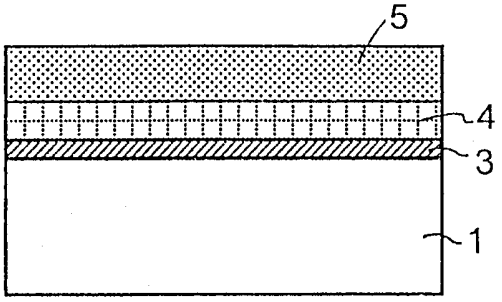

圖 2(b')

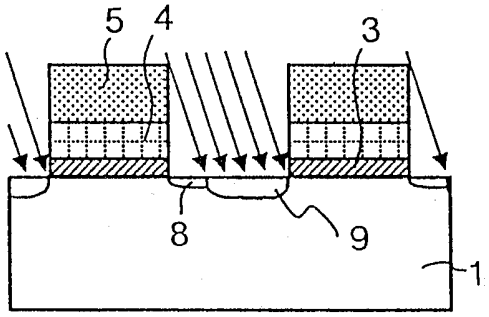

圖 2(c)

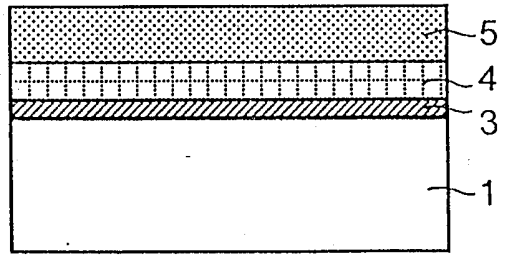

圖 2(c')

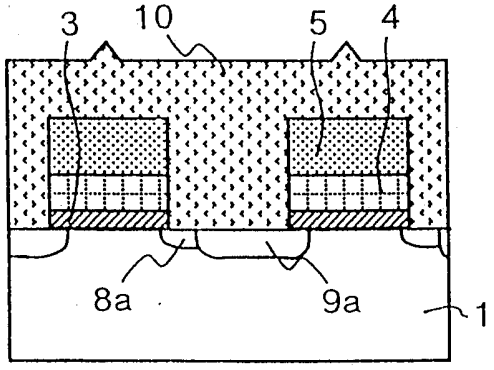

圖 2(d)

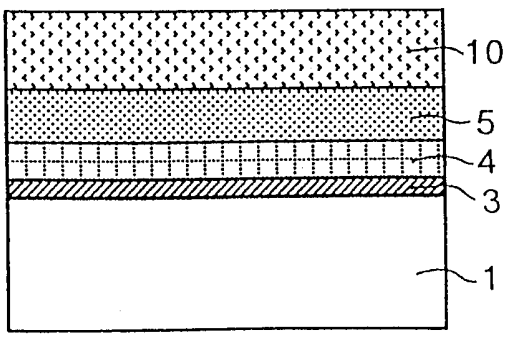

圖 2(d')

圖式

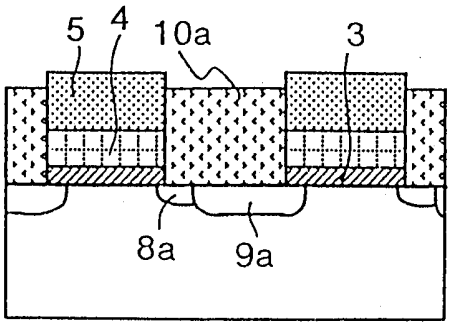

圖 2(e)

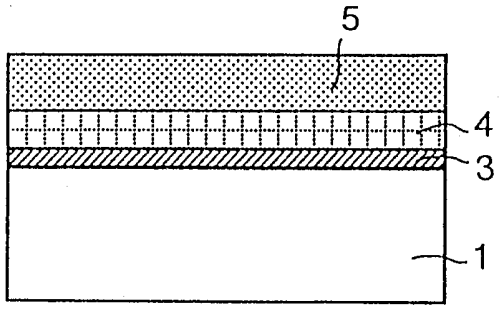

圖 2(e')

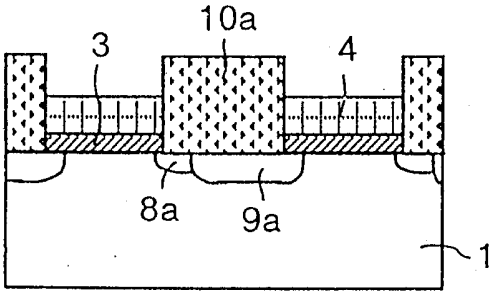

圖 2(f)

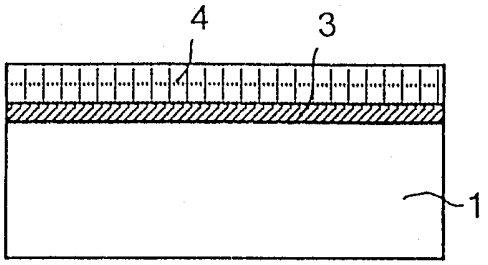

圖 2(f')

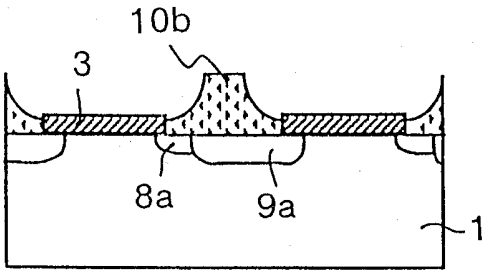

圖 2(g)

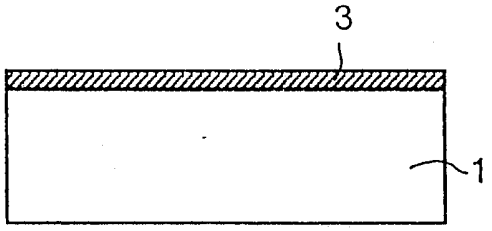

圖 2(g')

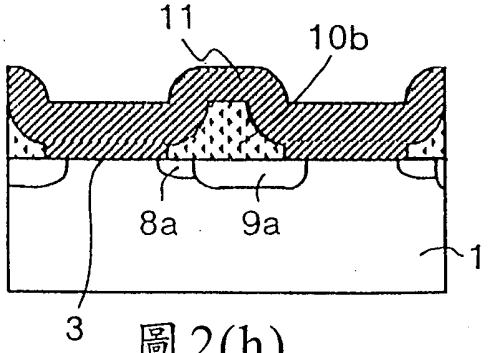

圖 2(h)

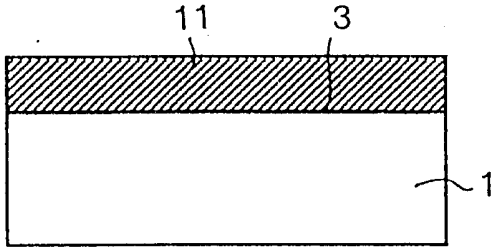

圖 2(h')

圖式

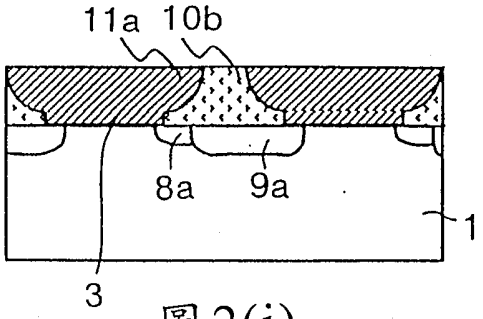

圖 2(i)

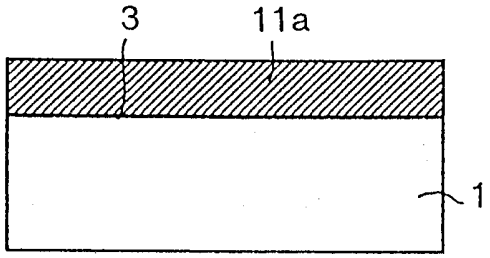

圖 2(i')

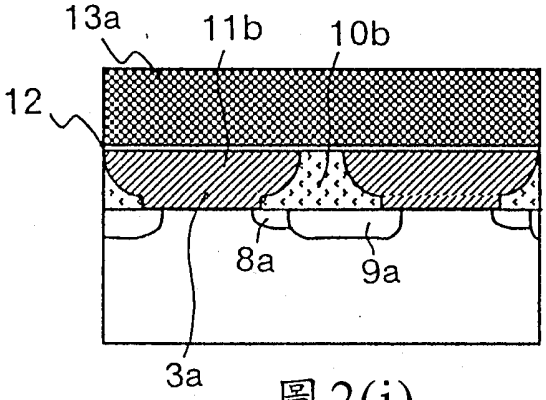

圖 2(j)

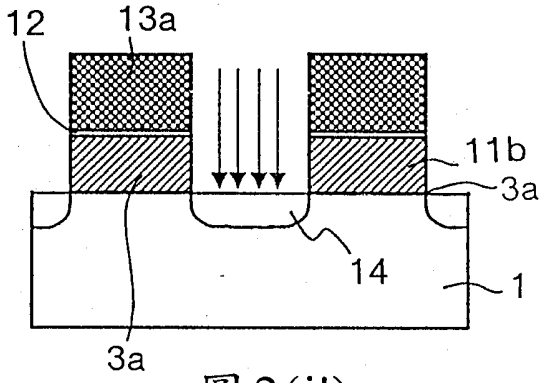

圖 2(j')

圖式

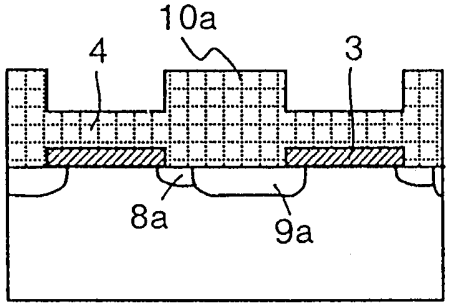

圖3(a)

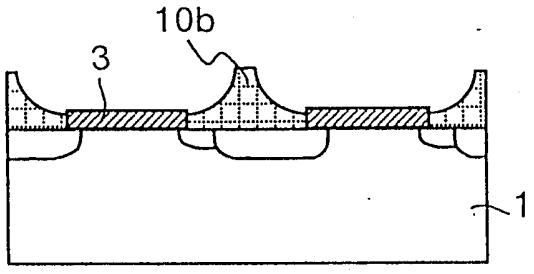

圖3(b)

圖式

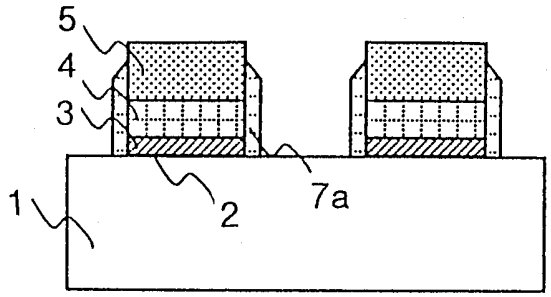

圖 4(a)

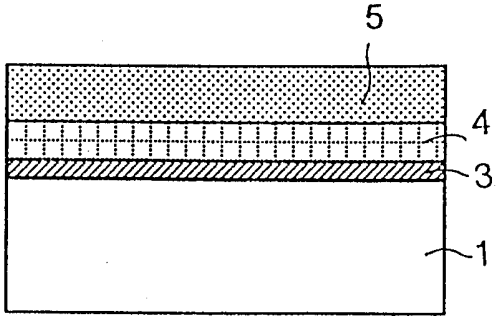

圖 4(a')

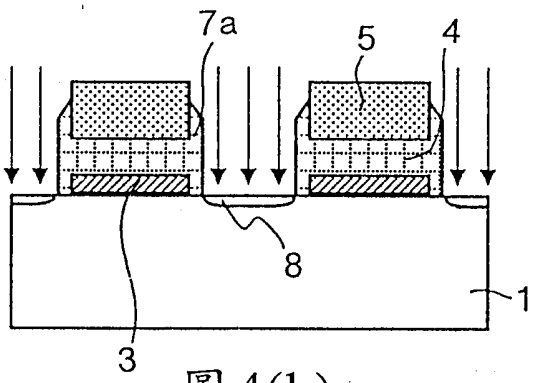

圖 4(b)

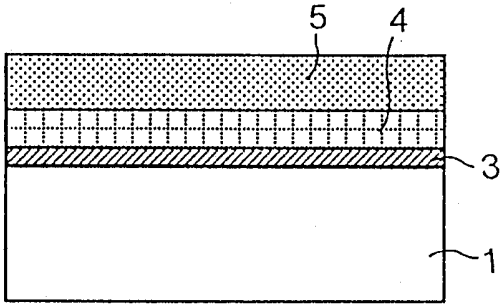

圖 3(b')

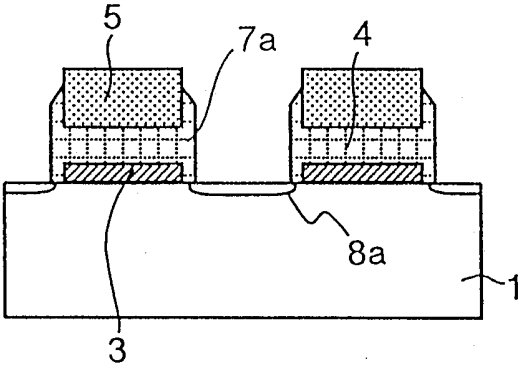

圖 4(c)

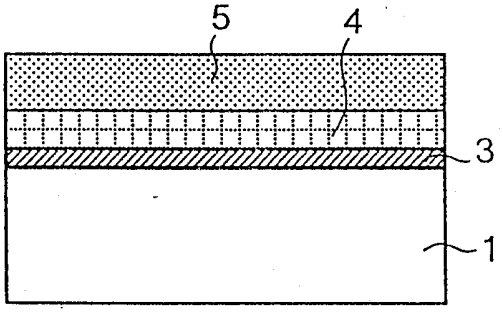

圖 4(c')

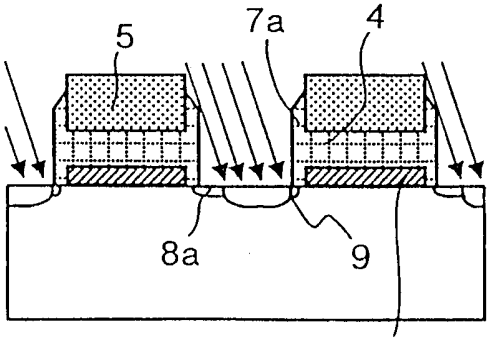

圖 4(d)

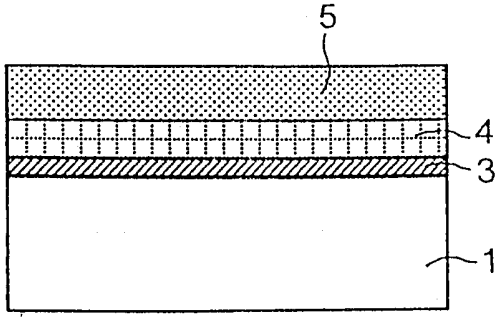

圖 4(d')

圖式

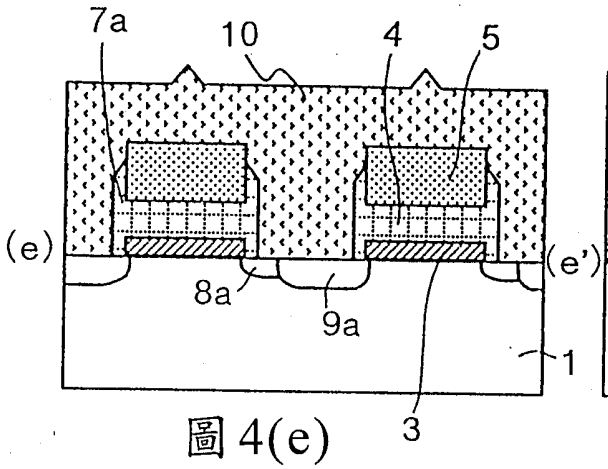

圖 4(e)

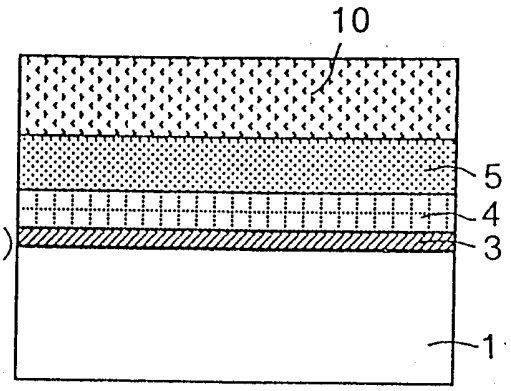

圖 4(e')

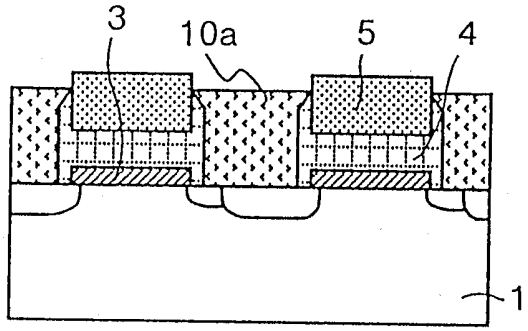

圖 4(f)

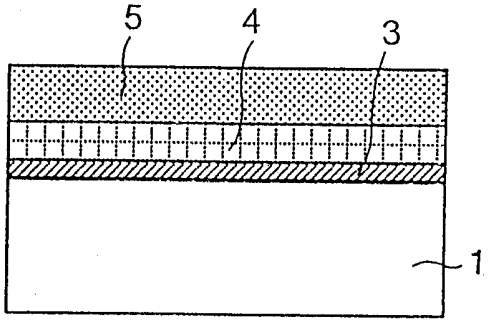

圖 4(f')

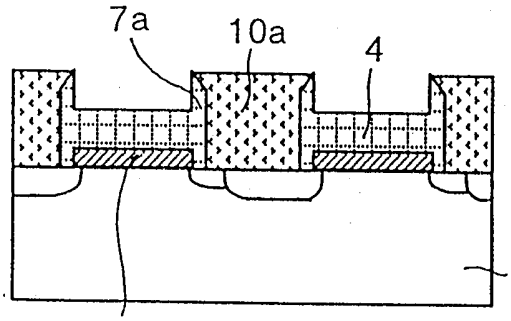

圖 4(g)

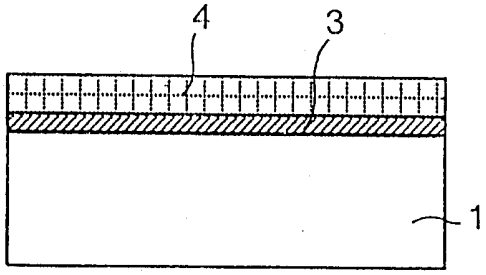

圖 4(g')

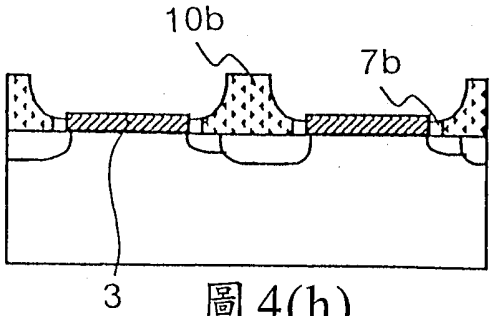

圖 4(h)

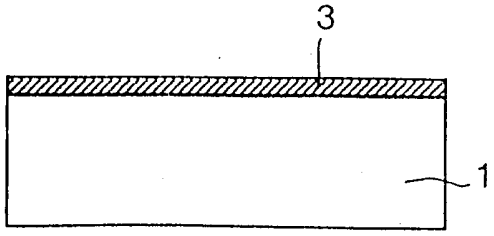

圖 4(h')

圖式

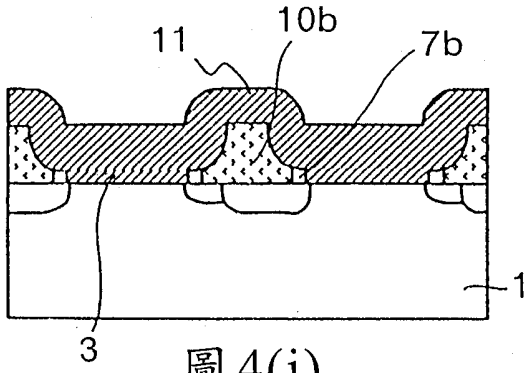

圖 4(i)

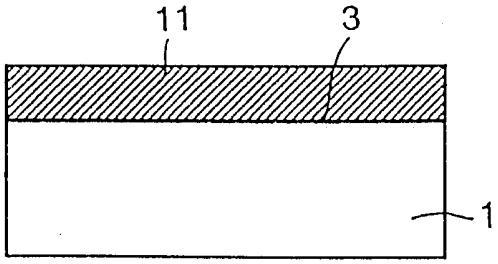

圖 4(i')

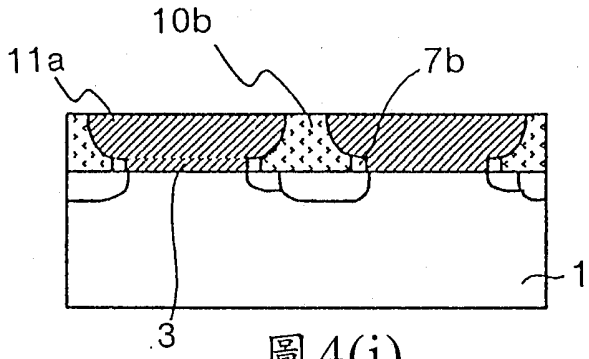

圖 4(j)

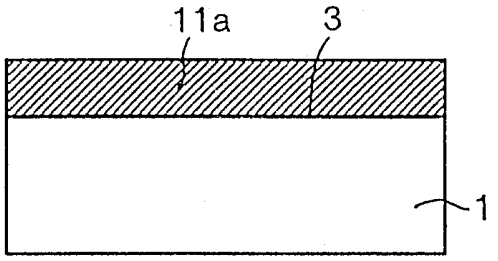

圖 4(j')

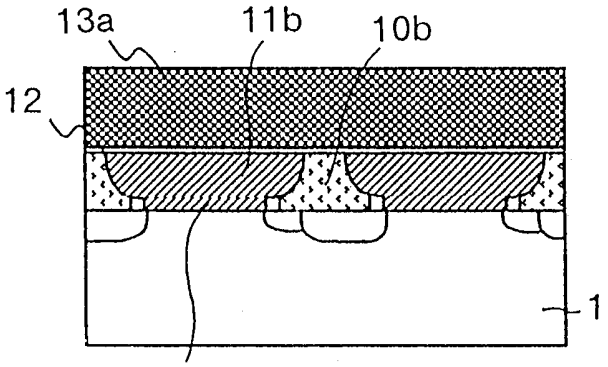

圖 4(k)

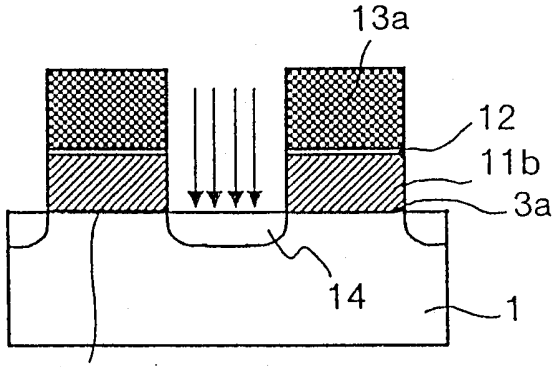

圖 4(k')

圖式

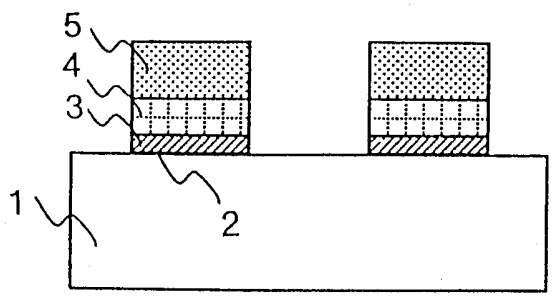

圖 5(a)

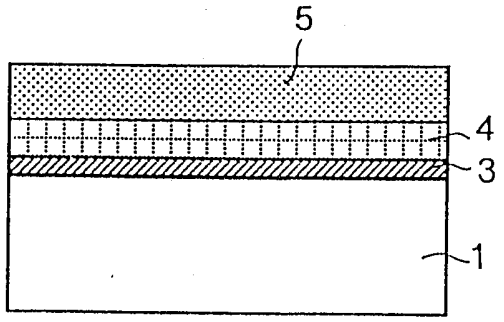

圖 5(a')

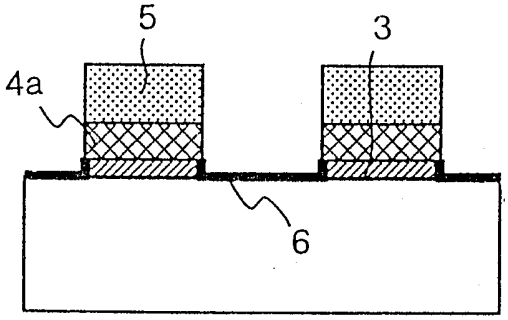

圖 5(b)

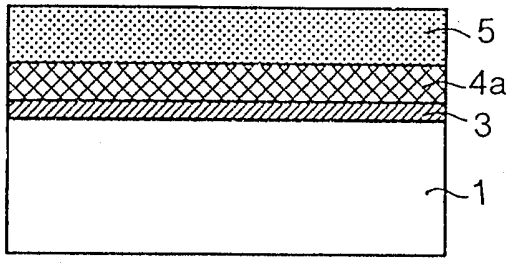

圖 5(b')

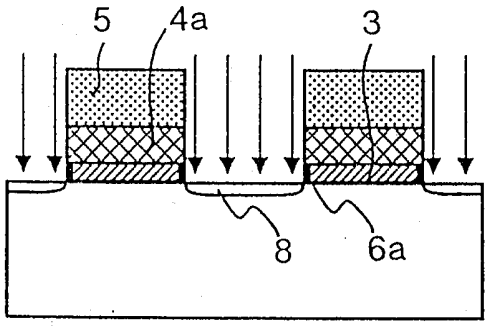

圖 5(c)

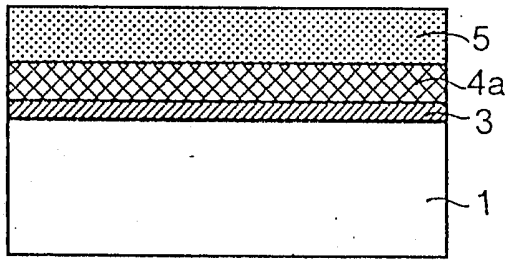

圖 5(c')

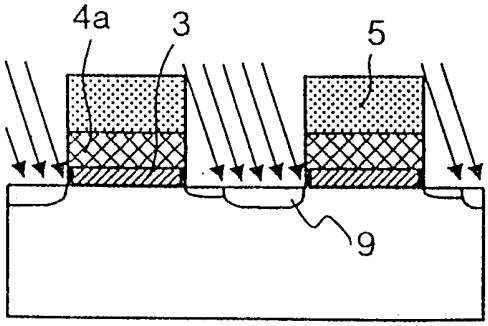

圖 5(d)

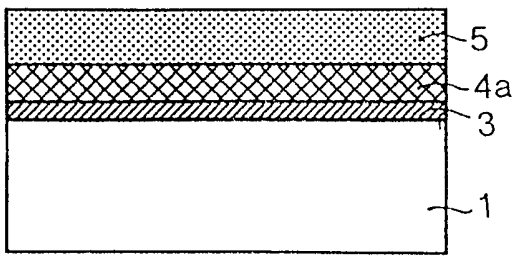

圖 5(d')

圖式

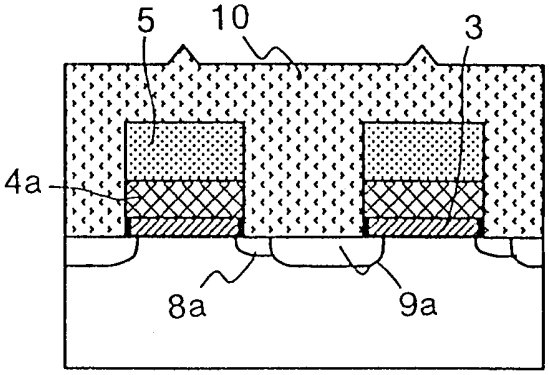

圖 5(e)

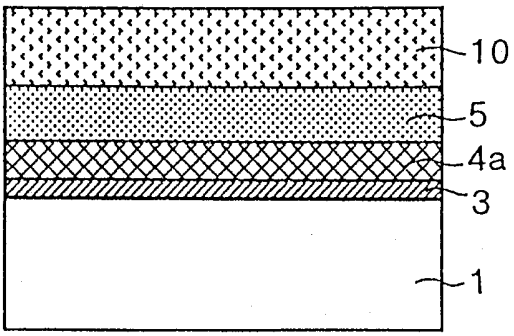

圖 5(e')

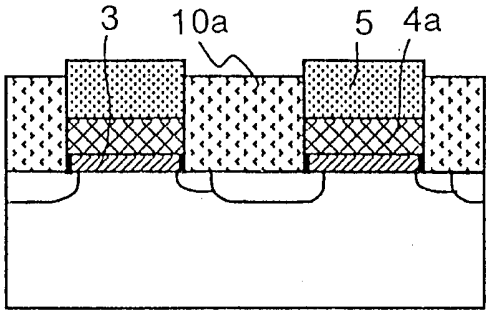

圖 5(f)

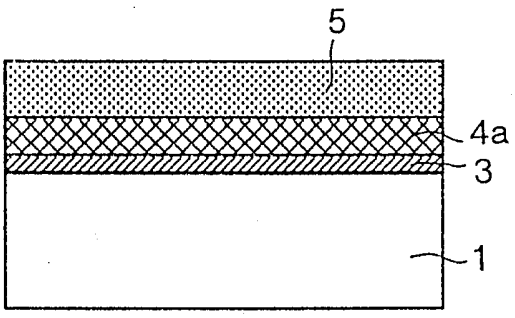

圖 5(f')

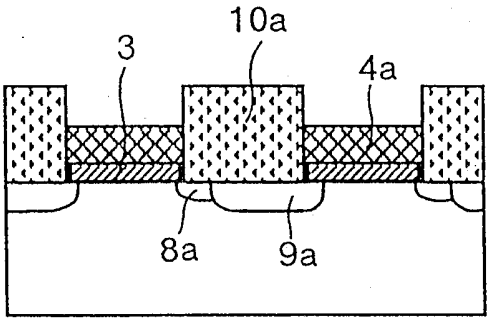

圖 5(g)

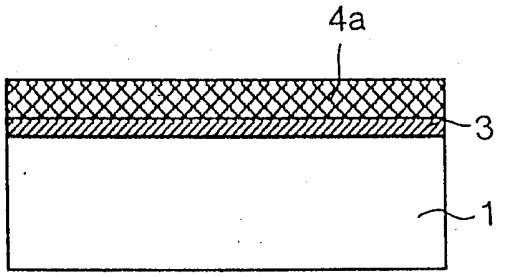

圖 5(g')

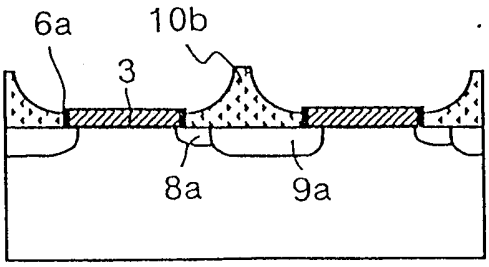

圖 5(h)

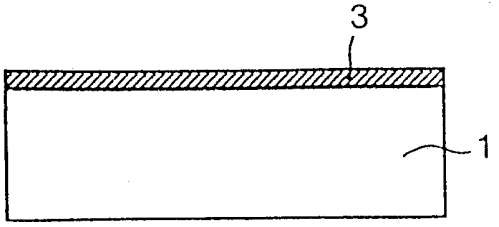

圖 5(h')

圖式

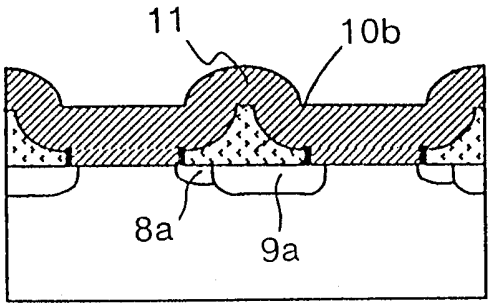

圖 5(i)

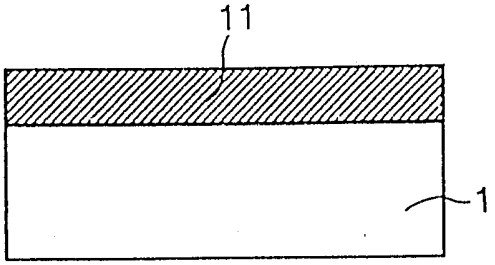

圖 5(i')

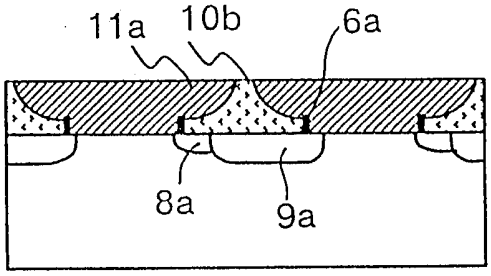

圖 5(j)

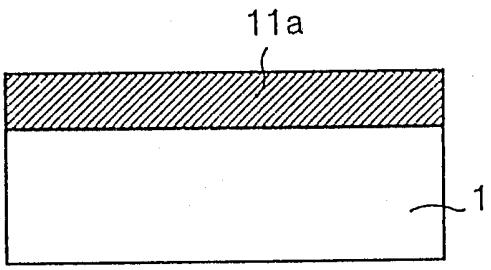

圖 5(j')

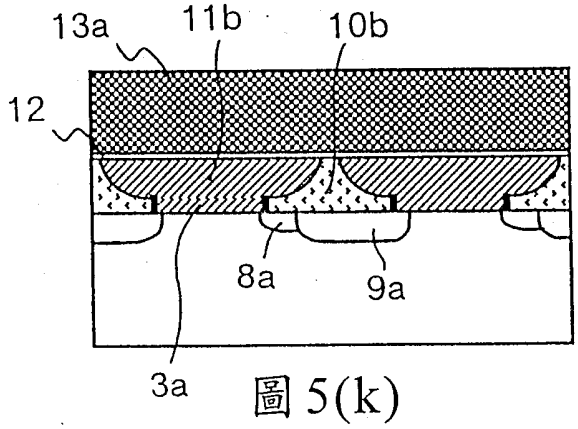

圖 5(k)

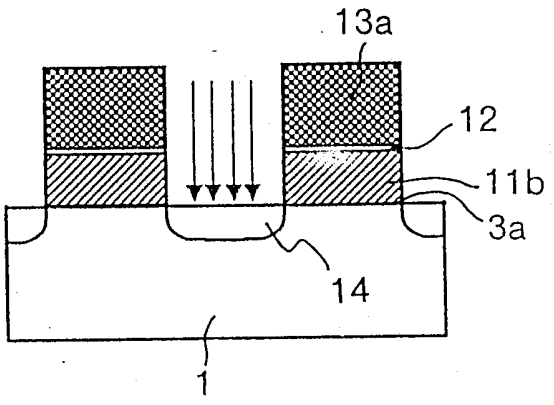

圖 5(k')

圖式

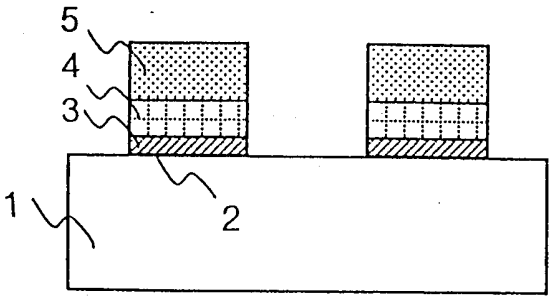

圖 6(a)

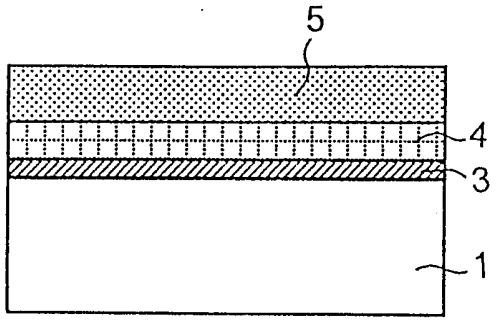

圖 6(a')

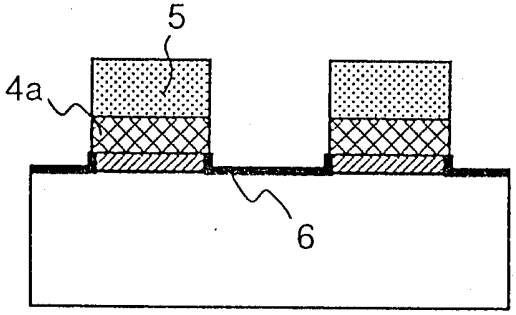

圖 6(b)

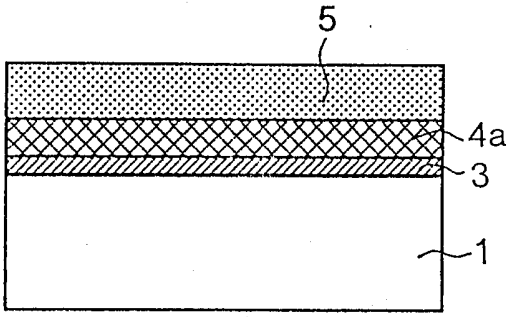

圖 6(b')

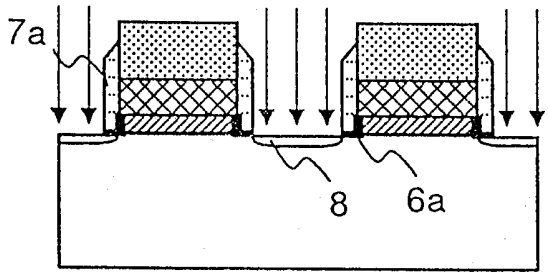

圖 6(c)

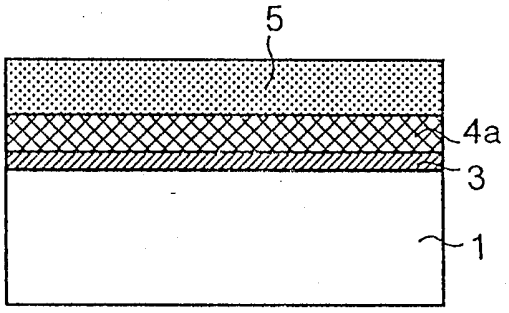

圖 6(c')

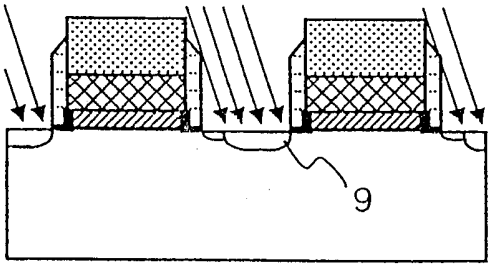

圖 6(d)

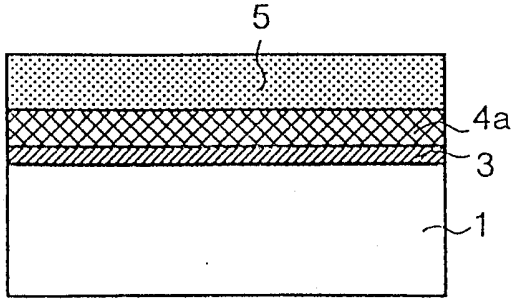

圖 6(d')

圖式

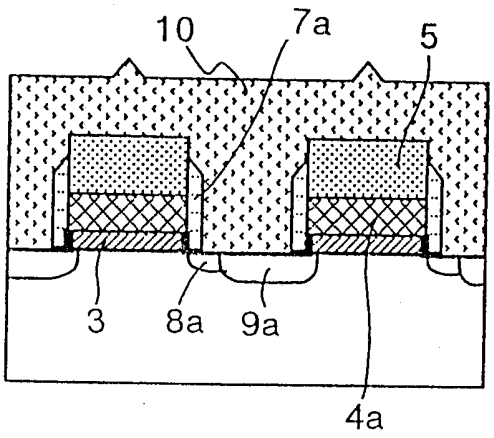

圖 6(e)

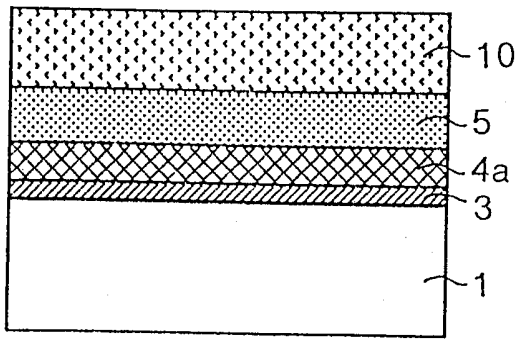

圖 6(e')

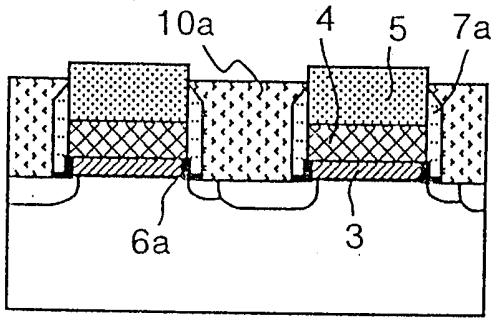

圖 6(f)

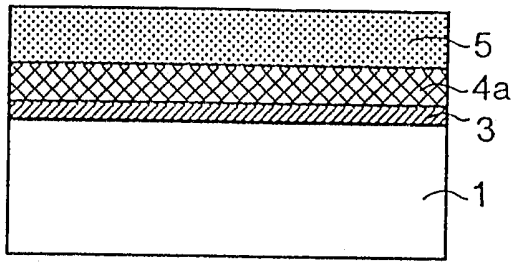

圖 6(f')

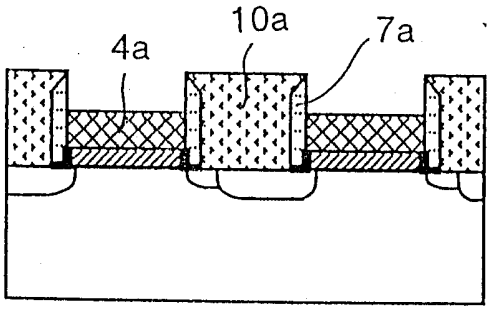

圖 6(g)

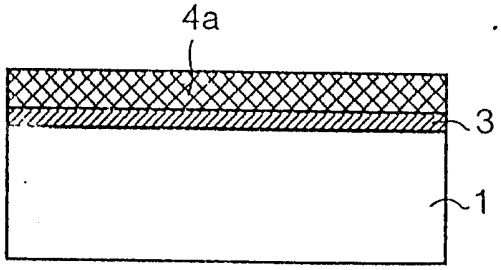

圖 6(g')

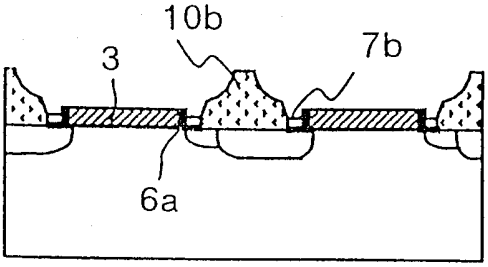

圖 6(h)

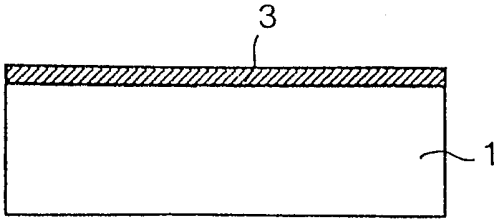

圖 6(h')

圖式

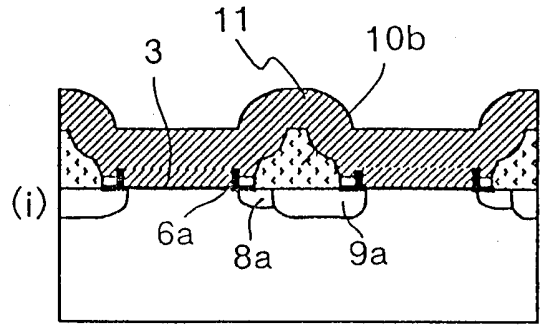

圖 6(i)

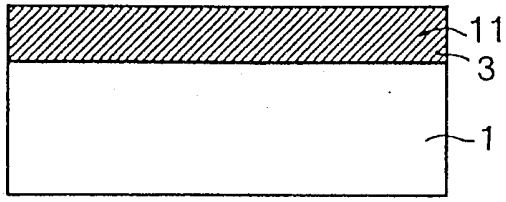

圖 6(i')

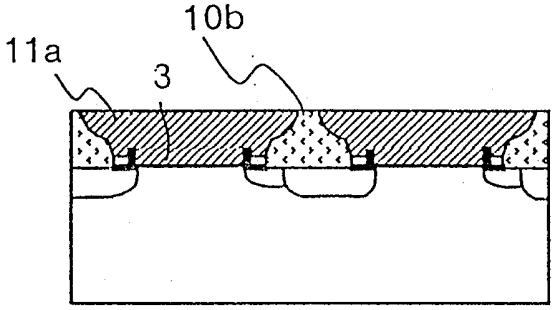

圖 6(j)

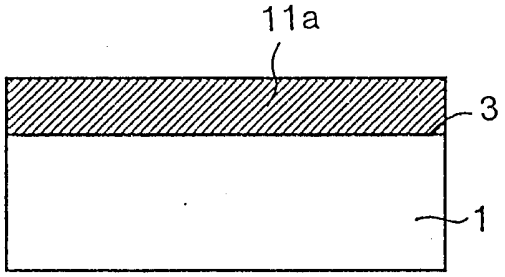

圖 6(j')

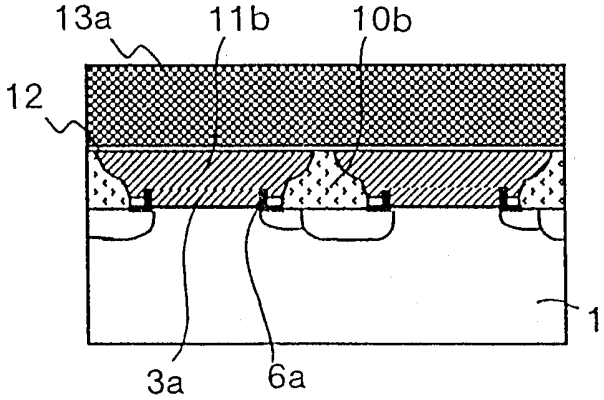

圖 6(k)

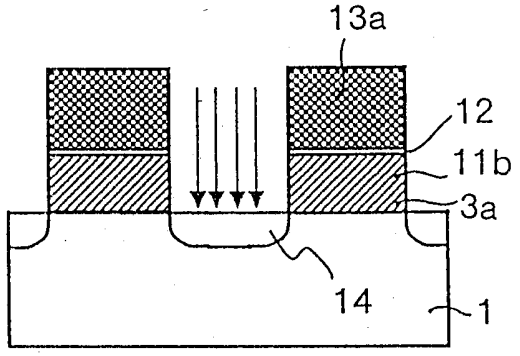

圖 6(k')

圖式

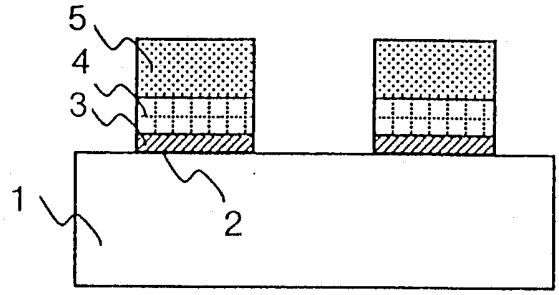

圖 7(a)

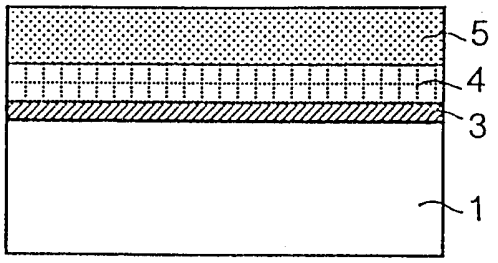

圖 7(a')

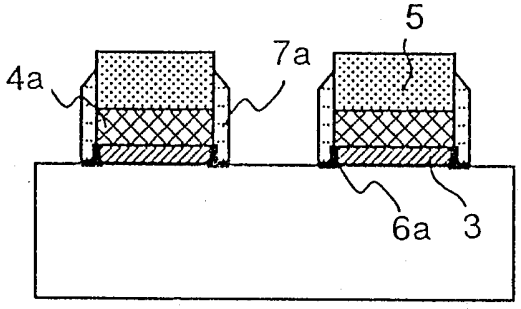

圖 7(b)

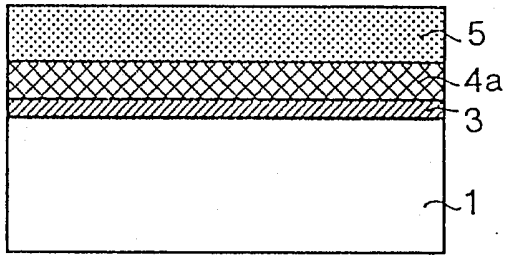

圖 7(b')

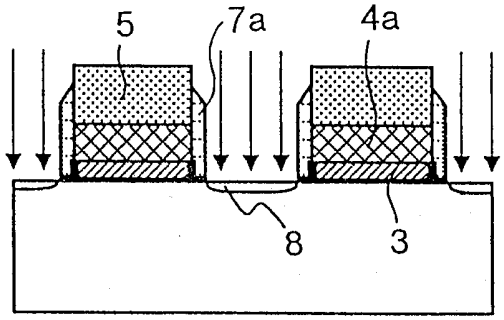

圖 7(c)

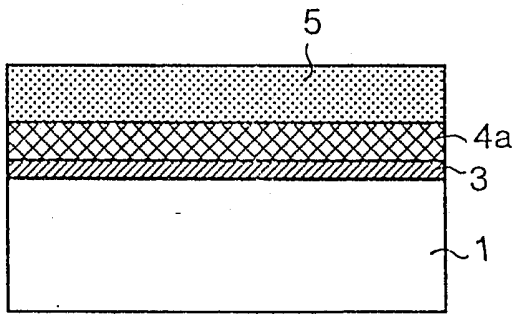

圖 7(c')

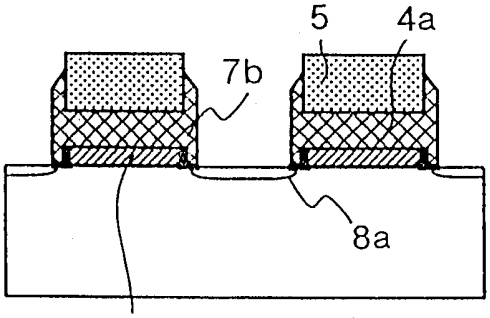

圖 7(d)

(d)

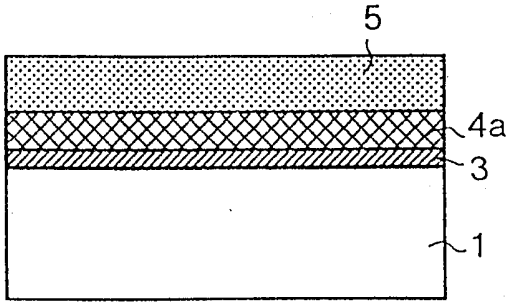

圖 7(d')

圖式

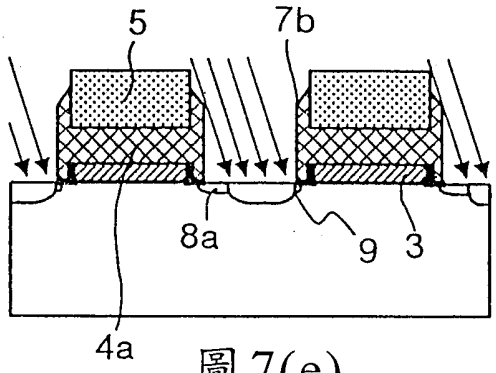

圖 7(e)

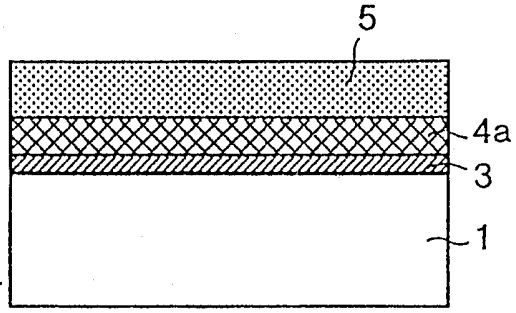

圖 7(e')

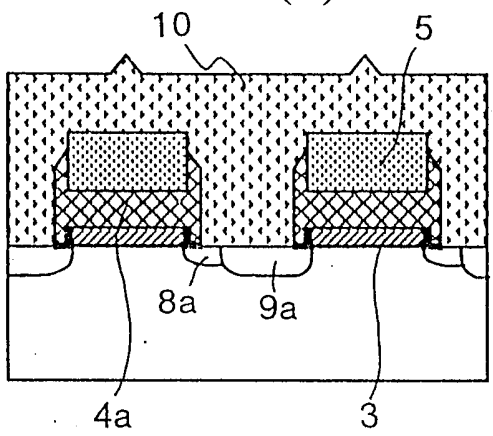

圖 7(f)

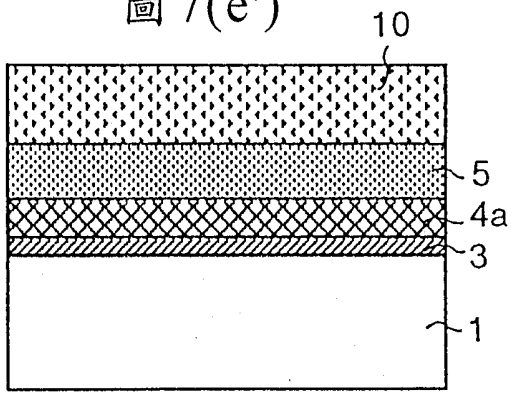

圖 7(f')

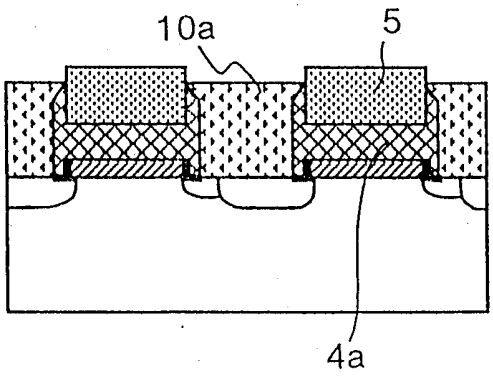

圖 7(g)

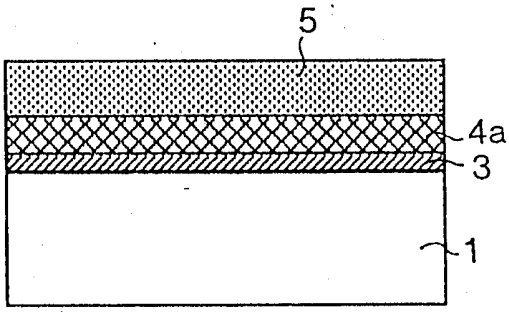

圖 7(g')

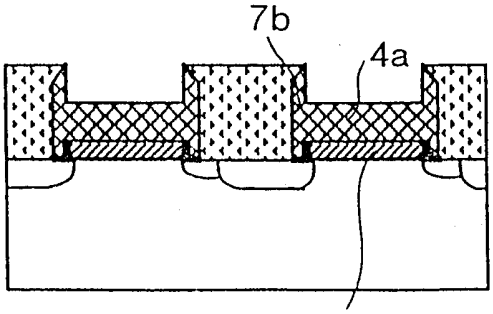

圖 7(h)

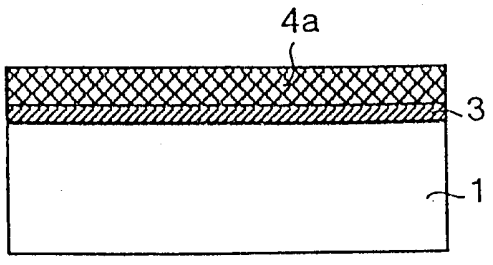

圖 7(h')

圖式

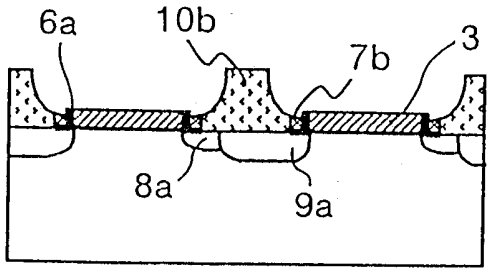

圖 7(i)

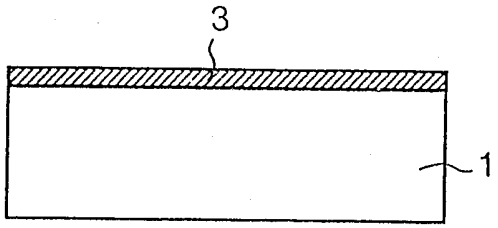

圖 7(i')

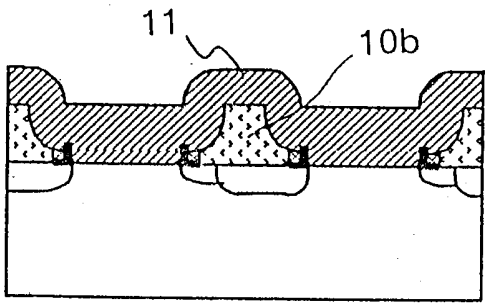

圖 7(j)

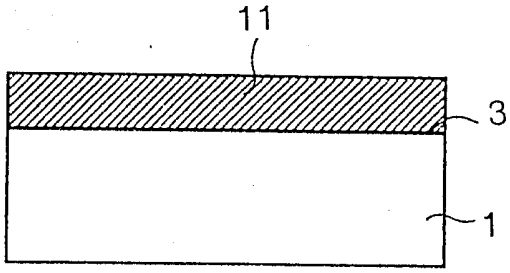

圖 7(j')

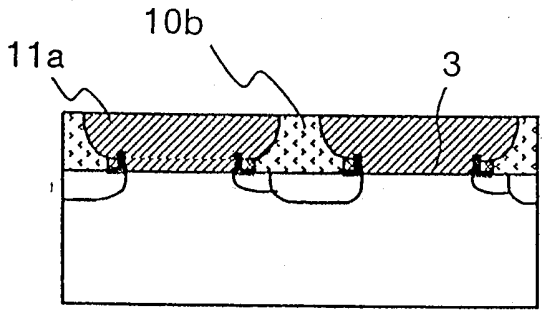

圖 7(k)

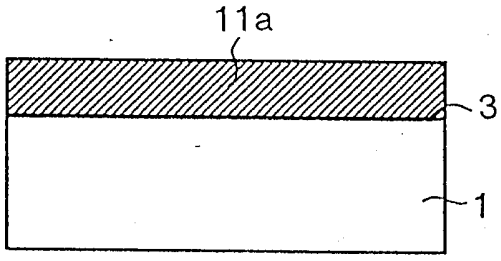

圖 7(k')

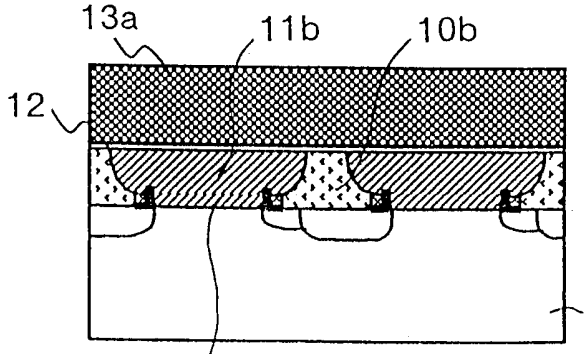

圖 7(l)

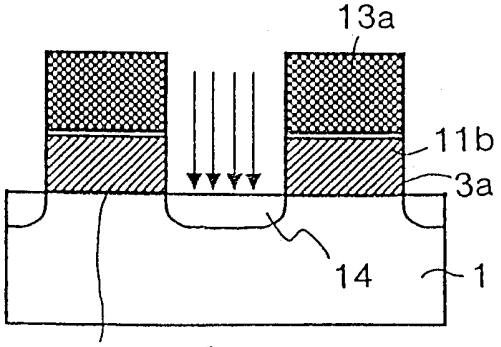

圖 7(l')

圖式

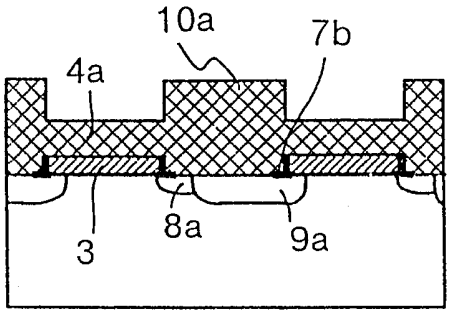

圖 8(a)

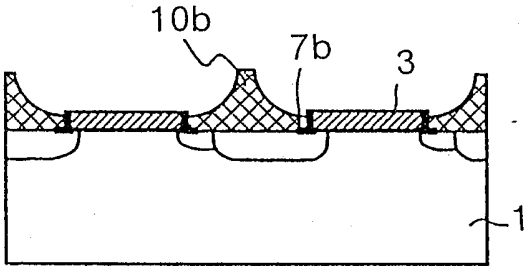

圖 8(b)

圖式

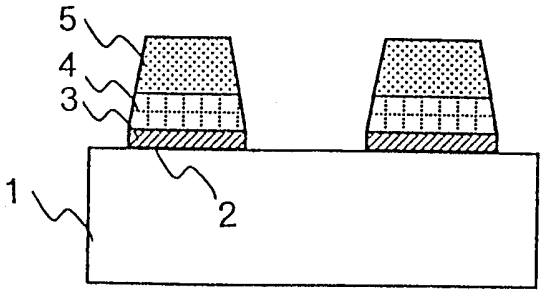

圖 9(a)

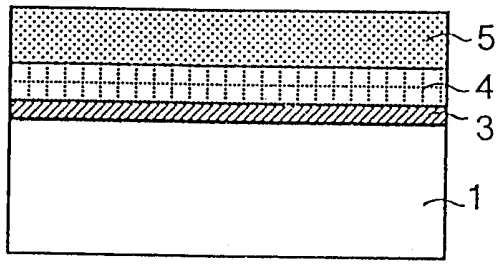

圖 9(a')

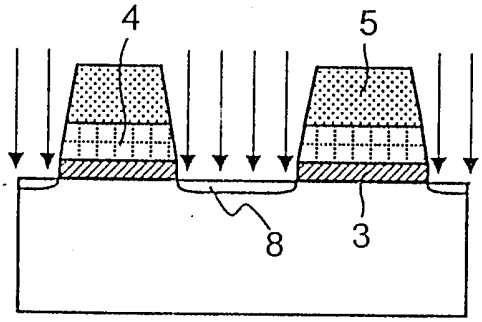

圖 9(b)

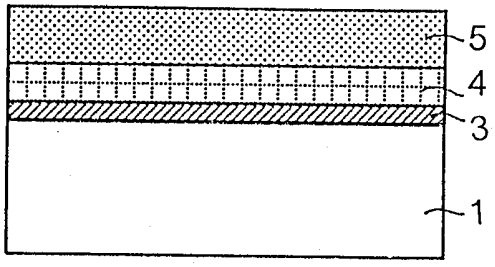

圖 9(b')

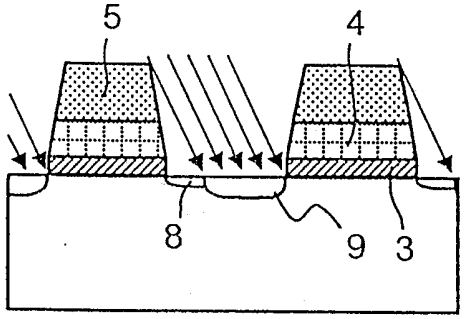

圖 9(c)

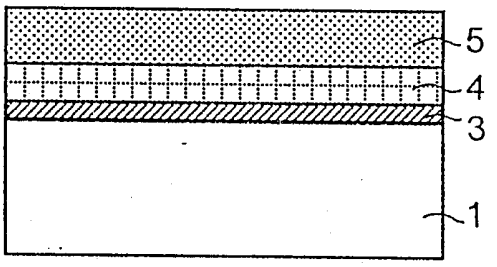

圖 9(c')

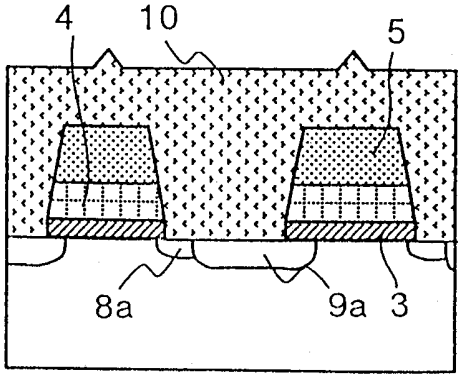

圖 9(d)

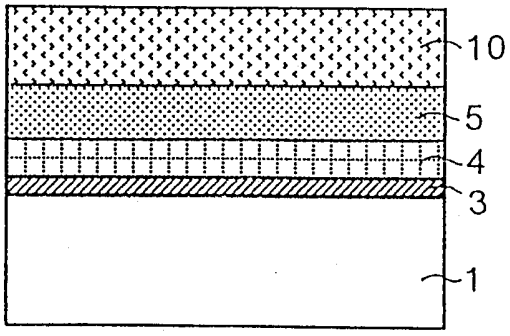

圖 9(d')

圖式

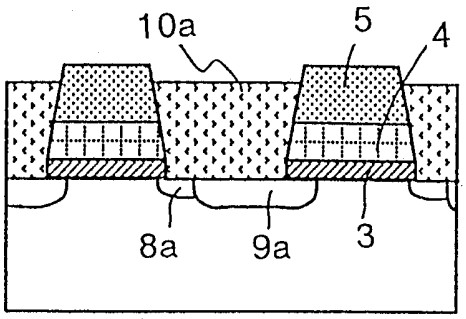

圖 9(e)

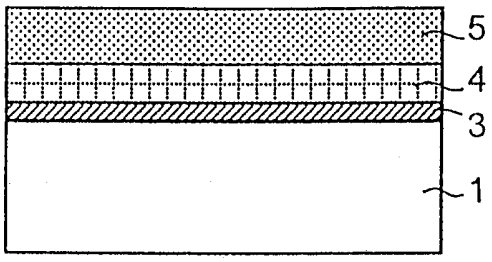

圖 9(e')

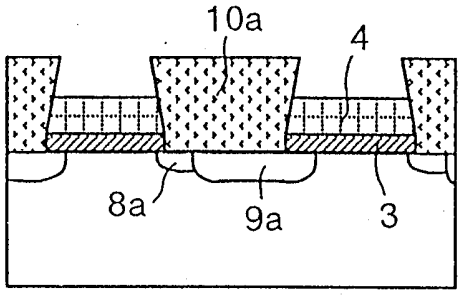

圖 9(f)

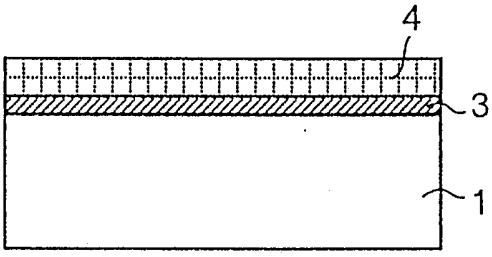

圖 9(f')

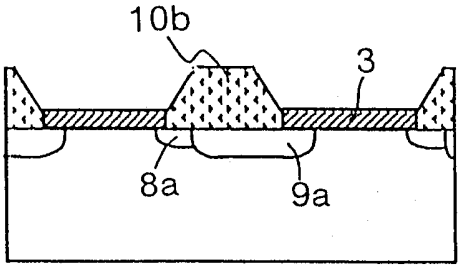

圖 9(g)

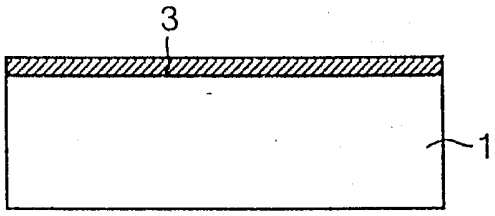

圖 9(g')

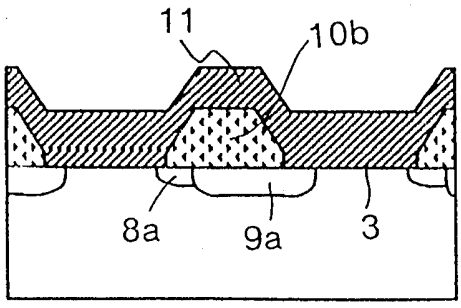

圖 9(h)

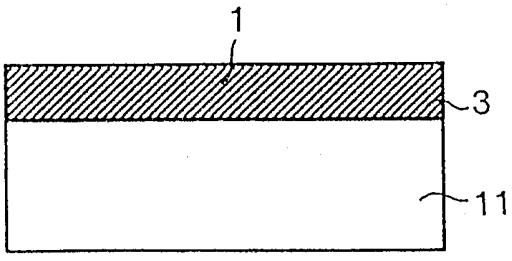

圖 9(h')

圖式

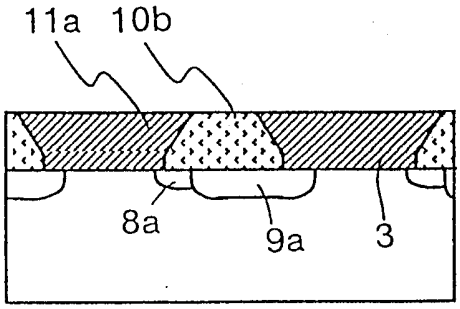

圖 9(i)

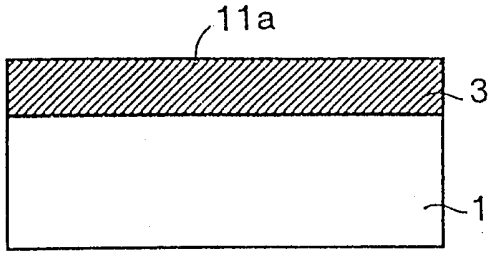

圖 9(i')

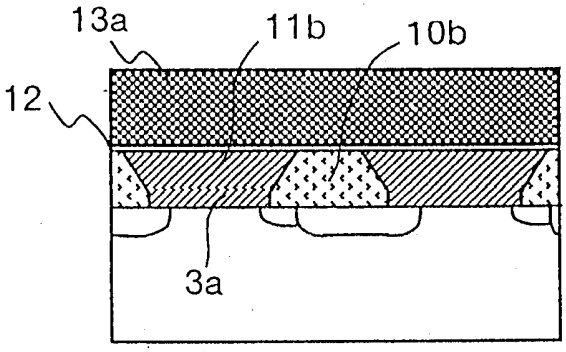

圖 9(j)

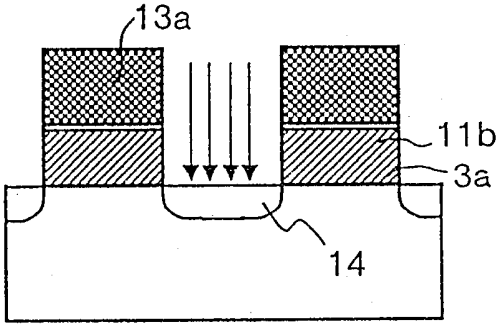

圖 9(j')

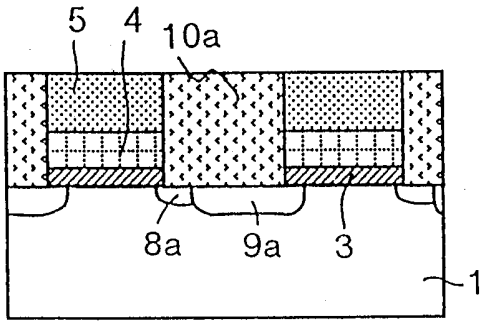

圖 10(a)

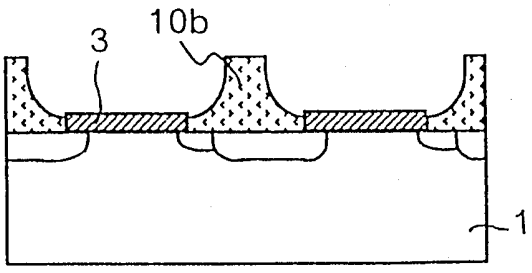

圖 10(b)

圖式

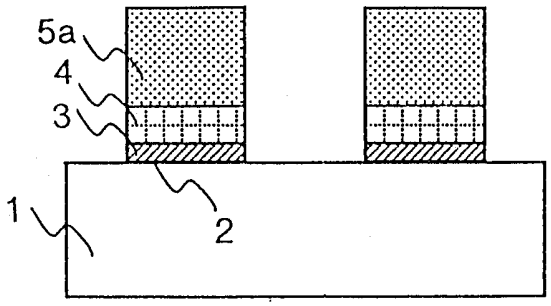

圖 11(a)

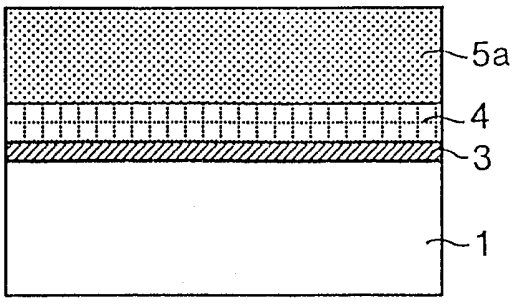

圖 11(a')

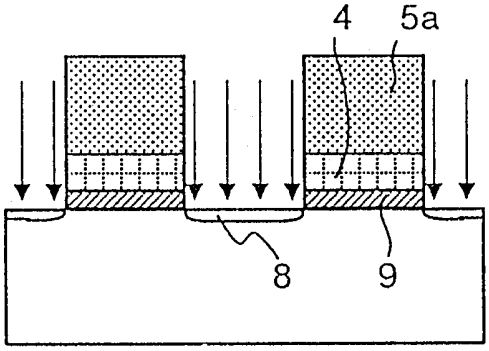

圖 11(b)

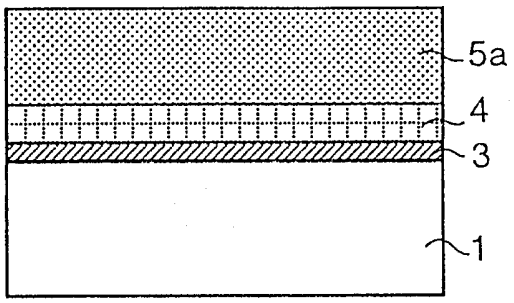

圖 11(b')

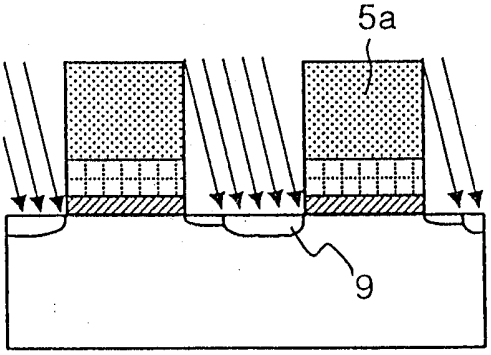

圖 11(c)

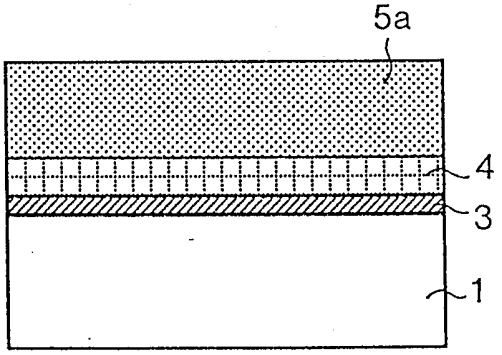

圖 11(c')

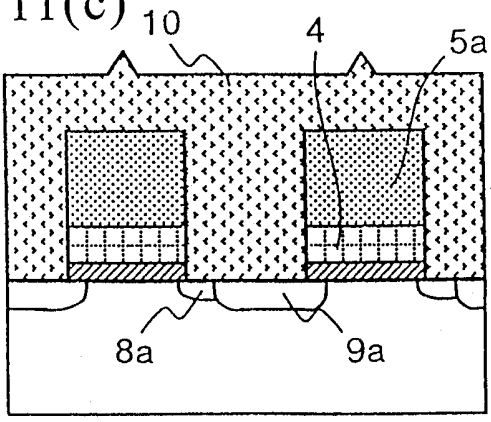

圖 11(d)

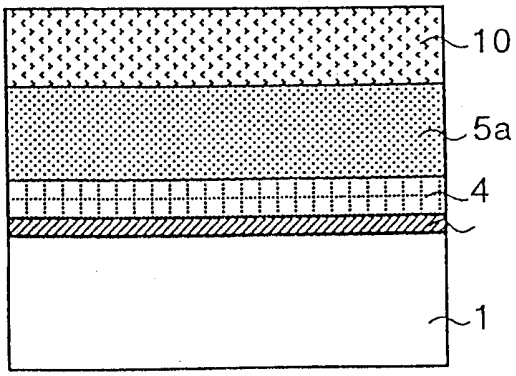

圖 11(d')

圖式

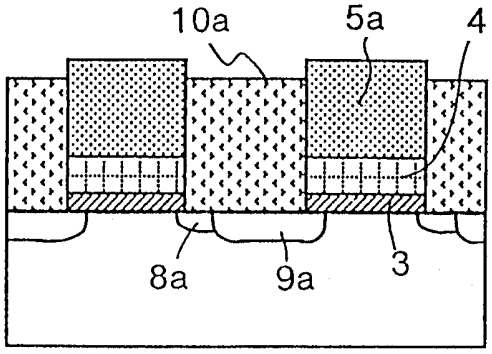

圖 11(e)

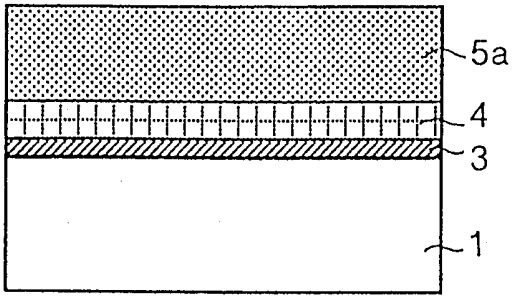

圖 11(e')

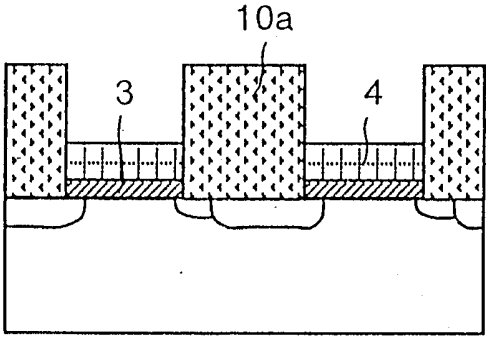

圖 11(f)

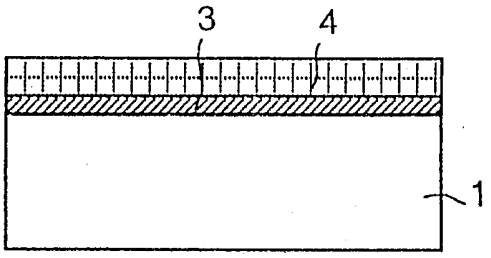

圖 11(f')

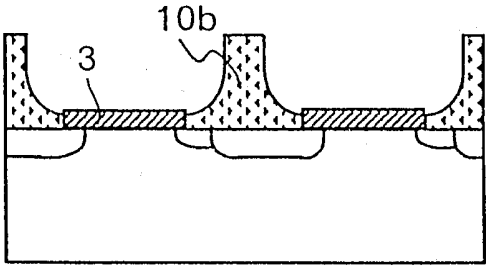

圖 11(g)

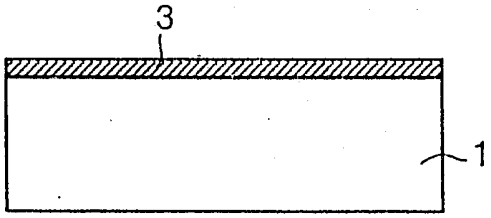

圖 11(g')

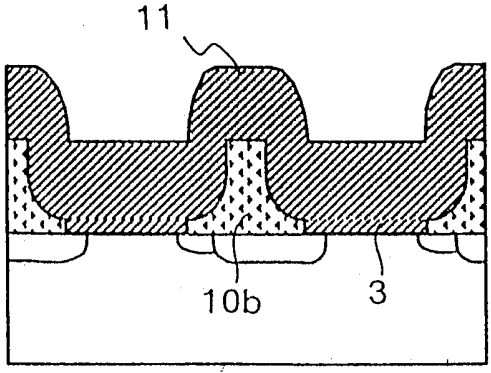

圖 11(h)

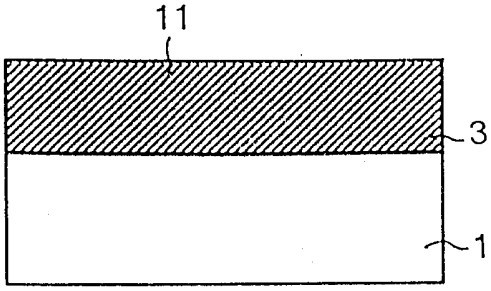

圖 11(h')

圖式

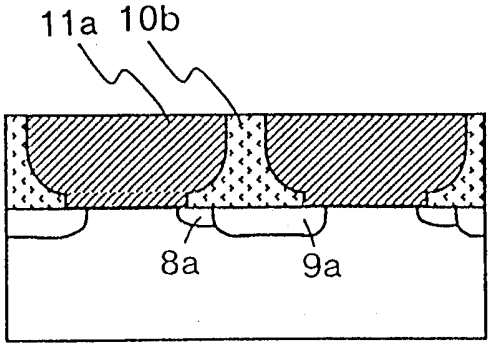

圖 11(i)

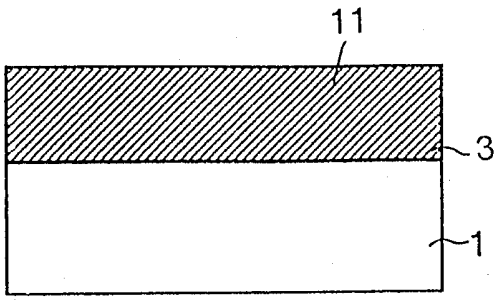

圖 11(i')

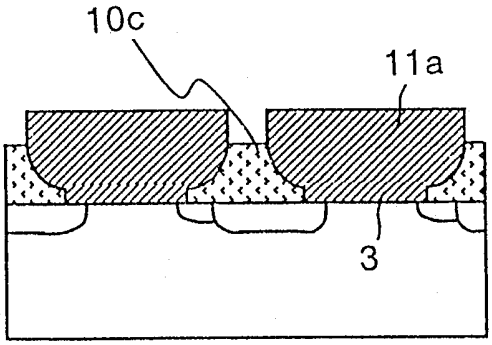

圖 11(j)

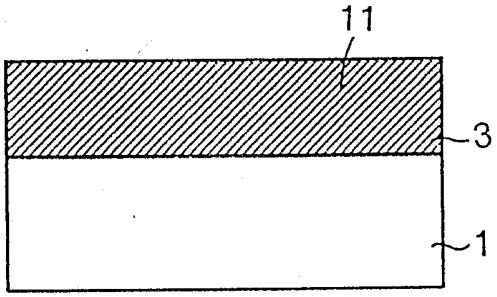

圖 11(j')

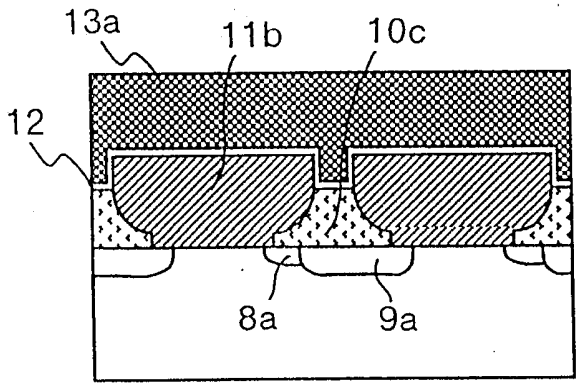

圖 11(k)

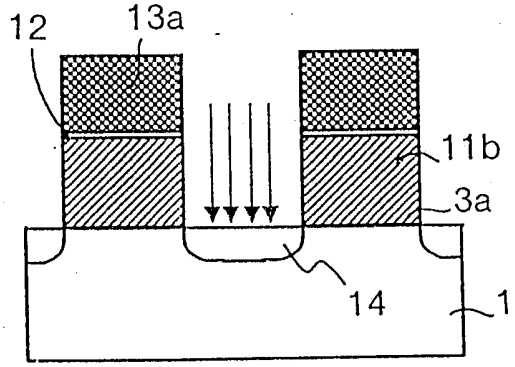

圖 11(k')

圖式

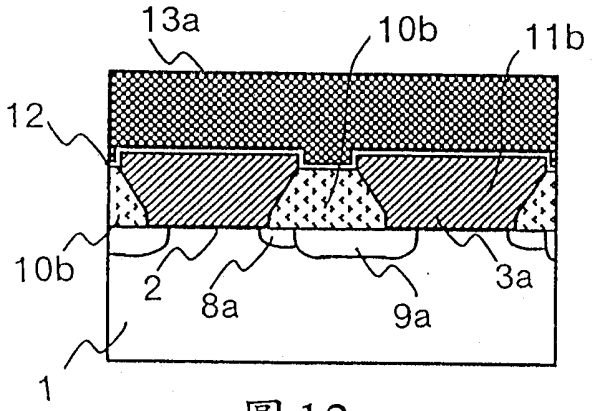

圖 12

圖式

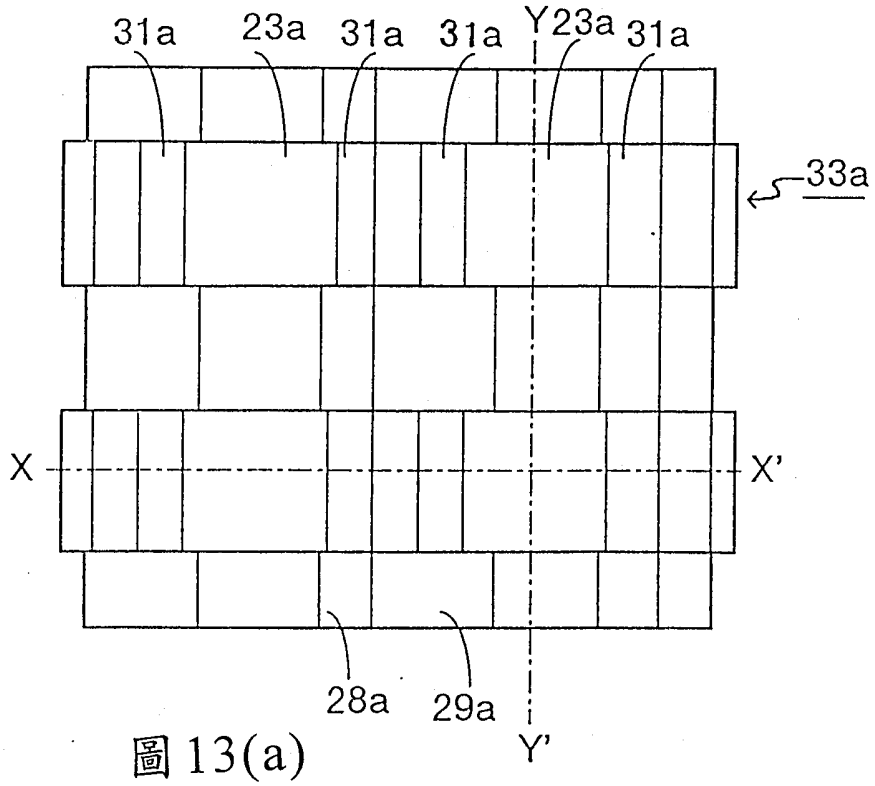

圖 13(a)

先前技藝

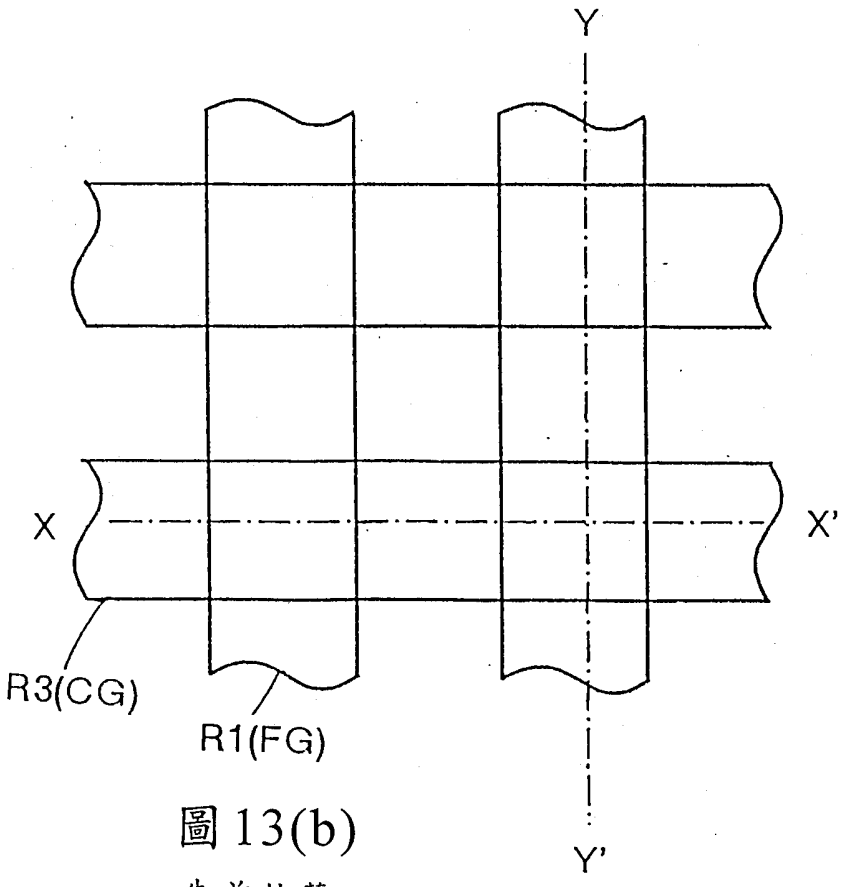

圖 13(b)

先前技藝

圖式

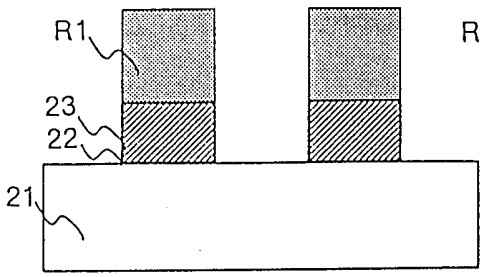

圖 14(a)
先前技藝

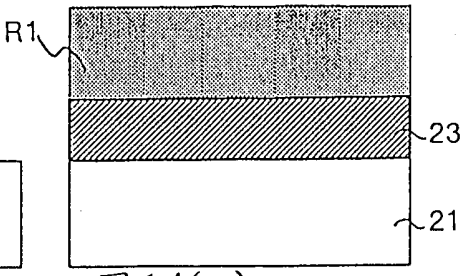

圖 14(a')
先前技藝

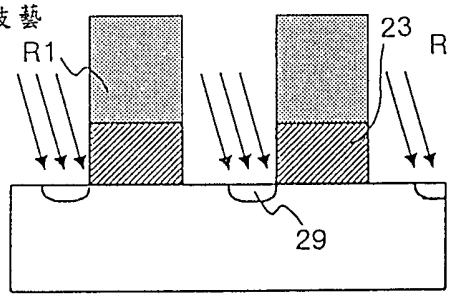

圖 14(b)
先前技藝

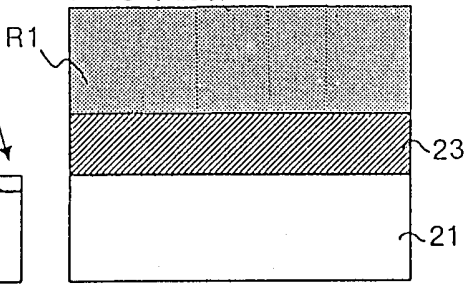

圖 14(b')
先前技藝

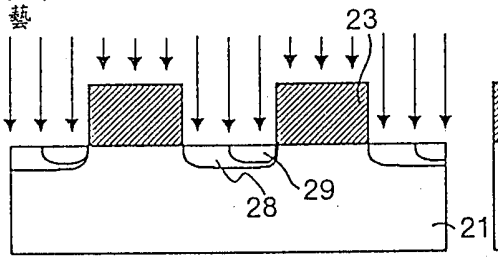

圖 14(c)
先前技藝

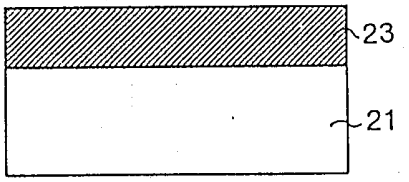

圖 14(c')
先前技藝

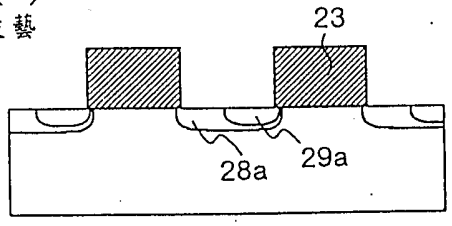

圖 14(d)
先前技藝

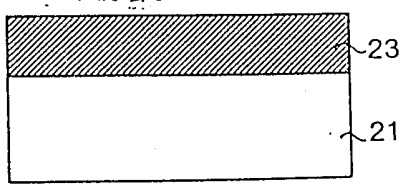

圖 14(d')
先前技藝

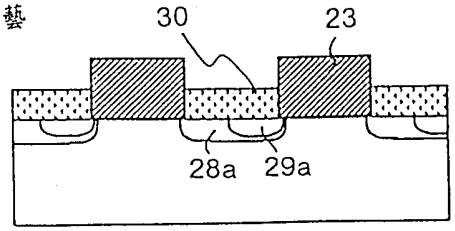

圖 14(e)
先前技藝

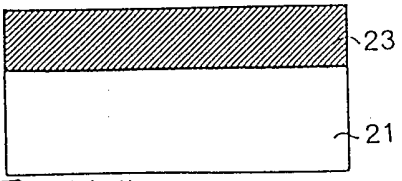

圖 14(e')
先前技藝

圖式

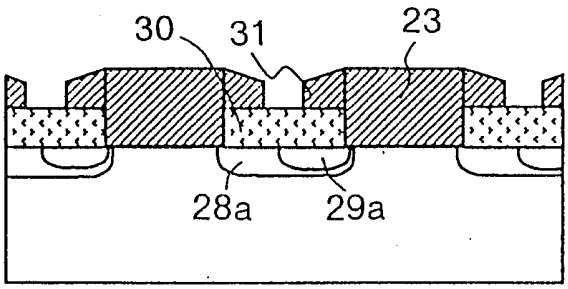

圖 14(f)
先前技藝

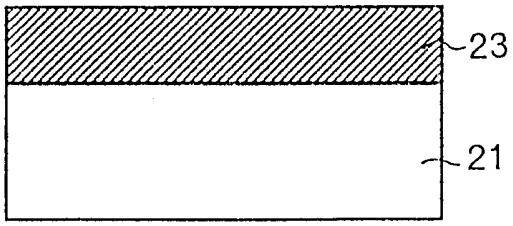

圖 14(f')
先前技藝

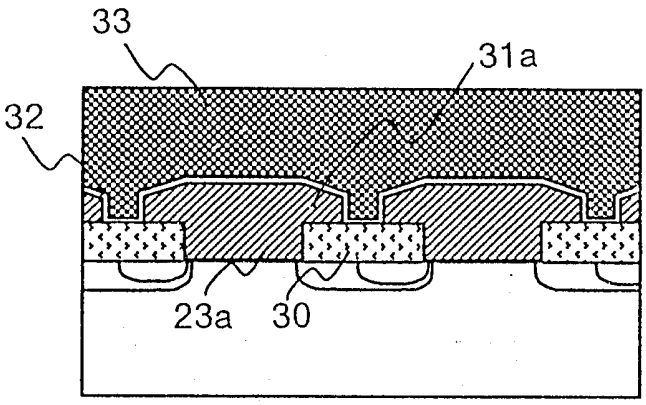

圖 14(g)
先前技藝

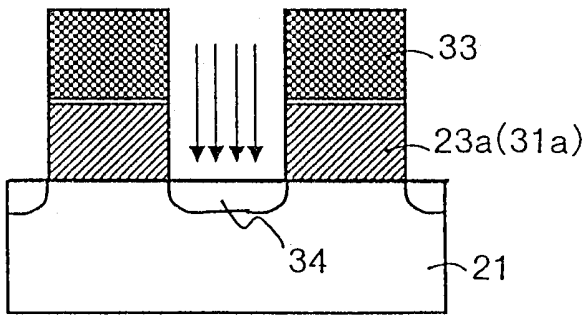

圖 14(g')
先前技藝

圖式

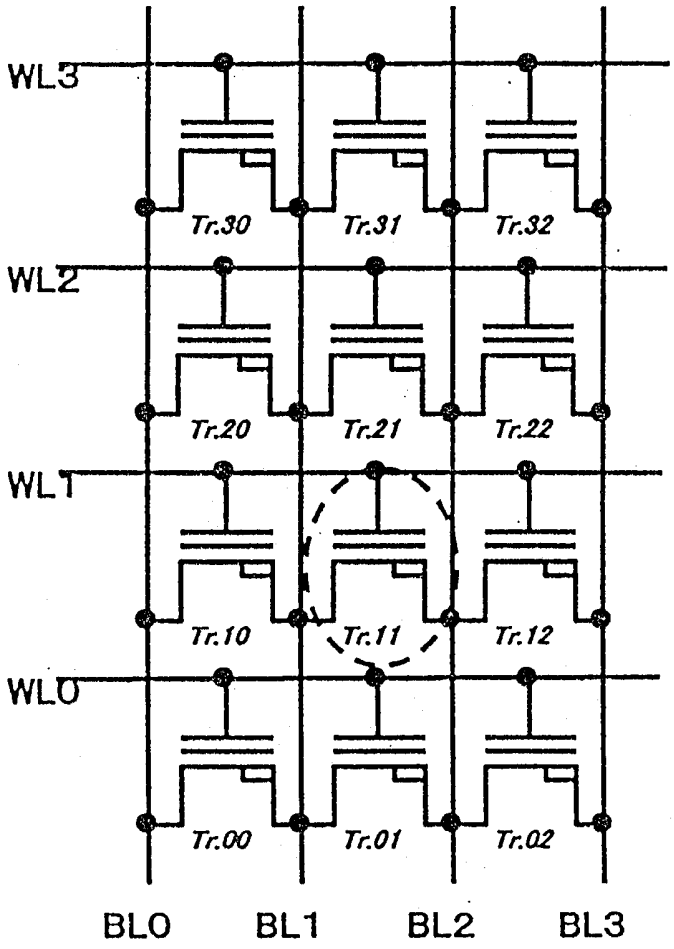
WL3
WL2
WL1
WL0
Tr.30
Tr.31
Tr.32
Tr.20
Tr.21
Tr.22
Tr.10
Tr.11
Tr.12
Tr.00
Tr.01
Tr.02
BL0
BL1
BL2
BL3

圖 15

先前技藝

圖式

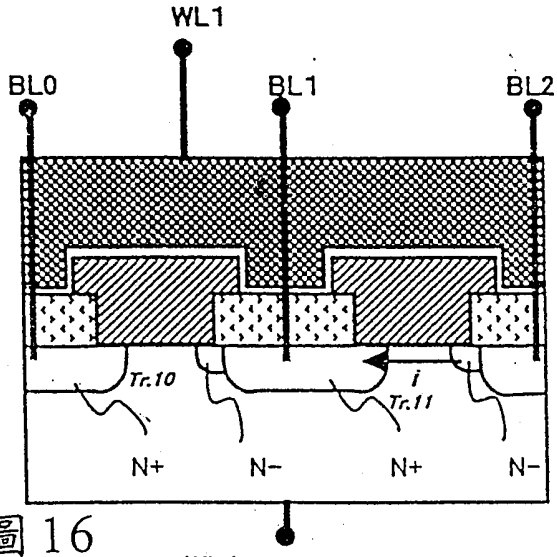

圖 16
先前技藝

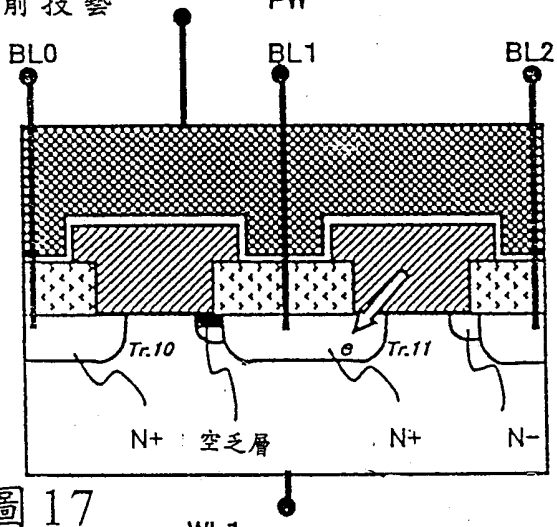

圖 17
先前技藝

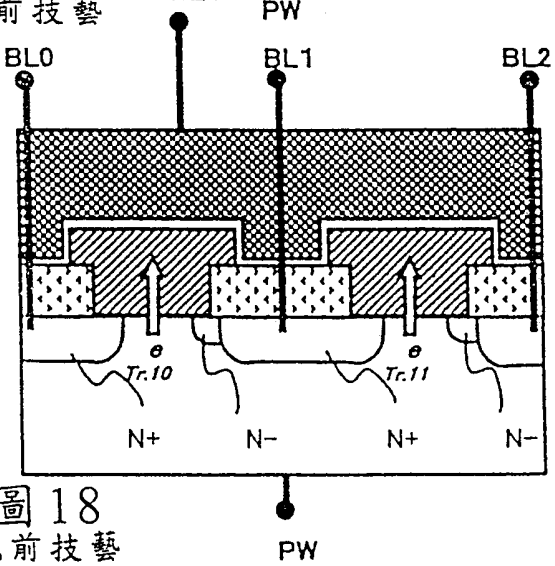

圖 18
先前技藝

圖式

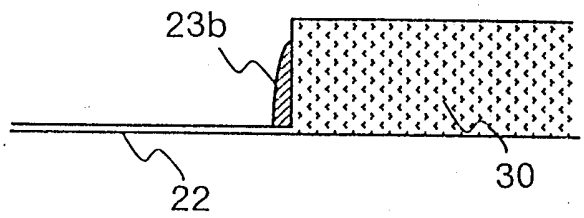

圖 19(a)
先前技藝

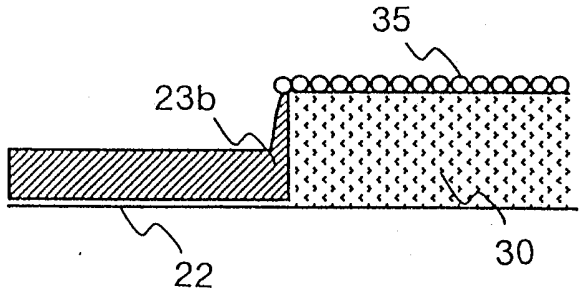

圖 19(b)
先前技藝

四、中文發明摘要 （發明之名稱：製造半導體記憶體的方法和半導體記憶體）

製造半導體記憶體之方法包括下列步驟：(a)以此順序形成通道氧化物膜，將為下浮置閘之第一導電膜，第一絕緣膜以及第二絕緣膜在半導體底材上以及圖案化第二絕緣膜、第一絕緣膜、第一導電膜以及通道氧化物膜為所需建構；(b)形成第三絕緣膜在合成底材之全部表面上；(c)縮小第三絕緣膜，直到第二絕緣膜顯露為止；(d)移除第二絕緣膜；(e)移除第一絕緣膜而更進一步縮小第三絕緣膜；(f)在第一導電膜及第三絕緣膜上形成將為上浮置閘之第二導電膜；(g)平坦化第二導電膜直到第三絕緣膜顯露為止；以及(h)在第二導電膜以及第三絕緣膜上形成插入層電容膜以及將為控制閘之第三導電膜，以及圖案化第三導電膜、插入層電容膜、第二導電膜以及第一導電膜以

英文發明摘要 （發明之名稱：PROCESS FOR MANUFACTURING SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR MEMORY DEVICE）

A process for manufacturing a semiconductor memory device comprises the steps of:(a) forming a tunnel oxide film, a first (1st) conductive film to be a lower floating gate, a 1st insulating film and a second (2nd) insulating film in this order on a semiconductor substrate and patterning the 2nd insulating film, the 1st insulating film, the 1st conductive film and the tunnel oxide film into a desired configuration; (b) forming a third (3rd) insulating film on the entire surface of the