

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年9月29日(29.09.2022)



(10) 国際公開番号

WO 2022/202015 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 23/532* (2006.01)
H01L 21/768 (2006.01)

(21) 国際出願番号: PCT/JP2022/006670

(22) 国際出願日: 2022年2月18日(18.02.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-049699 2021年3月24日(24.03.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 柳川 吉明 (YANAGAWA, Yoshiaki); 〒2430014 神奈川県厚木市旭町四丁目1

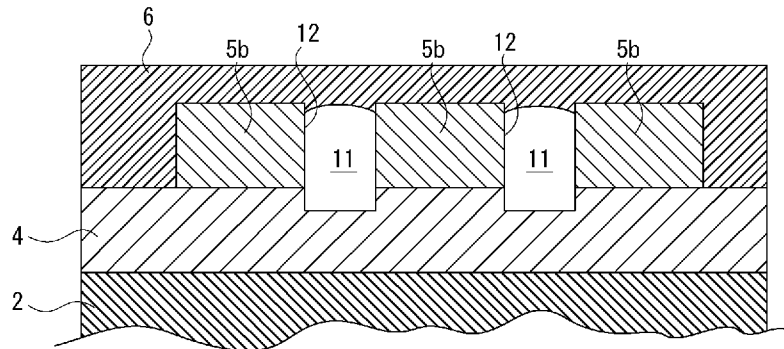
4番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 重歳 卓志(SHIGETOSHI, Takushi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 岩田 雅信, 外 (IWATA, Masanobu et al.); 〒1010032 東京都千代田区岩本町1丁目3番9号 ハクセイビル8階 テクノピア国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置、半導体装置製造方法



(57) Abstract: This semiconductor device comprises: a semiconductor substrate; a wiring layer having an electrode pad and formed on a first surface of the semiconductor substrate; a rewiring layer that has wiring electrically connected to the electrode pad via vias and is formed on a second surface side opposite to the first surface; a protective film formed on the surface of the rewiring layer opposite to the semiconductor substrate; and partition portions formed of an insulating material and arranged between the wires in the rewiring layer, wherein the partition portions and voids are alternately formed between the wires in the direction in which the wiring extends.

(57) 要約: 半導体装置は、半導体基板と、電極パッドを有し前記半導体基板における第1の面に形成された配線層と、ビアを介して前記電極パッドと電氣的に接続された配線を有し前記半導体基板における前記第1の面とは反対の第2の面側に形成された再配線層と、前記再配線層における前記半導体基板と反対側の面に形成された保護膜と、絶縁材料で形成され前記再配線層における配線間に配置される仕切り部と、を備え、前記配線間において該配線が延びる方向に前記仕切り部と空隙が交互に形成されたものである。

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：半導体装置、半導体装置製造方法

技術分野

[0001] 本技術は、再配線層を備えた半導体装置及び半導体装置製造方法に関する。

背景技術

[0002] 配線層に形成された電極パッドと外部装置との電氣的接続を行うために再配線層（RDL：Redistribution Layer）が形成されている半導体装置がある。

半導体装置の高速動作のために再配線層に形成される配線の微細化が進んできている。

[0003] 配線同士の距離が縮まると配線間容量が増加してしまい、高速動作の妨げとなってしまう。

このような問題を鑑み、下記特許文献1においては、配線間に空隙を設けることで静電容量の低減を図る技術が開示されている。

先行技術文献

特許文献

[0004] 特許文献1：特開平07-335747号公報

発明の概要

発明が解決しようとする課題

[0005] ところでスピンコート法は半導体ウエハの中央に薬液を滴下し、半導体ウエハの遠心力で薬液が略均等に半導体ウエハ一面に塗布されるものである。そのため、薬液は半導体ウエハの中心から放射状に広がることとなる。

[0006] この場合には、配線が延びる方向と薬液の流れる方向が直交している場合には空隙が作られやすいものの、配線が延びる方向と薬液の流れる方向が略平行とされている場合には空隙が確実に作られるとは言い難い。

[0007] 本技術はこのような問題に鑑みて為されたものであり、配線間に確実に空

隙が形成することを目的とする。

課題を解決するための手段

[0008] 本技術に係る半導体装置は、半導体基板と、電極パッドを有し前記半導体基板における第1の面に形成された配線層と、ビアを介して前記電極パッドと電氣的に接続された配線を有し前記半導体基板における前記第1の面とは反対の第2の面側に形成された再配線層と、前記再配線層における前記半導体基板と反対側の面に形成された保護膜と、絶縁材料で形成され前記再配線層における配線間に配置される仕切り部と、を備え、前記配線間において該配線が延びる方向に前記仕切り部と空隙が交互に形成されたものである。

これにより、二本の配線と二つの仕切り部によって空隙が形成される。

[0009] 本技術に係る半導体装置製造方法は、電極パッドを有した配線層が第1の面に形成されビアを介して前記電極パッドと電氣的に接続された配線を有する再配線層が前記第1の面とは反対の第2の面側に形成された半導体基板において、前記再配線層における配線間において該配線が延びる方向に仕切り部と空隙とを交互に形成するものである。

図面の簡単な説明

[0010] [図1]半導体装置の一例を示す断面図である。

[図2]図3と共に再配線層の一例を示す図であり本図は裏面側の平面図である。

[図3]再配線層の一例についての断面図である。

[図4]併走配線の配線間に仕切り部と空隙が形成された状態を示す裏面側の平面図である。

[図5]図4のB-B線における断面図である。

[図6]図4のC-C線における断面図である。

[図7]併走配線と仕切り部と空隙を拡大して示す断面図である。

[図8]再配線層が形成された状態を示す断面図である。

[図9]凹部溝が形成された状態を示す断面図である。

[図10]絶縁膜が成膜された状態を示す断面図である。

[図11]CMP処理によって併走配線が露出された状態を示す断面図である。

[図12]レジストが塗布された状態を示す裏面側の平面図である。

[図13]図12のD－D線における断面図である。

[図14]絶縁膜が除去された状態を示す裏面側の平面図である。

[図15]図14のE－E線における断面図である。

[図16]図14のF－F線における断面図である。

[図17]レジストが除去された状態を示す裏面側の平面図である。

[図18]図17のG－G線における断面図である。

[図19]図17のH－H線における断面図である。

[図20]第1の変形例においてレジストが塗布された状態を示す裏面側の平面図である。

[図21]図20のJ－J線における断面図である。

[図22]第1の変形例において絶縁膜が除去された状態を示す裏面側の平面図である。

[図23]図22のK－K線における断面図である。

[図24]第1の変形例においてレジストが除去された状態を示す裏面側の平面図である。

[図25]第2の変形例においてレジストが塗布された状態を示す裏面側の平面図である。

[図26]図25のP－P線における断面図である。

[図27]第2の変形例において絶縁膜が除去された状態を示す裏面側の平面図である。

[図28]図27のR－R線における断面図である。

[図29]第2の変形例においてレジストが除去された状態を示す裏面側の平面図である。

[図30]第3の変形例を説明するための図であり、配線間距離に応じて仕切り部の配置間隔を変えた状態を示す裏面側の平面図である。

[図31]第4の変形例を説明するための図であり、非直線上に形成された併走

配線の配線間に仕切り部を形成した状態を示す裏面側の平面図である。

[図32]本技術をイメージセンサとしての半導体装置に適用した状態を示す断面図である。

発明を実施するための形態

[0011] 以下、添付図面を参照し、本技術に係る実施の形態を次の順序で説明する。

< 1. 半導体装置の構成 >

< 2. 配線間容量 >

< 3. 製造方法 >

< 4. 変形例 >

< 4 - 1. 第 1 の変形例 >

< 4 - 2. 第 2 の変形例 >

< 4 - 3. 第 3 の変形例 >

< 4 - 4. 第 4 の変形例 >

< 4 - 5. その他の変形例 >

< 5. まとめ >

< 6. 本技術 >

[0012] < 1. 半導体装置の構成 >

本技術における半導体装置 1 は、例えば、WCSP (Wafer level Chip Size Package) 技術によって製造される。半導体装置 1 の構成の一例について断面を図 1 に示す。

半導体装置 1 は、半導体基板 2 と、半導体基板 2 の表面 2 a に積層される配線層 3 と、半導体基板 2 の裏面 2 b において積層される絶縁樹脂膜 4 と、再配線層 (RDL: Redistribution Layer) 5 と、保護膜 6 とを備えている。

[0013] なお、以降に示す各断面図においては、符号を正しい向きで見たときにおける図の下方を表面側とし図の上方を裏面側として記載する。

[0014] 半導体基板 2 は、例えばシリコン層とされ、ある程度の厚みに形成される

ことにより半導体ウエハの強度向上が図られている。

[0015] 半導体基板 2 の表面 2 a にはトランジスタなどの種々の半導体素子 E L が形成されている。また、半導体基板 2 には所定の位置に貫通孔 2 c が形成されている。

[0016] 配線層 3 は、トランジスタが形成された半導体基板 2 の表面 2 a を覆う複数の層によって形成されている。配線層 3 は、絶縁材料で形成された第 1 層 3 a と配線パターンが形成された第 2 層 3 b が交互に積層されることにより成る。配線層 3 の最も単純な構造としては、二つの第 1 層 3 a とその間に形成された第 2 層 3 b から成る 3 層構造とされている。

[0017] 図 1 に示す例における配線層 3 は、四つの第 1 層 3 a と三つの第 2 層 3 b から成る 7 層構造とされている。

[0018] 配線層 3 には、第 2 層 3 b 同士を電氣的に接続するビア（不図示）が積層方向に形成されている。

[0019] 配線層 3 が備える第 2 層 3 b には、外部装置と電氣的に接続されるための電極パッド 7 が形成されている。図 1 に示す例では、3 層の第 2 層 3 b のうち最も半導体基板 2 に近い第 2 層 3 b に電極パッド 7 が形成されている。

[0020] 配線層 3 には半導体基板 2 の貫通孔 2 c に連続した凹部 3 c が形成されている。凹部 3 c は、電極パッド 7 の少なくとも一部が露出するように形成されている。

貫通孔 2 c と凹部 3 c は、半導体基板 2 と配線層 3 に対して積層方向に穿たれた孔部 8 とされている。

[0021] 電極パッド 7 と孔部 8 は各層の積層方向から見たときに一致する位置に設けられている。即ち、電極パッド 7 は孔部 8 の底面において一部が露出された状態とされている。

[0022] 絶縁樹脂膜 4 は、半導体基板 2 と再配線層 5 の間の不要な電氣的接続を避けるために設けられる層であり、ポリイミド、シリコン、アクリル、エポキシ、S O C（Spin-on Carbon）などの有機膜とされる。

絶縁樹脂膜 4 は、半導体基板 2 の裏面 2 b だけでなく孔部 8 の内周面に亘

って形成されている。

[0023] 再配線層 5 は、孔部 8 の内周面に亘って形成された絶縁樹脂膜 4 の内周面、及び、半導体基板 2 の表面 2 a に形成された絶縁樹脂膜 4 の表面の所定の位置に形成されることにより、電極パッド 7 と電氣的に接続された層である。

再配線層 5 において、孔部 8 の内周面に亘って形成された絶縁樹脂膜 4 の内周面に形成された部分は、貫通電極 TSV とされている。

[0024] 絶縁樹脂膜 4 の表面の所定の位置に形成された再配線層 5 は、単配線 5 a、並走配線 5 b、接続パッド 5 c などとされている。図 1 に示す例では、例えば半田等の金属バンプ 9 が形成される接続パッド 5 c が所定の位置に形成されている。

[0025] 並走配線 5 b は、一定未満の配線間距離で略同方向に延びる二本以上の配線であり、例えば、平行に延びる二本の配線であってもよいし、一方の配線が直線に延び他方の配線が蛇行しているようなものであってもよい。

半導体装置 1 が高速動作するためには、並走配線 5 b の配線間容量が問題となる。

[0026] 単配線は、平行に配された他の配線が存在しないものである。

[0027] 再配線層 5 は、チタン (Ti)、銅 (Cu)、タンタル (Ta)、ニッケル (Ni)、タングステン (W) などによって形成される。

[0028] なお、詳しくは後述するが、並走配線 5 b の配線間には仕切り部 10 と空隙 11 が交互に形成されている。

[0029] 保護膜 6 は、再配線層 5 の裏面側に形成される層である。保護膜 6 は、絶縁性の樹脂材料などとされ、スピンコート法によって形成される。

[0030] 図 2 及び図 3 に再配線層 5 の一例を示す。図 2 は、再配線層 5 を破線で示すものであり、裏面側から見た図である。図 3 は、図 2 における A-A 線における縦断面図である。

[0031] 図 2 に示すように、接続パッド 5 c の一部は裏面側に露出されているが、単配線 5 a や並走配線 5 b は保護膜 6 に覆われており視認することができな

い。

[0032] 図3に示すように、並走配線5bの配線間には空隙11が形成されている。空隙11は並走配線5bの配線間に保護膜6が入り込まないようにすることで形成される。

また、空隙11は、並走配線5bの配線間だけでなく絶縁樹脂膜4の裏面側まで削られることにより形成されている。

[0033] このように並走配線5bの配線間に空隙11を形成することで配線間容量の低減を図る。

[0034] 空隙11を形成する仕切り部10について図4に示す。なお、図4は、再配線層5の裏面側に形成される保護膜6を不図示とした図である。

並走配線5bの配線間には、並走配線5bが延びる方向に沿って仕切り部10と空隙11が交互に形成されている。

[0035] 仕切り部10の材料は有機、無機を問わない。具体的には仕切り部10はSiO₂やSiONや有機の樹脂材料などである。

[0036] 図4のB-B線における断面図であり仕切り部10が形成された部分の断面図を図5に示す。図5に示すように、仕切り部10は、略直方体形状とされ、並走配線5bの配線間の溝部12の底面に配置される。

[0037] 並走配線5bの配線間の溝部12において仕切り部10が一定間隔で形成されることにより、空隙11が形成される。図4のC-C線におこる断面図であり空隙11が形成された部分の断面図を図6に示す。

[0038] 図示するように、溝部12に保護膜6が入り込まないようにされることで空隙11が形成されている。

[0039] <2. 配線間容量>

並走配線5bの配線間容量について説明する。

配線間容量Qは、静電容量Cと電圧Vを用いて以下の式(1)で表すことができる。

[0040] $Q = C \cdot V$. . . 式(1)

[0041] ここで、静電容量Cは、誘電率εと側面積Sと配線間距離dを用いて以下

の式（２）で表すことができる。

[0042] $C = \varepsilon \cdot S / d$. . . 式（２）

[0043] 側面積 S は、並走配線 5 b の側面 1 3 の面積とされる。配線間距離 d は、並走配線 5 b における向かい合う面の距離とされている（図 7 参照）。

[0044] 誘電率 ε は、材質によって異なるものである。具体的には、以下の式（３）で表すことができる。

[0045] $\varepsilon = \varepsilon_0 \cdot \varepsilon_r$. . . 式（３）

[0046] ε_0 は真空の誘電率を表し、 ε_r は真空に対する誘電率の比である比誘電率を表す。

[0047] ここで、例えば、溝部 1 2 に仕切り部 1 0 及び空隙 1 1 を形成しない場合には、溝部 1 2 に保護膜 6 が入り込むことにより、側面 1 3 は全面に亘って保護膜 6 と接触することになる。

真空や空気の比誘電率よりも保護膜 6 を形成する材質の比誘電率 ε_r の方が高い。

従って、誘電率 ε が真空や空気よりも高い値となるため、静電容量 C が大きくなり、配線間容量 Q も大きくされる。

[0048] 一方、図 7 に示すように、溝部 1 2 に仕切り部 1 0 を形成することにより、保護膜 6 が入り込まない空隙 1 1 が形成される。従って、側面 1 3 は一部が空気と接触することになる。

この場合には、空気の比誘電率 ε_r が保護膜 6 の比誘電率 ε_r よりも低くされるため、側面 1 3 の静電容量が小さくなり、配線間容量 Q を低減させることができる。

[0049] 側面 1 3 と空隙 1 1 の接触面積が大きくなるほど、即ち、側面 1 3 と仕切り部 1 0 の接触面積が小さくなるほど、この効果は大きくなる。

[0050] < 3. 製造方法 >

半導体装置 1 の製造方法について具体的に添付図を参照して説明する。

図 8 は、半導体基板 2 の裏面 2 b に絶縁樹脂膜 4 が形成され、更にその裏面側に再配線層 5 の並走配線 5 b が形成されている状態を示している。即ち

、図 8 に示す状態を裏面側から見ると、絶縁樹脂膜 4 の表面に再配線層 5 としての配線パターンが形成された状態とされている。

また、本例では、3 本の並走配線 5 b を例に挙げる。

[0051] なお、図 8 以降の各図においては、半導体基板 2 の表面 2 a に形成された配線層 3 の図示を省略している。

[0052] 続いて、図 9 に示すように、絶縁樹脂膜 4 において裏面側及び側方に開放された凹部溝 4 a が形成される。凹部溝 4 a は並走配線 5 b の側面 1 3 に連続するように形成される。また、並走配線 5 b の側面 1 3 と絶縁樹脂膜 4 の凹部溝 4 a は、溝部 1 2 として形成されている。

この処理は、例えばエッチング処理などによって実現される。

[0053] 次に、図 10 に示すように、 SiO_2 や SiON や有機の樹脂材料などの絶縁膜 1 4 を成膜する成膜工程が行われる。絶縁膜 1 4 は並走配線 5 b の側面 1 3 間の溝部 1 2 に入り込むように形成される。

[0054] 続いて、図 11 に示すように、絶縁膜 1 4 の裏面側に CMP (Chemical Mechanical Polishing) 処理を施すことにより、並走配線 5 b が露出させる。このとき、半導体基板 2 に対する絶縁膜 1 4 の裏面側の高さ位置と半導体基板 2 に対する並走配線 5 b の裏面側の高さ位置は一致される。

[0055] 次に、溝部 1 2 に形成された絶縁膜 1 4 のうち仕切り部 1 0 として残す部分にレジスト 1 5 を塗布するリソグラフィー工程が行われる。

レジスト 1 5 が塗布された状態の裏面側からの平面図を図 12 に示し、図 12 の D-D 線における断面図を図 13 に示す。

[0056] 図示するように、並走配線 5 b に直行する方向が長手方向とされた帯状のレジスト 1 5 が並走配線 5 b の延びる方向に沿って一定間隔で塗布されている。

[0057] 続いて、エッチング処理でレジスト 1 5 によって覆われていない絶縁膜 1 4 を除去する。絶縁膜 1 4 が除去された状態の裏面側からの平面図を図 14 に示す。また、図 14 における E-E 線の断面図を図 15 に、図 14 における F-F 線の断面図を図 16 に示す。

[0058] 図 15 に示すように、レジスト 15 によって保護されていた絶縁膜 14 は、仕切り部 10 として溝部 12 に残留する。

一方、図 16 に示すように、レジスト 15 によって保護されていなかった絶縁膜 14 は除去され、空隙 11 が形成される。

[0059] 次に、レジスト 15 を除去する処理が行われる。レジスト 15 が除去された状態を裏面側の平面図である図 17 と、図 17 における G-G 線の断面図である図 18 と、図 17 における H-H 線の断面図である図 19 に示す。

[0060] 図 17 及び図 18 に示すように、溝部 12 において並走配線 5b が延びる方向に一定間隔で離隔して仕切り部 10 が形成される。

また、図 17 及び図 19 に示すように、溝部 12 における仕切り部 10 間には空隙 11 が形成される。

[0061] 溝部 12 において並走配線 5b が延びる方向に仕切り部 10 と空隙 11 が交互に形成されている状態で、スピコート法によって再配線層 5 の裏面側に保護膜 6 を形成する。

[0062] 溝部 12 に仕切り部 10 が形成されていない状態においては、保護膜 6 を形成する薬液の流れる方向と並走配線 5b の延びる方向が一致した場合に溝部 12 に薬液が入り込んでしまう。従って、並走配線 5b の間に空隙が形成されない場合があり、並走配線 5b の配線間容量 Q を低減させることができなくなってしまう。

[0063] 一方、仕切り部 10 及び空隙 11 は、共に直方体形状とされている。特に空隙 11 が単なる溝では無く直方体形状とされることで、スピコート法に用いる薬液が流れる方向によらず空隙 11 に薬液が入り込みにくくされ、図 6 に示すように並走配線 5b の配線間において安定的に空隙 11 を形成することができる。これにより、並走配線 5b の配線間容量 Q を低減させることができる。

[0064] なお、スピコート法によって保護膜 6 を形成する場合には、スタティック塗布よりもダイナミック塗布を適用した方が有利である。ダイナミック塗布を採用することにより、空隙 11 に薬剤が入り込みにくくされ、空隙 11

が形成された状態を確保することができると共に、形成されえる空隙 11 の体積を大きくすることができる。従って、並走配線 5b の配線間容量 Q を効率的に低減させることができる。

[0065] <4. 変形例>

<4-1. 第1の変形例>

第1の変形例は、並走配線 5b の配線間に形成された溝部 12 において、半導体基板 2 の厚み方向が軸方向とされた円柱形状の仕切り部 10A を形成する例である。

[0066] 具体的に、添付図を参照して説明する。なお、レジスト 15 を形成するまでの工程は同じである。即ち、図 8 から図 11 までは同様の工程であり説明を省略する。

[0067] CMP 処理を施すことにより並走配線 5b の裏面側の面を露出させた後、リソグラフィー工程が行われる。リソグラフィー工程では、溝部 12 に入り込んだ絶縁膜 14 の裏面側において並走配線 5b が延びる方向に一定間隔で離隔された円形状のレジスト 15A が塗布される。

[0068] レジスト 15A が塗布された状態の裏面側における平面図を図 20 に示し、図 20 の J-J 線における断面図を図 21 に示す。

[0069] 続いて、エッチング処理を施した状態の半導体装置 1A について、裏面側における平面図を図 22 に示し、図 22 の K-K 線における断面図を図 23 に示す。

[0070] 図示するように、溝部 12 において並走配線 5b が延びる方向に一定間隔で円柱形状の仕切り部 10A が形成される。

[0071] 次にレジスト 15A を除去する処理が行われる。レジスト 15A が除去された状態について裏面側における平面図を図 24 に示す。また、図 24 の L-L 線における断面図は先の図 18 と同様であり、図 24 の M-M 線における断面図は先の図 19 と同様である。

[0072] 図 24 及び図 19 に示すように、溝部 12 に配置された円柱形状の仕切り部 10A の間の部分に空隙 11A が形成される。

[0073] 円柱形状の仕切り部 10A は、側面が並走配線 5b の側面 13 に接触される。従って、並走配線 5b の側面 13 の大部分が空隙 11A に隣接するため、配線間容量 Q を更に低減させることができる。

[0074] <4-2. 第 2 の変形例>

第 2 の変形例は、溝部 12 において形成した円柱形状の孔を空隙 11 とする例である。なお、レジスト 15 を形成するまでの工程は同じである。即ち、図 8 から図 11 までは同様の工程であり説明を省略する。

[0075] CMP 処理を施すことにより並走配線 5b の裏面側の面を露出させた後、リソグラフィー工程が行われる。リソグラフィー工程では、溝部 12 に入り込んだ絶縁膜 14 の裏面側において、並走配線 5b が延びる方向に一定間隔で離隔して円柱形状に絶縁膜 14 が除去されるようにレジスト 15B が塗布される。

[0076] レジスト 15B が塗布された状態の半導体装置 1B について裏面側における平面図を図 25 に示す。なお、図 25 の N-N 線における断面図は先の図 13 と同様である。また、図 25 の P-P 線における断面図を図 26 に示す。

[0077] 図 25 及び図 26 に示すように、溝部 12 に位置する絶縁膜 14 においては、並走配線 5b が延びる方向に一定間隔でレジスト 15B が塗布されない円形状の部分が設けられる。

[0078] 続いて、エッチング処理を施した状態の半導体装置 1B について、裏面側における平面図を図 27 に示す。なお、図 27 の Q-Q 線における断面図は先の図 15 と同様である。また、図 27 の R-R 線における断面図を図 28 に示す。

[0079] 図示するように、溝部 12 において並走配線 5b が延びる方向に一定間隔で円柱形状の孔部 16 が形成される。

[0080] 次にレジスト 15B を除去する処理が行われる。レジスト 15B が除去された状態について裏面側における平面図を図 29 に示す。なお、図 29 の S-S 線における断面図は先の図 18 と同様であり、図 29 の T-T 線にお

る断面図は先の図 19 と同様である。

[0081] 図 29 及び図 19 に示すように、溝部 12 において一定間隔で離隔されて円柱形状の孔部 16 が空隙 11B として形成され、その間の部分は仕切り部 10B として絶縁膜 14 が残留する。

[0082] この後の工程においてスピコート法で用いる薬液の粘度が低い場合には、第 1 の変形例等においては、空隙 11A に薬液が入り込んでしまい空隙 11A が消失してしまう虞がある。しかし、本変形例によれば、粘度の低い薬液を用いて保護膜 6 を形成した場合であっても、空隙 11B の開口部が小さくされるため、安定して空隙 11B を形成することができる。

[0083] 従って、並走配線 5b についての配線間容量を確実に低減させることができる。

[0084] <4-3. 第 3 の変形例>

第 3 の変形例は、並走配線 5b の配線間距離 d の長さによって仕切り部 10 間の距離、即ち、並走配線 5b が延びる方向における空隙 11 の長さを変える例である。

[0085] 具体的に、裏面側における平面図である図 30 を参照して説明する。なお、図 30 においては保護膜 6 を不図示としている。

[0086] 図示するように、配線間距離 d_1 とされた第 1 並走配線 5b1 と、配線間距離 d_2 とされた第 2 並走配線 5b2 が絶縁樹脂膜 4 の裏面側に形成されている。

配線間距離 d_1 は配線間距離 d_2 よりも短くされている。即ち、第 1 並走配線 5b1 の方が第 2 並走配線 5b2 よりも相対的に微細な配線パターンとして形成されている。

[0087] この場合には、第 1 並走配線 5b1 の方が第 2 並走配線 5b2 よりも先の式 (2) における変数 d が小さくなるため静電容量 C が大きくなる。従って、静電容量 C を小さくするために、第 1 並走配線 5b1 の平均の比誘電率 ϵ_r が小さくなるように比誘電率 ϵ_r が小さい空隙 11 と第 1 並走配線 5b1 の側面 13 の接触面積が大きくなるようにする。

[0088] 即ち、図30に示すように、仕切り部10の配置間隔を長くすることで微細化された第1並走配線5b1における配線間容量Qの低減を図ることができる。

[0089] なお、スピコート法によって保護膜6を形成する際の液剤の空隙11に対する入り込みやすさを考慮しても、より微細化された第1並走配線5b1の方が第2並走配線5b2よりも仕切り部10の配置間隔を広くすることが好適である。

[0090] 即ち、並走配線5bの微細化は配線間距離dを短くすることと同義であるため、液剤が空隙11に入り込みにくくされる。そのため、その分を考慮して仕切り部10の配置間隔を広くしても空隙11に液剤が入り込まずに問題なく空隙11が形成された状態で保護膜6を形成することができるためである。

[0091] <4-4. 第4の変形例>

第4の変形例は、並走配線5bの溝部12において隣り合う仕切り部10が非平行とされた例である。

具体的に図31を参照して説明する。

[0092] 図示する並走配線5bは異なる方向に延びる直線を連続させることによって全体と見れば非直線形状に形成されている。

[0093] このように、曲線で形成された並走配線5bや2本以上の直線によって形成されている並走配線5bについては、溝部12に形成される仕切り部10が非平行とされる。

即ち、隣接する並走配線5bが延びる方向に対して直角方向が長手方向となるように仕切り部10が形成される。

[0094] なお、所定の間隔で離隔するように仕切り部10を配置する場合には、内周側の並走配線5bに対して所定の間隔で隣接するように仕切り部10が形成してもよいし、外周側の並走配線5bに対して所定の間隔で隣接するように仕切り部10が形成してもよい。

[0095] <4-5. その他の変形例>

その他の変形例では、半導体装置 1（1 A、1 B）の適用態様について説明する。

半導体装置 1 は、ロジック回路装置、イメージセンサ装置、メモリ装置、インターポーザなど各種の例が考えられる。

[0096] 一例として図 3 2 にイメージセンサ装置を挙げる。なお、図 3 2 においては、半導体基板 2 の表面 2 a 側に形成される配線層 3 についての図示を省略している。

[0097] 図示するように、半導体基板 2 の中央部には光電変換素子 1 7 が二次元配列状に設けられており、その裏面側に絶縁樹脂膜 4 と保護膜 6 が形成されている。

[0098] 半導体基板 2 の外周部には光電変換素子 1 7 が形成されておらず、半導体基板 2 の裏面側に絶縁樹脂膜 4 と再配線層 5 と保護膜 6 が形成されている。そして、再配線層 5 における並走配線 5 b の配線間に形成された溝部 1 2 には上述したような仕切り部 1 0 と空隙 1 1 が交互に形成されている。

[0099] このように、半導体基板 2 において光電変換素子 1 7 が形成されていない部分において再配線層 5 及び仕切り部 1 0 と空隙 1 1 が形成されることで、光電変換素子 1 7 への光の入射を妨げることなく、並走配線 5 b についての配線間容量 Q を削減することができる。

[0100] <5. まとめ>

上述した各例で説明したように、半導体装置 1（1 A、1 B）は、半導体基板 2 と、電極パッド 7 を有し半導体基板 2 における第 1 の面（表面 2 a）に形成された配線層 3 と、ビア（貫通電極 T S V）を介して電極パッド 7 と電氣的に接続された配線を有し半導体基板 2 における第 1 の面とは反対の第 2 の面（裏面 2 b）側に形成された再配線層 5 と、再配線層 5 における半導体基板 2 と反対側の面（裏面側）に形成された保護膜 6 と、絶縁材料で形成され再配線層 5 における配線間（並走配線 5 b、第 1 並走配線 5 b 1、第 2 並走配線 5 b 2 の配線間）に配置される仕切り部 1 0（1 0 A、1 0 B）と、を備え、配線間において該配線が延びる方向に仕切り部 1 0 と空隙 1 1（

11A、11B)が交互に形成されたものである。

これにより、保護膜6を形成する前の段階において、二本の配線（二本の並走配線5b）と二つの仕切り部10によって囲まれた空隙11が形成される。

従って、該空隙11を確保したまま保護膜6を形成することができる。そして、二本の配線と仕切り部10の接触面積が小さくされることにより二本の配線についての配線間容量Qを低減させることができる。特に、スピンコート法を用いて保護膜6を形成する場合に有効である。即ち、スピンコート法によって保護膜6を通常通り形成するだけで配線間に空隙11を必然的に形成することができる。

また、配線間容量Qを小さくすることにより、高速動作可能な半導体装置1を製造することが可能となる。

[0101] 上述したように、仕切り部10（10A、10B）の形成に用いられる絶縁材料は、 SiO_x 、 SiO_xN_y 、絶縁性有機樹脂の何れかとされておりもよい。なお、 x 及び y は自然数を表す変数である。

これにより、仕切り部10において一定の絶縁性が確保される。

従って、仕切り部10の誘電率が低くされ、二本の配線についての配線間容量をより低減させることができる。

[0102] 図29を参照して第3の変形例で説明したように、半導体装置1（1A、1B）においては、再配線層5において第1の配線間距離 d_1 とされた二本の配線（二本の第1並走配線5b1）と、第2の配線間距離 d_2 とされた二本の配線（二本の第2並走配線5b2）が形成され、第1の配線間距離 d_1 は第2の配線間距離 d_2 よりも短くされ、第1の配線間距離 d_1 とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う仕切り部10の間隔は、第2の配線間距離 d_2 とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う仕切り部10の間隔よりも大きくされてもよい。

また、半導体装置1（1A、1B）においては、再配線層5に配線された二本の配線（二本の並走配線5b）についての配線間距離 d が短いほど、二

本の配線間に配置され配線が延びる方向に隣り合う仕切り部 10 (10A、10B) の間隔は大きくされてもよい。

これにより、配線間距離 d が近いことにより配線間容量 Q が大きくなってしまう二本の配線について、仕切り部 10 との接触面積がより小さくされる。

従って、配線間容量 Q を低減させる効果を減少させずに済む。

[0103] 図 20 から図 24 の各図を参照して第 1 の変形例で説明したように、半導体装置 1 A においては、仕切り部 10 A は、半導体基板 2 に対する再配線層 5 の積層方向が軸方向とされた円柱形状とされてもよい。

即ち、並走配線 5 b の側面 13 に対して円柱形状の仕切り部 10 A の側面が接する。

これにより、配線と仕切り部 10 A の接触面積が更に小さくされ、配線間容量 Q をより低減させることができる。

[0104] 図 4 及び図 5 を参照して説明したように、半導体装置 1 において仕切り部 10 は、直方体形状とされていてもよい。

これにより、仕切り部 10 に隣接する空隙 11 も直方体形状の空隙とされる。

従って、配線（並走配線 5 b）が空隙 11 と隣接する面積が大きくされ、配線間容量 Q を低減させることができる。

[0105] 図 25 から図 28 の各図を参照して説明したように、半導体装置 1 B の空隙 11 B は、配線間（並走配線 5 b の配線間）に入り込んだ絶縁材料に形成された孔部 16 とされてもよい。

これにより、仕切り部 10 B 間に孔状の空隙 11 B が形成される。

従って、空隙 11 B の両側に配置された二本の配線についての配線間容量 Q を低減させることができる。

[0106] 図 9 等の各図を参照して説明したように、半導体装置 1 (1 A、1 B) については、半導体基板 2 と再配線層 5 の間に絶縁樹脂膜 4 が形成され、空隙 11 (11 A、11 B) は絶縁樹脂膜 4 の膜内まで達する空間として、即ち

、絶縁樹脂膜 4 に形成された凹部（凹部溝 4 a）を含む空間として形成されてもよい。

これにより、配線（並走配線 5 b）の高さよりも深い空隙 1 1 が形成される。

従って、二本の配線の側面 1 3 を確実に空隙に隣接させることができるため、配線間容量 Q を確実に低減させることができる。また、絶縁樹脂膜 4 まですり下げられて空隙 1 1 が形成されることにより、イオンマイグレーションの低減を図ることができる。

[0107] 図 3 1 等を参照してその他の変形例で説明したように、半導体装置 1 においては、半導体基板 2 に光電変換を行う光電変換素子 1 7 が二次元配列状に形成されていてもよい。

これにより、イメージセンサなどとされた半導体装置 1 において再配線層 5 の配線間に空隙 1 1 が形成される。

従って、配線間容量 Q を削減することができるため、イメージセンサの高速駆動に好適である。

[0108] 本技術の半導体装置製造方法は、半導体基板 2 と、電極パッド 7 を有し半導体基板 2 における第 1 の面（表面 2 a）に形成された配線層 3 と、ビア（貫通電極 T S V）を介して電極パッド 7 と電氣的に接続された配線を有し半導体基板 2 における第 1 の面とは反対の第 2 の面（裏面 2 b）側に形成された再配線層 5 と、再配線層 5 における半導体基板 2 と反対側の面に形成された保護膜 6 と、絶縁材料で形成され再配線層 5 における配線間（並走配線 5 b 間）に配置される仕切り部 1 0 と、を備える半導体装置 1（1 A、1 B）について、配線間において該配線が延びる方向に仕切り部 1 0 と空隙 1 1 を交互に形成するものである。

また、この製造方法は、電極パッド 7 を有した配線層 3 が第 1 の面（表面 2 a）に形成されビア（貫通電極 T S V）を介して電極パッド 7 と電氣的に接続された配線を有する再配線層 5 が第 1 の面とは反対の第 2 の面（裏面 2 b）側に形成された半導体基板 2 において、再配線層 5 における配線間にお

いて該配線が延びる方向に仕切り部 10 と空隙 11 とを交互に形成するものである。

このような製造方法によって、上述した各種の作用及び効果を有する半導体装置 1 (1A、1B) を製造することができる。

[0109] 半導体装置製造方法は、スピコート法によって保護膜 6 を形成することにより空隙 11 (11A、11B) が形成されてもよい。

スピコート法によって薬液が再配線層 5 の裏面側を流れることで保護膜 6 が形成されることにより、空隙 11 を簡便に形成することができる。

[0110] なお、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0111] また、上述した各例はいかように組み合わせてもよく、各種の組み合わせを用いた場合であっても上述した種々の作用効果を得ることが可能である。

[0112] <6. 本技術>

本技術は以下のような構成を採ることもできる。

(1)

半導体基板と、

電極パッドを有し前記半導体基板における第 1 の面に形成された配線層と

、

ビアを介して前記電極パッドと電氣的に接続された配線を有し前記半導体基板における前記第 1 の面とは反対の第 2 の面側に形成された再配線層と、

前記再配線層における前記半導体基板と反対側の面に形成された保護膜と

、

絶縁材料で形成され前記再配線層における配線間に配置される仕切り部と

、を備え、

前記配線間において該配線が延びる方向に前記仕切り部と空隙が交互に形成された

半導体装置。

(2)

前記絶縁材料は、 SiO_x 、 SiO_xN_y 、絶縁性有機樹脂の何れかとされた

上記（１）に記載の半導体装置。

（３）

前記再配線層において第１の配線間距離とされた二本の配線と、第２の配線間距離とされた二本の配線が形成され、

前記第１の配線間距離は第２の配線間距離よりも短くされ、

前記第１の配線間距離とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う前記仕切り部の間隔は、前記第２の配線間距離とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う前記仕切り部の間隔よりも大きくされた

上記（１）から上記（２）の何れかに記載の半導体装置。

（４）

前記再配線層に配線された二本の配線についての配線間距離が短いほど、前記二本の配線間に配置され前記配線が延びる方向に隣り合う前記仕切り部の間隔は大きくされた

上記（３）に記載の半導体装置。

（５）

前記仕切り部は、前記半導体基板に対する前記再配線層の積層方向が軸方向とされた円柱形状とされた

上記（１）から上記（４）の何れかに記載の半導体装置。

（６）

前記仕切り部は、直方体形状とされた

上記（１）から上記（４）の何れかに記載の半導体装置。

（７）

前記空隙は、前記配線間に入り込んだ絶縁材料に形成された孔部とされた

上記（１）から上記（６）の何れかに記載の半導体装置。

（８）

前記半導体基板と前記再配線層の間に絶縁樹脂膜が形成され、
前記空隙は前記絶縁樹脂膜の膜内まで達する空間として形成された
上記（１）から上記（７）の何れかに記載の半導体装置。

（９）

前記半導体基板に光電変換を行う光電変換素子が二次元配列状に形成された

上記（１）から上記（８）の何れかに記載の半導体装置。

（１０）

電極パッドを有した配線層が第１の面に形成されビアを介して前記電極パッドと電氣的に接続された配線を有する再配線層が前記第１の面とは反対の第２の面側に形成された半導体基板において、前記再配線層における配線間において該配線が延びる方向に仕切り部と空隙とを交互に形成する

半導体装置製造方法。

（１１）

スピンコート法によって保護膜を形成することにより前記空隙が形成される

上記（１０）に記載の半導体装置製造方法。

符号の説明

[0113] １、１Ａ、１Ｂ 半導体装置

２ 半導体基板

２ａ 表面（第１の面）

２ｂ 裏面（第２の面）

３ 配線層

４ 絶縁樹脂膜

５ 再配線層

６ 保護膜

７ 電極パッド

１０、１０Ａ、１０Ｂ 仕切り部

1 1、1 1 A、1 1 B 空隙

1 2 溝部

1 6 孔部

1 7 光電変換素子

T S V 貫通電極（ビア）

請求の範囲

- [請求項1] 半導体基板と、
電極パッドを有し前記半導体基板における第1の面に形成された配線層と、
ビアを介して前記電極パッドと電氣的に接続された配線を有し前記半導体基板における前記第1の面とは反対の第2の面側に形成された再配線層と、
前記再配線層における前記半導体基板と反対側の面に形成された保護膜と、
絶縁材料で形成され前記再配線層における配線間に配置される仕切り部と、を備え、
前記配線間において該配線が延びる方向に前記仕切り部と空隙が交互に形成された
半導体装置。
- [請求項2] 前記絶縁材料は、 SiO_x 、 SiO_xN_y 、絶縁性有機樹脂の何れかとされた
請求項1に記載の半導体装置。
- [請求項3] 前記再配線層において第1の配線間距離とされた二本の配線と、第2の配線間距離とされた二本の配線が形成され、
前記第1の配線間距離は第2の配線間距離よりも短くされ、
前記第1の配線間距離とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う前記仕切り部の間隔は、前記第2の配線間距離とされた二本の配線の配線間に配置され該配線が延びる方向に隣り合う前記仕切り部の間隔よりも大きくされた
請求項1に記載の半導体装置。
- [請求項4] 前記再配線層に配線された二本の配線についての配線間距離が短いほど、前記二本の配線間に配置され前記配線が延びる方向に隣り合う前記仕切り部の間隔は大きくされた

請求項 3 に記載の半導体装置。

[請求項5] 前記仕切り部は、前記半導体基板に対する前記再配線層の積層方向が軸方向とされた円柱形状とされた

請求項 1 に記載の半導体装置。

[請求項6] 前記仕切り部は、直方体形状とされた

請求項 1 に記載の半導体装置。

[請求項7] 前記空隙は、前記配線間に入り込んだ絶縁材料に形成された孔部とされた

請求項 1 に記載の半導体装置。

[請求項8] 前記半導体基板と前記再配線層の間に絶縁樹脂膜が形成され、前記空隙は前記絶縁樹脂膜の膜内まで達する空間として形成された請求項 1 に記載の半導体装置。

[請求項9] 前記半導体基板に光電変換を行う光電変換素子が二次元配列状に形成された

請求項 1 に記載の半導体装置。

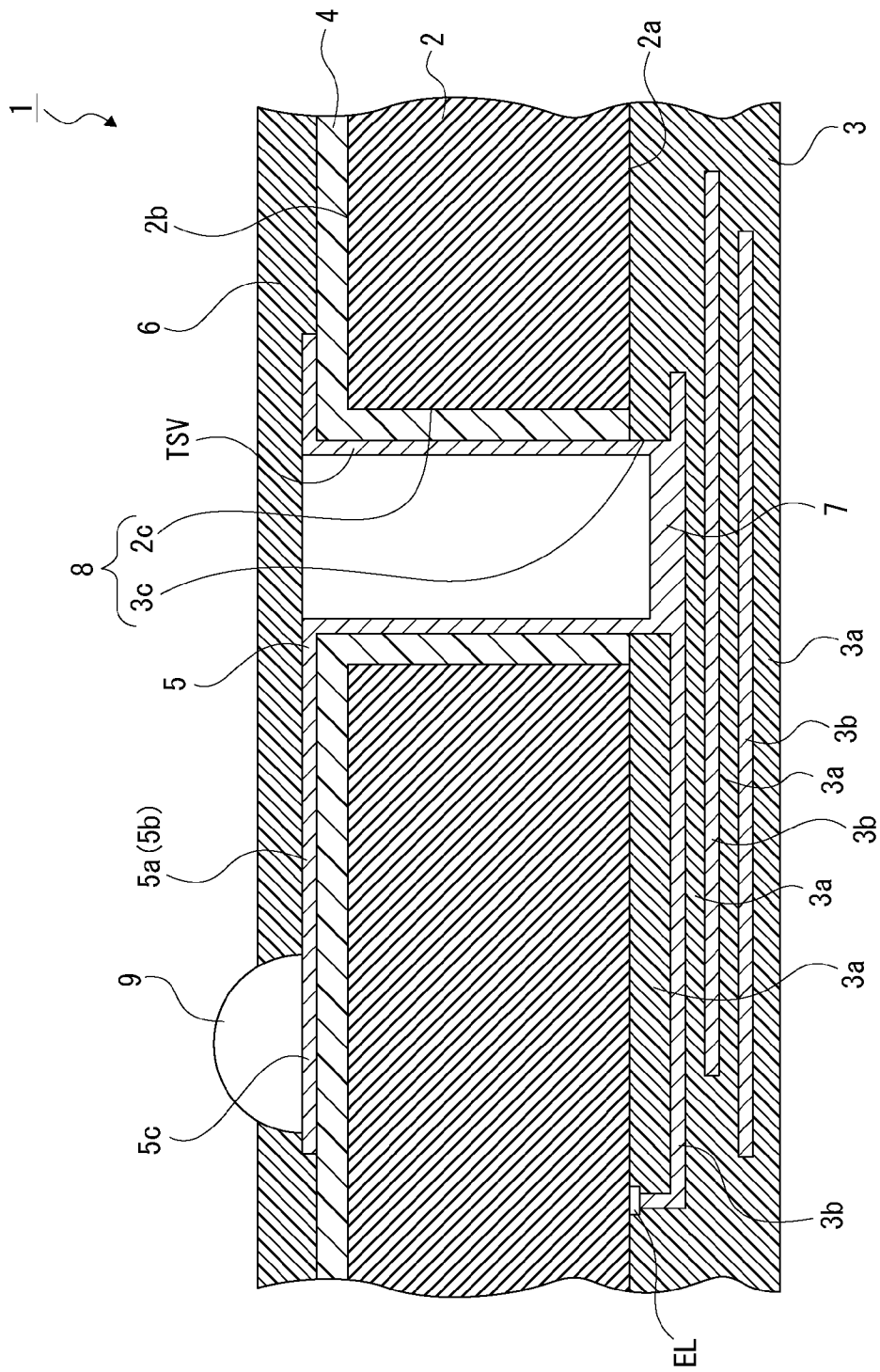
[請求項10] 電極パッドを有した配線層が第 1 の面に形成されビアを介して前記電極パッドと電氣的に接続された配線を有する再配線層が前記第 1 の面とは反対の第 2 の面側に形成された半導体基板において、前記再配線層における配線間において該配線が延びる方向に仕切り部と空隙とを交互に形成する

半導体装置製造方法。

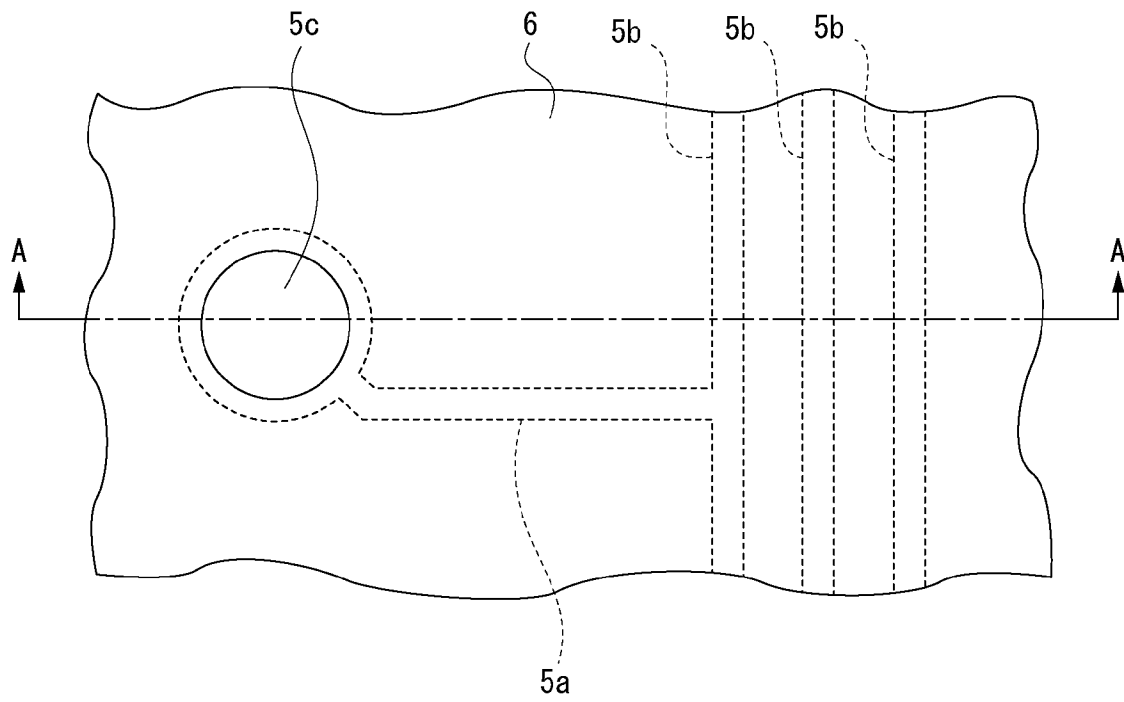
[請求項11] スピンコート法によって保護膜を形成することにより前記空隙が形成される

請求項 10 に記載の半導体装置製造方法。

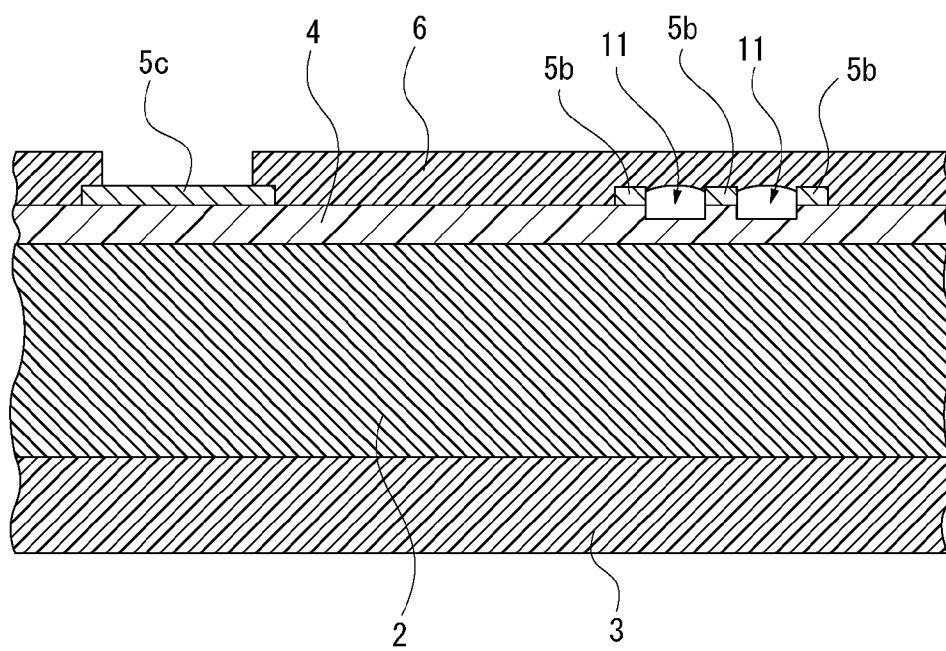
[図1]



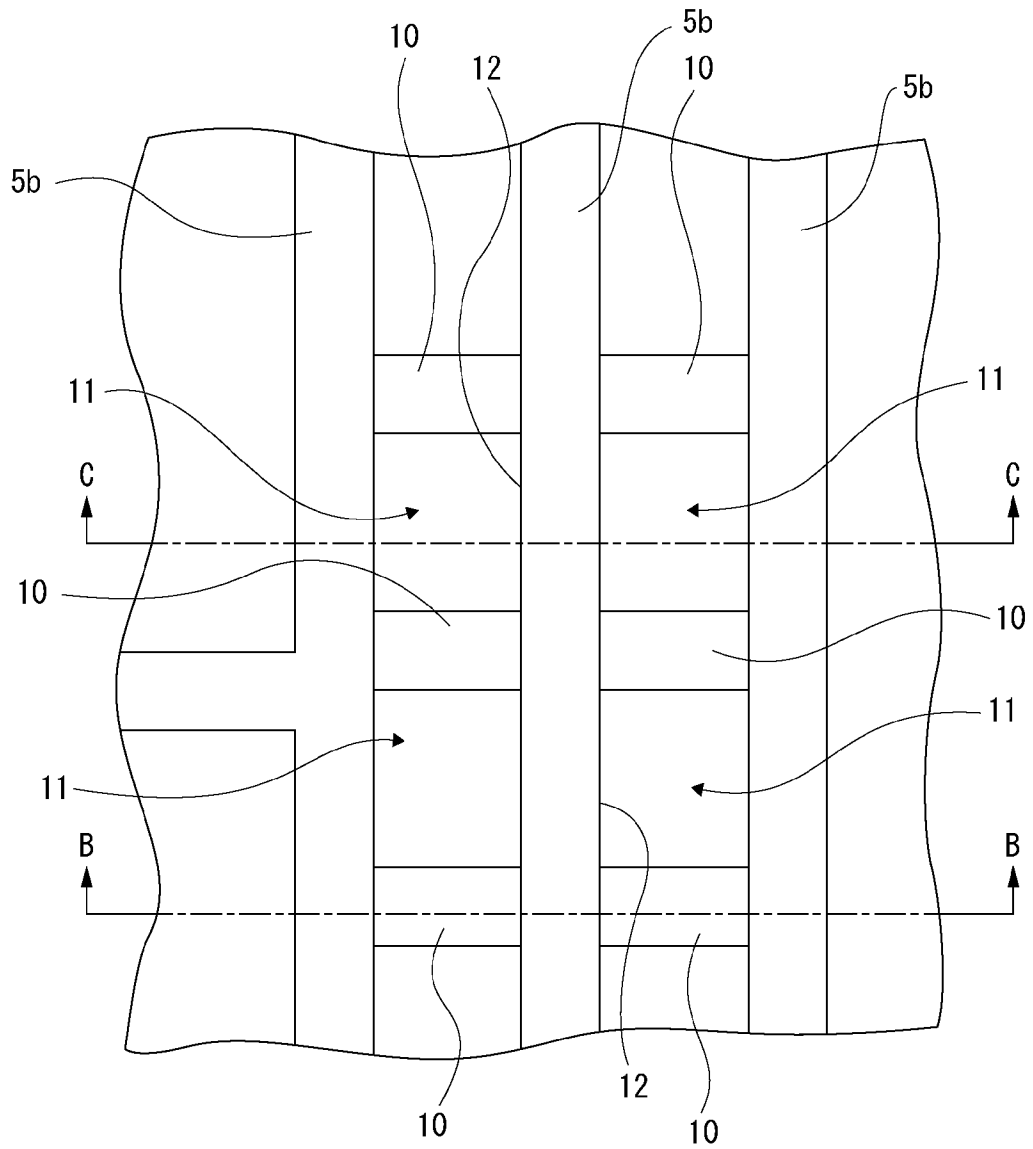
[図2]



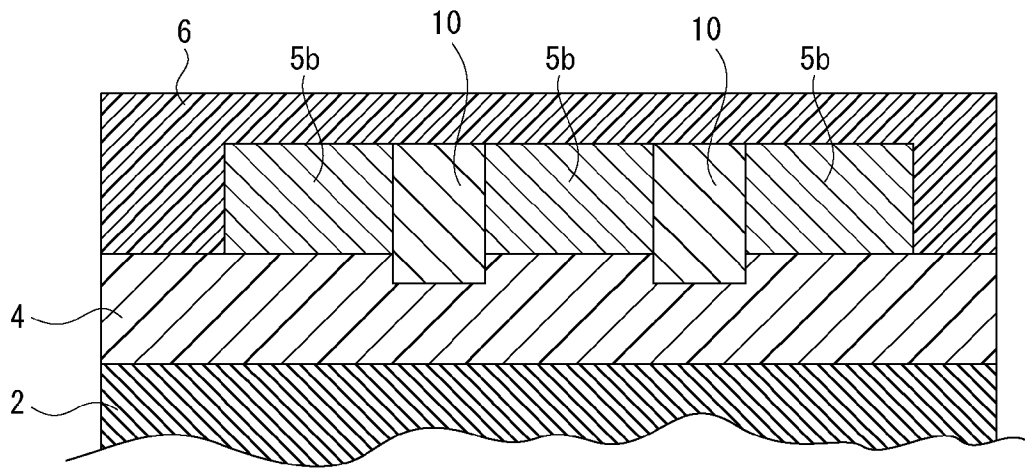
[図3]



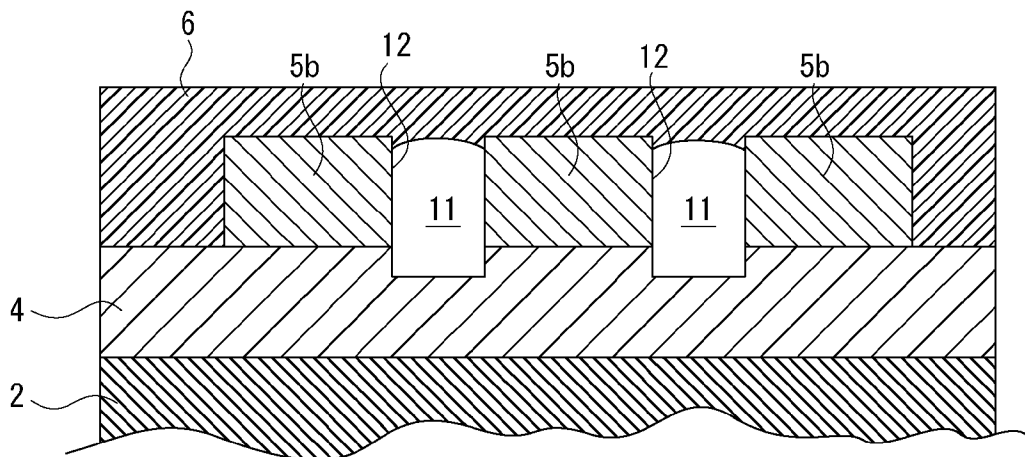
[図4]



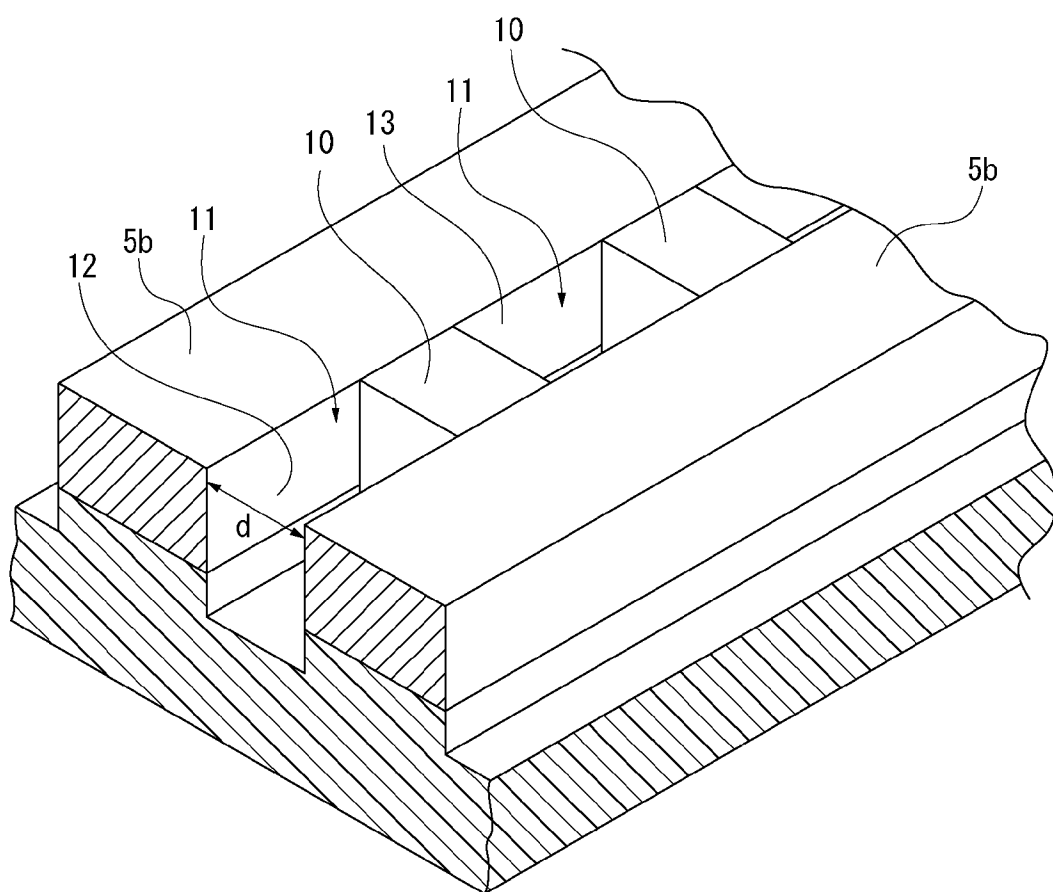
[図5]



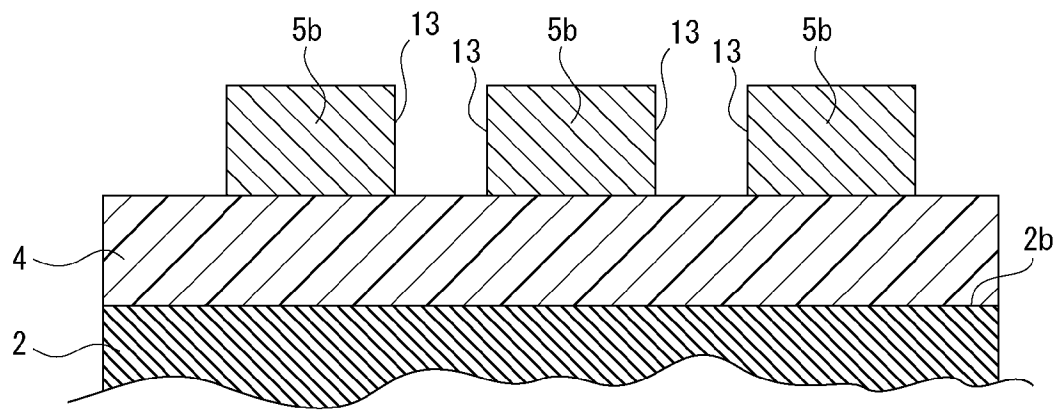
[図6]



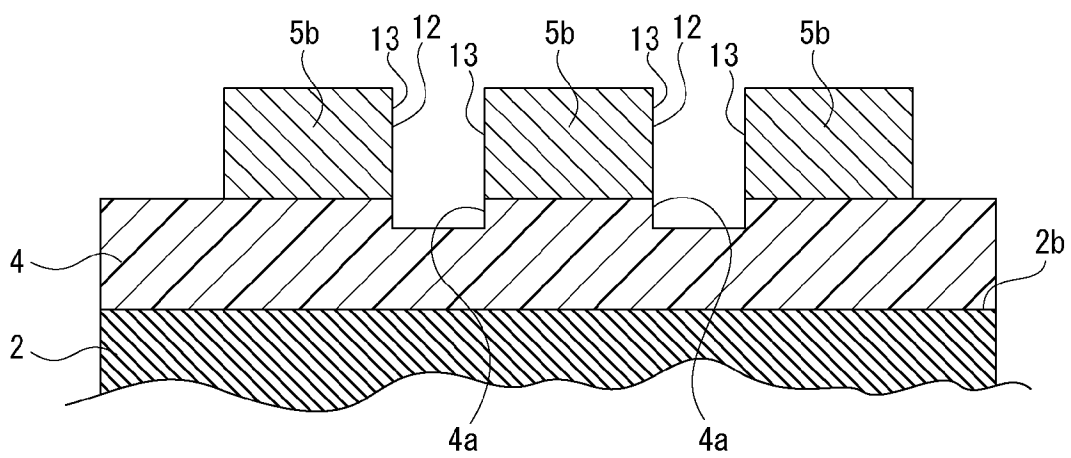
[図7]



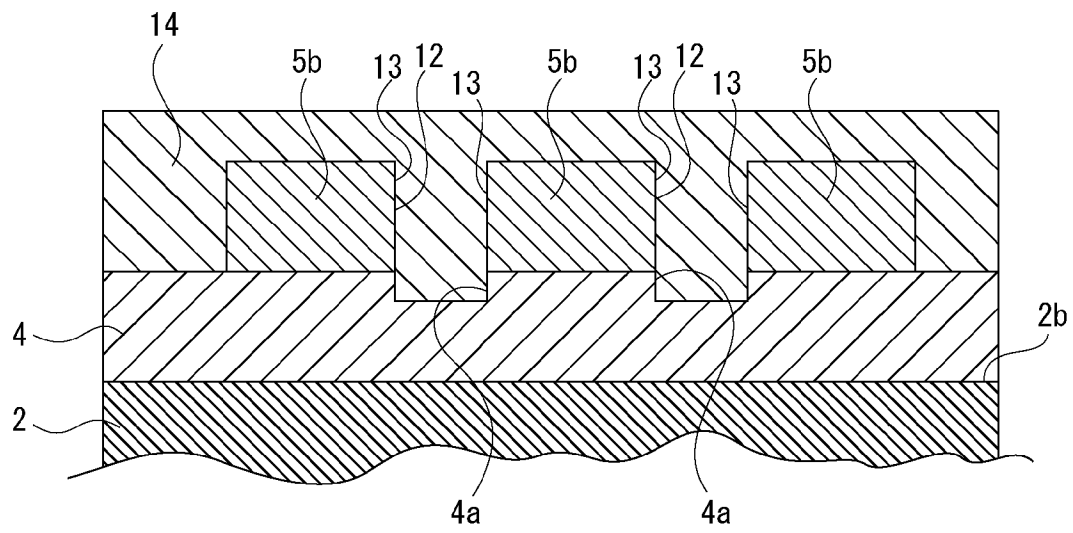
[図8]



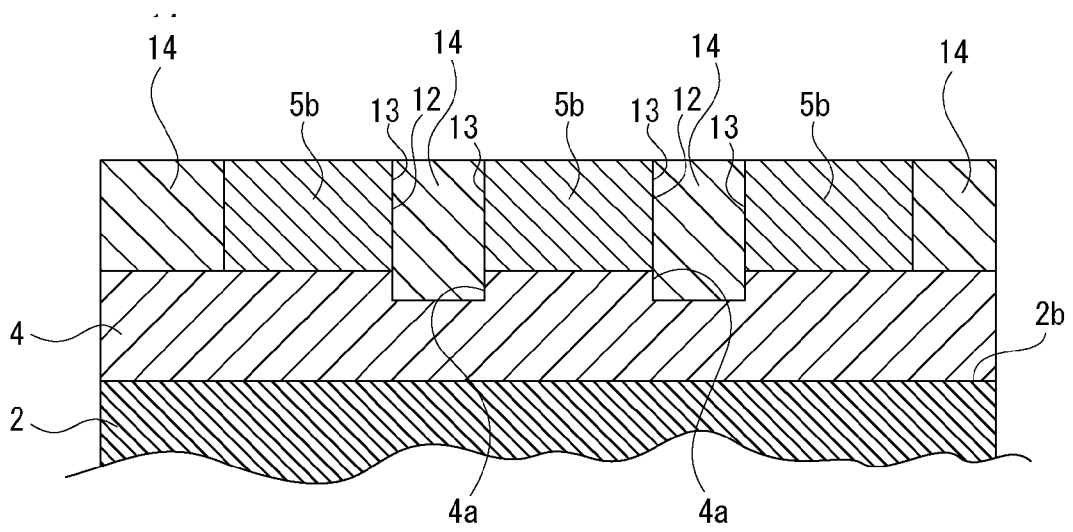
[図9]



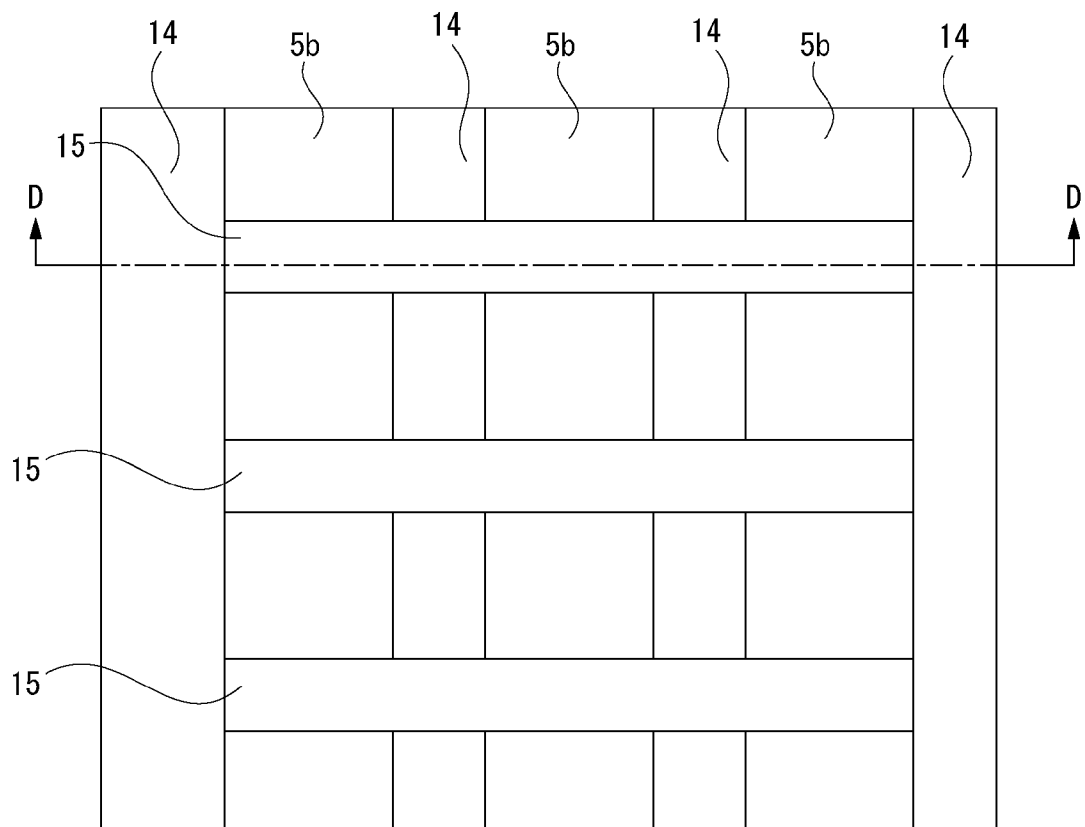
[図10]



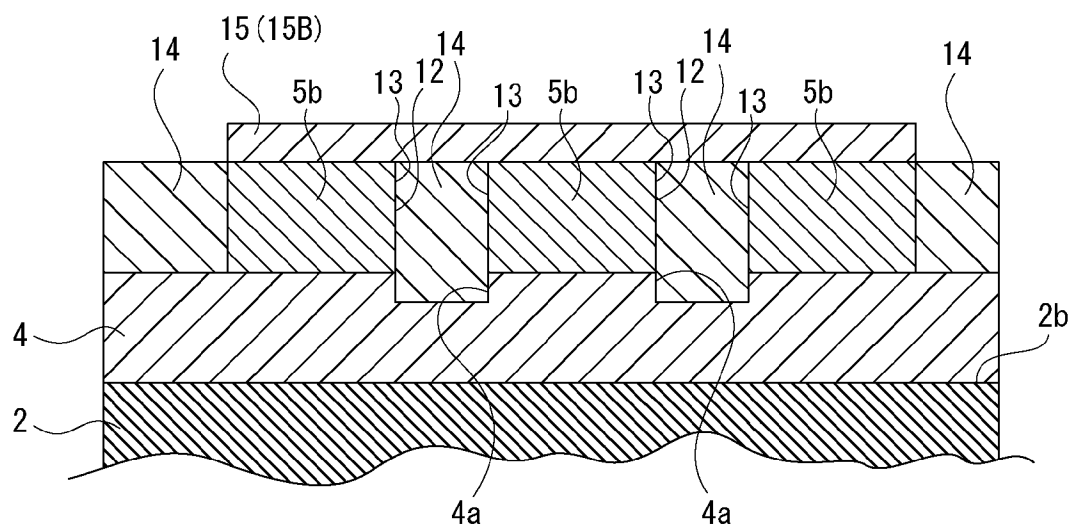
[図11]



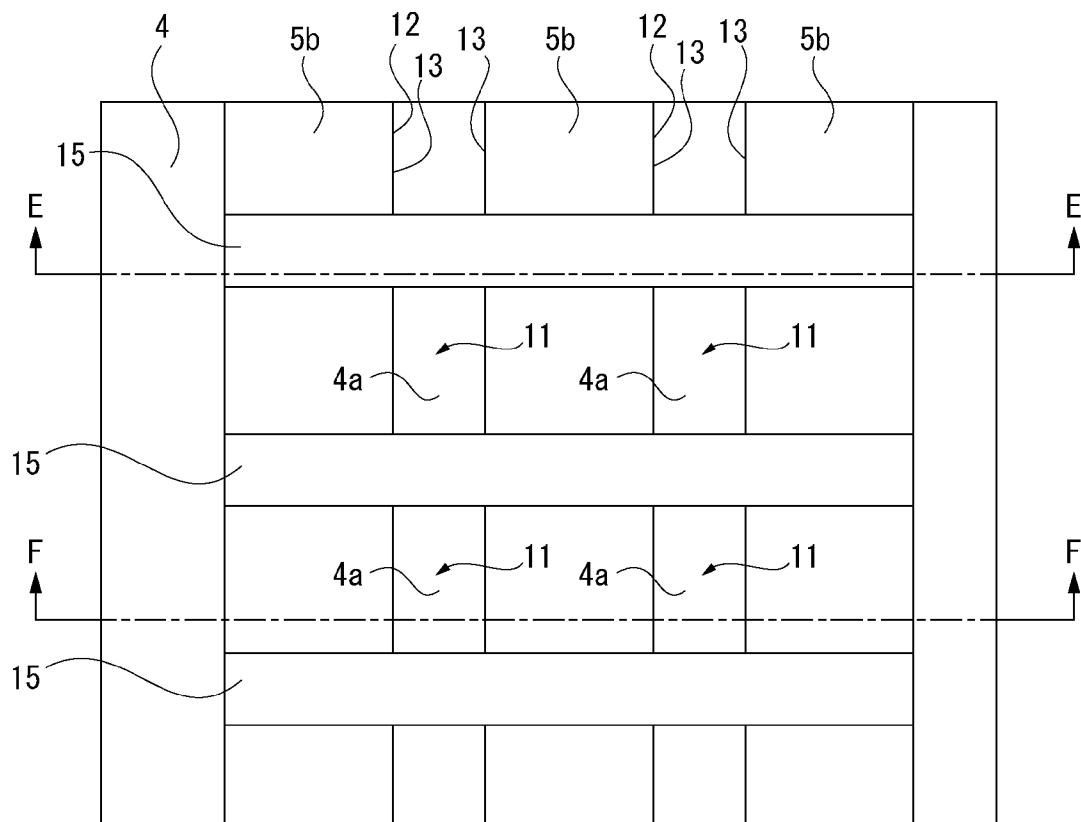
[図12]



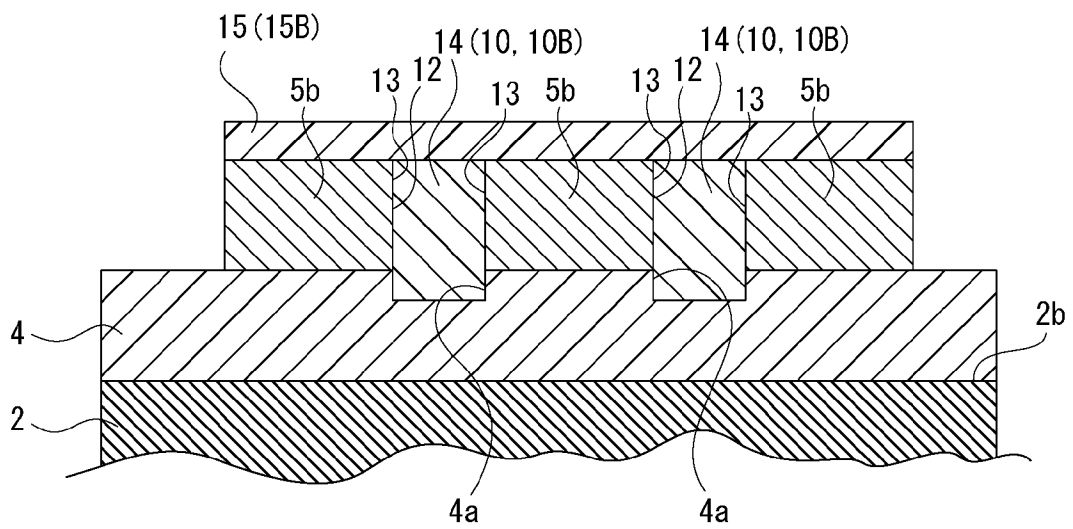
[図13]



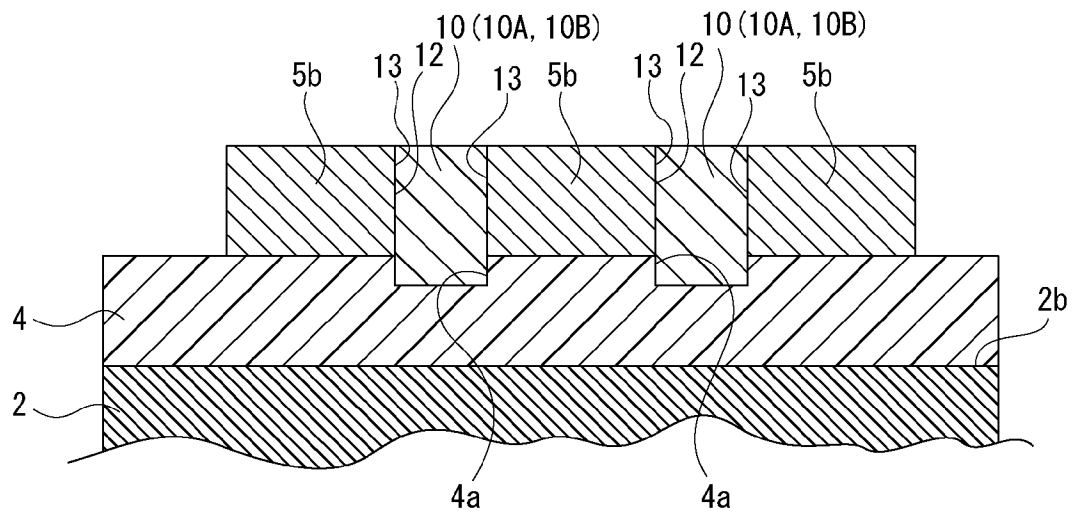
[図14]



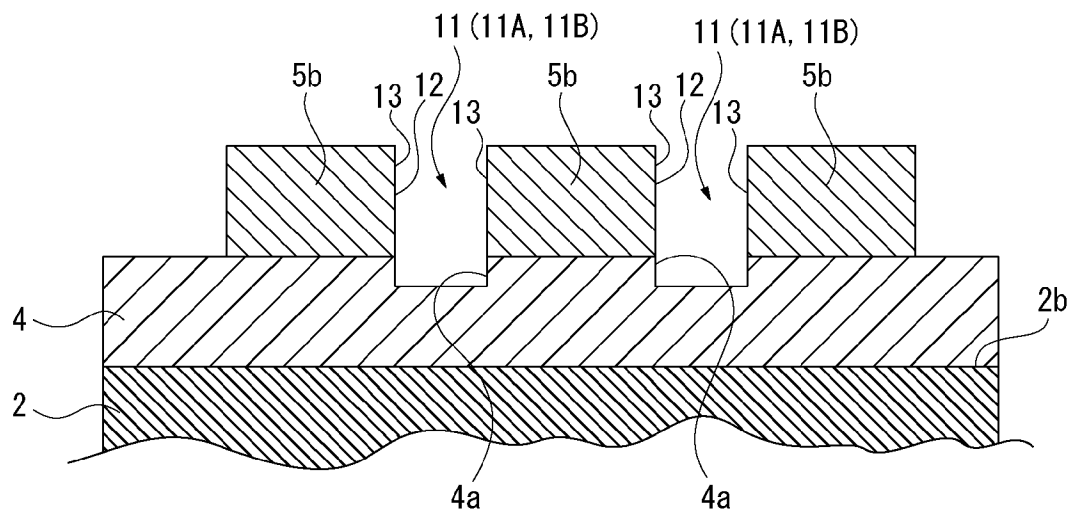
[図15]



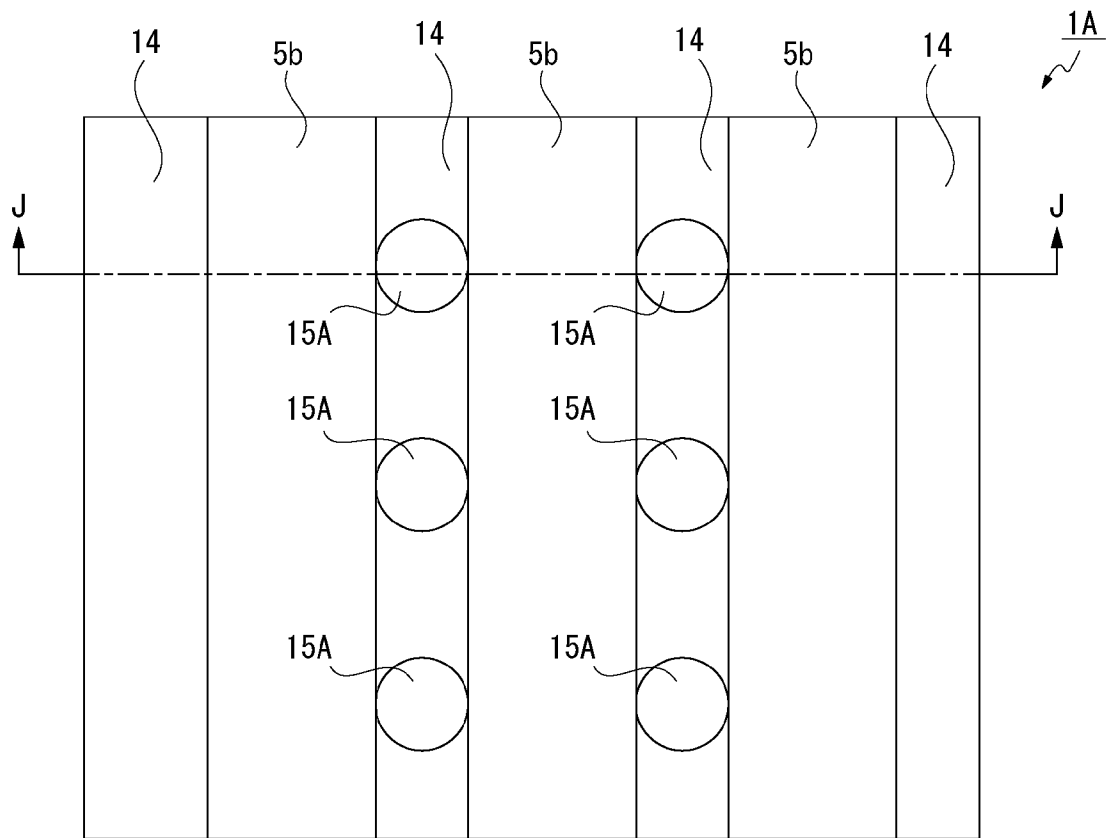
[図18]



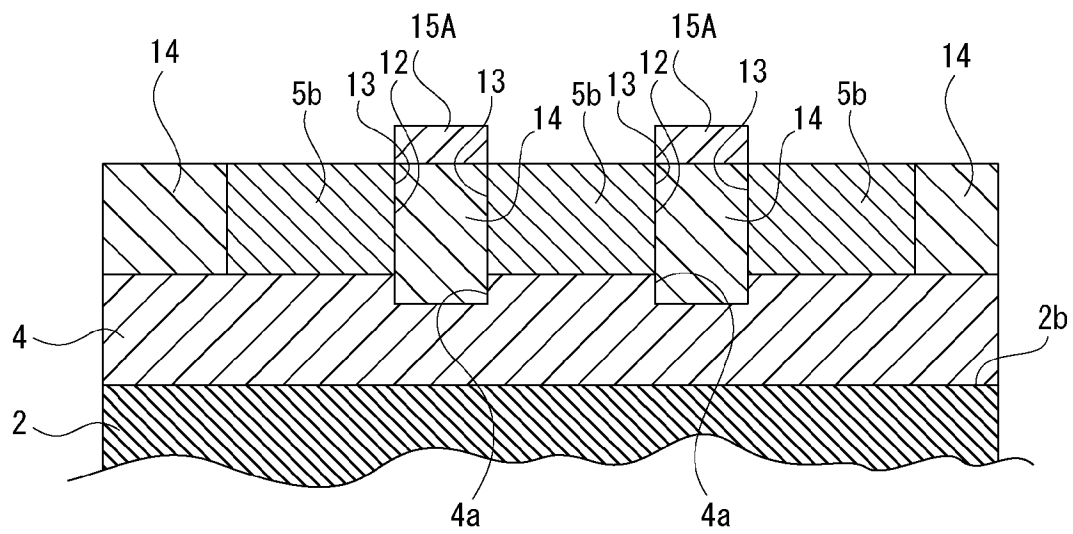
[図19]



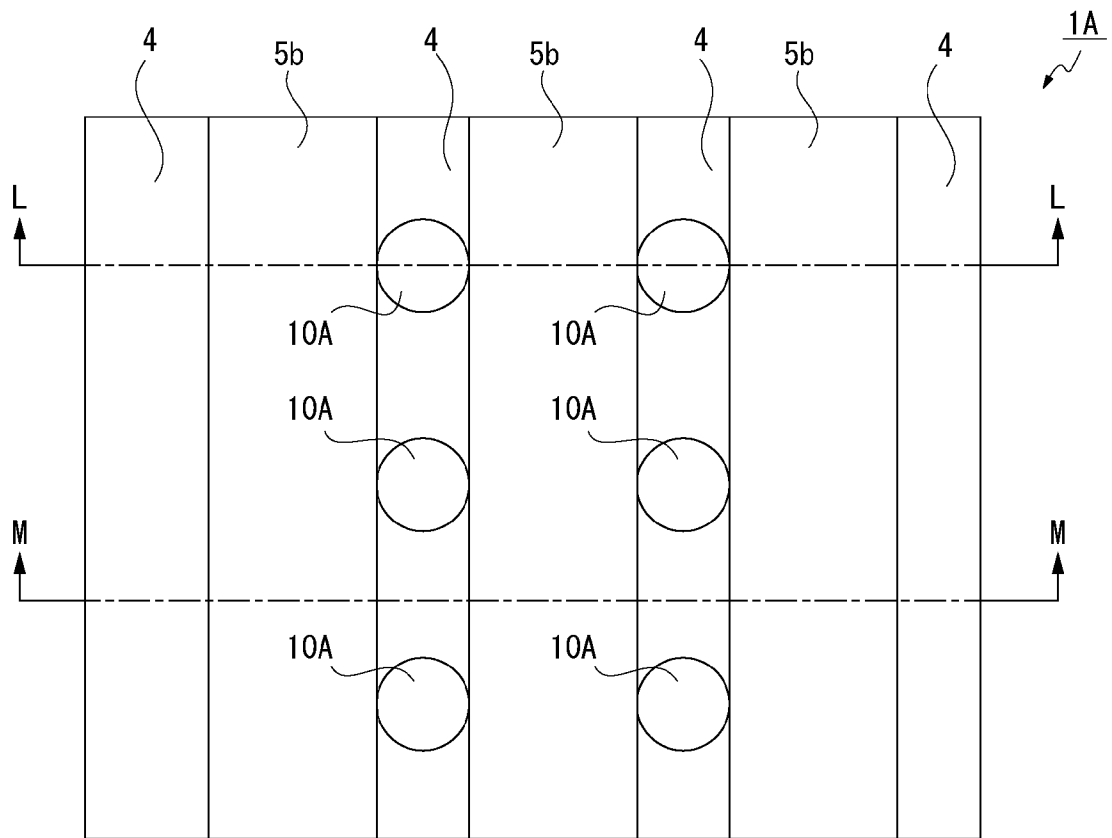
[図20]



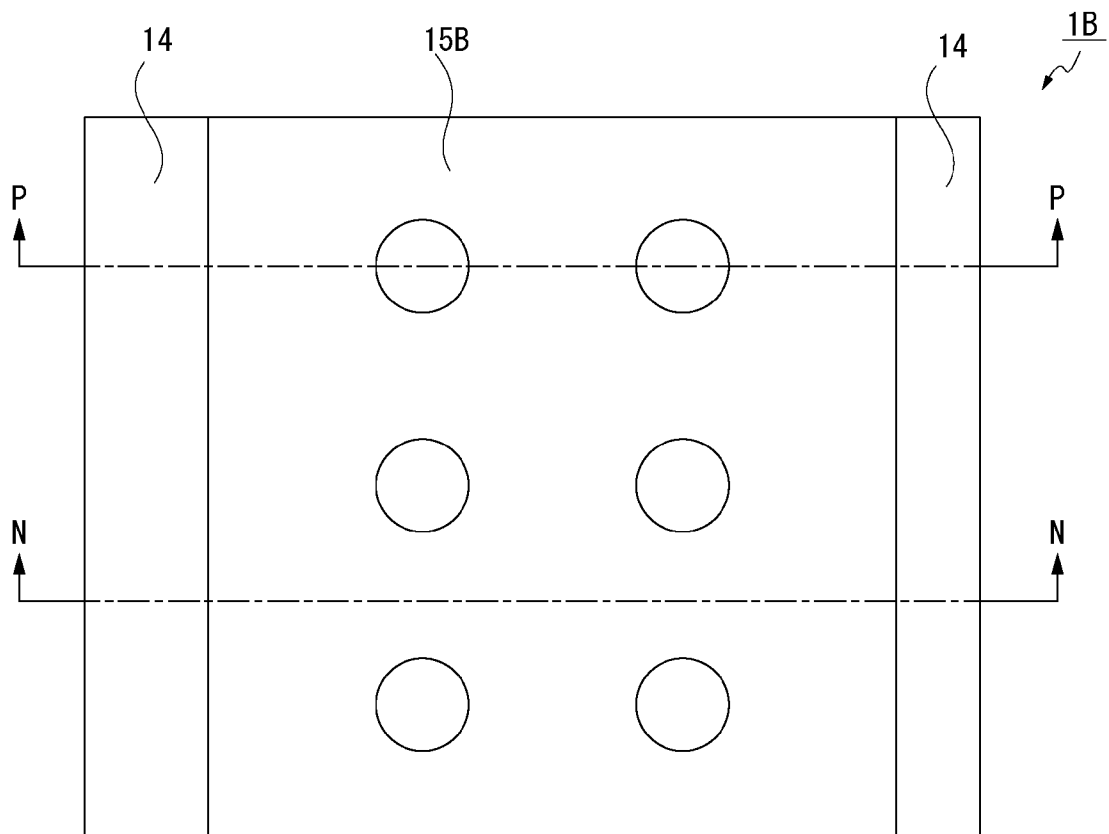
[図21]



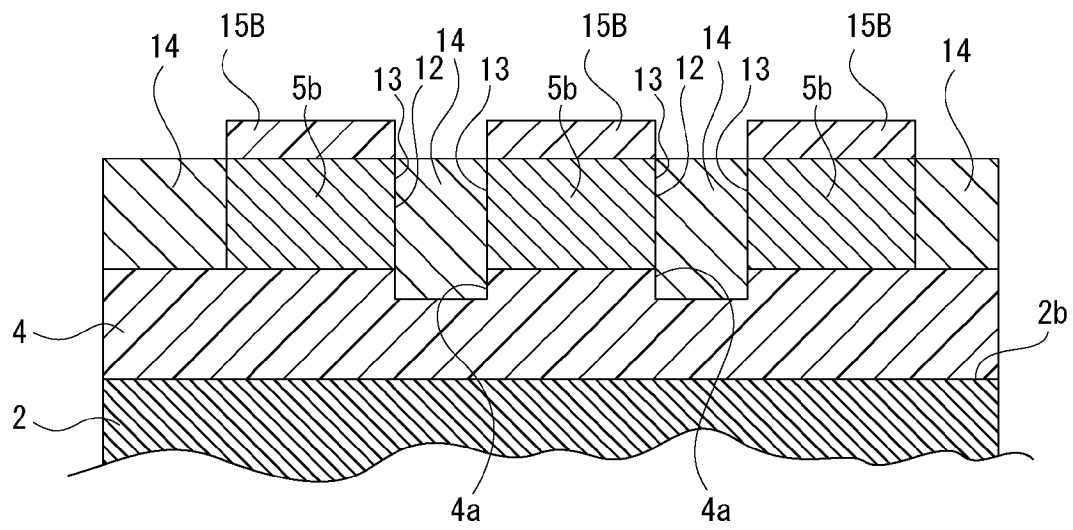
[図24]



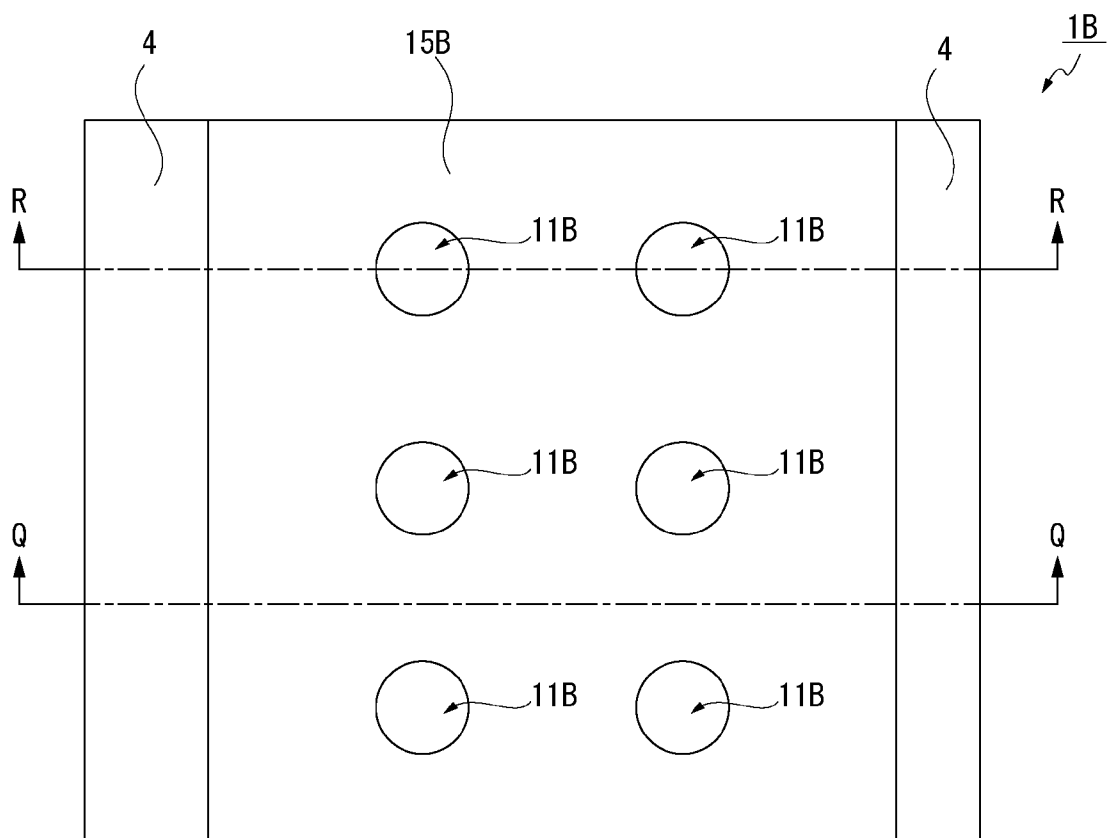
[図25]



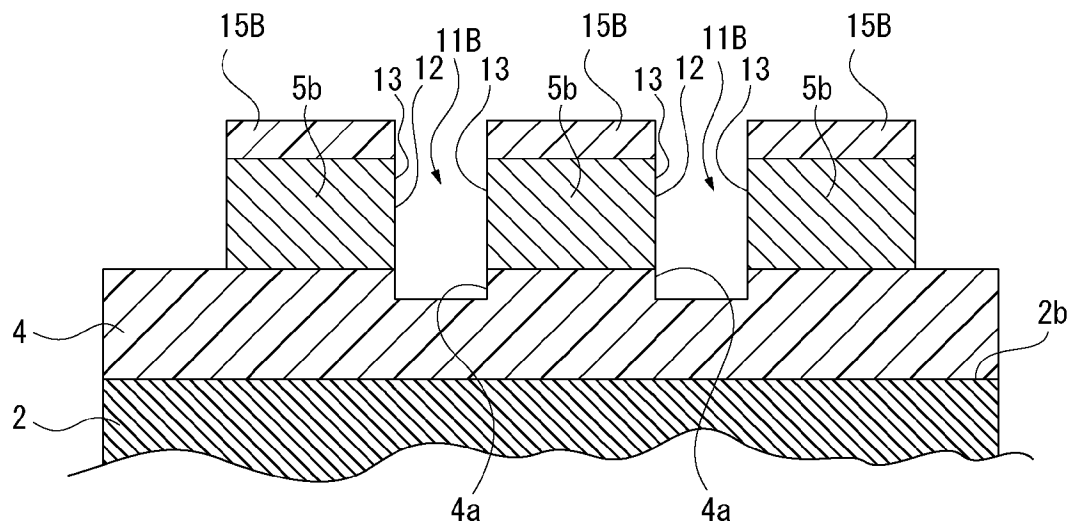
[図26]



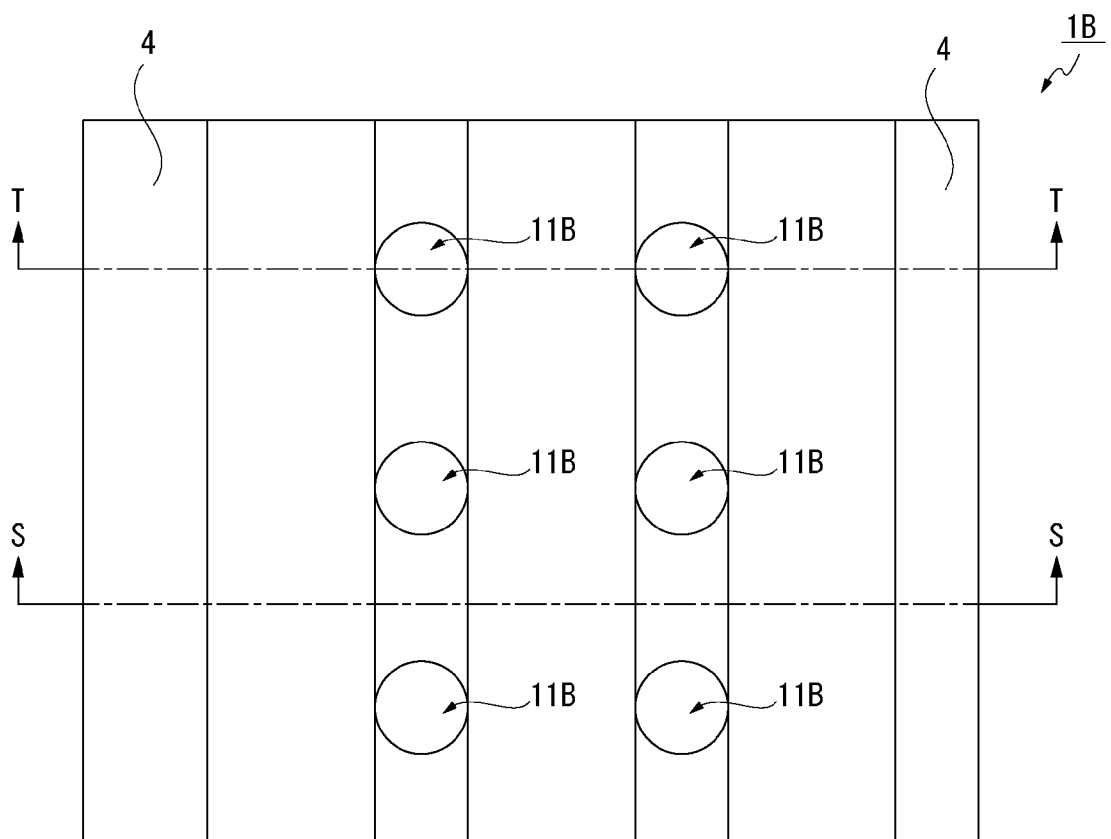
[図27]



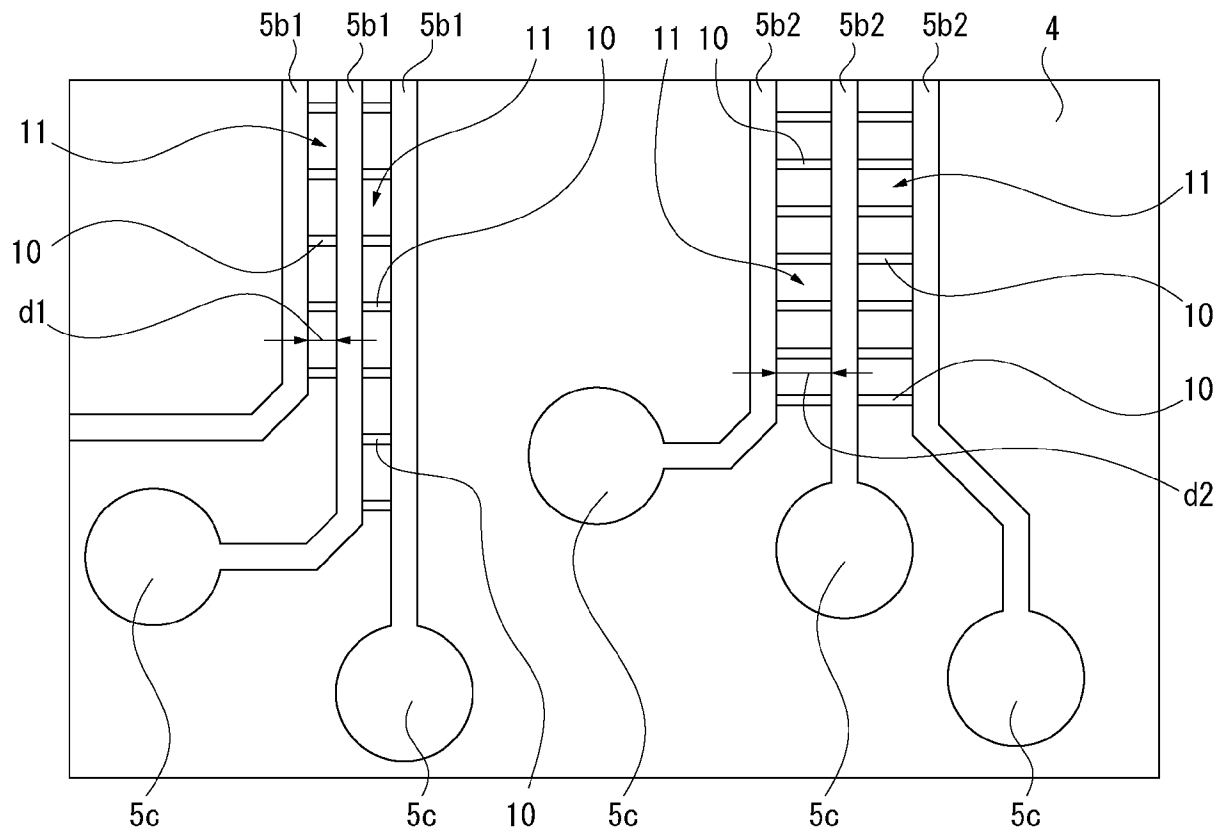
[図28]



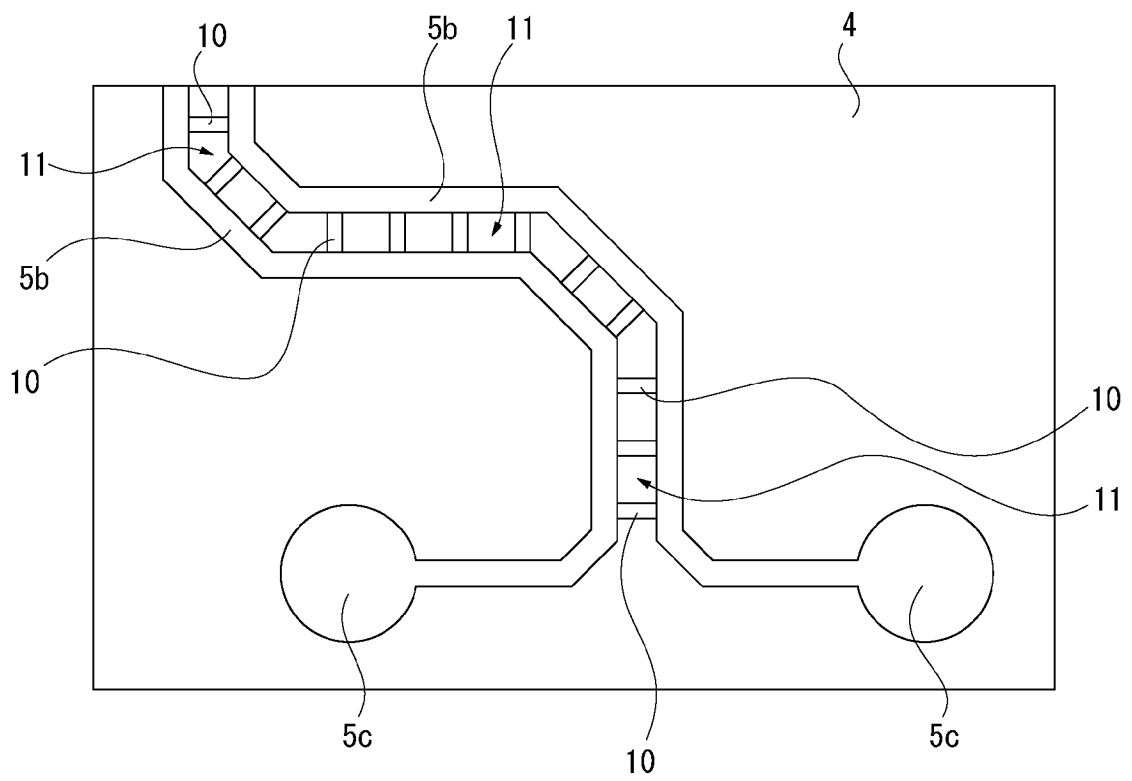
[図29]



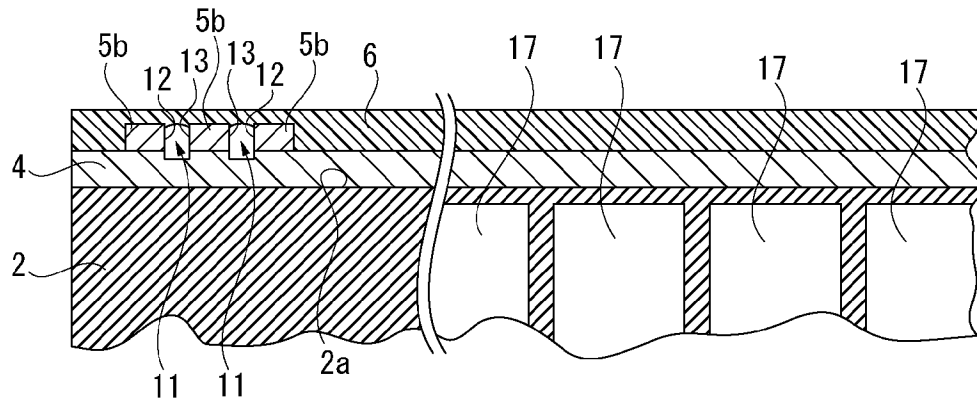
[図30]



[図31]



[図32]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/006670

A. CLASSIFICATION OF SUBJECT MATTER**H01L 23/12**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 23/532**(2006.01)i

FI: H01L21/90 N; H01L23/12 501P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12; H01L21/768; H01L23/532

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2022
 Registered utility model specifications of Japan 1996-2022
 Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2020-198374 A (SONY SEMICONDUCTOR SOLUTIONS CORP.) 10 December 2020 (2020-12-10)	1, 2, 6-11
A	fig. 1, 2	3-5
Y	JP 2011-29226 A (FUJIKURA LTD.) 10 February 2011 (2011-02-10)	1, 2, 6-11
	paragraphs [0003], [0004]	
Y	JP 2010-258073 A (FUJITSU SEMICONDUCTOR LTD.) 11 November 2010 (2010-11-11)	1, 2, 6-11
	paragraphs [0018]-[0032], [0125], fig. 4-6	
Y	JP 2017-220642 A (HITACHI KOKUSAI ELECTRIC INC.) 14 December 2017 (2017-12-14)	8
	fig. 10, 19	
A	WO 2015/079648 A1 (PANASONIC INTELLECTUAL PROPERTY MANAGEMENT CO., LTD.) 04 June 2015 (2015-06-04)	1-11

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

13 April 2022

Date of mailing of the international search report

26 April 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2022/006670

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2020-198374	A	10 December 2020	WO	2020/246323	A1	
JP	2011-29226	A	10 February 2011	(Family: none)			
JP	2010-258073	A	11 November 2010	(Family: none)			
JP	2017-220642	A	14 December 2017	US	2017/0358506	A1	
				fig. 10, 19			
				CN	107492491	A	
				TW	201743407	A	
				KR	10-1793945	B1	
WO	2015/079648	A1	04 June 2015	US	2016/0218073	A1	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 21/768(2006.01)i; H01L 23/532(2006.01)i FI: H01L21/90 N; H01L23/12 501P		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L21/768; H01L23/532		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2022年 日本国実用新案登録公報 1996-2022年 日本国登録実用新案公報 1994-2022年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2020-198374 A（ソニーセミコンダクタソリューションズ株式会社）10.12.2020 (2020-12-10) 図1,2	1,2,6-11
A		3-5
Y	JP 2011-29226 A（株式会社フジクラ）10.02.2011（2011-02-10） [0003]-[0004]	1,2,6-11
Y	JP 2010-258073 A（富士通セミコンダクター株式会社）11.11.2010（2010-11-11） [0018]-[0032], [0125], 図4-6	1,2,6-11
Y	JP 2017-220642 A（株式会社日立国際電気）14.12.2017（2017-12-14） 図10,19	8
A	WO 2015/079648 A1（パナソニックIPマネジメント株式会社）04.06.2015（2015-06-04）	1-11
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 13.04.2022		国際調査報告の発送日 26.04.2022
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 宇多川 勉 50 3125 電話番号 03-3581-1101 内線 3559

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/006670

引用文献			公表日	パテントファミリー文献			公表日
JP	2020-198374	A	10.12.2020	WO	2020/246323	A1	
JP	2011-29226	A	10.02.2011	(ファミリーなし)			
JP	2010-258073	A	11.11.2010	(ファミリーなし)			
JP	2017-220642	A	14.12.2017	US	2017/0358506	A1	
				図10, 19			
				CN	107492491	A	
				TW	201743407	A	
				KR	10-1793945	B1	
WO	2015/079648	A1	04.06.2015	US	2016/0218073	A1	