

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G01V 9/04

(45) 공고일자 1991년08월28일
(11) 공고번호 특1991-0006562

(21) 출원번호	특1987-0700703	(65) 공개번호	특1988-7000942
(22) 출원일자	1987년08월11일	(43) 공개일자	1988년04월13일
(86) 국제출원번호	PCT/EP 86/000708	(87) 국제공개번호	WO 87/03700
(86) 국제출원일자	1986년12월04일	(87) 국제공개일자	1987년06월18일

(30) 우선권 주장 P3543666.2 1985년12월11일 독일(DE)
(71) 출원인 도이체 톰손-브란트 게엠베하 로프-디이터 베르거
독일연방공화국 데-7730 빌링엔-쉬베닝엔 포스트파흐 2060 헤르만-쉬베어-스트라세 3

(72) 발명자 귄터 그라임
독일연방공화국 데-7730 파우에스-빌링엔 24 테라 본파르크 8
(74) 대리인 남상육, 남상선

심사관 :

(54) 광학 스캐너의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법 및 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

광학 스캐너의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법 및 회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 방법을 실시하기 위한 제1실시예의 회로도.

제2도는 제1도에 도시된 회로에서 나타나는 필터 F이 그레이 스케일 값에 대한 출력전압 U_A 의 파형도.

제3도는 본 발명에 따른 방법을 실시하기 위한 제2실시예의 회로도.

제4도는 제3도에 도시된 회로에서 나타나는 필터 F의 그레이 스케일 값에 대한 출력전압 U_A 의 파형도.

[발명의 상세한 설명]

[기술분야]

본 발명은 수광소자가 발광소자로부터 빛을 수신하며 상이한 휘도를 검출하는 광학 스캐너내의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법 및 회로에 관한 것이다.

[배경기술]

광학 스캐너는 예컨대, 라이트 배리어(light barrier) 또는 리플렉스 커플러 (Reflex coupler)에 사용된다.

AEG-Telefunken, Reflexkoppler CNY 70, Halbleiterinformationsdienst) 7.81에는 리플렉스 커플러가 발표되어 있다.

리플렉스 커플러에서는 발광소자가 빛을 대상물에 조사하며, 대상물을 빛을 수광소자에 반사시킨다. 리플렉스 커플러로 예컨대, 대상물의 이동, 회전, 위치변동 또는 반사율 변동을 검출할 수 있다. 상기 간행물 2페이지의 표1에는 리플렉스 커플러에 대한 사용 예가 제시되어 있다. 색 식별 또는 마크스캐닝시, 대상물의 반사율이 다르기 때문에 리플렉스 커플러는 여러 가지 휘도를 구별할 수 있어야 한다. 발광소자와 수광소자가 직접 마주 놓이는 라이트 배리어의 경우에는 발광소자와 수광소자

상기에 빛을 상이하게 감쇠시키는 투광성 대상물이 놓이면 동일한 문제가 발생한다. 예컨대, 발광소자와 수광소자 사이에 놓이는 필터의 상이한 그레이 스케일(gray scale)이 평가될 수 있기 위해서는 수광소자가 각 그레이스케일마다 다른 신호를 출력함으로써 필터의 상이한 그레이 스케일이 상이한 출력신호에 의해 구별될 수 있어야 한다. 동일한 그레이 스케일의 경우 항상 동일한 출력신호가 출력됨으로서 평가가 가역될 수 있다.

가역성에 대한 요구는 발광소자와 수광소자로 이루어진 간단한 장치에서는 실현될 수 없는데 그 이유는 발광소자 및 수광소자의 파라미터가 온도변동 및 에이징에 의해 변하기 때문이다. 즉, 가정되지 예에서 동일한 그레이스케일이 수광소자에서 항상 동일한 출력신호를 발생시키지 않게 된다. 구성부분의 에이징 및 온도 변동으로 인해 발광소자 및 수광소자만으로는 상이한 휘도 또는 그레이 스케일의 정확한 평가가 불가능하다.

[발명의 개시]

본 발명의 목적은 온도변동 및 구성부분이 에이징으로 인한 광학 스캐너의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법 및 회로를 제공하는데 있다.

상기 목적은 본 발명에 따라 수광소자의 출력전압이 기준전압과 비교되고, 수광소자에 의해 수신된 빛에너지가 최대치 또는 최소치에 달하면 수광소자의 출력전압이 클램핑 전압으로 클램핑됨으로서 달성된다.

본 발명의 실시예를 첨부한 도면을 참고로 설명하면 다음과 같다.

[발명의 최선 실시형태]

제1도에서 연산증폭기 OP의 출력단자는 발광소자인 포토다이오드S의 애노드와 접속되어 있고, 상기 포토다이오드S 캐소드는 기준전위에 접속되어 있다. 연산증폭기 OP의 반전입력단자는 제1저항 R1을 통해 기준 전위에 접속되고 제2저항 R2를 통해 전압 +U에 접속되어 있다. 연산증폭기 OP의 비 반전 입력단자는 제3저항 R3을 통해 전압 +U에 접속되고 커패시터C를 통해 기준전위에서 접속되어 있다. 또한 연산증폭기 OP의 비 반전 입력단자는 다이오드D의 애노드와 접속되고, 상기 다이오드D의 캐소드는 제4저항 R4를 통해 전압 +U에 접속되며 수광소자인 포토트랜지스터 E의 콜렉터와 접속되어 있다. 포토트랜지스터 E의 에미터는 기준전위에 접속되어 있다. 출력전압 U_A 는 포토트랜지스터 E의 콜렉터에서 인출된다.

제2도에 도시된 다이어그램을 참고로 제1도에 도시된 회로를 설명하면 다음과 같다.

제2도에는 필터 F의 그레이 스케일값에 따라 포토트랜지스터 E의 콜렉터에서 인출되는 출력전압 U_A 이 도시되어 있다.

제1도에 도시된 회로를 쉽게 이해하기 위해, 먼저 빛을 최소로 감쇠시키는 필터F의 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓인다고 가정해보자. 제1저항 R1 및 제2저항 R2로된 분압기로 인해 연산증폭기 OP의 반전입력단자에서의 전위는 고정 값을 가진다. 이로 인해 발생하는 연산증폭기 OP의 반전입력과 기준전위 사이의 일정전압을 이하 클램핑 전압 U_k 이라 표현한다. 연산증폭기 OP는, 그 두입력 사이의 전압차가 0이 될 때까지 그 출력전압을 변화시키며 따라서 포토다이오드 S의 조사량을 변화시킨다. 따라서 연산증폭기 OP의 두 입력이 동일한 전위에 놓이기 때문에, 제1저항 R1에서와 마찬가지로 커패시터C에도 클램핑 전압 U_k 이 걸린다. 다이오드 D가 이상적인 다이오드라고 가정하면, 포토트랜지스터의 콜렉터에서의 출력전압 U_A 이 클램핑 전압 U_k 의 값을 취하는데, 그 이유는 포토트랜지스터의 저항이 콜렉터에미터 구간에 클램핑 전압 U_k 이 걸리는 값을 취할 때까지, 연산증폭기 OP가 전술한 바와 같이 그 출력전압을 변화시키고 따라서 포토다이오드S의 조사량을 변화시키기 때문이다. 그 결과, 다이오드D가 이상적인 부품이라는 전제하에서 포토트랜지스터 E의 콜렉터와 연산증폭기 OP의 반전 및 비 반전 입력이 모두 동일한 전위에 놓인다. 그러나 실제로 포토트랜지스터 E의 콜렉터 에미터 구간에서의 전압은 클램핑 전압 U_k 보다 다이오드 전압만큼 더 작다.

필터 F가 단계적으로 그 감쇠가 증가되도록 포토다이오드S와 포토트랜지스터 E 사이를 통과하면, 포토트랜지스터 E의 저항도 상응하게 증가한다. 따라서 포토트랜지스터 E의 콜렉터에서의 전위가 다이오드D의 애노드에서의 전위에 대해 양으로 되기 때문에 다이오드D가 차단된다. 다이오드D가 차단되면, 연산증폭기 OP가 그 출력전압을 변화시키지 않는데 그 이유는 그 두 입력이 동일한 전위에 놓기 때문이다. 달리 표현하면, 제1저항 R1 및 커패시터 C에 클램핑 전압 U_k 이 걸리기 때문이다. 따라서 필터F의 감쇠가 단계적으로 증가하면, 출력전압 U_A 은 제2도의 좌측에 도시되어있는 바와 같이 계단형으로 증가한다. 필터F가 반대방향으로 즉 가장 큰 감쇠단계로부터 가장 작은 감쇠단계로 포토다이오드 S와 포토트랜지스터 E사이에 놓여지면, 제2도의 우측에 도시된 파형이 나타난다. 즉, 출력전압 U_A 은 가장 작은 감쇠를 가지는 필터F의 단계가 다시 포토다이오드S와 포토트랜지스터 E사이에 놓여짐으로서 이 출력전압 U_A 이 클램핑 전압 U_k 의 값으로 강화될 때까지 계단형으로 감소한다.

제1도에 도시된 회로에서 클램핑 전압 U_A 은 빛을 최소로 감쇠시키는 필터F의 단계가 포토다이오드S와 포토트랜지스터 E 사이에 놓임으로서 포토트랜지스터 E에 의해 수신되는 빛에너지가 최대치일 때 포토트랜지스터 E의 출력전압 U_A 과 동일하다. 따라서 이 실시예에서는 포토트랜지스터 E의 출력전압 U_A 이 항상 빛을 최소로 감쇠시키는 필터의 단계로, 즉 가장 밝은 값으로 클램핑된다. 예컨대, 필터가 한 단계만큼 더 작은 감쇠를 가지는 단계로 확대되고 그 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓이면 포토트랜지스터 E의 저항이 감소한다. 상기 감소로 인해 그 콜렉터에서의 전위가 다이오드D의 애노드에서의 전위에 대해 음으로 되기 때문에 다이오드D가 도통된다. 따라서 커패시터D가 다이오드 D를 통해 방전되기 때문에 연산증폭기 OP의 비반전 입력에서의 전위가 강해진다. 커패

시터 C에 걸리는 전압은 클램핑 전압 U_k 이하로 강하하는 반면 제1저항 R1에는 계속 클램핑 전압 U_k 이 걸린다. 연산증폭기 OP는 그 출력전압을 감소시켜 포토다이오드S가 보다 적은 빛을 포토트랜지스터 E에 조사하게 함으로서 이러한 상태, 즉 제1저항 R1과 커패시터C의 상이한 전압 상태를 즉시 조정한다. 포토트랜지스터 E의 저항이 다시 콜렉터 에미터 구간에 클램핑 전압 U_k 이 걸리는 값을 취할 때까지 포토다이오드S의 조사량이 줄어든다. 이러한 안정상태에서 포토트랜지스터 E의 콜렉터 및 연산증폭기 OP의 두 입력은 동일한 전위에 놓인다.

제3도에서는 연산증폭기 OP의 출력단자가 발광소자인 포토다이오드S의 애노드와 접속되고, 상기 포토다이오드S의 캐소드는 기준전위에 접속되어 있다. 연산증폭기 OP의 반전입력단자는 제1저항 R1을 통해 기준전위에 접속되고 제2저항 R2를 통해 전압 U 에 접속되어 있다. 연산증폭기 OP의 비 반전 입력단자는 제3저항 R3과 커패시터C로 이루어진 병렬회로를 통해 기준전위에 접속되어 있다. 또한 연산증폭기 OP의 비반전 입력단자는 다이오드D의 캐소드와 접속되고, 상기 다이오드D의 애노드는 제4저항 R4를 통해 전압 U 에 접속되며 수광소자인 포토트랜지스터 E의 콜렉터와 접속되어 있다. 포토트랜지스터 E의 에미터는 기준전위에 접속되어 있다. 출력전압 U_A 은 포토트랜지스터 E의 콜렉터에서 인출된다.

제4도에 도시된 다이어그램을 참고로 제3도에 도시된 회로를 설명하면 다음과 같다.

제3도에 도시된 회로를 보다 쉽게 이해하기 위해 먼저 빛을 최대로 감소시키는 필터F의 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓인다고 가정해보자, 제1저항 R1 및 제2저항 R2으로된 분압기로 인해 연산증폭기 OP의 반전입력에서의 전위는 고정값을 갖는다.

연산증폭기 OP는 그 두 입력 사이의 전압차 0이 될때 까지 그 출력전압을 변화시키며 따라서 포토다이오드S의 조사량을 변화시킨다. 연산증폭기 OP의 두 입력이 동일한 전위에 놓이기 때문에 제1저항 R1에서와 마찬가지로 커패시터C에 클램핑 전압 U_k 이 걸린다. 다이오드D가 이상적인 다이오드라고 가정하면, 포토트랜지스터 E의 저항이 정확히 콜렉터 에미터 구간에 클램핑 전압 U_k 이 걸리는 값을 취할 때까지 연산증폭기 OP는 전술한 바와 같이 그 출력전압을 변화시키고 따라서 포토다이오드S의 조사량을 변화시킨다. 그 결과, 다이오드D가 이상적인 부품이라는 전제하에서 포토트랜지스터 E의 콜렉터와 연산증폭기 OP의 반전 및 비반전 입력이 모두 동일한 전위에 놓인다. 그러나 실제로 포토트랜지스터 E의 콜렉터 에미터 구간에서의 전압은 클램핑 전압 U_k 보다 다이오드 전압만큼 더 작다.

필터F가 단계적으로 그 감쇠가 감소하도록 포토다이오드S와 포토트랜지스터 E사이를 통과하면, 포토트랜지스터 E의 저항이 상응하게 감소한다. 따라서 포토트랜지스터 E의 콜렉터에서의 전위가 다이오드D의 캐소드에서의 전위에 대해 음으로 되기 때문에 다이오드D가 차단된다. 다이오드D가 차단되면 연산증폭기 OP가 그 출력전압을 변화시키지 않는데, 그 이유는 그 두 입력이 동일한 전위에 놓이기 때문이다. 달리 표현하면 제1저항 R1 및 커패시터C에 클램핑 전압 U_k 이 걸리기 때문이다. 따라서 필터F의 감쇠가 단계적으로 감소하면, 출력전압 U_A 은 제4도의 좌측에 도시되어 있는 바와 같이 계단형으로 감소한다. 필터F가 반대방향으로 즉 가장 작은 감쇠의 단계로부터 가장 큰 감쇠 단계로 포토다이오드S와 포토트랜지스터 E사이에 놓이면, 제4도의 우측에 도시된 파형이 나타난다 즉, 출력전압 U_A 은 다시 가장 큰 감쇠를 가지는 필터 F의 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓임으로서 이 출력전압 U_A 이 클램핑 전압 U_k 으로 상승될 때까지 계단형으로 증가한다.

제3도에 도시된 회로에서 클램핑 전압 U_k 은 빛을 최대로 감소시키는 필터F의 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓임으로써 포토트랜지스터 E에 의해 수신되는 빛에너지가 최소치일 때 포토트랜지스터 E의 출력전압 U_A 과 동일하다. 따라서 이 실시예에서는 항상 빛을 최대로 감소시키는 필터의 단계로, 즉 가장 어두운 값으로 클램핑된다. 예컨대, 필터가 한단계만큼 더 감쇠를 가지는 단계로 확대되고 이 단계가 포토다이오드S와 포토트랜지스터 E사이에 놓이면, 포토트랜지스터 E의 저항이 증가한다. 이러한 증가에 의해 그 콜렉터에서의 전위가 다이오드D의 캐소드에서의 전위에 대해 양으로 되기 때문에 다이오드D가 도통된다. 커패시터C가 다이오드 D를 통해 충전되기 때문에 연산증폭기 OP의 비반전 입력에서의 전위가 상승한다. 커패시터C에 걸리는 전압이 클램핑 전압 U_k 보다 커지는 반면 제1저항 R1에는 계속 클램핑 전압 U_k 이 걸린다. 연산증폭기 OP는 그 출력전압을 증가시켜 포토다이오드S가 더 많은 빛을 포토트랜지스터 E에 조사하게 함으로서 즉시 이 상태를 즉 제1저항 R1과 커패시터 C의 상이한 전압상태를 조정한다. 포토트랜지스터 E의 저항이 다시 콜렉터 에미터 구간에 클램핑 전압 U_k 이 걸리는 값을 취할 때까지 포토다이오드의 조사량이 증가한다. 이러한 안정 상태에서 포토트랜지스터 E의 콜렉터와 연산증폭기 OP의 두 입력은 동일한 전위에 놓인다.

예컨대, 상이하게 주기적으로 반복하는 휘도가 전술한 회로에 의해 검출되면 제1도에 도시된 회로에서는 가장 밝은 값으로 클램핑되는 반면 제3도에 도시된 회로에서는 항상 가장 어두운 값으로 클램핑된다. 온도 변동 및 구성부분의 에이징으로 인한 포토다이오드S 및 포토트랜지스터 E의 파라미터 변동은 제1도에 도시된 회로의 경우에는 가장 밝은 값으로 클램핑될 때마다 보상되는 반면, 제3도에 도시된 회로의 경우에는 가장 어두운 값으로 클램핑될 때마다 보상된다. 큰 전압상승을 얻기 위해서, 제3도에 도시된 회로에서는 클램핑 전압 U_k 이 크게 선택되어야 하는 반면 제1도에 도시된 회로에서는 작게 선택되어야 한다는 것이 중요하다. 전술한 회로는 발광소자와 수광소자가 서로 마주놓이는 라이트 배리어 및 리플렉스 커플러에 적합하다.

예컨대, 본 발명은 비디오 레코더에서 바람직하게 구현될 수 있다. 보다 양호한 화상재생을 위해, 비디오 레코더의 헤드드럼의 속도 및 각 위치가 정확하게 조절되어야 한다. 따라서 헤드드럼모터의 뒷개형 회전자 둘레에 라이트 배리어에서와 마찬가지로 포토다이오드S와 포토트랜지스터 E사이를 통과하는 예컨대, 어두운 선이 표시된다. 선들중 하나는 나머지 선보다 두껍게 표시된다. 상기 선은 클램핑되는 가장 어두운 값을 표시한다. 선은 포토트랜지스터 E에 의해 검출되고, 상기 포토트랜지

스터의 출력전압 U_A 는 헤드드럼 모우터의 고정자 코일의 제어에 사용된다.

(57) 청구의 범위

청구항 1

수광소자가 발광소자로부터 빛을 수신하며 상이한 휘도를 검출하는 광학 스캐너의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법에 있어서, 수광소자의 출력전압(U_A)이 기준전압(U_k)과 비교되고, 수광소자에 의해 수신된 빛에너지가 최대치 또는 최소치에 달하면 상기 출력전압(U_A)이 기준전압(U_k)으로 클램핑되는 것을 특징으로 하는 광학 스캐너의 발광소자 및 수광소자의 파라미터 변동을 보상하기 위한 방법.

청구항 2

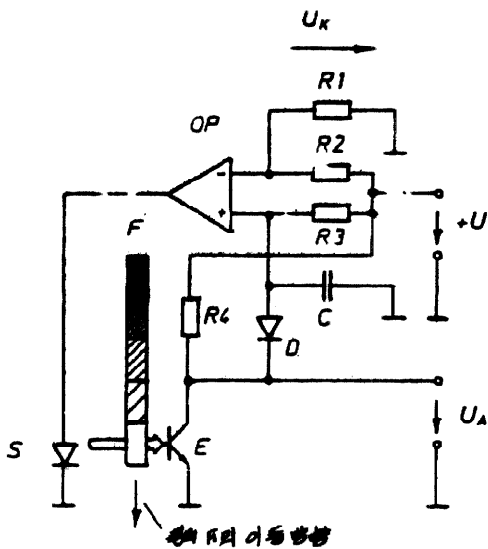
연산증폭기 (OP)의 출력단자가 발광소자인 포토다이오드(S)의 한 전극과 접속되고, 상기 포토다이오드(S)의 다른 전극은 기준전위에 놓이며, 연산증폭기 (OP)의 반전입력단자는 제1저항(R1)을 통해 기준 전위에 접속되고 제2저항(R2)을 통해 전압 +U에 접속되며, 연산증폭기 (OP)의 비반전 입력단자는 제3저항(R3)을 통해 전압 +U에 접속되고 커패시터(C)를 통해 기준전위에 접속되며, 연산증폭기 (OP)이 비반전 입력단자는 다이오드(D)의 애노드와 접속되고 수광소자인 포토트랜지스터(E)의 한 전극과 접속되며 상기 다이오드(D)의 캐소드는 제4저항을 통해 전압 +U에 접속되고 포토트랜지스터의 다른 전극은 기준전위에 놓이며 출력전압(U_A)은 포토트랜지스터 (E)의 한 전극에서 인출되는 것을 특징으로 하는 제1항에 따른 방법을 실시하기 위한 회로.

청구항 3

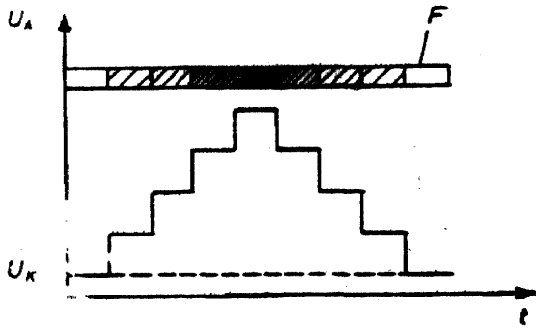
연산증폭기 (OP)의 출력단자가 발광소자인 포토다이오드(S)의 한 전극에 접속되고 상기 포토다이오드(S)의 다른 전극은 기준전위에 놓이며 연산증폭기 (OP)의 반전입력단자는 제1저항(R1)을 통해 기준전위에 접속되고 제2저항(R2)을 통해 전압 +U에 접속되며, 연산증폭기 (OP)의 비 반전 입력단자는 제3저항과 커패시터(C)로 이루어진 병렬회로를 통해 기준전위에 접속되고 연산증폭기 (OP)의 비반전 입력단자는 다이오드(D)의 캐소드 및 수광소자인 포토트랜지스터 E의 한 전극에 접속되며, 상기 다이오드(D)의 애노드는 제4저항(R4)을 통해 전압 +U에 접속되고, 포토트랜지스터 (E)의 다른 전극은 기준전위에 놓이며, 출력전압(U_A)은 포토트랜지스터 (E)의 한 전극에서 인출되는 것을 특징으로 하는 제1항에 따른 방법을 실시하기 위한 회로.

도면

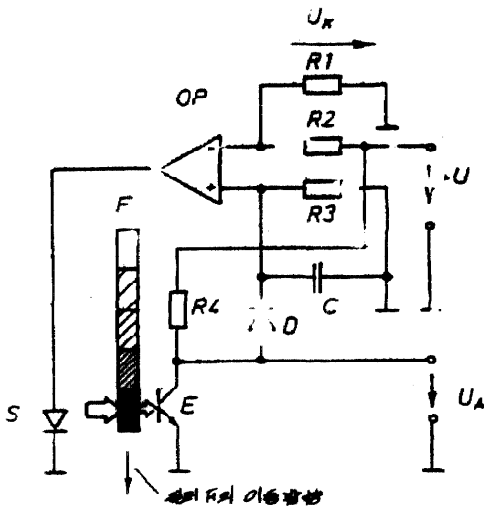
도면1



도면2



도면3



도면4

