(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4251675号
(P4251675)

(45)発行日　平成21年4月8日(2009.4.8)　(24)登録日　平成21年1月30日(2009.1.30)

(51)Int.Cl.			F I		
H04N	1/21	(2006.01)	H04N	1/21	
G06T	1/60	(2006.01)	G06T	1/60	450F
G06T	9/00	(2006.01)	G06T	9/00	
G11C	11/401	(2006.01)	G11C	11/34	371H
H04N	1/41	(2006.01)	H04N	1/41	B

請求項の数 7　(全 44 頁)　最終頁に続く

(21)出願番号　特願平9-204374
(22)出願日　平成9年7月30日(1997.7.30)
(65)公開番号　特開平11-55480
(43)公開日　平成11年2月26日(1999.2.26)
審査請求日　平成15年3月13日(2003.3.13)
審判番号　不服2006-16490(P2006-16490/J1)
審判請求日　平成18年7月31日(2006.7.31)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100082131
弁理士　稲本　義雄
(72)発明者　近藤　哲二郎
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

合議体
審判長　原　光明
審判官　加藤　恵一
審判官　伊藤　隆夫

(56)参考文献　特開平９－１０２９５１（ＪＰ，Ａ）
特開昭６１－１３２８８（ＪＰ，Ａ）

(54)【発明の名称】記憶装置およびアクセス方法

(57)【特許請求の範囲】

【請求項１】

入力画像データから、前記入力画像データより少ない数の画素により構成される画像データであって、前記入力画像データを構成する画素のうち、所定の位置の複数の画素の画素値を加算して得られる値が画素値とされ、その複数の画素に対応して定まる１つの画素のそれぞれにより構成される画像データである階層データを算出し階層符号化を行う場合に用いられ、前記入力画像データと前記階層データを記憶する記憶装置であって、

前記入力画像データを構成する画素のうちの、後記第２の記憶手段に記憶される画素を除く画素のそれぞれについて第１のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データを記憶する第１の記憶手段と、

前記第１のアドレスを表すビット列の一部によって表される第２のアドレスによって前記第１の記憶手段に対するアドレス指定と同時にアドレス指定され、その指定されたアドレスに、前記入力画像データを構成する画素のうち、前記所定の位置の複数の画素の画素値を順次加算することにより前記階層データを算出する処理の処理途中のデータである、第１の処理データ、または前記第１の処理データと前記入力画像データとを用いて算出された前記階層データを記憶する第２の記憶手段と、

前記第１のアドレスと前記第２のアドレスのそれぞれを同時に生成することで、前記第１の記憶手段と前記第２の記憶手段へのアクセスを同時に行うアドレス指定手段と、

前記アドレス指定手段によるアドレス指定に基づいて、前記第１の記憶手段の前記第１のアドレスに前記入力画像データを書き込むと同時に、前記第２の記憶手段の前記第２の

アドレスに記憶されている前記第１の処理データを読み出し、読み出した前記第１の処理データと前記入力画像データとを加算する処理を行い、その加算値を前記第２のアドレスに書き込むことにより前記階層データを算出するための処理を施す制御手段とを備える
ことを特徴とする記憶装置。
【請求項２】
前記第２の記憶手段は、前記第１の記憶手段が記憶することのできるデータよりも長いデータ長のデータを記憶する
ことを特徴とする請求項１に記載の記憶装置。
【請求項３】
前記第１のアドレスは、前記入力画像データを構成する画素位置を特定する水平方向または垂直方向の位置に対応したアドレスである
ことを特徴とする請求項２に記載の記憶装置。
【請求項４】
前記制御手段は、
前記入力画像データを、前記第１のアドレスによって指定される前記第１の記憶手段のアドレスに書き込む都度、
前記第１のアドレスに対応する前記第２のアドレスによって指定される前記第２の記憶手段のアドレスから、そこに記憶されている記憶データを読み出し、
その記憶データと前記入力画像データとを用いて、前記階層データを算出するための処理に含まれる処理であって、前記第１の処理データを算出する処理を行い、前記処理の結果得られた第１の処理データを前記記憶データが記憶されていた前記第２の記憶手段のアドレスに書き込むことにより、新たな記憶データとして記憶させる
ことを特徴とする請求項３に記載の記憶装置。
【請求項５】
前記制御手段は、
前記第１のアドレスによって指定される前記第１の記憶手段のアドレスに記憶されているデータを読み出すとともに、前記第１のアドレスに対応する前記第２のアドレスによって指定される前記第２の記憶手段のアドレスに記憶されているデータを読み出し、
その２つのデータのうちのいずれかを選択して出力する
ことを特徴とする請求項３に記載の記憶装置。
【請求項６】
前記第１の記憶手段および前記第２の記憶手段の記憶領域が、それぞれに対して指定されたアドレスに基づいて同時にアクセス可能であり、それぞれ異なる範囲の記憶領域を有する複数のブロックに分割されている
ことを特徴とする請求項１記載の記憶装置。
【請求項７】
入力画像データから、前記入力画像データより少ない数の画素により構成される画像データであって、前記入力画像データを構成する画素のうち、所定の位置の複数の画素の画素値を加算して得られる値が画素値とされ、その複数の画素に対応して定まる１つの画素のそれぞれにより構成される画像データである階層データを算出し階層符号化を行う場合に用いられ、前記入力画像データと前記階層データを記憶する記憶装置であって、前記入力画像データを構成する画素のうちの、後記第２の記憶手段に記憶される画素を除く画素のそれぞれについて第１のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データを記憶する第１の記憶手段と、前記第１のアドレスを表すビット列の一部によって表される第２のアドレスによって前記第１の記憶手段に対するアドレス指定と同時にアドレス指定され、その指定されたアドレスに、前記入力画像データを構成する画素のうち、前記所定の位置の複数の画素の画素値を順次加算することにより前記階層データを算出する処理の処理途中のデータである、第１の処理データ、または前記第１の処理データと前記入力画像データとを用いて算出された前記階層データを記憶する第２の記憶手段と、前記第１のアドレスと前記第２のアドレスのそれぞれを同時に生成することで

、前記第１の記憶手段と前記第２の記憶手段へのアクセスを同時に行うアドレス指定手段と、前記アドレス指定手段によるアドレス指定に基づいて、前記第１の記憶手段の前記第１のアドレスに前記入力画像データを書き込むと同時に、前記第２の記憶手段の前記第２のアドレスに記憶されている前記第１の処理データを読み出し、読み出した前記第１の処理データと前記入力画像データとを加算する処理を行い、その加算値を前記第２のアドレスに書き込むことにより前記階層データを算出するための処理を施す制御手段とを備える記憶装置におけるアクセス方法であって、

前記アドレス指定手段によるアドレス指定に基づいて、前記第１の記憶手段の前記第１のアドレスに前記入力画像データを書き込むと同時に、前記第２の記憶手段の前記第２のアドレスに記憶されている前記第１の処理データを読み出し、読み出した前記第１の処理データと前記入力画像データとを加算する処理を行い、その加算値を前記第２のアドレスに書き込むことにより前記階層データを算出するための処理を実行する

ことを特徴とするアクセス方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、記憶装置およびアクセス方法に関し、特に、例えば、画像を、画素数の異なる複数の階層に分割する階層符号化を行う場合などに用いて好適な記憶装置およびアクセス方法に関する。

【０００２】

【従来の技術】

例えば、高解像度の画像データを、最下位階層または第１の階層の画像データとして、それより画素数の少ない第２の階層の画像データを形成し、さらに、それより画素数の少ない第３の階層の画像データを形成し、以下、同様にして、最上位階層までの画像データを形成する符号化手法がある。このような符号化は、階層符号化と呼ばれ、各階層の画像データは、その階層に対応した解像度（画素数）のモニタで表示される。従って、ユーザ側では、階層符号化された画像データのうち、自身が有するモニタの解像度に対応するものを選択することで、その画像データを視聴することができる。

【０００３】

ところで、ある解像度の画像データを最下位階層（第１階層）の画像データとして、上位階層の画像データを、順次形成し、それらのすべてを、そのまま記憶や伝送などする場合には、最下位階層の画像データだけを記憶等する場合に比較して、上位階層の画像データの分だけ、記憶容量や伝送容量が余計に必要となる。

【０００４】

そこで、そのような記憶容量等の増加を低減する階層符号化方法を、本件出願人は先に提案している。

【０００５】

即ち、例えば、いま、２×２画素（横×縦）の４画素の加算値を、上位階層の画素（画素値）とし、３階層の階層符号化を行うものとする。この場合、いま、最下位階層の画像として、例えば、図９（Ａ）に示すように、８×８画素を考えると、その左上の２×２画素の４画素ｈ００，ｈ１０，ｈ０１，ｈ１１の加算値ｍ０が演算され、これが、第２階層の左上の１画素とされる。同様にして、最下位階層の画像の右上の４画素ｈ２０，ｈ３０，ｈ２１，ｈ３１の加算値ｍ１、左下の４画素ｈ０２，ｈ１２，ｈ０３，ｈ１３の加算値ｍ２、右下の４画素ｈ２２，ｈ３２，ｈ２３，ｈ３３の加算値ｍ３が演算され、それぞれが、第２階層の右上、左下、右下の１画素とされる。さらに、第２階層の２×２画素の４画素ｍ０，ｍ１，ｍ２，ｍ３の加算値ｑ０が演算され、これが、第３階層、即ち、ここでは、最上位階層の画像の画素とされる。

【０００６】

以上の画素ｈ００乃至ｈ３３，ｍ０乃至ｍ３，ｑ０を、そのまま全部記憶などさせたのでは、上述のように、第２階層の画素ｍ０乃至ｍ３、第３階層の画素ｑ０の分だけ余分に記

憶容量等が必要となる。

【０００７】

そこで、図９（Ｂ）に示すように、第３階層の画素ｑ０を、第２階層の画素ｍ０乃至ｍ３のうちの、例えば、右下の画素ｍ３の位置に配置する。これにより、第２階層は、画素ｍ０乃至ｍ２およびｑ０で構成されることになる。

【０００８】

そして、図９（Ｃ）に示すように、第２階層の画素ｍ０を、それを求めるのに用いた第１階層の画素ｈ００，ｈ１０，ｈ０１，ｈ１１のうちの、例えば、右下の画素ｈ１１の位置に配置する。第２階層の残りの画素ｍ１，ｍ２，ｑ０も、同様に、第１階層の画素ｈ３１，ｈ１３，ｈ３３に代えて配置する。なお、画素ｑ０は、第１階層の画素ｈ２２，ｈ３２，ｈ２３，ｈ３３から直接求められたものではないが、それらから直接求められたｍ３に代えて第２階層に配置されているものであるから、画素ｈ３３の位置に画素ｍ３を配置する代わりに、画素ｑ０を配置する。

【０００９】

以上のようにすることで、図９（Ｃ）に示すように、全画素数は４×４の１６画素となり、図９（Ａ）に示した最下位階層の画素だけの場合と変わらない。従って、この場合、記憶容量等の増加を低減することができる。

【００１０】

なお、画素ｑ０と代えられた画素ｍ３およびｈ３３、画素ｍ０乃至ｍ２とそれぞれ代えられた画素ｈ１１，ｈ３１，ｈ１３の復号は、次のようにして行うことができる。

【００１１】

即ち、ｑ０は、ｍ０乃至ｍ３の加算値であるから、式ｑ０＝ｍ０＋ｍ１＋ｍ２＋ｍ３が成り立つ。従って、式ｍ３＝ｑ０－（ｍ０＋ｍ１＋ｍ２）により、ｍ３を求めることができる。

【００１２】

また、ｍ０は、ｈ００，ｈ１０，ｈ０１，ｈ１１の加算値であるから、式ｍ０＝ｈ００＋ｈ１０＋ｈ０１＋ｈ１１が成り立つ。従って、式ｈ１１＝ｍ０－（ｈ００＋ｈ１０＋ｈ０１）により、ｈ１１を求めることができる。同様にして、ｈ３１，ｈ１３，ｈ３３も求めることができる。なお、ｈ３３は、上述したようにしてｍ３を求めてから求めることになる。

【００１３】

【発明が解決しようとする課題】

ところで、以上のような階層符号化を行うにあたっては、従来においては、その階層符号化結果を記憶する汎用的なメモリ（例えば、ＳＲＡＭ（Static Random Access Memory）やＤＲＡＭ（Dynamic RAM）など）の他に、第１階層の画素（画素値）のラインディレイを行うための遅延回路などが必要であった。

【００１４】

即ち、例えば、図９に示した場合において、第２階層の画素ｍ０を求めるためには、式ｍ０＝ｈ００＋ｈ０１＋ｈ０２＋ｈ０３を演算する必要があるが、第２階層の画素ｍ０を求めるためには、２ラインに亘る第１階層の画素ｈ００，ｈ１０，ｈ０１，ｈ１１が必要であり、また、メモリへの画像データの供給は、一般に、ライン単位で、上から下の方向に順次行われる。そして、メモリに対する画像データの読み書きも、そのようなライン単位で行われる。

【００１５】

従って、ｈ００で始まるラインを、１ライン分遅延し、ｈ０１で始まるラインが供給されるのを待って、ｍ０を計算して、ｈ００で始まるラインおよびｈ０１で始まるラインのメモリへの書き込みを行う必要がある。

【００１６】

このように、従来においては、階層符号化結果を記憶させるためのメモリの他に、画像データのラインディレイを行う遅延回路が必要であり、装置が大型化する課題があった。

【００１７】
本発明は、このような状況に鑑みてなされたものであり、装置の小型化を図ることができるようにするものである。
【００１８】
【課題を解決するための手段】
請求項１に記載の記憶装置は、入力画像データを構成する画素位置に対応した第１のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データを記憶する第１の記憶手段と、第１のアドレスを表すビット列の一部によって表される第２のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データから階層データを算出するための処理途中のデータである、第１の処理データ、または第１の処理データと、入力画像データとを用いて算出された階層データを記憶する第２の記憶手段と、第１および第２の記憶手段に対するデータの読み書きを制御するとととともに、そのデータに対して階層データを算出するための処理を施す制御手段とを備え、第１のアドレスと第２のアドレスのそれぞれを同時に生成することで、第１の記憶手段と第２の記憶手段へのアクセスを同時に行い、制御手段は、第２のアドレスによって指定される第２の記憶手段の各アドレスに、第１の記憶手段において、第２のアドレスに対応する複数の第１のアドレスにそれぞれに書き込まれるデータを加算して得られる第１の処理データまたは階層データを書き込むことを特徴とする。
【００１９】
請求項７に記載のアクセス方法は、アドレス指定手段によるアドレス指定に基づいて、第１の記憶手段の第１のアドレスに入力画像データを書き込むと同時に、第２の記憶手段の第２のアドレスに記憶されている第１の処理データを読み出し、読み出した第１の処理データと入力画像データとを加算する処理を行い、その加算値を第２のアドレスに書き込むことにより階層データを算出するための処理を実行することを特徴とする。
【００２１】
請求項１に記載の記憶装置においては、第１の記憶手段は、入力画像データを構成する画素位置に対応した第１のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データを記憶するようになされている。第２の記憶手段は、第１のアドレスを表すビット列の一部によって表される第２のアドレスによってアドレス指定され、その指定されたアドレスに、入力画像データから階層データを算出するための処理途中のデータである、第１の処理データ、または第１の処理データと、入力画像データとを用いて算出された階層データを記憶するようになされている。制御手段は、第１および第２の記憶手段に対するデータの読み書きを制御するとととともに、そのデータに対して前記階層データを算出するための処理を施すようになされている。
【００２２】
請求項７に記載のアクセス方法においては、アドレス指定手段によるアドレス指定に基づいて、第１の記憶手段の第１のアドレスに入力画像データを書き込むと同時に、第２の記憶手段の第２のアドレスに記憶されている第１の処理データを読み出し、読み出した第１の処理データと入力画像データとを加算する処理が行われ、その加算値を第２のアドレスに書き込むことにより階層データを算出するための処理が実行される。
【００３０】
【発明の実施の形態】
図１は、本発明を適用した記憶装置の一実施の形態の構成例を示している。
【００３１】
この記憶装置は、例えば、１チップのＣＭＯＳ（Complementary Metal Oxide Semiconductor）などで構成され、そこに入力される入力画像から画素数の異なる、例えば、３階層の画像を形成する階層符号化を行うようになされている。
【００３２】
即ち、アドレス供給回路１には、記憶装置に入力される画像を構成する画素の水平方向または垂直方向の位置に対応したアドレスそれぞれとしての水平アドレスまたは垂直アドレ

スが供給されるようになされている。

【００３３】

なお、本実施の形態では、例えば、図２に示すような、水平方向が５１２画素で、垂直方向が５１２ラインで１画面が構成される画像（ディジタル画像データ）が入力されるものとする。従って、水平アドレスおよび垂直アドレスは、いずれも９（＝$\log_2 512$）ビットで表される。

【００３４】

アドレス供給回路１は、そこに供給される水平アドレスおよび垂直アドレスを必要に応じて加工して、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４に供給するようになされている。なお、アドレス供給回路１には、水平アドレスおよび垂直アドレスの他、クロック（後述する図３乃至図６および図８においては図示せず）、Ｒ／Ｗ（Read/Write）信号、および階層フラグも供給されるようになされており、アドレス供給回路１は、そのクロックに同期して、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４にアドレスを供給するようになされている。また、アドレス供給回路１は、Ｒ／Ｗ信号や階層フラグに対応して、そこに供給される水平アドレスおよび垂直アドレスを加工するようになされている。さらに、アドレス供給回路１は、必要に応じて、所定の制御信号を、ＲＭＷ回路５に供給するようになされている。

【００３５】

ここで、Ｒ／Ｗ信号は、記憶装置からの画像データの読み出し、または記憶装置への画像データの書き込みを指示する信号であり、階層フラグは、記憶装置に記憶された画像を読み出す場合に、後述する第１乃至第３階層の画像のうちのいずれを読み出すかを指示するための、例えば２ビットのフラグである。なお、画像データの書き込みは、例えば、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４に対して同時に行われるようになされており、従って、Ｒ／Ｗ信号が書き込みを表している場合は、階層フラグは無視される（意味をもたない）。また、読み出しは、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４それぞれについて個別に行われるようになされており、従って、階層フラグは、読み出し時においてのみ有効となる。但し、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４からの読み出しも同時に行うようにすることが可能である。この場合、階層フラグは用いる必要がない。

【００３６】

第１階層メモリ２は、アドレス供給回路１によって指定されるアドレスに、ＲＭＷ回路５から供給される画像データを記憶し、また、そのアドレスに記憶されている画像データを読み出してＲＭＷ回路５に出力するようになされている。なお、第１階層メモリ２は、第１階層の画像、即ち、ここでは、記憶装置に入力される画像データをそのまま記憶するようになされている。また、第１階層メモリ２は、少なくとも、１画面分の第１階層の画像、即ち、ここでは、図２に示したように、５１２×５１２画素の画像データを記憶することができるようになされている。さらに、第１階層メモリ２を構成するメモリセルは、少なくとも、第１階層の画像を構成する画素に割り当てられたビット数と同一のデータ長を有している。即ち、第１階層の画像を構成する画素が、例えば、８ビットで表されるとき、第１階層メモリ２を構成するメモリセルは、少なくとも８ビットのデータ長を有している。

【００３７】

第２階層メモリ３は、アドレス供給回路１によって指定されるアドレスに、ＲＭＷ回路５から供給される画像データを記憶し、また、そのアドレスに記憶されている画像データを読み出してＲＭＷ回路５に出力するようになされている。なお、第２階層メモリ３は、第２階層の画像を記憶するようになされている。即ち、本実施の形態では、例えば、図９における場合と同様にして、第１階層の画像を構成する２×２（横×縦）の４画素から、第２階層の１の画素が形成されるようになされており、第２階層メモリ３は、そのような画素で構成される第２階層の画像を記憶するようになされている。また、第２階層メモリ３は、少なくとも、１画面分の第２階層の画像を記憶することのできる記憶容量を有してい

る。即ち、ここでは、第１階層の２×２画素から第２階層の１の画素が形成されるから、第２階層の画像の１画面は、２５６×２５６（＝５１２／２×５１２／２）画素で構成されることになる。従って、第２階層メモリ２は、そのような数の画素数で構成される第２階層の画像を、少なくとも記憶することができるようになされている。さらに、第２階層メモリ３を構成するメモリセルは、少なくとも、第２階層の画像を構成する画素を桁落ちさせずに記憶することのできるデータ長を有している。即ち、本実施の形態では、第１階層の画素が８ビットで表されるから、そのような８ビットの画素の４つの加算値である第２階層の画素は１０（＝$\log_2(2^8+2^8+2^8+2^8)$）ビットで表されることになる。従って、第２階層メモリ３を構成するメモリセルは、少なくとも１０ビットのデータ長を有している。

【００３８】

第３階層メモリ４は、アドレス供給回路１によって指定されるアドレスに、ＲＭＷ回路５から供給される画像データを記憶し、また、そのアドレスに記憶されている画像データを読み出してＲＭＷ回路５に出力するようになされている。なお、第３階層メモリ４は、第３階層の画像を記憶するようになされている。即ち、本実施の形態では、例えば、図９における場合と同様にして、第２階層の画像を構成する２×２の４画素、従って、第１階層の画像を構成する４×４画素から、第３階層の１の画素が形成されるようになされており、第３階層メモリ４は、そのような画素で構成される第３階層の画像を記憶するようになされている。また、第３階層メモリ４は、少なくとも、１画面分の第３階層の画像を記憶することのできる記憶容量を有している。即ち、ここでは、第２階層の２×２画素から第３階層の１の画素が形成されるから、第２階層の画像の１画面は、１２８×１２８（＝２５６／２×２５６／２）画素で構成されることになる。従って、第３階層メモリ４は、そのような数の画素数で構成される第３階層の画像を、少なくとも記憶することができるようになされている。さらに、第３階層メモリ４を構成するメモリセルは、少なくとも、第３階層の画像を構成する画素を桁落ちさせずに記憶することができるデータ長を有している。即ち、本実施の形態では、第２階層の画素が、上述したように１０ビットで表されるから、そのような１０ビットの画素の４つの加算値である第３階層の画素は１２（＝$\log_2(2^{10}+2^{10}+2^{10}+2^{10})$）ビットで表されることになる。従って、第３階層メモリ４を構成するメモリセルは、少なくとも１２ビットのデータ長を有している。

【００３９】

なお、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４には、クロックが供給されるようになされており、このクロックに同期して、データの読み書きが行われるようになされている。

【００４０】

ＲＭＷ回路５は、記憶装置に供給される画像データを、第１階層の画像として、第１階層メモリ２に書き込むようになされている。また、ＲＭＷ回路５は、第１階層の画像から第２階層の画像を算出する処理を行い、第２階層メモリ３に書き込むようになされている。さらに、ＲＭＷ回路５は、第１階層の画像（または第２階層の画像）から第３階層の画像を算出する処理を行い、第３階層メモリ４に書き込むようになされている。また、ＲＭＷ回路５は、第１階層メモリ２、第２階層メモリ３、または第３階層メモリ４にそれぞれ記憶された画像データを読み出して出力するようにもなされている。なお、ＲＭＷ回路５には、クロック、Ｒ／Ｗ信号、階層フラグ、アドレス供給回路１が出力する制御信号が供給されるようになされており、ＲＭＷ回路５は、クロックに同期し、Ｒ／Ｗ信号、階層フラグ、制御信号に基づいて各種の処理を行うようになされている。

【００４１】

次に、その動作について、図３乃至図５を参照して説明する。

【００４２】

なお、ここでは、上述の図２に示したように、１画面が５１２×５１２画素で構成され、各画素が８ビットで表される画像データが、第１階層の画像として記憶装置に供給されるものとする。また、画像データは、いわゆる順次走査されて供給されるものとする。

【００４３】
さらに、第１階層の画像を構成する画素を、その最も左上の画素をｈ（０，０）とし、以下、同様にして、左からｘ＋１番目で、上からｙ＋１番目にある画素をｈ（ｘ，ｙ）と表す。第１階層の画像は、上述したように、５１２×５１２画素で構成されるから、ｘ，ｙは、いずれも０乃至５１１（＝2^9-1）の範囲の整数値をとる。
【００４４】
また、０乃至２５５（＝$2^9/2-1$）の範囲の整数値をとる変数ｓ，ｔを考えると、第２階層の画像を構成する画素は、第１階層の隣接する２×２画素
ｈ（２ｓ，２ｔ），　ｈ（２ｓ＋１，２ｔ），
ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）
の加算値となるが、それをｍ（ｓ，ｔ）と表す。従って、式
m(s,t)=h(2s,2t)+h(2s+1,2t)+h(2s,2t+1)+h(2s+1,2t+1)・・・（１）
が成り立つ。
【００４５】
さらに、０乃至１２７（＝$2^9/4-1$）の範囲の整数値をとる変数ｍ，ｎを考えると、第３階層の画像を構成する画素は、第２階層の隣接する２×２画素
ｍ（２ｍ，２ｎ），　ｍ（２ｍ＋１，２ｎ），
ｍ（２ｍ，２ｎ＋１），ｍ（２ｍ＋１，２ｎ＋１）
の加算値、即ち、第１階層の隣接する４×４画素
h(4m,4n), h(4m+1,4n), h(4m+2,4n), h(4m+3,4n),
h(4m,4n+1),h(4m+1,4n+1),h(4m+2,4n+1),h(4m+3,4n+1),
h(4m,4n+2),h(4m+1,4n+2),h(4m+2,4n+2),h(4m+3,4n+2),
h(4m,4n+3),h(4m+1,4n+3),h(4m+2,4n+3),h(4m+3,4n+3)
の加算値となるが、それをｑ（ｍ，ｎ）と表す。従って、式
q(m,n)=m(2m,2n)+m(2m+1,2n)+m(2m,2n+1)+m(2m+1,2n+1)
=h(4m,4n)+h(4m+1,4n)+h(4m+2,4n)+h(4m+3,4n)
+h(4m,4n+1)+h(4m+1,4n+1)+h(4m+2,4n+1)+h(4m+3,4n+1)
+h(4m,4n+2)+h(4m+1,4n+2)+h(4m+2,4n+2)+h(4m+3,4n+2)
+h(4m,4n+3)+h(4m+1,4n+3)+h(4m+2,4n+3)+h(4m+3,4n+3)・・・（２）
が成り立つ。
【００４６】
また、アドレス供給回路１には、データの書き込み時および読み出し時のいずれの場合も、水平アドレスＨＡおよび垂直アドレスＶＡの組合せ（ＨＡ，ＶＡ）が、例えば、
（０，０），（１，０），・・・，（５１１，０），
（０，１），（１，１），・・・，（５１１，１），
・
・
・
（５１１，０），（５１１，１），・・・，（５１１，５１１）
の順（順次走査に対応する順）で、クロックに同期して供給されるものとする。
【００４７】
さらに、９ビットの水平アドレスＨＡの各ビットを、その最下位ビットをｈａ０として、ｈａ１，ｈａ２，・・・，ｈａ８（ｈａ８は最上位ビット）と表すとともに、９ビットの垂直アドレスＶＡの各ビットも同様に、その最下位ビットをｖａ０として、ｖａ１，ｖａ２，・・・，ｖａ８（ｖａ８は最上位ビット）と表す。
【００４８】
また、記憶装置への画像データの書き込み時には、ＲＭＷ回路５には、第１階層の画像が、クロックに同期して順次走査されて供給され、これに伴い、アドレス供給回路１には、水平アドレスＨＡおよび垂直アドレスＶＡが、上述したように供給されるものとする。
【００４９】

この場合、第１階層メモリ２へのアクセスは、次のようにして行われる。
【００５０】
即ち、図３に示すように、まず書き込み時（Ｒ／Ｗ信号が書き込みを表している場合）においては、アドレス供給回路１は、そこに供給される水平アドレスＨＡおよび垂直アドレスＶＡを、そのまま、第１階層メモリ２のアドレス端子（ＡＤｈ，ＡＤｖ）に供給する。一方、ＲＭＷ回路５は、そこに供給される第１階層の画像データを、水平アドレスＨＡおよび垂直アドレスＶＡによって指定されている第１階層メモリ２のメモリセル（図示せず）に書き込む。以下、同様の処理が行われることで、５１２×５１２画素で構成される１画面分の第１階層の画像が、第１階層メモリ２に記憶される。即ち、これにより、第１階層メモリ２のアドレス
（０，０），（１，０），・・・，（５１１，０），
（０，１），（１，１），・・・，（５１１，１），
・・・
（５１１，０），（５１１，１），・・・，（５１１，５１１）
には、第１階層の画素（画素値）
ｈ（０，０），ｈ（１，０），・・・，ｈ（５１１，０），
ｈ（０，１），ｈ（１，１），・・・，ｈ（５１１，１），
・・・
ｈ（５１１，０），ｈ（５１１，１），・・・，ｈ（５１１，５１１）
がそれぞれ記憶される。
【００５１】
読み出し時（Ｒ／Ｗ信号が読み出しを表している場合）においては、アドレス供給回路１は、階層フラグが第１階層を表していれば、やはり、そこに供給される水平アドレスＨＡおよび垂直アドレスＶＡを、そのまま、第１階層メモリ２のアドレス端子に供給する。そして、ＲＭＷ回路５は、水平アドレスＨＡおよび垂直アドレスＶＡによって指定されている第１階層メモリ２のメモリセルに記憶されている第１階層の画像データを読み出し、以下、同様の処理が行われることで、５１２×５１２画素で構成される１画面分の第１階層の画像が、第１階層メモリ２から読み出される。即ち、これにより、順次走査された第１階層の画像が出力される。
【００５２】
次に、第２階層メモリ３へのアクセスについて説明する。
【００５３】
まず書き込み時においては、アドレス供給回路１は、例えば、図４に示すように、そこに供給される水平アドレスＨＡの一部としての、そのうちの最下位ビットｈａ０を除く上位８ビットｈａ１乃至ｈａ８と、垂直アドレスＶＡの一部としての、最下位ビットｖａ０を除く上位８ビットｖａ１乃至ｖａ８を、第２階層メモリ３のアドレス端子に供給する。さらに、アドレス供給回路１は、水平アドレスＨＡの最下位ビットｈａ０と、垂直アドレスＶＡの最下位ビットｖａ０を、制御信号として、ＲＭＷ回路５に出力する。
【００５４】
従って、例えば、図２にＤ１で示すような第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）が、ＲＭＷ回路５に供給されるタイミングにおいては、いずれのタイミングでも、アドレス供給回路１は、第２階層メモリ３の同一アドレス（ｓ，ｔ）を指定する信号を、第２階層メモリ３に出力する。
【００５５】
一方、ＲＭＷ回路５では、そこに供給される第１階層の画像データが、演算器１３に入力される。演算器１３には、第１階層の画像データの他、スイッチ１２の出力が供給されるようになされており、演算器１３は、それらを加算して、書き込み部１４に供給するようになされている。
【００５６】

スイッチ１２は、ＮＯＲゲート１５の出力に対応して、端子１２ａまたは１２ｂのうちのいずれか一方を選択するようになされており、また、端子１２ａまたは１２ｂには、読み出し部１１の出力または０がそれぞれ供給されるようになされている。ＮＯＲゲート１５には、アドレス供給回路１からの水平アドレスＨＡの最下位ビットｈａ０と、垂直アドレスＶＡの最下位ビットｖａ０とが供給されるようになされており、従って、その出力は、最下位ビットｈａ０およびｖａ０がいずれも０の場合、即ち、第１階層の２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの左上の画素ｈ（２ｓ，２ｔ）が、演算器１３に供給されるタイミングの場合のみ、Ｈレベルとなり、他の場合はＬレベルとなるようになされている。

【００５７】

そして、スイッチ１２は、ＮＯＲゲート１５の出力がＬレベルまたはＨレベルのとき、端子１２ａまたは１２ｂをそれぞれ選択するようになされている。

【００５８】

また、読み出し部１１は、アドレス供給回路１が出力する信号に対応するアドレスに記憶されているデータ（記憶データ）を読み出すようになされている。

【００５９】

従って、第１階層の２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの左上の画素ｈ（２ｓ，２ｔ）が演算器１３に供給されるタイミングにおいては、読み出し部１１において、第２階層メモリ３のアドレス（ｓ，ｔ）に記憶されたデータが読み出され、端子１２ａに供給されるが、この場合、水平アドレスＨＡの最下位ビットｈａ０、および垂直アドレスＶＡの最下位ビットｖａ０はいずれも０であるから、ＮＯＲゲート１５の出力はＨレベルとなり、スイッチ１２は端子１２ｂを選択する。

【００６０】

その結果、演算器１３には、スイッチ１２を介して０が供給される。

【００６１】

演算器１３では、この０と第１階層の画素ｈ（２ｓ，２ｔ）とが加算され、その加算値（０＋ｈ（２ｓ，２ｔ））が、書き込み部１４に供給される。書き込み部１４は、演算器１３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第２階層メモリ３のアドレス（ｓ，ｔ）に書き込む。

【００６２】

次に、第１階層の２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの左上の画素ｈ（２ｓ，２ｔ）の右隣の画素ｈ（２ｓ＋１，２ｔ）が演算器１３に供給されるタイミングにおいては、読み出し部１１において、やはり、第２階層メモリ３のアドレス（ｓ，ｔ）に記憶されたデータ（ここでは、０＋ｈ（２ｓ，２ｔ））が読み出され、端子１２ａに供給される。

【００６３】

一方、この場合、水平アドレスＨＡの最下位ビットｈａ０は１で、垂直アドレスＶＡの最下位ビットｖａ０は０となっているから、ＮＯＲゲート１５の出力はＬレベルとなり、スイッチ１２は端子１２ａを選択する。

【００６４】

その結果、演算器１３には、スイッチ１２を介して、読み出し部１１において読み出されたデータ（記憶データ）（ここでは、０＋ｈ（２ｓ，２ｔ））が供給される。

【００６５】

演算器１３では、スイッチ１２を介して供給されるデータと、第１階層の画素ｈ（２ｓ＋１，２ｔ）とが加算され、その加算値（０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ））が、書き込み部１４に供給される。書き込み部１４は、演算器１３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第２階層メモリ３のアドレス（ｓ，ｔ）に書き込む。

【００６６】

その後、第１階層の上から２ｔ＋１ライン目の画像データの供給が開始され、第１階層の２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの左下の画素ｈ（２ｓ，２ｔ＋１）が、演算器１３に供給されると、読み出し部１１において、やはり、第２階層メモリ３のアドレス（ｓ，ｔ）に記憶されたデータ（ここでは、０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ））が読み出され、端子１２ａに供給される。

【００６７】

一方、この場合、水平アドレスＨＡの最下位ビットｈａ０は０で、垂直アドレスＶＡの最下位ビットｖａ０は１となっているから、ＮＯＲゲート１５の出力はＬレベルとなり、スイッチ１２は端子１２ａを選択する。

【００６８】

その結果、演算器１３には、スイッチ１２を介して、読み出し部１１において読み出されたデータ（記憶データ）（ここでは、０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ））が供給される。

【００６９】

演算器１３では、スイッチ１２を介して供給されるデータと、第１階層の画素ｈ（２ｓ，２ｔ＋１）とが加算され、その加算値（０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ＋１））が、書き込み部１４に供給される。書き込み部１４は、演算器１３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第２階層メモリ３のアドレス（ｓ，ｔ）に書き込む。

【００７０】

次に、第１階層の２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの左下の画素ｈ（２ｓ，２ｔ＋１）の右隣の画素ｈ（２ｓ＋１，２ｔ＋１）が、演算器１３に供給されると、読み出し部１１において、やはり、第２階層メモリ３のアドレス（ｓ，ｔ）に記憶されたデータ（ここでは、０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ＋１））が読み出され、端子１２ａに供給される。

【００７１】

一方、この場合、水平アドレスＨＡの最下位ビットｈａ０および垂直アドレスＶＡの最下位ビットｖａ０は、いずれも１となっているから、ＮＯＲゲート１５の出力はＬレベルとなり、スイッチ１２は端子１２ａを選択する。

【００７２】

その結果、演算器１３には、スイッチ１２を介して、読み出し部１１において読み出されたデータ（記憶データ）（ここでは、０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ＋１））が供給される。

【００７３】

演算器１３では、スイッチ１２を介して供給されるデータと、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）とが加算され、その加算値（０＋ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ＋１）＋ｈ（２ｓ＋１，２ｔ＋１））が、書き込み部１４に供給される。書き込み部１４は、演算器１３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第２階層メモリ３のアドレス（ｓ，ｔ）に書き込む。

【００７４】

従って、第２階層メモリ３のアドレス（ｓ，ｔ）には、最終的には、式ｈ（２ｓ，２ｔ）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ＋１）＋ｈ（２ｓ＋１，２ｔ＋１）で表される加算値、即ち、上述の式（１）に示した第２階層の画素（画素値）ｍ（ｓ，ｔ）が記憶されることになる。

【００７５】

以上のようにして、第２階層メモリ３には、２５６×２５６画素で１画面が構成される第２階層の画像が記憶される。

【００７６】

以上のように、第１階層の画像データを、水平アドレスＨＡおよび垂直アドレスＶＡによって指定される第１階層メモリ２のアドレス（ＨＡ，ＶＡ）に書き込むとともに、水平アドレスＨＡおよび垂直アドレスＶＡの一部ｈａ１乃至ｈａ８およびｖａ１乃至ｖａ８によって指定される第２階層メモリのアドレスから、そこに記憶されている記憶データを読み出し、その記憶データと第１階層の画像データとを加算する処理を行い、その加算値（第１の処理データ）を記憶データが記憶されていた第２階層メモリのアドレスに書き込むようにしたので、第１階層の画像データを記憶するのと同時に、第２階層の画像データを生成して記憶することができる。即ち、リアルタイムで、第２階層の画像データを得ることができる。

【００７７】

さらに、この場合、第２階層の画像を記憶する第２階層メモリ３が、従来のラインディレイを行う回路の役割をも果たしており、従って、そのような回路を設ける必要がないので、装置の小型化を図ることができる。

【００７８】

次に、第２階層メモリ３からの第２階層の画像の読み出しについて説明する。

【００７９】

読み出し時においては、アドレス供給回路１は、階層フラグが第２階層を表している場合、やはり、そこに供給される水平アドレスＨＡまたは垂直アドレスＶＡのそれぞれ上位８ビットｈａ１乃至ｈａ８またはｖａ１乃至ｖａ８を、第２階層メモリ２のアドレス端子に供給するとともに、それぞれの最下位ビットｈａ０またはｖａ０を、制御信号として、ＲＭＷ回路５に出力する。

【００８０】

一方、ＲＭＷ回路５では、読み出し部１１に対して、階層フラグ、Ｒ／Ｗ信号、およびＮＯＲゲート１５の出力が供給されるようになされており、読み出し部１１は、Ｒ／Ｗ信号が読み出しを表しており、かつ階層フラグが第２階層を表している場合には、例えば、ＮＯＲゲート１５の出力がＨレベルのときだけ、アドレス供給回路１が出力する信号に対応するアドレスに記憶されている第２階層の画像データを読み出して出力する。

【００８１】

即ち、上述したことから、水平アドレスＨＡと垂直アドレスＶＡとの組が（２ｓ，２ｔ），（２ｓ＋１，２ｔ），（２ｓ，２ｔ＋１），（２ｓ＋１，２ｔ＋１）の場合は、アドレス供給回路１からは、いずれも同一のアドレス（ｓ，ｔ）が、第２階層メモリ３に対して出力される。従って、単純に、アドレス供給回路１が出力する信号に対応する第２階層メモリ３のアドレスからデータを読み出したのでは、同一のデータが４回重複して読み出されることになる。

【００８２】

そこで、読み出し部１１では、水平アドレスＨＡと垂直アドレスＶＡとの組が（２ｓ，２ｔ），（２ｓ＋１，２ｔ），（２ｓ，２ｔ＋１），（２ｓ＋１，２ｔ＋１）のうちの、例えば、（２ｓ，２ｔ）となるときだけ、即ち、ＮＯＲゲート１５の出力がＨレベルのときだけ、第２階層メモリ３のアドレス（ｓ，ｔ）から、第２階層の画素（画素値）ｍ（ｓ，ｔ）を読み出すようになっている。

【００８３】

読み出し部１１が読み出した第２階層の画像データは、スイッチ１６に供給される。スイッチ１６は、Ｒ／Ｗ信号が読み出しを表している場合のみオンになり、他の場合はオフになっており、従って、いまの場合、スイッチ１６はオンになっているから、読み出し部１１によって読み出された第２階層の画像データは、スイッチ１６を介して出力される。

【００８４】

以上のようにして、第２階層メモリ３からは、そこに記憶されている２５６×２５６画素で構成される１画面分の第２階層の画像が読み出される。即ち、これにより、順次走査された第２階層の画像が出力される。

【００８５】

次に、第３階層メモリ４へのアクセスについて説明する。

【００８６】

まず書き込み時においては、アドレス供給回路１は、例えば、図５に示すように、そこに供給される水平アドレスＨＡの一部としての、そのうちの下位２ビットｈａ０およびｈａ１を除く上位７ビットｈａ２乃至ｈａ８と、垂直アドレスＶＡの一部としての、下位２ビットｖａ０およびｖａ１を除く上位７ビットｖａ２乃至ｖａ８を、第３階層メモリ４のアドレス端子に供給する。さらに、アドレス供給回路１は、水平アドレスＨＡの下位２ビットｈａ０およびｈａ１と、垂直アドレスＶＡの下位２ビットｖａ０およびｖａ１を、制御信号として、ＲＭＷ回路５に出力する。

【００８７】

従って、例えば、図２にＤ２で示すような第１階層の４×４の１６画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）が、ＲＭＷ回路５に供給されるタイミングにおいては、いずれのタイミングでも、アドレス供給回路１は、第３階層メモリ４の同一アドレス（ｍ，ｎ）を指定する信号を出力する。

【００８８】

一方、ＲＭＷ回路５では、そこに供給される第１階層の画像データが、演算器２３に入力される。演算器２３には、第１階層の画像データの他、スイッチ２２の出力が供給されるようになされており、演算器２３は、それらを加算して、書き込み部２４に供給するようになされている。

【００８９】

スイッチ２２は、ＮＯＲゲート２５の出力に対応して、端子２２ａまたは２２ｂのうちのいずれか一方を選択するようになされており、また、端子２２ａまたは２２ｂには、読み出し部２１の出力または０がそれぞれ供給されるようになされている。ＮＯＲゲート２５には、アドレス供給回路１からの水平アドレスＨＡの下位２ビットｈａ０およびｈａ１と、垂直アドレスＶＡの下位２ビットｖａ０およびｖａ１とが供給されるようになされており、従って、その出力は、下位２ビットｈａ０およびｈａ１並びにｖａ０およびｖａ１がいずれも０の場合、即ち、第１階層の４×４画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）のうちの左上の画素ｈ（４ｍ，４ｎ）が、演算器２３に供給されるタイミングの場合のみ、Ｈレベルとなり、他の場合はＬレベルとなるようになされている。

【００９０】

そして、スイッチ２２は、ＮＯＲゲート２５の出力がＬレベルまたはＨレベルのとき、端子２２ａまたは２２ｂをそれぞれ選択するようになされている。

【００９１】

また、読み出し部２１は、アドレス供給回路１が出力する信号に対応するアドレスに記憶されているデータ（記憶データ）を読み出すようになされている。

【００９２】

従って、第１階層の画素ｈ（４ｍ，４ｎ）が演算器２３に供給されるタイミングにおいては、読み出し部２１において、第３階層メモリ４のアドレス（ｍ，ｎ）に記憶されたデータが読み出され、端子２２ａに供給されるが、この場合、水平アドレスＨＡの下位２ビットｈａ０およびｈａ１、並びに垂直アドレスＶＡの下位２ビットｖａ０およびｖａ１はいずれも０であるから、ＮＯＲゲート２５の出力はＨレベルとなり、スイッチ２２は端子２

２ｂを選択する。
【００９３】
その結果、演算器２３には、スイッチ２２を介して０が供給される。
【００９４】
演算器２３では、この０と第１階層の画素ｈ（４ｍ，４ｎ）とが加算され、その加算値（０＋ｈ（４ｍ，４ｎ））が、書き込み部２４に供給される。書き込み部２４は、演算器２３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第３階層メモリ４のアドレス（ｍ，ｎ）に書き込む。
【００９５】
次に、第１階層の画素ｈ（４ｍ，４ｎ）の右隣の画素ｈ（４ｍ＋１，４ｎ）が演算器２３に供給されるタイミングにおいては、読み出し部２１において、やはり、第３階層メモリ４のアドレス（ｍ，ｎ）に記憶されたデータ（ここでは、０＋ｈ（４ｍ，４ｎ））が読み出され、端子２２ａに供給される。
【００９６】
一方、この場合、水平アドレスＨＡの下位２ビットｈａ０またはｈａ１はそれぞれ１または０で、垂直アドレスＶＡの下位２ビットｖａ０およびｖａ１はいずれも０となっているから、ＮＯＲゲート２５の出力はＬレベルとなり、スイッチ２２は端子２２ａを選択する。
【００９７】
その結果、演算器２３には、スイッチ２２を介して、読み出し部２１において読み出されたデータ（記憶データ）（ここでは、０＋ｈ（４ｍ，４ｎ））が供給される。
【００９８】
演算器２３では、スイッチ２２を介して供給されるデータと、第１階層の画素ｈ（４ｍ＋１，４ｎ）とが加算され、その加算値（０＋ｈ（４ｍ，４ｎ）＋ｈ（４ｍ＋１，４ｎ））が、書き込み部２４に供給される。書き込み部２４は、演算器２３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第３階層メモリ４のアドレス（ｍ，ｎ）に書き込む。
【００９９】
次に、第１階層の画素ｈ（４ｍ＋１，４ｎ）の右隣の画素ｈ（４ｍ＋２，４ｎ）が演算器２３に供給されるタイミングにおいては、読み出し部２１において、やはり、第３階層メモリ４のアドレス（ｍ，ｎ）に記憶されたデータ（ここでは、０＋ｈ（４ｍ，４ｎ）＋ｈ（４ｍ＋１，４ｎ））が読み出され、端子２２ａに供給される。
【０１００】
一方、この場合、水平アドレスＨＡの下位２ビットｈａ０またはｈａ１はそれぞれ０または１で、垂直アドレスＶＡの下位２ビットｖａ０およびｖａ１はいずれも０となっているから、ＮＯＲゲート２５の出力はＬレベルとなり、スイッチ２２は端子２２ａを選択する。
【０１０１】
その結果、演算器２３には、スイッチ２２を介して、読み出し部２１において読み出されたデータ（記憶データ）（ここでは、０＋ｈ（４ｍ，４ｎ）＋ｈ（４ｍ＋１，４ｎ））が供給される。
【０１０２】
演算器２３では、スイッチ２２を介して供給されるデータと、第１階層の画素ｈ（４ｍ＋２，４ｎ）とが加算され、その加算値（０＋ｈ（４ｍ，４ｎ）＋ｈ（４ｍ＋１，４ｎ）＋ｈ（４ｍ＋２，４ｎ））が、書き込み部２４に供給される。書き込み部２４は、演算器２３の出力を、アドレス供給回路１が出力する信号に対応するアドレス、即ち、第３階層メモリ４のアドレス（ｍ，ｎ）に書き込む。
【０１０３】
以下、第１階層の画素ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ，４ｎ＋２

），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）が、演算器２３に供給されるタイミングにおいては、いずれにおいても、上述の場合と同様の処理が行われ、これにより、第３階層メモリ４のアドレス（ｍ，ｎ）には、最終的には、上述の式（２）に示した第３階層の画素（画素値）ｑ（ｍ，ｎ）が記憶されることになる。

【０１０４】

以上のようにして、第３階層メモリ４には、１２８×１２８画素で１画面が構成される第３階層の画像が記憶される。

【０１０５】

従って、第１階層の画像データを記憶するのと同時に、第２階層の画像データ、さらには、第３階層の画像データを生成して記憶することができる。即ち、リアルタイムで、第２および第３階層の画像データを得ることができる。

【０１０６】

さらに、この場合においても、第３階層の画像を記憶する第３階層メモリ４が、従来のラインディレイを行う回路の役割をも果たしており、従って、そのような回路を設ける必要がないので、装置の小型化を図ることができる。

【０１０７】

次に、第３階層メモリ４からの第３階層の画像の読み出しについて説明する。

【０１０８】

読み出し時においては、アドレス供給回路１は、階層フラグが第３階層を表している場合、やはり、そこに供給される水平アドレスＨＡまたは垂直アドレスＶＡのそれぞれ上位７ビットｈａ２乃至ｈａ８またはｖａ２乃至ｖａ８を、第２階層メモリ２のアドレス端子に供給するとともに、それぞれの下位２ビットｈａ０およびｈａ１またはｖａ０およびｖａ１を、制御信号として、ＲＭＷ回路５に出力する。

【０１０９】

一方、ＲＭＷ回路５では、読み出し部２１に対して、階層フラグ、Ｒ／Ｗ信号、およびＮＯＲゲート２５の出力が供給されるようになされており、読み出し部２１は、Ｒ／Ｗ信号が読み出しを表しており、かつ階層フラグが第３階層を表している場合には、例えば、ＮＯＲゲート２５の出力がＨレベルのときだけ、アドレス供給回路１が出力する信号に対応するアドレスに記憶されている第３階層の画像データを読み出して出力する。

【０１１０】

即ち、上述したことから、水平アドレスＨＡと垂直アドレスＶＡとの組が、（４ｍ，４ｎ），（４ｍ＋１，４ｎ），（４ｍ＋２，４ｎ），（４ｍ＋３，４ｎ），（４ｍ，４ｎ＋１），（４ｍ＋１，４ｎ＋１），（４ｍ＋２，４ｎ＋１），（４ｍ＋３，４ｎ＋１），（４ｍ，４ｎ＋２），（４ｍ＋１，４ｎ＋２），（４ｍ＋２，４ｎ＋２），（４ｍ＋３，４ｎ＋２），（４ｍ，４ｎ＋３），（４ｍ＋１，４ｎ＋３），（４ｍ＋２，４ｎ＋３），（４ｍ＋３，４ｎ＋３）の場合は、アドレス供給回路１からは、いずれも同一のアドレス（ｍ，ｎ）が出力される。従って、単純に、アドレス供給回路１が出力する信号に対応する第３階層メモリ４のアドレスからデータを読み出したのでは、同一のデータが１６回重複して読み出されることになる。

【０１１１】

そこで、読み出し部２１では、水平アドレスＨＡと垂直アドレスＶＡとの組が、上述のうちの、例えば、（４ｍ，４ｎ）となるときだけ、即ち、ＮＯＲゲート２５の出力がＨレベルのときだけ、第３階層メモリ４のアドレス（ｍ，ｎ）から、第３階層の画素（画素値）ｍ（ｍ，ｎ）を読み出すようになっている。

【０１１２】

読み出し部２１が読み出した第３階層の画像データは、スイッチ２６に供給される。スイッチ２６は、Ｒ／Ｗ信号が読み出しを表している場合のみオンになり、他の場合はオフになっており、従って、いまの場合、スイッチ２６はオンになっているから、読み出し部２

１によって読み出された第３階層の画像データは、スイッチ２６を介して出力される。
【０１１３】
以上のようにして、第３階層メモリ４からは、そこに記憶されている１２８×１２８画素で構成される１画面分の第３階層の画像が読み出される。即ち、これにより、順次走査された第３階層の画像が出力される。
【０１１４】
なお、第２階層メモリ３からの第２階層の画像データの読み出しは、上述したようにして行う他、例えば、アドレス供給回路１から、水平アドレスＨＡの下位８ビットｈａ０乃至ｈａ７と、垂直アドレスＶＡの下位８ビットｖａ０乃至ｖａ７を、第２階層メモリ３のアドレスとして与えることにより行うことも可能である。同様に、第３階層メモリ４からの第３階層の画像データの読み出しも、アドレス供給回路１から、水平アドレスＨＡの下位７ビットｈａ０乃至ｈａ６と、垂直アドレスＶＡの下位７ビットｖａ０乃至ｖａ６を、第３階層メモリ４のアドレスとして与えることにより行うことが可能である。
【０１１５】
次に、図９で説明したことから、第１階層の隣接する２×２画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの１つである、例えば、右下の画素ｈ（２ｓ＋１，２ｔ＋１）は、残りの第１階層の画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１）と、それらの加算値である第２階層の画素ｍ（ｓ，ｔ）とから求めることができる。
【０１１６】
即ち、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）は、式
h(2s+1,2t+1)=m(s,t)-(h(2s,2t)+h(2s+1,2t)+h(2s,2t+1))
によって求めることができる。
【０１１７】
従って、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）は記憶しておかなくても、上式から得ることができる。
【０１１８】
そこで、第１階層メモリ２は、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの１つであるｈ（２ｓ＋１，２ｔ＋１）を記憶するメモリセルを設けずに構成することができる。
【０１１９】
即ち、上述の場合においては、第１階層メモリ２は、少なくとも、５１２×５１２画素の画像データを記憶することができるメモリセルを有することとしたが、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）を記憶しない場合には、少なくとも、５１２×５１２×３／４画素の画像データを記憶することができるメモリセルで構成することができる。この場合、第１階層メモリ２は、第１階層の画像の１画面を構成する画素数から、第２階層メモリ３のアドレス数（第２階層の１画面を構成する画素数（２５６×２５６））を減算した数に対応するメモリセル（記憶容量）を有することになる。
【０１２０】
また、第２階層の隣接する２×２画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１），ｍ（２ｍ＋１，２ｎ＋１）のうちの１つである、例えば、右下の画素ｍ（２ｍ＋１，２ｎ＋１）も、やはり、残りの第２階層の画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１）と、それらの加算値である第３階層の画素ｑ（ｍ，ｎ）とから求めることができる。
【０１２１】
即ち、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）は、式
m(2m+1,2n+1)=q(m,n)-(m(2m,2n)+m(2m+1,2n)+m(2m,2n+1))
によって求めることができる。
【０１２２】
従って、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）は記憶しておかなくても得ることがで

きる。

【０１２３】

そこで、第２階層メモリ３も、第２階層の２×２の４画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１），ｍ（２ｍ＋１，２ｎ＋１）のうちの１つであるｍ（２ｍ＋１，２ｎ＋１）を記憶するメモリセルを設けずに構成することができる。

【０１２４】

即ち、上述の場合においては、第２階層メモリ３は、少なくとも、２５６×２５６画素の画像データを記憶することができるメモリセルを有することとしたが、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）を記憶しない場合には、少なくとも、２５６×２５６×３／４画素の画像データを記憶することができるメモリセルで構成することができる。この場合、第２階層メモリ３は、第２階層の画像の１画面を構成する画素数から、第３階層メモリ４のアドレス数（第３階層の１画面を構成する画素数（１２８×１２８））を減算した数に対応するメモリセル（記憶容量）を有することになる。

【０１２５】

第１階層メモリ２および第２階層メモリ３を、上述のように、少ない記憶容量のものとした場合においても、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４への画像データの書き込みは、図３乃至図５でそれぞれ説明したようにして行うことができる。但し、第１階層メモリ２には、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）を記憶するメモリセル、即ち、アドレス（２ｓ＋１，２ｔ＋１）に対応するメモリセルがなく、従って、アドレス供給回路１から第１階層メモリ２に対して、アドレス（２ｓ＋１，２ｔ＋１）が供給されるとともに、ＲＭＷ回路５から第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）が供給されても、その画素ｈ（２ｓ＋１，２ｔ＋１）は、第１階層メモリ２に記憶されない。

【０１２６】

同様に、第２階層メモリ３には、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）を記憶するメモリセル、即ち、アドレス（２ｍ＋１，２ｎ＋１）に対応するメモリセルがなく、従って、アドレス供給回路１から第２階層メモリ３に対して、アドレス（２ｍ＋１，２ｎ＋１）が供給されるとともに、ＲＭＷ回路５（書き込み部１４（図４））から第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）が供給されても、その画素ｍ（２ｍ＋１，２ｎ＋１）は、第２階層メモリ３に記憶されない。

【０１２７】

また、記憶装置に記憶された第３階層の画像の読み出しは、上述の図５における場合と同様に行うことができるが、第１または第２階層の画像の読み出しは、次のようにして行われる。

【０１２８】

即ち、図６は、第１階層メモリ２の記憶容量を少ないものにした場合において、第１階層の画像を読み出すときの、図１の記憶装置の構成例を示している。

【０１２９】

この場合、アドレス供給回路１は、遅延回路３１および選択回路３２乃至３４で構成される。遅延回路３１には、水平アドレスＨＡおよび垂直アドレスＶＡが入力され、そこでは、例えば、そのうちの垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、その下位３ビット目ｖａ２の変化に対応してラッチされて出力されるようになされている。

【０１３０】

即ち、遅延回路３１は、垂直アドレスＶＡの下位３ビット目ｖａ２が０から１に変化するときと、１から０に変化するときとを検出し、その変化の直前の垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８をラッチして、残りの垂直アドレスおよび水平アドレスとともに出力するようになされている。従って、遅延回路３１が出力する水平アドレスＨＡおよび垂直アドレスＶＡは、アドレス供給回路１に供給される水平アドレスＨＡおよび垂直アドレスＶＡを４（＝2^{3-1}）ライン分だけ遅延したものとなる。なお、遅延回路３１では、垂直アドレスＶＡの下位３ビット目ｖａ２が変化するときの、その変化直前の垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８をラッチすれば良いから、従来における画像を

ラインディレイするための遅延回路のように、大型のものにはならない。即ち、遅延回路３１は、垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８をラッチする、例えば、７個のフリップフロップなどで構成することができ、従って、小型に構成することができる。

【０１３１】

ここで、以下、適宜、遅延回路３１が発生する４ライン前の水平アドレスＨＡまたは垂直アドレスＶＡを、それぞれ遅延水平アドレスＨＡまたは遅延垂直アドレス（所定のアドレス信号）という。

【０１３２】

遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡは、選択回路３２に供給される。また、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡのうちの、遅延水平アドレスＨＡの最下位ビットｈａ０を除く上位８ビットｈａ１乃至ｈａ８、および遅延垂直アドレスＶＡの最下位ビットｖａ０を除く上位８ビットｖａ１乃至ｖａ８は、選択回路３３に供給される。さらに、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡのうちの、遅延水平アドレスＨＡの下位２ビットｈａ０，ｈａ１を除く上位７ビットｈａ２乃至ｈａ８、および遅延垂直アドレスＶＡの下位２ビットｖａ０，ｖａ１を除く上位７ビットｖａ２乃至ｖａ８は、選択回路３４に供給される。

【０１３３】

選択回路３２には、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡの他、アドレス供給回路１に供給される水平アドレスＨＡおよび垂直アドレスＶＡがそのまま供給されるとともに、垂直アドレスＶＡのうちの下位３ビット目ｖａ２が、制御信号として供給されるようになされている。そして、選択回路３２では、制御信号ｖａ２に対応して、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡと、水平アドレスＨＡおよび垂直アドレスＶＡのうちの一方がＡバンクアドレスとして、他方がＢバンクアドレスとして、それぞれ選択され、第１階層メモリ２のＡバンクアドレス端子と、Ｂバンクアドレス端子にそれぞれ供給されるようになされている。

【０１３４】

即ち、選択回路３２は、例えば、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡをＡバンクアドレスとして、水平アドレスＨＡおよび垂直アドレスＶＡをＢバンクアドレスとして、それぞれ選択している場合において、制御信号ｖａ２が変化すると、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡをＢバンクアドレスとして、水平アドレスＨＡおよび垂直アドレスＶＡをＡバンクアドレスとして、それぞれ選択する。さらに、その後、選択回路３２は、制御信号ｖａ２が再度変化すると、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡをＡバンクアドレスとして、水平アドレスＨＡおよび垂直アドレスＶＡをＢバンクアドレスとして、それぞれ再び選択する。従って、選択回路３２では、制御信号ｖａ２が変化するごとに、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡが、ＡバンクアドレスまたはＢバンクアドレスとして交互に選択されるとともに、水平アドレスＨＡおよび垂直アドレスＶＡが、ＢバンクアドレスまたはＡバンクアドレスとして交互に選択される。

【０１３５】

選択回路３３には、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８の他、アドレス供給回路１に供給される水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が供給されるとともに、垂直アドレスＶＡのうちの下位３ビット目ｖａ２が、制御信号として供給されるようになされている。そして、選択回路３３においても、選択回路３２における場合と同様に、制御信号ｖａ２が変化するごとに、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、ＡバンクアドレスまたはＢバンクアドレスとして交互に選択されるとともに、水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、ＢバンクアドレスまたはＡバンクアドレスとして交互に選択されるようになされている。

【０１３６】
選択回路３３において、ＡバンクアドレスまたはＢバンクアドレスとして選択されたものは、第２階層メモリ３のＡバンクアドレス端子またはＢバンクアドレス端子にそれぞれ供給されるようになされている。
【０１３７】
選択回路３４には、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８の他、アドレス供給回路１に供給される水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が供給されるとともに、垂直アドレスＶＡのうちの下位３ビット目ｖａ２が、制御信号として供給されるようになされている。そして、選択回路３４においても、選択回路３２における場合と同様に、制御信号ｖａ２が変化するごとに、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、ＡバンクアドレスまたはＢバンクアドレスとして交互に選択されるとともに、水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、ＢバンクアドレスまたはＡバンクアドレスとして交互に選択されるようになされている。
【０１３８】
選択回路３４において、ＡバンクアドレスまたはＢバンクアドレスとして選択されたものは、第３階層メモリ４のＡバンクアドレス端子またはＢバンクアドレス端子にそれぞれ供給されるようになされている。
【０１３９】
図６の実施の形態においては（後述する図８においても同様）、第１階層メモリ２のアドレス空間は、ＡバンクとＢバンクの２つのバンク（ブロック）に分割されている。即ち、ここでは、図２において、例えば、第８αライン乃至第８α＋３ラインの画素を記憶するための第１階層メモリ２の記憶領域がＡバンクと、第８α＋４ライン乃至第８α＋７ラインの画素を記憶するための第１階層メモリ２の記憶領域がＢバンクと、それぞれされている（但し、α＝０，１，２，・・・，６３）。
【０１４０】
そして、ＡバンクとＢバンクの両方に同時にアクセスが可能なように、Ａバンクにアクセスするためのアドレス端子（Ａバンクアドレス端子）と、Ｂバンクにアクセスするためのアドレス端子（Ｂバンクアドレス端子）の２つのアドレス端子が設けられている。さらに、Ａバンク、Ｂバンクそれぞれに対してデータを読み書きするための入出力端子であるデータ端子も、Ａバンクデータ端子およびＢバンクデータ端子の２つが設けられている。
【０１４１】
従って、第１階層メモリ２では、Ａバンクアドレス端子に入力されたアドレス（Ａバンクアドレス）に対して、Ａバンクデータ端子を介して、データ（Ａバンクデータ）の読み書きを行うとともに、Ｂバンクアドレス端子に入力されたアドレス（Ｂバンクアドレス）に対して、Ｂバンクデータ端子を介して、データ（Ｂバンクデータ）の読み書きを行うことができる。
【０１４２】
ここで、本実施の形態では、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡは、水平アドレスＨＡおよび垂直アドレスＶＡを４ライン分（第１段階の画像の４ライン分）遅延したものとなっている。従って、選択回路３２において、例えば、水平アドレスＨＡおよび垂直アドレスＶＡがＡバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＢバンクアドレスとして、それぞれ選択されている場合、第１階層メモリ２においては、水平アドレスＨＡおよび垂直アドレスＶＡに対応するＡバンクのメモリセルにアクセスがなされるが、このとき、同時に、その４ライン分の時間だけ前にアクセスされた、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡに対応するＢバンクのメモリセルにもアクセスがなされる。
【０１４３】

即ち、例えば、図７に示すように、第１階層メモリ２を、Ａバンクとしての記憶領域と、Ｂバンクとしての記憶領域とに分けて考えれば、Ａバンクのあるメモリセルにアクセスがなされているとき、同時に、そのメモリセルに対応するＢバンクのメモリセルにもアクセスがなされる。この同時にアクセスされるＡバンクおよびＢバンクの、対応するメモリセルが、本実施の形態では、４ラインに相当する分だけ離れている。ここで、このように同時にアクセスされるＡバンクおよびＢバンクのメモリセルを、４ラインに相当する分だけ離したのは、本実施の形態では、最上位階層である第３階層の１つの画素が、第１階層の４×４画素を単位として生成されるため、バンクは、少なくとも、そのような単位とするのが好ましいからである。従って、ここでは、４ラインごとに、交互に、ＡバンクとＢバンクとに分けたが、その他、例えば、４列ごとに分けることも可能であるし、バンク数も、ＡバンクおよびＢバンクの２つに限定されるものではない。さらに、横および縦方向の両方向に、即ち、いわば格子状に、バンクをきることも可能である。

【０１４４】

図６に戻り、第２階層メモリ３においても、第１階層メモリ２と同様に、そのアドレス空間がＡバンクとＢバンクの２つのバンクに分割されている。但し、本実施の形態では、第２階層の画像を構成する横または縦の画素数それぞれは、第１階層の画像の１／２であるから、第２階層メモリ３においては、第２階層の第４αラインおよび第４α＋１ラインの画素を記憶するための第２階層メモリ３の記憶領域がＡバンクと、第４α＋２ラインおよび第４α＋３ラインの画素を記憶するための第２階層メモリ３の記憶領域がＢバンクと、それぞれされている。

【０１４５】

第３階層メモリ４においても、第１階層メモリ２と同様に、そのアドレス空間がＡバンクとＢバンクの２つのバンクに分割されている。但し、本実施の形態では、第３階層の画像を構成する横または縦の画素数それぞれは、第１階層の画像の１／４であるから、第３階層メモリ４においては、第３階層の第２αラインの画素を記憶するための第３階層メモリ４の記憶領域がＡバンクと、第２α＋１ラインの画素を記憶するための第３階層メモリ４の記憶領域がＢバンクと、それぞれされている。

【０１４６】

第１階層メモリ２のＡバンクまたはＢバンクそれぞれから読み出されたデータ（ＡバンクデータまたはＢバンクデータ）が出力されるＡバンクデータ端子またはＢバンクデータ端子は、いずれも選択回路４１に接続されている。また、選択回路４１には、アドレス供給回路１から、垂直アドレスＶＡの下位３ビット目ｖａ２が、制御信号として供給されるようになされており、選択回路４１では、制御信号ｖａ２に対応して、Ａバンクデータ端子またはＢバンクデータ端子のうちの一方が読み出し部４４に接続され、他方が読み出し部４５に接続されるようになされている。

【０１４７】

即ち、選択回路４１は、ある時点において、例えば、ＡバンクデータまたはＢバンクデータ端子を、読み出し部４４または４５にそれぞれ接続している場合において、制御信号ｖａ２が変化すると、ＡバンクデータまたはＢバンクデータ端子を、読み出し部４５または４４にそれぞれ接続する。さらに、その後、制御信号ｖａ２が再度変化すると、選択回路４１は、ＡバンクデータまたはＢバンクデータ端子を、読み出し部４４または４５にそれぞれ再び接続する。従って、選択回路４１によれば、制御信号ｖａ２が変化するごとに、Ａバンクデータ端子が読み出し部４４または４５に交互に接続されるとともに、Ｂバンクデータ端子が読み出し部４５または４４に交互に接続される。

【０１４８】

第２階層メモリ３のＡバンクに書き込まれるデータが供給されるとともに、Ａバンクから読み出されたデータが出力されるＡバンクデータ端子、およびそのＢバンクに書き込まれるデータが供給されるとともに、Ｂバンクから読み出されたデータが出力されるＢバンクデータ端子は、いずれも選択回路４２に接続されている。また、選択回路４２にも、アドレス供給回路１から、垂直アドレスＶＡの下位３ビット目ｖａ２が、制御信号として供給

されるようになされており、選択回路４２では、制御信号ｖａ２に対応して、Ａバンクデータ端子またはＢバンクデータ端子のうちの一方が書き込み部４６および読み出し部４７に接続され、他方が書き込み部４８および読み出し部４９に接続されるようになされている。

【０１４９】

即ち、選択回路４２は、ある時点において、例えば、Ａバンクデータ端子を書き込み部４６および読み出し部４７に接続し、Ｂバンクデータ端子を書き込み部４８および読み出し部４９に接続している場合において、制御信号ｖａ２が変化すると、Ａバンクデータ端子を書き込み部４８および読み出し部４９に接続し、Ｂバンク端子を書き込み部４６および読み出し部４７に接続する。さらに、その後、制御信号ｖａ２が再度変化すると、選択回路４２は、Ａバンクデータ端子を書き込み部４６および読み出し部４７に再び接続するとともに、Ｂバンクデータ端子を書き込み部４８および読み出し部４９に再び接続する。従って、選択回路４２によれば、制御信号ｖａ２が変化するごとに、Ａバンクデータ端子が、書き込み部４６と読み出し部４７、または書き込み部４８と読み出し部４９に交互に接続されるとともに、Ｂバンクデータ端子が、書き込み部４８と読み出し部４９、または書き込み部４６と読み出し部４７に交互に接続される。

【０１５０】

第３階層メモリ４のＡバンクに書き込まれるデータが供給されるとともに、Ａバンクから読み出されたデータが出力されるＡバンクデータ端子、およびそのＢバンクに書き込まれるデータが供給されるとともに、Ｂバンクから読み出されたデータが出力されるＢバンクデータ端子は、いずれも選択回路４３に接続されている。また、選択回路４３にも、アドレス供給回路１から、垂直アドレスＶＡの下位３ビット目ｖａ２が、制御信号として供給されるようになされている。そして、選択回路４３においても、選択回路４２における場合と同様に、制御信号ｖａ２が変化するごとに、Ａバンクデータ端子が、書き込み部５０と読み出し部５１、または書き込み部５２と読み出し部５３に交互に接続されるとともに、Ｂバンクデータ端子が、書き込み部５２と読み出し部５３、または書き込み部５０と読み出し部５１に交互に接続されるようになされている。

【０１５１】

読み出し部４４または４５は、選択回路４１を介して、第１階層メモリ２からデータを読み出すようになされている。読み出し部４４が読み出したデータは、演算器５４および選択回路５８に供給されるとともに、スイッチ６１を介して演算器５６に供給されるようになされている。また、読み出し部４５が読み出したデータは、演算器５５および５７に供給されるようになされている。書き込み部４６は、演算器５４の出力を、選択回路４２を介して、第２階層メモリ３に書き込むようになされている。読み出し部４７は、選択回路４２を介して、第２階層メモリ３からデータを読み出し、演算器５４および選択回路５８に供給するようになされている。書き込み部４８は、演算器５５の出力を、選択回路４２を介して、第２階層メモリ３に書き込むようになされている。読み出し部４９は、選択回路４２を介して、第２階層メモリ３からデータを読み出し、演算器５５およびスイッチ６２に供給するようになされている。書き込み部５０は、演算器５６の出力を、選択回路４３を介して、第３階層メモリ４に書き込むようになされている。読み出し部５１は、選択回路４３を介して、第３階層メモリ４からデータを読み出し、演算器５６および選択回路５８に供給するようになされている。書き込み部５２は、演算器５７の出力を、選択回路４３を介して、第３階層メモリ４に書き込むようになされている。読み出し部５３は、選択回路４３を介して、第３階層メモリ４からデータを読み出し、演算器５７に供給するようになされている。

【０１５２】

演算器５４は、読み出し部４７の出力から、読み出し部４４の出力を減算して、その減算結果を、書き込み部４６に供給するようになされている。演算器５５は、読み出し部４５および４９の出力どうしを加算し、その加算結果を、書き込み部４８に供給するようになされている。演算器５６は、読み出し部５１の出力から、スイッチ６１を介して供給され

る信号を減算し、書き込み部５０に供給するようになされている。演算器５７は、読み出し部４５および５３の出力どうしを加算し、その加算結果を、書き込み部５２に供給するようになされている。なお、演算器５７は、スイッチ６２がオン状態になっており、これにより、読み出し部４９の出力が供給される場合は、その出力も加算の対象とするようになされている。

【０１５３】

選択回路５８は、ＡＮＤゲート５９および６０の出力に対応して、読み出し部４４，４７、または５１の出力のうちのいずれかを選択して出力するようになされている。ＡＮＤゲート５９には、アドレス供給回路１から、水平アドレスＨＡの最下位ビットｈａ０と、垂直アドレスＶＡの最下位ビットｖａ０が、制御信号として供給されるようになされており、ＡＮＤゲート５９は、その論理積を演算して、選択回路５８に供給するようになされている。ＡＮＤゲート６０には、アドレス供給回路１から、水平アドレスＨＡの下位２ビット目ｈａ１と、垂直アドレスＶＡの下位２ビット目ｖａ１が、制御信号として供給されるようになされており、ＡＮＤゲート６０は、その論理積を演算して、選択回路５８に供給するようになされている。

【０１５４】

スイッチ６１は、ＡＮＤゲート５９の出力に対応して、端子６１ａまたは６１ｂのうちのいずれか一方を選択するようになされている。なお、端子６１ａまたは６１ｂには、読み出し部４４または４７の出力がそれぞれ供給されるようになされている。スイッチ６２は、ＮＯＲゲート６３の出力に対応してオン／オフし、読み出し部４９の出力を、演算器５７に供給するようになされている。ＮＯＲゲート６３には、ＡＮＤゲート５９と同様に、最下位ビットｈａ０とｖａ０が供給されるようになされており、その出力によって、スイッチ６２のオン／オフが制御されるようになされている。

【０１５５】

ここでは、以上の選択回路４１乃至４３、読み出し部４４，４５、書き込み部４６、読み出し部４７、書き込み部４８、読み出し部４９、書き込み部５０、読み出し部５１、書き込み部５２、読み出し部５３、演算器５４乃至５７、選択回路５８、ＡＮＤゲート５９，６０、スイッチ６１，６２、およびＮＯＲゲート６３で、ＲＭＷ回路５が構成されている。

【０１５６】

なお、図６（後述する図８においても同様）においては、クロック、Ｒ／Ｗ信号、および階層フラグの図示は省略してある。

【０１５７】

次に、その動作について説明する。

【０１５８】

いま、選択回路３２において、例えば、アドレス供給回路１に供給された水平アドレスＨＡおよび垂直アドレスＶＡがＡバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＢバンクアドレスとして、それぞれ選択されているとする。

【０１５９】

この場合、選択回路３３および３４においても、同様にして、ＡバンクアドレスおよびＢバンクアドレスが選択される。即ち、選択回路３３では、水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ａバンクアドレスとして、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ｂバンクアドレスとして、それぞれ選択される。また、選択回路３４では、水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ａバンクアドレスとして、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ｂバンクアドレスとして、それぞれ選択される。

【０１６０】

選択回路３２乃至３４において選択されたＡバンクアドレスとＢバンクアドレスは、第１

階層メモリ２、第２階層メモリ３、または第３階層メモリ４それぞれのＡバンクアドレス端子とＢバンクアドレス端子に供給される。

【０１６１】

さらに、この場合、選択回路４１においては、第１階層メモリ２のＡバンクデータ端子が読み出し部４４に接続されるとともに、そのＢバンクデータ端子が読み出し部４５に接続される。また、選択回路４２では、第２階層メモリ３のＡバンクデータ端子が、書き込み部４６および読み出し部４７に接続されるとともに、そのＢバンクデータ端子が、書き込み部４８および読み出し部４９に接続される。さらに、選択回路４３では、第３階層メモリ４のＡバンクデータ端子が、書き込み部５０および読み出し部５１に接続されるとともに、そのＢバンクデータ端子が、書き込み部５２および読み出し部５３に接続される。

【０１６２】

読み出し部４４は、第１階層メモリ２から、選択回路３２が出力するＡバンクアドレスに記憶されている第１階層の画素（画素値）を、選択回路４１を介して読み出し、演算器５４、選択回路５８、およびスイッチ６１の端子６１ａに供給する。

【０１６３】

選択回路５８は、ＡＮＤゲート５９の出力が１でないとき（０のとき）、読み出し部４４の出力を、第１階層の画素として選択して出力する。即ち、ＡＮＤゲート５９の出力が１でないときというのは、ｈａ０またはｖａ０のうちの少なくとも一方が０であるときであり、図２にＤ１で示すような第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）を除く画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１）の中のいずれかが読み出されるタイミングである。ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１）は、いずれも、第１階層メモリ２に記憶されているから、その第１階層メモリ２から読み出された値が、そのまま、選択部５８で選択されて出力される。

【０１６４】

一方、読み出し部４７は、第２階層メモリ３から、選択回路３３が出力するＡバンクアドレスに記憶されている第２階層の画素（画素値）を、選択回路４２を介して読み出し、演算器５４、選択回路５８、およびスイッチ６１の端子６１ｂに供給する。

【０１６５】

ここで、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）にアクセスがなされるタイミングにおいては、即ち、第１階層メモリ２のＡバンクアドレス（２ｓ，２ｔ），（２ｓ＋１，２ｔ），（２ｓ，２ｔ＋１），（２ｓ＋１，２ｔ＋１）にアクセスがなされる場合においては、上述したことから、いずれの場合においても、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）にアクセスがなされる。

【０１６６】

従って、読み出し部４４が、第１階層メモリ２から、第１階層の画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１）を読み出し、演算器５４に供給するとき、読み出し部４７においては、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）からデータが読み出され、演算器５４に供給される。

【０１６７】

演算器５４では、読み出し部４７の出力から読み出し部４４の出力が減算され、書き込み部４６に供給される。書き込み部４６は、演算器５４の出力を、選択回路４２を介して、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に書き込む。

【０１６８】

従って、最初は、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）には、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）の加算値である第２階層の画素ｍ（ｓ，ｔ）が記憶されているが、読み出し部４４が、第１階層の画素ｈ（２ｓ，２ｔ）を読み出すとともに、読み出し部４７が

、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に記憶されているデータ（ここでは、ｍ（ｓ，ｔ））を読み出すことで、演算器５４において、それらの減算値（ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ））が求められ、書き込み部４６において、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に書き込まれる。

【０１６９】

さらに、読み出し部４４が、第１階層の画素ｈ（２ｓ＋１，２ｔ）を読み出すとともに、読み出し部４７が、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に記憶されているデータ（ここでは、ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ））を読み出すことで、演算器５４において、それらの減算値（ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ）－ｈ（２ｓ＋１，２ｔ））が求められ、書き込み部４６において、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に書き込まれる。

【０１７０】

その後、読み出し部４４が、第１階層の画素ｈ（２ｓ，２ｔ＋１）を読み出すとともに、読み出し部４７が、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に記憶されているデータ（ここでは、ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ）－ｈ（２ｓ＋１，２ｔ））を読み出すことで、演算器５４において、それらの減算値（ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ）－ｈ（２ｓ＋１，２ｔ）－ｈ（２ｓ，２ｔ＋１））が求められ、書き込み部４６において、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）に書き込まれる。即ち、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）には、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）（＝ｍ（ｓ，ｔ）－ｈ（２ｓ，２ｔ）－ｈ（２ｓ＋１，２ｔ）－ｈ（２ｓ，２ｔ＋１））が書き込まれる。

【０１７１】

従って、第１階層メモリ２のＡバンクアドレス（２ｓ＋１，２ｔ＋１）（ここでは、このアドレスに対応するメモリセルはなく、従って、このアドレスにアクセスがなされても、例えば、何も書き込まれず、何も読み出されない）にアクセスがなされるタイミングにおいては、読み出し部４７が、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）から読み出すデータは、図２にＤ１で示すような第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素（画素値）ｈ（２ｓ＋１，２ｔ＋１）（但し、ｈ（４ｍ＋３，４ｎ＋３）を除く）になっている。

【０１７２】

一方、選択回路５８は、ＡＮＤゲート５９または６０の出力のうちの、ＡＮＤゲート５９の出力のみが１のとき（従って、ＡＮＤゲート６０の出力は０）、読み出し部４７の出力を、第１階層の画素として選択して出力する。即ち、ＡＮＤゲート５９の出力のみが１のときというのは、ｈａ０およびｖａ０の両方が１で、ｈａ１またはｖａ１のうちのいずれか一方、または両方が０であるときであり、図２にＤ１で示すような第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）（但し、ｈ（４ｍ＋３，４ｎ＋３）を除く）が読み出されるタイミングである。この画素ｈ（２ｓ＋１，２ｔ＋１）は、上述したように、第２階層メモリ３のＡバンクアドレス（ｓ，ｔ）から、読み出し部４７によって読み出されるから、読み出し部４７の出力が、選択部５８で選択されて出力される。

【０１７３】

一方、読み出し部５１は、第３階層メモリ４から、選択回路３４が出力するＡバンクアドレスに記憶されている第３階層の画素（画素値）を、選択回路４３を介して読み出し、演算器５６および選択回路５８に供給する。

【０１７４】

ここで、図２にＤ２で示すような第１階層の４×４の１６画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），

ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）にアクセスがなされるタイミングでは、上述したことから、いずれの場合においても、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）にアクセスがなされる。

【０１７５】

従って、読み出し部４４が、第１階層メモリ２から、第１階層の２×２画素のうちの右下の画素ｈ（２ｓ＋１，２ｔ＋１）を除く第１階層の画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３）を読み出し、端子６１ａに供給するとき、読み出し部５１においては、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）からデータが読み出され、演算器５６に供給される。

【０１７６】

スイッチ６１は、ＡＮＤゲート５９の出力が０のとき、端子６１ａを選択するようになされており、従って、読み出し部４４が出力する第１階層の画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３）は、スイッチ６１を介して演算器５６に供給される。

【０１７７】

また、読み出し部４７が、上述したようにして、第１階層の２×２画素の右下の画素ｈ（２ｓ＋１，２ｔ＋１）に相当する画素ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋３）を出力するとき、即ち、ＡＮＤゲート５９の出力が１のとき、スイッチ６１は、端子６１ｂを選択するようになされており、従って、読み出し部４７が出力する第１階層の画素ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋３）も、スイッチ６１を介して演算器５６に供給される。

【０１７８】

演算器５６では、読み出し部５１の出力からスイッチ６１の出力が減算され、書き込み部５０に供給される。書き込み部５０は、演算器５６の出力を、選択回路４３を介して、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込む。

【０１７９】

従って、最初は、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）には、第１階層の、上述の４×４の１６画素の加算値である第３階層の画素ｑ（ｍ，ｎ）が記憶されているが、読み出し部４４が、第１階層の画素ｈ（４ｍ，４ｎ）を読み出すとともに、読み出し部５１が、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ））を読み出すことで、演算器５６において、それらの減算値（ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ））が求められ、書き込み部５０において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０１８０】

さらに、読み出し部４４が、第１階層の画素ｈ（４ｍ＋１，４ｎ）を読み出すとともに、読み出し部５１が、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ））を読み出すことで、演算器５６において、それらの減算値（ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ）－ｈ（４ｍ＋１，４ｎ））が求められ、書き込み部５０において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０１８１】

以下、同様にして、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）の記憶値が書き換えられていく。

【０１８２】
そして、読み出し部４７において、第１階層の２×２画素のうちの右下の画素ｈ（２ｓ＋１，２ｔ＋１）に相当する第１階層の画素ｈ（４ｍ＋１，４ｎ＋１）が読み出されると、これは、上述したように、スイッチ６１を介して、演算器５６に供給される。このとき、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）には、式ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ）－ｈ（４ｍ＋１，４ｎ）－ｈ（４ｍ＋２，４ｎ）－ｈ（４ｍ＋３，４ｎ）－ｈ（４ｍ，４ｎ＋１）で表されるデータが記憶されており、読み出し部５１では、このデータが読み出され、演算器５６に供給される。

【０１８３】
演算器５６では、読み出し部５１の出力から読み出し部４７の出力が減算され、その減算値（ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ）－ｈ（４ｍ＋１，４ｎ）－ｈ（４ｍ＋２，４ｎ）－ｈ（４ｍ＋３，４ｎ）－ｈ（４ｍ，４ｎ＋１）－ｈ（４ｍ＋１，４ｎ＋１））が、書き込み部５０によって、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０１８４】
以下、同様にして、最終的には、即ち、読み出し部４４が、第１階層の画素ｈ（４ｍ＋２，４ｎ＋３）を読み出すとともに、読み出し部５１が、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ）－ｈ（４ｍ＋１，４ｎ）－ｈ（４ｍ＋２，４ｎ）－ｈ（４ｍ＋３，４ｎ）－ｈ（４ｍ，４ｎ＋１）－ｈ（４ｍ＋１，４ｎ＋１）－ｈ（４ｍ＋２，４ｎ＋１）－ｈ（４ｍ＋３，４ｎ＋１）－ｈ（４ｍ，４ｎ＋２）－ｈ（４ｍ＋１，４ｎ＋２）－ｈ（４ｍ＋２，４ｎ＋２）－ｈ（４ｍ＋３，４ｎ＋２）－ｈ（４ｍ，４ｎ＋３）－ｈ（４ｍ＋１，４ｎ＋３））を読み出すことで、演算器５６において、それらの減算値が求められ、書き込み部５０において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。即ち、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）には、第１階層の画素ｈ（４ｍ＋３，４ｎ＋３）（＝ｑ（ｍ，ｎ）－ｈ（４ｍ，４ｎ）－ｈ（４ｍ＋１，４ｎ）－ｈ（４ｍ＋２，４ｎ）－ｈ（４ｍ＋３，４ｎ）－ｈ（４ｍ，４ｎ＋１）－ｈ（４ｍ＋１，４ｎ＋１）－ｈ（４ｍ＋２，４ｎ＋１）－ｈ（４ｍ＋３，４ｎ＋１）－ｈ（４ｍ，４ｎ＋２）－ｈ（４ｍ＋１，４ｎ＋２）－ｈ（４ｍ＋２，４ｎ＋２）－ｈ（４ｍ＋３，４ｎ＋２）－ｈ（４ｍ，４ｎ＋３）－ｈ（４ｍ＋１，４ｎ＋３）－ｈ（４ｍ＋２，４ｎ＋３））が書き込まれる。

【０１８５】
従って、第１階層メモリ２のＡバンクアドレス（４ｍ＋３，４ｎ＋３）（ここでは、このアドレスに対応するメモリセルはなく、従って、このアドレスにアクセスがなされても、例えば、何も書き込まれず、何も読み出されない）にアクセスがなされるタイミングにおいては、読み出し部５１が、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から読み出すデータは、図２にＤ２で示すような第１階層の４×４の１６画素のうちの、右下の画素（画素値）ｈ（４ｍ＋３，４ｎ＋３）になっている。

【０１８６】
一方、選択回路５８は、ＡＮＤゲート５９および６０の両方の出力が１のとき、読み出し部５１の出力を、第１階層の画素として選択して出力する。即ち、ＡＮＤゲート５９および５０の両方の出力が１のときというのは、ｈａ０，ｖａ０，ｈａ１，ｖａ１のすべてが１であるときであり、図２にＤ２で示すような第１階層の４×４の１６画素のうちの、右下の画素ｈ（４ｍ＋３，４ｎ＋３）が読み出されるタイミングである。この画素ｈ（４ｍ＋３，４ｎ＋３）は、上述したように、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から、読み出し部５１によって読み出されるから、読み出し部５１の出力が、選択部５８で選択されて出力される。

【０１８７】
ところで、以上のようにして、第１階層の画素が読み出されていくと、第２階層メモリ３には、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）（但し、ｈ（４ｍ＋３，４ｎ＋３）を除く）が記憶されるようになり、また、第３階層メモリ４には、第１階層の画素ｈ（４ｍ＋３，４ｎ＋３）が記憶されるようになる。

【０１８８】
即ち、第２階層メモリ３または第３階層メモリ４の記憶値は、第２または第３階層の画素それぞれから、第１階層の画素に書き換えられる。
【０１８９】
従って、このように書き換えられた第２階層メモリ３または第３階層メモリ４の記憶値を、それぞれ、元の第２または第３階層の画素に戻す必要がある（但し、必要がなければ、戻さなくてもよい）。
【０１９０】
そこで、上述したように、第１階層メモリ２は、第８αライン乃至第８α＋３ラインの画素を記憶するためのＡバンクと、第８α＋４ライン乃至第８α＋７ラインの画素を記憶するためのＢバンクとに分離されている。さらに、第２階層メモリ３は、第２階層の第４αラインおよび第４α＋１ラインの画素を記憶するためのＡバンクと、第２階層の第４α＋２ラインおよび第４α＋３ラインの画素を記憶するためのＢバンクとに分離されており、また、第３階層メモリ４は、第３階層の第２αラインの画素を記憶するためのＡバンクと、第２α＋１ラインの画素を記憶するためのＢバンクとに分離されている。
【０１９１】
そして、本実施の形態では、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡは、水平アドレスＨＡおよび垂直アドレスＶＡを４ライン分遅延したものとなっており、上述したように、水平アドレスＨＡおよび垂直アドレスＶＡがＡバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＢバンクアドレスとして、それぞれ選択されている場合には、第１階層メモリ２においては、水平アドレスＨＡおよび垂直アドレスＶＡに対応するＡバンクのメモリセルにアクセスがなされるが、このとき、同時に、その４ライン分だけ前にアクセスされた、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡに対応するＢバンクのメモリセル（Ａバンクのメモリセルの位置に対応するＢバンクのメモリセル）にもアクセスがなされる。
【０１９２】
同様に、第２階層メモリ３においては、Ａバンクのメモリセルにアクセスがなされるとともに、２ライン分だけ前にアクセスされたＢバンクのメモリセルにアクセスがなされる。さらに、第３階層メモリ４においては、Ａバンクのメモリセルにアクセスがなされるとともに、１ライン分だけ前にアクセスされたＢバンクのメモリセルにアクセスがなされる。
【０１９３】
従って、読み出し部４４が、第１階層メモリ２のＡバンクから、第１階層の画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１）を読み出すとき、読み出し部４５においては、選択回路４１を介して、第１階層メモリ２のＢバンクから、４ライン前にアクセスされた第１階層の画素ｈ（２ｓ，２ｔ’），ｈ（２ｓ＋１，２ｔ’），ｈ（２ｓ，２ｔ’＋１）がそれぞれ読み出され、演算器５５に供給される。ここで、ｔ’＝ｔ－２である。
【０１９４】
また、読み出し部４５が、第１階層メモリ２のＢバンクから、第１階層の画素ｈ（２ｓ，２ｔ’），ｈ（２ｓ＋１，２ｔ’），ｈ（２ｓ，２ｔ’＋１）を読み出すとき、読み出し部４９においては、いずれのときも、選択回路４２を介して、第２階層メモリ３のＢバンクにおけるアドレス（所定のアドレス）（ｓ，ｔ’）から、データが読み出され、演算器５５に供給される。
【０１９５】
演算器５５では、読み出し部４５の出力と読み出し部４９の出力とが加算され、その加算値は、書き込み部４８に供給される。書き込み部４８は、演算器５５の出力を、選択回路４２を介して、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に書き込む。
【０１９６】
従って、最初は、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）には、第２階層について２ライン分（第１階層については４ライン分）だけ前にアクセスされることによって

求められた第１階層の画素ｈ（２ｓ＋１，２ｔ’＋１）が記憶されているが、読み出し部４５が、第１階層メモリ２のＢバンクから、第１階層の画素ｈ（２ｓ，２ｔ’）を読み出すとともに、読み出し部４９が、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に記憶されているデータ（ここでは、ｈ（２ｓ＋１，２ｔ’＋１））を読み出すことで、演算器５５において、それらの加算値（ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ’＋１））が求められ、書き込み部４８において、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に書き込まれる。

【０１９７】

さらに、読み出し部４５が、第１階層メモリ２のＢバンクから、第１階層の画素ｈ（２ｓ＋１，２ｔ’）を読み出すとともに、読み出し部４９が、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に記憶されているデータ（ここでは、ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ’＋１））を読み出すことで、演算器５５において、それらの加算値（ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ＋１，２ｔ’＋１））が求められ、書き込み部４８において、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に書き込まれる。

【０１９８】

その後、読み出し部４５が、第１階層メモリ２のＢバンクから、第１階層の画素ｈ（２ｓ，２ｔ’＋１）を読み出すとともに、読み出し部４９が、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に記憶されているデータ（ここでは、ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ＋１，２ｔ’＋１））を読み出すことで、演算器５５において、それらの加算値（ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ’＋１）＋ｈ（２ｓ＋１，２ｔ’＋１））が求められ、書き込み部４８において、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）に書き込まれる。即ち、第２階層メモリ３のＢバンクアドレス（ｓ，ｔ’）には、元の第２階層の画素ｍ（ｓ，ｔ’）（＝ｈ（２ｓ，２ｔ’）＋ｈ（２ｓ＋１，２ｔ）＋ｈ（２ｓ，２ｔ’＋１）＋ｈ（２ｓ＋１，２ｔ’＋１））が書き込まれる。

【０１９９】

また、読み出し部４４が、第１階層メモリ２のＡバンクから、第１階層の２×２画素のうちの右下の画素ｈ（２ｓ＋１，２ｔ＋１）を除く第１階層の画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３）を読み出すとき、読み出し部４５においては、第１階層メモリ２のＢバンクから、選択回路４１を介して、４ライン前の第１階層の画素ｈ（４ｍ，４ｎ’），ｈ（４ｍ＋１，４ｎ’），ｈ（４ｍ＋２，４ｎ’），ｈ（４ｍ＋３，４ｎ’），ｈ（４ｍ，４ｎ’＋１），ｈ（４ｍ＋２，４ｎ’＋１），ｈ（４ｍ，４ｎ’＋２），ｈ（４ｍ＋１，４ｎ’＋２），ｈ（４ｍ＋２，４ｎ’＋２），ｈ（４ｍ＋３，４ｎ’＋２），ｈ（４ｍ，４ｎ’＋３），ｈ（４ｍ＋２，４ｎ’＋３）がそれぞれ読み出され、演算器５７に供給される。但し、ｎ’＝ｎ－１である。

【０２００】

さらに、この場合、読み出し部５３においては、選択回路４３を介して、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）からデータが読み出され、演算器５７に供給される。

【０２０１】

演算器５７には、さらに、スイッチ６２を介して、読み出し部４９の出力も供給されるようになされている。スイッチ６２は、ＮＯＲゲート６３の出力がＨレベルの場合（ｈａ０＝ｖａ０＝０の場合）のみオンし、他の場合はオフするようになされている。従って、スイッチ６２は、読み出し部４９が、第２階層メモリ３のＢバンクから、第１階層の画素ｈ（４ｍ＋１，４ｎ’＋１），ｈ（４ｍ＋３，４ｎ’＋１），ｈ（４ｍ＋１，４ｎ’＋３）を読み出すときのみオンし、その結果、その第１階層の画素ｈ（４ｍ＋１，４ｎ’＋１），ｈ（４ｍ＋３，４ｎ’＋１），ｈ（４ｍ＋１，４ｎ’＋３）は、スイッチ６２を介して

演算器５７に供給される。
【０２０２】
演算器５７では、読み出し部４５の出力と読み出し部５３の出力とが加算され、さらに、スイッチ６２がオンしており、読み出し部４９の出力が供給される場合には、その出力も加算され、その加算値は、書き込み部５２に供給される。書き込み部５２は、演算器５７の出力を、選択回路４３を介して、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込む。
【０２０３】
従って、最初は、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ’）には、第３階層について１ライン分（第１階層については４ライン分）だけ前にアクセスされることによって求められた第１階層の画素ｈ（４ｍ＋３，４ｎ’＋３）が記憶されているが、読み出し部４５または４９が、第１階層の画素ｈ（４ｍ，４ｎ’）またはｈ（４ｍ＋１，４ｎ’＋１）をそれぞれ読み出すとともに、読み出し部５３が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、ｈ（４ｍ＋３，４ｎ’＋３））を読み出すことで、演算器５７において、それらの加算値（ｈ（４ｍ，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’＋１）＋ｈ（４ｍ＋３，４ｎ’＋３））が求められ、書き込み部５２において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。
【０２０４】
さらに、読み出し部４５が、第１階層の画素ｈ（４ｍ＋１，４ｎ’）を読み出すとともに、読み出し部５３が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、ｈ（４ｍ，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’＋１）＋ｈ（４ｍ＋３，４ｎ’＋３））を読み出すことで、演算器５７において、それらの加算値（ｈ（４ｍ，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’＋１）＋ｈ（４ｍ＋３，４ｎ’＋３））が求められ、書き込み部５２において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。
【０２０５】
以下、同様にして、最終的には、即ち、読み出し部４５が、第１階層の画素ｈ（４ｍ＋２，４ｎ’＋３）を読み出すとともに、読み出し部５３が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、ｈ（４ｍ，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’）＋ｈ（４ｍ＋２，４ｎ’）＋ｈ（４ｍ＋３，４ｎ’）＋ｈ（４ｍ，４ｎ’＋１）＋ｈ（４ｍ＋１，４ｎ’＋１）＋ｈ（４ｍ＋２，４ｎ’＋１）＋ｈ（４ｍ＋３，４ｎ’＋１）＋ｈ（４ｍ，４ｎ’＋２）＋ｈ（４ｍ＋１，４ｎ’＋２）＋ｈ（４ｍ＋２，４ｎ’＋２）＋ｈ（４ｍ＋３，４ｎ’＋２）＋ｈ（４ｍ，４ｎ’＋３）＋ｈ（４ｍ＋１，４ｎ’＋３）＋ｈ（４ｍ＋３，４ｎ’＋３））を読み出すことで、演算器５７において、それらの加算値が求められ、書き込み部５２において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。即ち、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）には、元の第３階層の画素ｑ（ｍ，ｎ’）（＝ｈ（４ｍ，４ｎ’）＋ｈ（４ｍ＋１，４ｎ’）＋ｈ（４ｍ＋２，４ｎ’）＋ｈ（４ｍ＋３，４ｎ’）＋ｈ（４ｍ，４ｎ’＋１）＋ｈ（４ｍ＋１，４ｎ’＋１）＋ｈ（４ｍ＋２，４ｎ’＋１）＋ｈ（４ｍ＋３，４ｎ’＋１）＋ｈ（４ｍ，４ｎ’＋２）＋ｈ（４ｍ＋１，４ｎ’＋２）＋ｈ（４ｍ＋２，４ｎ’＋２）＋ｈ（４ｍ＋３，４ｎ’＋２）＋ｈ（４ｍ，４ｎ’＋３）＋ｈ（４ｍ＋１，４ｎ’＋３）＋ｈ（４ｍ＋２，４ｎ’＋３）＋ｈ（４ｍ＋３，４ｎ’＋３））が書き込まれる。
【０２０６】
その後、垂直アドレスＶＡの下位３ビット目ｖａ２が変化すると、選択回路３２において、アドレス供給回路１に供給された水平アドレスＨＡおよび垂直アドレスＶＡがＢバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＡバンクアドレスとして、それぞれ選択される。
【０２０７】
この場合、選択回路３３および３４においても、同様にして、ＡバンクアドレスおよびＢバンクアドレスが選択される。即ち、選択回路３３では、水平アドレスＨＡの上位８ビッ

トｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ｂバンクアドレスとして、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ａバンクアドレスとして、それぞれ選択される。また、選択回路３４では、水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ｂバンクアドレスとして、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ａバンクアドレスとして、それぞれ選択される。

【０２０８】

選択回路３２乃至３４において選択されたＡバンクアドレスとＢバンクアドレスは、第１階層メモリ２、第２階層メモリ３、または第３階層メモリ４のそれぞれＡバンクアドレス端子とＢバンクアドレス端子に供給される。

【０２０９】

さらに、選択回路４１においては、第１階層メモリ２のＢバンクデータ端子が読み出し部４４に接続されるとともに、そのＡバンクデータ端子が読み出し部４５に接続される。また、選択回路４２では、第２階層メモリ３のＢバンクデータ端子が、書き込み部４６および読み出し部４７に接続されるとともに、そのＡバンクデータ端子が、書き込み部４８および読み出し部４９に接続される。さらに、選択回路４３では、第３階層メモリ４のＢバンクデータ端子が、書き込み部５０および読み出し部５１に接続されるとともに、そのＡバンクデータ端子が、書き込み部５２および読み出し部５３に接続される。

【０２１０】

そして、上述の処理におけるＡバンクまたはＢバンクを、ＢバンクまたはＡバンクとそれぞれ読み替えた処理が行われる。

【０２１１】

以下、同様の処理が行われ、第１階層の画素が選択回路５８から出力されていくとともに、それに伴い書き換えられる第２階層メモリ３および第３階層メモリ４の記憶内容が、元の値に、再度書き換えられる。

【０２１２】

次に、図８は、第１階層メモリ２および第２階層メモリ３を、上述のように、少ない記憶容量のものとした場合における、第２階層の画像を読み出すときの、図１の記憶装置の構成例を示している。なお、図８においては、第１階層メモリ２に関する部分の図示は省略してある。

【０２１３】

この場合、アドレス供給回路１は、遅延回路７１、並びに選択回路７３および７４で構成される。遅延回路３１、選択回路７３，７４は、図６における遅延回路３１、選択回路３３，３４とそれぞれ同様に構成されている。

【０２１４】

また、第２階層メモリ３および第３階層メモリ４も、図６における場合と同様に構成されている。

【０２１５】

さらに、ＲＭＷ回路５は、選択回路８１，８２、読み出し部８４，８５、書き込み部８６、読み出し部８７、書き込み部８８、読み出し部８９、スイッチ９１，９２、演算器９４，９５、選択回路９８，ＡＮＤゲート９９，１００で構成されている。

【０２１６】

第２階層メモリ３のＡバンクまたはＢバンクそれぞれから読み出されたデータ（ＡバンクデータまたはＢバンクデータ）が出力されるＡバンクデータ端子またはＢバンクデータ端子は、いずれも選択回路８１に接続されている。また、選択回路８１には、アドレス供給回路１から、垂直アドレスＶＡの下位３ビット目ｖａ２が、制御信号として供給されるようになされており、選択回路８１では、制御信号ｖａ２に対応して、Ａバンクデータ端子またはＢバンクデータ端子のうちの一方が読み出し部８４に接続され、他方が読み出し部８５に接続されるようになされている。

【０２１７】
即ち、選択回路８１は、ある時点において、例えば、Ａバンクデータ端子またはＢバンクデータ端子を、読み出し部８４または８５にそれぞれ接続している場合において、制御信号ｖａ２が変化すると、Ａバンクデータ端子またはＢバンクデータ端子を、読み出し部８５または８４にそれぞれ接続する。さらに、その後、制御信号ｖａ２が再度変化すると、選択回路８１は、Ａバンクデータ端子またはＢバンクデータ端子を、読み出し部８４または８５にそれぞれ再び接続する。従って、選択回路８１によれば、制御信号ｖａ２が変化するごとに、Ａバンクデータ端子が読み出し部８４または８５に交互に接続されるとともに、Ｂバンクデータ端子が読み出し部８５または８４に交互に接続される。
【０２１８】
第３階層メモリ４のＡバンクに書き込まれるデータが供給されるとともに、Ａバンクから読み出されたデータが出力されるＡバンクデータ端子、およびそのＢバンクに書き込まれるデータが供給されるとともに、Ｂバンクから読み出されたデータが出力されるＢバンクデータ端子は、いずれも選択回路８２に接続されている。また、選択回路８２にも、アドレス供給回路１から、垂直アドレスＶＡの下位３ビット目ｖａ２が、制御信号として供給されるようになされており、選択回路８２では、制御信号ｖａ２に対応して、Ａバンクデータ端子またはＢバンクデータ端子のうちの一方が書き込み部８６および読み出し部８７に接続され、他方が書き込み部８８および読み出し部８９に接続されるようになされている。
【０２１９】
即ち、選択回路８２は、ある時点において、例えば、Ａバンクデータ端子を書き込み部８６および読み出し部８７に接続し、Ｂバンクデータ端子を書き込み部８８および読み出し部８９に接続している場合において、制御信号ｖａ２が変化すると、Ａバンクデータ端子を、書き込み部８８および読み出し部８９に接続し、Ｂバンク端子を、書き込み部８６および読み出し部８７に接続する。さらに、その後、制御信号ｖａ２が再度変化すると、選択回路８２は、Ａバンクデータ端子を書き込み部８６および読み出し部８７に再び接続するとともに、Ｂバンクデータ端子を書き込み部８８および読み出し部８９に再び接続する。従って、選択回路８２によれば、制御信号ｖａ２が変化するごとに、Ａバンクデータ端子が、書き込み部８６と読み出し部８７、または書き込み部８８と読み出し部８９に交互に接続されるとともに、Ｂバンクデータ端子が、書き込み部８８と読み出し部８９、または書き込み部８６と読み出し部８７に交互に接続される。
【０２２０】
読み出し部８４または８５は、選択回路８１を介して、第２階層メモリ３からデータを読み出すようになされている。読み出し部８４が読み出したデータは、スイッチ９１の端子９１ｂおよび選択回路９８に供給されるようになされている。また、読み出し部８５が読み出したデータは、スイッチ９２の端子９２ｂに供給されるようになされている。書き込み部８６は、演算器９４の出力を、選択回路８２を介して、第３階層メモリ４に書き込むようになされている。読み出し部８７は、選択回路８２を介して、第３階層メモリ４からデータを読み出し、演算器９４および選択回路９８に供給するようになされている。書き込み部８８は、演算器９５の出力を、選択回路８２を介して、第３階層メモリ４に書き込むようになされている。読み出し部８９は、選択回路８２を介して、第３階層メモリ４からデータを読み出し、演算器９５に供給するようになされている。
【０２２１】
スイッチ９１は、ＡＮＤゲート９９の出力に対応して、端子９１ａまたは９１ｂのうちのいずれか一方を選択するようになされており、その出力は、演算器９４に供給されるようになされている。なお、端子９１ｂには、０が供給されるようになされている。スイッチ９２も、ＡＮＤゲート９９の出力に対応して、端子９２ａまたは９２ｂのうちのいずれか一方を選択するようになされており、その出力は、演算器９５に供給されるようになされている。なお、端子９２ｂには、０が供給されるようになされている。
【０２２２】

演算器９４は、読み出し部８７の出力から、スイッチ９１の出力を減算して、その減算結果を、書き込み部８６に供給するようになされている。演算器９５は、読み出し部８９の出力とスイッチ９２の出力とを加算し、その加算結果を、書き込み部８８に供給するようになされている。

【０２２３】

選択回路９８は、ＡＮＤゲート９９および１００の出力に対応して、読み出し部８４または８７の出力のうちのいずれかを選択して出力するようになされている。ＡＮＤゲート９９には、アドレス供給回路１から、水平アドレスＨＡの最下位ビットｈａ０と、垂直アドレスＶＡの最下位ビットｖａ０が、制御信号として供給されるようになされており、ＡＮＤゲート９９は、その論理積を演算して、選択回路９８、並びにスイッチ９１および９２に供給するようになされている。ＡＮＤゲート１００には、アドレス供給回路１から、水平アドレスＨＡの下位２ビット目ｈａ１と、垂直アドレスＶＡの下位２ビット目ｖａ１が、制御信号として供給されるようになされており、ＡＮＤゲート１００は、その論理積を演算して、選択回路９８に供給するようになされている。

【０２２４】

次に、その動作について説明する。

【０２２５】

いま、選択回路７３および７４において、例えば、アドレス供給回路１に供給された水平アドレスＨＡおよび垂直アドレスＶＡがＡバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＢバンクアドレスとして、それぞれ選択されているとする。

【０２２６】

即ち、選択回路７３では、水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ａバンクアドレスとして、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ｂバンクアドレスとして、それぞれ選択されているとする。また、選択回路７４では、水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ａバンクアドレスとして、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ｂバンクアドレスとして、それぞれ選択されているとする。

【０２２７】

選択回路７３または７４において選択されたＡバンクアドレスとＢバンクアドレスは、第２階層メモリ３または第３階層メモリ４それぞれのＡバンクアドレス端子とＢバンクアドレス端子に供給される。

【０２２８】

さらに、この場合、選択回路８１においては、第２階層メモリ３のＡバンクデータ端子が読み出し部８４に接続されるとともに、そのＢバンクデータ端子が読み出し部８５に接続される。また、選択回路８２では、第３階層メモリ４のＡバンクデータ端子が、書き込み部８６および読み出し部８７に接続されるとともに、そのＢバンクデータ端子が、書き込み部８８および読み出し部８９に接続される。

【０２２９】

読み出し部８４は、第２階層メモリ３から、選択回路７３が出力するＡバンクアドレスに記憶されている第２階層の画素（画素値）を、選択回路８１を介して読み出し、スイッチ９１の端子９１ｂおよび選択回路９８に供給する。

【０２３０】

選択回路９８は、ＡＮＤゲート９９および１００の出力のうちの、例えば、ＡＮＤゲート９９の出力のみが１のとき、読み出し部８４の出力を、第２階層の画素として選択して出力する。即ち、ＡＮＤゲート９９の出力のみが１のときというのは、ｈａ０およびｖａ０の両方が１で、ｈａ１またはｖａ１のうちのいずれか一方、または両方が０であるときであり、図２にＤ１で示すような第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋

１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）（但し、ｈ（４ｍ＋３，４ｎ＋３）を除く）が読み出されるタイミングである。

【０２３１】

一方、上述したことから、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）にアクセスがなされるタイミングでは、いずれにおいても、第２階層の画素ｍ（ｓ，ｔ）にアクセスがなされる。従って、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）にアクセスがなされるタイミングのいずれにおいても、第２階層メモリ３から読み出されるデータ、つまり、第２階層の画素ｍ（ｓ，ｔ）を出力することとすると、同一の画素が４回重複して出力されることになる。

【０２３２】

そこで、選択回路９８では、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）（但し、画素ｈ（４ｍ＋３，４ｎ＋３）を除く）が読み出されるタイミングにおいてのみ、読み出し部８４の出力、即ち、第２階層の画素ｍ（ｓ，ｔ）が選択されて出力される。

【０２３３】

なお、同様の理由から、スイッチ９１も、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）が読み出し部８４から出力されるタイミング（ＡＮＤゲート９９の出力が１になるタイミング）においてのみ、端子９１ｂを選択するようになされており、他の場合は、端子９１ａを選択している。即ち、これにより、演算器９４には、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）が読み出されるタイミングにおいてのみ、読み出し部８４が出力する第２階層の画素ｍ（ｓ，ｔ）が供給され、他の場合は０が供給される。

【０２３４】

一方、読み出し部８７は、第３階層メモリ４から、選択回路７４が出力するＡバンクアドレスに記憶されている第３階層の画素（画素値）を、選択回路８２を介して読み出し、演算器９４および選択回路９８に供給する。

【０２３５】

即ち、読み出し部８７では、第１階層メモリ２のアドレス（４ｍ，４ｎ），（４ｍ＋１，４ｎ），（４ｍ＋２，４ｎ），（４ｍ＋３，４ｎ），（４ｍ，４ｎ＋１），（４ｍ＋１，４ｎ＋１），（４ｍ＋２，４ｎ＋１），（４ｍ＋３，４ｎ＋１），（４ｍ，４ｎ＋２），（４ｍ＋１，４ｎ＋２），（４ｍ＋２，４ｎ＋２），（４ｍ＋３，４ｎ＋２），（４ｍ，４ｎ＋３），（４ｍ＋１，４ｎ＋３），（４ｍ＋２，４ｎ＋３），（４ｍ＋３，４ｎ＋３）にアクセスがなされるタイミングで、いずれも、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）からデータが読み出され、演算器９４に供給される。

【０２３６】

上述したことから、スイッチ９１は、第１階層メモリ２のアドレス（２ｓ＋１，２ｔ＋１）に相当する（４ｍ＋１，４ｎ＋１），（４ｍ＋３，４ｎ＋１），（４ｍ＋１，４ｎ＋３），（４ｍ＋３，４ｎ＋３）を除くアドレス（４ｍ，４ｎ），（４ｍ＋１，４ｎ），（４ｍ＋２，４ｎ），（４ｍ＋３，４ｎ），（４ｍ，４ｎ＋１），（４ｍ＋２，４ｎ＋１），（４ｍ，４ｎ＋２），（４ｍ＋１，４ｎ＋２），（４ｍ＋２，４ｎ＋２），（４ｍ＋３，４ｎ＋２），（４ｍ，４ｎ＋３），（４ｍ＋２，４ｎ＋３）にアクセスがなされるタイミングでは、端子９１ｂを選択している。従って、この場合においては、演算器９４では、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から読み出されたデータから、０が減算され、その減算値、即ち、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から読み出されたデータそのものが、書き込み部８６に供給される。書き込み部８６では、演算器９４からのデータが、選択回路８２を介して、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ

）に書き込まれる。従って、この場合、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）の記憶値は、直前のもののまま変化しない。

【０２３７】

一方、第１階層メモリ２のアドレス（４ｍ＋１，４ｎ＋１），（４ｍ＋３，４ｎ＋１），（４ｍ＋１，４ｎ＋３）にアクセスがなされるタイミングにおいては、スイッチ９１は、端子９１ｂを選択する。この場合、読み出し部８４では、第２階層メモリ３から、第２階層の画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１）が、それぞれ読み出され、スイッチ９１を介して、演算器９４に供給される。

【０２３８】

演算器９４では、読み出し部８７の出力から読み出し部８４の出力が減算され、書き込み部８６に供給される。書き込み部８６は、演算器９４の出力を、選択回路８２を介して、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込む。

【０２３９】

従って、最初は、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）には、第１階層の４×４の１６画素ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）の加算値、即ち、第２階層の２×２の４画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１），ｍ（２ｍ＋１，２ｎ＋１）の加算値である第３階層の画素ｑ（ｍ，ｎ）が記憶されているが、第１階層メモリ２のアドレス（４ｍ＋１，４ｎ＋１）にアクセスがなされるタイミングにおいては、演算器９４には、スイッチ９１を介して読み出し部８４から、第２階層の画素ｍ（２ｍ，２ｎ）が供給されるとともに、読み出し部８７から、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ））が供給される。

【０２４０】

演算器９４では、それらの減算値（ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ））が求められ、書き込み部８６において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０２４１】

さらに、第１階層メモリ２のアドレス（４ｍ＋３，４ｎ＋１）にアクセスがなされるタイミングにおいては、演算器９４には、スイッチ９１を介して読み出し部８４から、第２階層の画素ｍ（２ｍ＋１，２ｎ）が供給されるとともに、読み出し部８７から、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ））が供給される。

【０２４２】

演算器９４では、それらの減算値（ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ）－ｍ（２ｍ＋１，２ｎ））が求められ、書き込み部８６において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０２４３】

その後、第１階層メモリ２のアドレス（４ｍ＋１，４ｎ＋３）にアクセスがなされるタイミングとなると、演算器９４には、スイッチ９１を介して読み出し部８４から、第２階層の画素ｍ（２ｍ，２ｎ＋１）が供給されるとともに、読み出し部８７から、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に記憶されているデータ（ここでは、ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ）－ｍ（２ｍ＋１，２ｎ））が供給される。

【０２４４】

演算器９４では、それらの減算値（ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ）－ｍ（２ｍ＋１，２ｎ）－ｍ（２ｍ，２ｎ＋１））が求められ、書き込み部８６において、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）に書き込まれる。

【０２４５】

即ち、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）には、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）（＝ｑ（ｍ，ｎ）－ｍ（２ｍ，２ｎ）－ｍ（２ｍ＋１，２ｎ）－ｍ（２ｍ，２ｎ＋１））が書き込まれる。

【０２４６】

従って、第１階層メモリ２のＡバンクアドレス（４ｍ＋３，４ｎ＋３）（ここでは、このアドレスに対応するメモリセルはなく、従って、このアドレスにアクセスがなされても、例えば、何も書き込まれず、何も読み出されない）にアクセスがなされるタイミング（第２階層メモリ３のＡバンクアドレス（２ｍ＋１，２ｎ＋１）（ここでは、このアドレスに対応するメモリセルもない）にアクセスがなされるタイミング）においては、読み出し部８７が、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から読み出すデータは、図２にＤ２で示すような第１階層の４×４の１６画素のうちの、右下の２×２画素ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３）の加算値（第２階層の画素ｍ（２ｍ＋１，２ｎ＋１））になっている。

【０２４７】

一方、選択回路９８は、ＡＮＤゲート９９および１００の両方の出力が１のとき、読み出し部５１の出力を、第２階層の画素として選択して出力する。即ち、ＡＮＤゲート９９および５０の両方の出力が１のときというのは、ｈａ０，ｖａ０，ｈａ１，ｖａ１のすべてが１であるときであり、第１階層メモリ２のアドレス（４ｍ＋３，４ｎ＋３）にアクセスがなされるタイミングである。このタイミングでは、上述したように、第３階層メモリ４のＡバンクアドレス（ｍ，ｎ）から、読み出し部８７が読み出すデータは、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）になっており、このデータが、選択回路９８で選択されて出力される。

【０２４８】

ところで、以上のようにして、第２階層の画素が読み出されていくと、図６における場合と同様に、第３階層メモリ４には、第２階層の画素ｍ（２ｍ＋１，２ｎ＋１）が記憶されるようになる。

【０２４９】

即ち、第３階層メモリ４の記憶値は、第３階層の画素から、第２階層の画素に書き換えられる。

【０２５０】

従って、このように書き換えられた第３階層メモリ４の記憶値を、元の第３階層の画素に戻す必要がある。

【０２５１】

そこで、上述したように、例えば、水平アドレスＨＡおよび垂直アドレスＶＡがＡバンクアドレスとして、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡがＢバンクアドレスとして、それぞれ選択されている場合には、第１階層メモリ２においては、水平アドレスＨＡおよび垂直アドレスＶＡに対応するＡバンクのメモリセルにアクセスがなされるが、このとき、同時に、その４ライン分だけ前にアクセスされた、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡに対応するＢバンクのメモリセルにもアクセスがなされる。

【０２５２】

同様に、第２階層メモリ３においては、Ａバンクのメモリセルにアクセスがなされるとともに、２ライン分だけ前にアクセスされたＢバンクのメモリセルにアクセスがなされる。さらに、第３階層メモリ４においては、Ａバンクのメモリセルにアクセスがなされるとともに、１ライン分だけ前にアクセスされたＢバンクのメモリセルにアクセスがなされる。

【０２５３】

従って、読み出し部８４が、第２階層メモリ３のＡバンクから、第２階層の画素ｍ（２ｍ，２ｎ），ｍ（２ｍ＋１，２ｎ），ｍ（２ｍ，２ｎ＋１）を読み出すとき、読み出し部８５においては、選択回路８１を介して、第２階層メモリ３のＢバンクから、第２階層の画素ｍ（２ｍ，２ｎ’），ｍ（２ｍ＋１，２ｎ’），ｍ（２ｍ，２ｎ’＋１）がそれぞれ読み出され、スイッチ９２の端子ｂに供給される。ここで、ｎ’＝ｎ－１である。

【０２５４】
スイッチ９２は、スイッチ９１と同様に、第１階層の画素ｈ（２ｓ＋１，２ｔ＋１）が読み出し部８４から出力されるタイミング（ＡＮＤゲート９９の出力が１になるタイミング）においてのみ、端子９２ｂを選択するようになされており、他の場合は、端子９２ａを選択している。即ち、これにより、演算器９５には、第１階層の２×２の４画素ｈ（２ｓ，２ｔ），ｈ（２ｓ＋１，２ｔ），ｈ（２ｓ，２ｔ＋１），ｈ（２ｓ＋１，２ｔ＋１）のうちの、右下の画素ｈ（２ｓ＋１，２ｔ＋１）が読み出されるタイミングにおいてのみ、読み出し部８５が出力する第２階層の画素が供給され、他の場合は０が供給される。
【０２５５】
また、読み出し部８５が、第２階層メモリ３のＢバンクから、第２階層の画素ｍ（２ｍ，２ｎ’），ｍ（２ｍ＋１，２ｎ’），ｍ（２ｍ，２ｎ’＋１）を読み出すとき、読み出し部８９においては、いずれのときも、選択回路８２を介して、第３階層メモリ４のＢバンクにおけるアドレス（ｍ，ｎ’）から、データが読み出され、演算器９５に供給される。
【０２５６】
演算器９５では、読み出し部８５の出力と読み出し部８９の出力とが加算され、その加算値は、書き込み部８８に供給される。書き込み部８８は、演算器９５の出力を、選択回路８２を介して、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込む。
【０２５７】
従って、最初は、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）には、第２階層について２ライン分（第１階層については４ライン分）だけ前にアクセスされることによって求められた第２階層の画素ｍ（２ｍ＋１，２ｎ’＋１）が記憶されているが、読み出し部８５が、第２階層メモリ３のＢバンクから、第２階層の画素ｍ（２ｍ，２ｎ’）を読み出すとともに、読み出し部８９が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、第２階層の画素ｍ（２ｍ＋１，２ｎ’＋１））を読み出すことで、演算器９５において、それらの加算値（ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ’＋１））が求められ、書き込み部８８において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。
【０２５８】
さらに、読み出し部８５が、第２階層メモリ３のＢバンクから、第２階層の画素ｍ（２ｍ＋１，２ｎ’）を読み出すとともに、読み出し部８９が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ’＋１））を読み出すことで、演算器９５において、それらの加算値（ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ）＋ｍ（２ｍ＋１，２ｎ’＋１））が求められ、書き込み部８８において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。
【０２５９】
その後、読み出し部８５が、第２階層メモリ３のＢバンクから、第２階層の画素ｍ（２ｍ，２ｎ’＋１）を読み出すとともに、読み出し部８９が、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に記憶されているデータ（ここでは、ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ）＋ｍ（２ｍ＋１，２ｎ’＋１））を読み出すことで、演算器９５において、それらの加算値（ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ）＋ｍ（２ｍ，２ｎ’＋１）＋ｍ（２ｍ＋１，２ｎ’＋１））が求められ、書き込み部８８において、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）に書き込まれる。即ち、第３階層メモリ４のＢバンクアドレス（ｍ，ｎ’）には、元の第３階層の画素ｑ（ｍ，ｎ’）（＝ｍ（２ｍ，２ｎ’）＋ｍ（２ｍ＋１，２ｎ）＋ｍ（２ｍ，２ｎ’＋１）＋ｍ（２ｍ＋１，２ｎ’＋１）＝ｈ（４ｍ，４ｎ），ｈ（４ｍ＋１，４ｎ），ｈ（４ｍ＋２，４ｎ），ｈ（４ｍ＋３，４ｎ），ｈ（４ｍ，４ｎ＋１），ｈ（４ｍ＋１，４ｎ＋１），ｈ（４ｍ＋２，４ｎ＋１），ｈ（４ｍ＋３，４ｎ＋１），ｈ（４ｍ，４ｎ＋２），ｈ（４ｍ＋１，４ｎ＋２），ｈ（４ｍ＋２，４ｎ＋２），ｈ（４ｍ＋３，４ｎ＋２），ｈ（４ｍ，４ｎ＋３），ｈ（４ｍ＋１，４ｎ＋３），ｈ（４ｍ＋２，４ｎ＋３），ｈ（４ｍ＋３，４ｎ＋３））が書き込まれる。

【０２６０】
その後、垂直アドレスＶＡの下位３ビット目ｖａ２が変化すると、選択回路７３および７４において、ＡバンクアドレスおよびＢバンクアドレスの選択が変更される。即ち、選択回路７３では、水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ｂバンクアドレスとして、遅延水平アドレスＨＡの上位８ビットｈａ１乃至ｈａ８および遅延垂直アドレスＶＡの上位８ビットｖａ１乃至ｖａ８が、Ａバンクアドレスとして、それぞれ選択される。また、選択回路７４では、水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ｂバンクアドレスとして、遅延水平アドレスＨＡの上位７ビットｈａ２乃至ｈａ８および遅延垂直アドレスＶＡの上位７ビットｖａ２乃至ｖａ８が、Ａバンクアドレスとして、それぞれ選択される。

【０２６１】
選択回路７３または７４において選択されたＡバンクアドレスとＢバンクアドレスは、第２階層メモリ３または第３階層メモリ４のそれぞれＡバンクアドレス端子とＢバンクアドレス端子に供給される。

【０２６２】
さらに、選択回路８１においては、第２階層メモリ３のＢバンクデータ端子が読み出し部８４に接続されるとともに、そのＡバンクデータ端子が読み出し部８５に接続される。また、選択回路８２では、第３階層メモリ４のＢバンクデータ端子が、書き込み部８６および読み出し部８７に接続されるとともに、そのＡバンクデータ端子が、書き込み部８８および読み出し部８９に接続される。

【０２６３】
そして、上述の処理におけるＡバンクまたはＢバンクを、ＢバンクまたはＡバンクとそれぞれ読み替えた処理が行われる。

【０２６４】
以下、同様の処理が行われ、第２階層の画素が選択回路９８から出力されていくとともに、それに伴い書き換えられる第３階層メモリ４の記憶内容が、元の値に、再度書き換えられる。

【０２６５】
以上のように、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４のＡバンクおよびＢバンクの２つに分割し、その両方のバンクに、並列にアクセスするようにすることで、第２階層メモリ３や第３階層メモリ４の記憶値を、第１または第２階層の画素に書き換えるとともに、書き換えたデータを、元のデータに、再度書き換えることができる。

【０２６６】
即ち、例えば、水平アドレスＨＡおよび垂直アドレスＶＡによって指定される第１階層メモリ２のＡバンクアドレスに記憶されている第１階層の画素を読み出すとともに、水平アドレスＨＡおよび垂直アドレスＶＡの一部によって指定される第２階層メモリ３のＡバンクアドレスに記憶されている第２階層の画素（第１の処理データ）を読み出し、その第２階層の画素から第１階層の画素を減算することにより、最終的には、第１の画素（第２の処理データ）を算出し、第２階層の画素が記憶されていた第２階層メモリ３のアドレスに書き込むことができる。そして、それと同時に、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡによって指定される第１階層メモリ２のＢバンクアドレスに記憶されている第１階層の画素を読み出すとともに、遅延水平アドレスＨＡおよび遅延垂直アドレスＶＡの一部によって指定される第２階層メモリ３のＢバンクアドレスに記憶されている第１階層の画素（第２の処理データ）を読み出し、それらの第１階層の画素どうしを加算することにより、最終的には、元の第２階層の画素（第１の処理データ）を算出し、その第２階層の画素に、第１階層の画素に書き換えられた第２階層メモリ３のＢバンクアドレスの記憶値を、再度書き換えることができる。

【０２６７】

なお、本実施の形態では、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４を、ＡバンクとＢバンクとの２つのバンクに分割するようにしたが、バンクの切り方は、上述したように、これに限定されるものではない。

【０２６８】

また、本実施の形態では、ＡバンクまたはＢバンクから読み出したデータを用いて、加算や減算などを行うようにしたが、ＡバンクまたはＢバンクから読み出したデータを用いての処理は、加算や減算などに限定されるものではない。

【０２６９】

さらに、本実施の形態では、第２階層メモリ３や第３階層メモリ４に対しては、第１階層メモリ２に与える水平アドレスＨＡおよび垂直アドレスＶＡの一部を与えてアクセスするようにしたが、第２階層メモリ３や第３階層メモリ４には、第１階層メモリ２に与える水平アドレスＨＡおよび垂直アドレスＶＡとは別に、専用の（独立の）アドレスを与えてアクセスするようにすることも可能である。

【０２７０】

また、本実施の形態では、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４に対して、画像を構成する画素の水平または垂直方向の位置にそれぞれ対応する水平アドレスまたは垂直アドレスを与えてアクセスするようにしたが、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４には、その他、例えば、時間方向に対応するアドレスをさらに与えてアクセスするようにすることなども可能である。この場合、第２や第３階層の画素は、横および縦の空間方向に散らばる第１階層の画素の他、時間方向に散らばる第１階層の画素も加算して形成されることになる。

【０２７１】

さらに、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４は、それぞれ物理的に１つのメモリである必要はなく、それらのすべてを、１のメモリで構成することも可能である。この場合、１のメモリの記憶領域を、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４の３つそれぞれに割り当てるようにすれば良い。

【０２７２】

また、本実施の形態では、アドレス供給回路１、第１階層メモリ２、第２階層メモリ３、第３階層メモリ４、およびＲＭＷ回路５のすべてを、１チップ上に形成するようにしたが、これらは、必ずしも１チップ上に形成する必要はない。

【０２７３】

さらに、本実施の形態では、第１階層の画素のビット割当量を８ビットとし、第１階層メモリ２、第２階層メモリ３、または第３階層メモリ４のメモリセルのデータ長を、第１乃至第３階層の画素の桁落ちがないように、それぞれ８，１０、または１２ビットとしたが、第１階層メモリ２、第２階層メモリ３、および第３階層メモリ４のメモリセルのデータ長は、例えば、一律に８ビットなどとすることも可能である。但し、この場合、第２または第３階層の画素については、第１または第２階層の２×２画素の加算値の下位２ビットを切り捨てた値（この値は、加算値を４で除算したものに相当するから、平均値となる）をそれぞれ記憶させることになり、従って、桁落ちが生じるので、データの可逆性は失われることになる。

【０２７４】

即ち、例えば、上述したように、第１階層メモリ２および第２階層メモリ３の記憶容量を少なくし、第１および第２階層の画素の一部を記憶しないようにした場合において、桁落ちがないようにしたときには、記憶していない第１階層の画素や第２階層の画素（画素値）は、上述の式（１）や（２）によって正確に求めることができる。これに対して、第１および第２階層の画素の一部を記憶しないようにした場合において、桁落ちが生じるようにしたときには、記憶していない第１階層の画素や第２階層の画素については、正確な値は求めることができなくなる。

【０２７５】

また、本発明は、ノンインターレース走査される画像およびインターレース走査される画

像のいずれにも適用可能である。

【０２７６】

さらに、本実施の形態では、階層数を３としたが、階層数は２であっても良いし、あるいは、４以上であっても良い。

【０２７７】

また、本実施の形態では、下位階層の２×２の４画素の加算値を、その１つ上位の上位階層の画素（画素値）とするようにしたが、上位階層の画素の形成の仕方は、これに限定されるものではない。

【０２７８】

さらに、本実施の形態では、本発明をハードウェアによって実現することとしたが、本発明は、コンピュータに、上述の処理を行わせるようなプログラムを実行させることによっても実現可能である。

【０２７９】

また、本実施の形態では、画素（画素値）を、例えば、ＲＡＭ（Random Access Memory）などに代表されるメモリに記憶させるようにしたが、画素は、その他、例えば、磁気ディスクや、光磁気ディスク、磁気テープ、光カードなどの記録媒体に記憶（記録）させるようにすることも可能である。

【０２８０】

【発明の効果】

請求項１に記載の記憶装置によれば、少なくとも第１および第２のアドレス信号によってアドレス指定される第１の記憶手段において、その指定されたアドレスに、入力画像データが記憶される。また、少なくとも第１および第２のアドレス信号の一部によってアドレス指定される第２の記憶手段において、その指定されたアドレスに、制御手段が入力画像データを処理した第１の処理データが記憶される。従って、例えば、入力画像データの複数ラインに亘る画素の幾つかを加算した加算値を、ライン遅延を行う手段を別途設けることなく求めて記憶することが可能となる。

【０２８１】

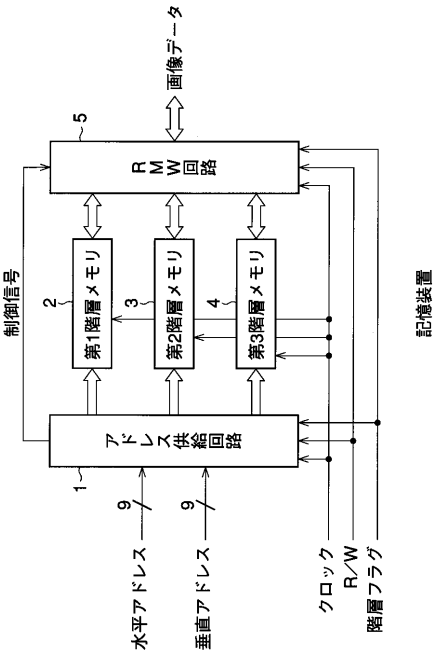
請求項９に記載のアクセス方法によれば、入力画像データが、第１および第２のアドレス信号によって指定される第１の記憶手段のアドレスに書き込まれるとともに、第１および第２のアドレス信号の一部によって指定される第２の記憶手段のアドレスから、そこに記憶されている記憶データが読み出され、その記憶データと入力画像データとを用いて処理が行われることにより、第１の処理データが算出される。そして、その第１の処理データが、記憶データが記憶されていた第２の記憶手段のアドレスに書き込まれる。従って、例えば、入力画像データの複数ラインに亘る画素の幾つかを加算した加算値を、ライン遅延を行う手段を別途設けることなく求めて記憶することが可能となる。

【０２８２】

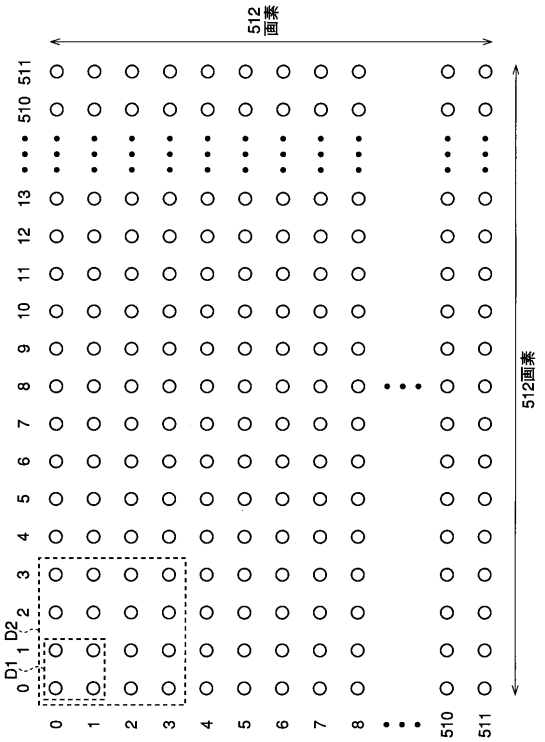
請求項１０に記載のアクセス方法によれば、第１および第２のアドレス信号によって指定される第１の記憶手段のアドレスに記憶されている入力画像データが読み出されるとともに、第１および第２のアドレス信号の一部によって指定される第２の記憶手段のアドレスに記憶されている第１の処理データが読み出される。さらに、その入力画像データと第１の処理データとを用いて処理が行われることにより、第２の処理データが算出され、その第２の処理データが、第１の処理データが記憶されていた第２の記憶手段のアドレスに書き込まれる。同時に、遅延アドレス信号によって指定される第１の記憶手段のアドレスに記憶されている入力画像データが読み出されるとともに、遅延アドレス信号の一部によって指定される第２の記憶手段のアドレスに記憶されている第２の処理データが読み出される。そして、その入力画像データと第２の処理データとを用いて処理が行われることにより、元の第１の処理データが算出され、その第１の処理データが、第２の処理データが記憶されていた第２の記憶手段のアドレスに書き込まれる。従って、第１の処理データから第２の処理データを求め、同時に、先に求めた第２の処理データを元の第１の処理データに戻すことが可能となる。

【図面の簡単な説明】
【図１】本発明の記憶装置の一実施の形態の構成例を示すブロック図である。
【図２】第１階層の画像の１画面の構成例を示す図である。
【図３】図１の記憶装置の第１の機能的構成例を示すブロック図である。
【図４】図１の記憶装置の第２の機能的構成例を示すブロック図である。
【図５】図１の記憶装置の第３の機能的構成例を示すブロック図である。
【図６】図１の記憶装置の第４の機能的構成例を示すブロック図である。
【図７】ＡバンクとＢバンクとに分割されている図６の第１階層メモリ２を説明するための図である。
【図８】図１の記憶装置の第５の機能的構成例を示すブロック図である。
【図９】階層符号化を説明するための図である。
【符号の説明】
１　アドレス供給回路，　２　第１階層メモリ，　３　第２階層メモリ，　４第３階層メモリ，　５　ＲＭＷ回路，　１１　読み出し部，　１２　スイッチ，　１２ａ，１２ｂ　端子，　１３　演算器，　１４　書き込み部，　１５　ＮＯＲゲート，　１６　スイッチ，　２１　読み出し部，　２２　スイッチ，　２２ａ，２２ｂ　端子，　２３　演算器，　２４　書き込み部，　２５　ＮＯＲゲート，　２６　スイッチ，　３１　遅延回路，　３２乃至３４，４１乃至４３　選択回路，　４４，４５　読み出し部，　４６　書き込み部，　４７　読み出し部，　４８　書き込み部，　４９　読み出し部，　５０　書き込み部，　５１　読み出し部，　５２　書き込み部，　５３　読み出し部，　５４乃至５７　演算器，　５８　選択回路，　５９，６０　ＡＮＤゲート，　６１　スイッチ，　６１ａ，６１ｂ　端子，　６２　スイッチ，　６３　ＮＯＲゲート，　７１　遅延回路，　７３，７４，８１，８２　選択回路，　８４，８５　読み出し部，　８６　書き込み部，　８７　読み出し部，　８８　書き込み部，　８９　読み出し部，　９１　スイッチ，　９１ａ，９１ｂ　端子，　９２　スイッチ，　９２ａ，９２ｂ　端子，　９４，９５　演算器，　９８　選択回路，　９９，１００　ＡＮＤゲート

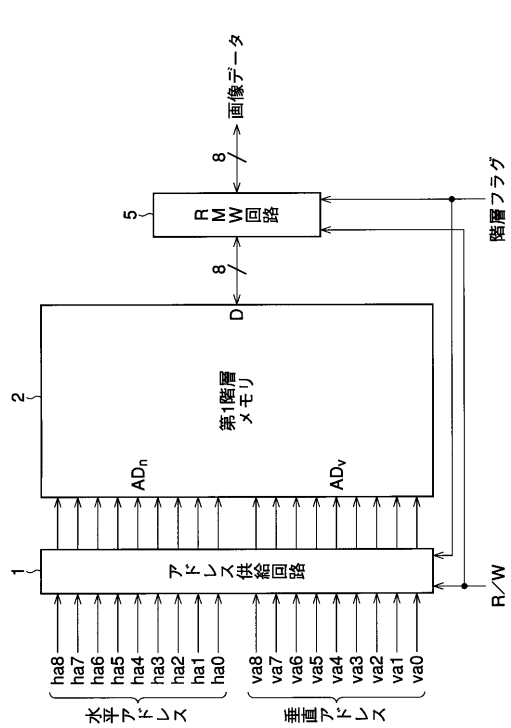
【図１】


画像データ
5
RMW回路
第1階層メモリ
第2階層メモリ
第3階層メモリ
2
3
4
制御信号
アドレス供給回路
1
9
9
水平アドレス
垂直アドレス
クロック
R／W
階層フラグ
記憶装置

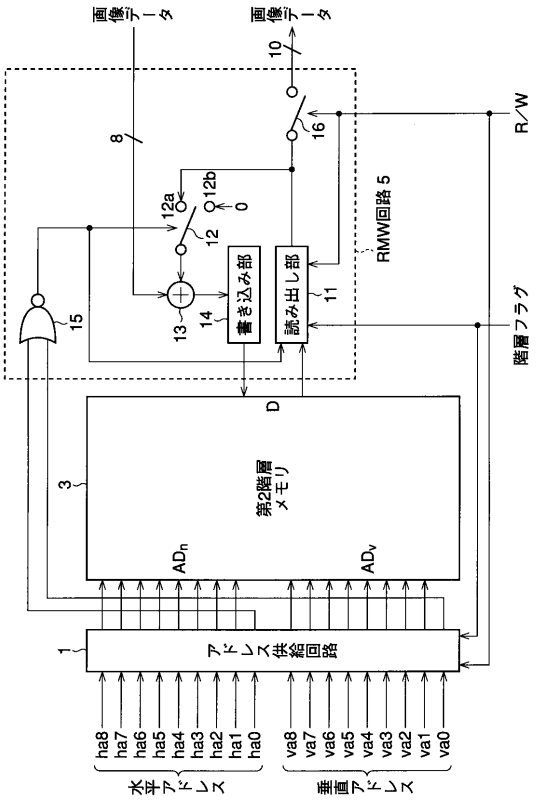
【図２】


512画素
512画素
D1
D2

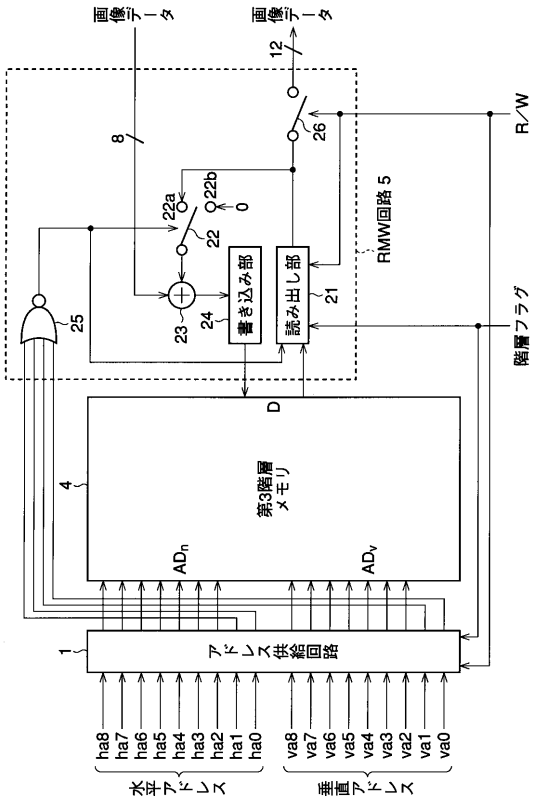
【図３】


画像データ
8
5
RMW回路
階層フラグ
8
D
2
第1階層メモリ
ADn
ADv
1
アドレス供給回路
R／W
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
水平アドレス
垂直アドレス

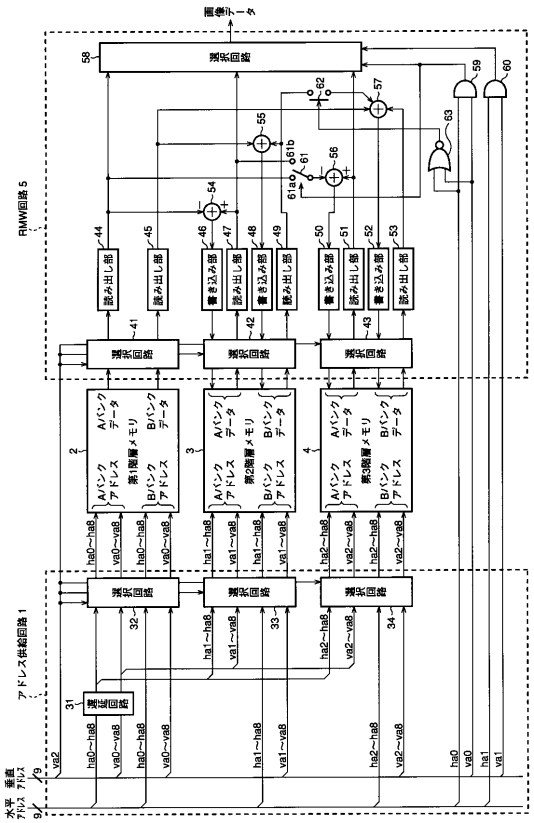
【図４】


画像データ
画像データ
10
8
16
R／W
12a
12b
0
12
RMW回路 5
13
14
書き込み部
読み出し部
11
15
階層フラグ
D
3
第2階層メモリ
ADn
ADv
1
アドレス供給回路
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
水平アドレス
垂直アドレス

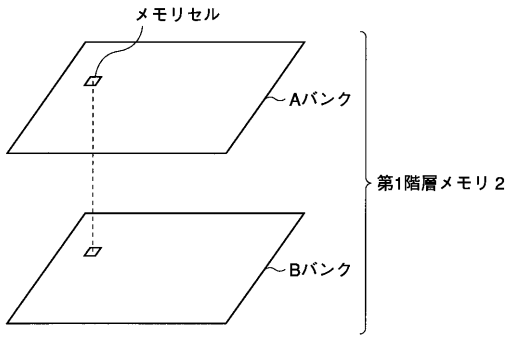
【図５】


画像データ
画像データ
12
26
R/W
8
22a
22b
0
22
23
24
書き込み部
読み出し部
21
RMW回路 5
階層フラグ
25
D
第3階層
メモリ
4
ADh
ADv
1
アドレス供給回路
ha8 ha7 ha6 ha5 ha4 ha3 ha2 ha1 ha0
va8 va7 va6 va5 va4 va3 va2 va1 va0
水平アドレス
垂直アドレス

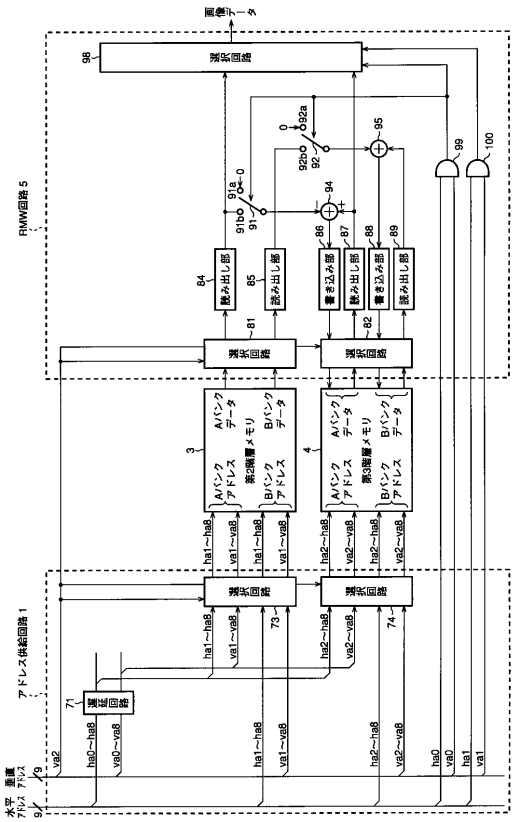
【図６】


画像データ
58
59
60
62
57
63
55
61
61b
61a
56
54
RMW回路 5
44
45
46
47
48
49
50
51
52
53
読み出し部
書き込み部
41
42
43
2
3
4
Aバンク データ
Aバンク アドレス
第1階層メモリ
Bバンク アドレス
Bバンク データ
第2階層メモリ
第3階層メモリ
ha0~ha8
va0~va8
ha1~ha8
va1~va8
ha2~ha8
va2~va8
32
33
34
31
アドレス供給回路 1
水平 垂直 アドレス
9
va2
ha0
va0
ha1
va1

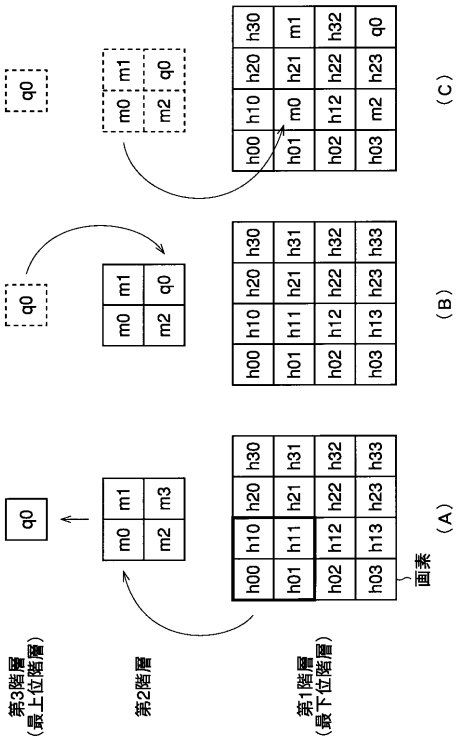
【図７】


メモリセル
Aバンク
Bバンク
第1階層メモリ 2

【図８】


画像データ
98
99
100
92a
92b
92
95
91a
91b
91
94
RMW回路 5
84
85
86
87
88
89
81
82
3
4
Aバンク データ
Aバンク アドレス
第2階層メモリ
第3階層メモリ
Bバンク アドレス
Bバンク データ
ha1~ha8
va1~va8
ha2~ha8
va2~va8
73
74
71
アドレス供給回路 1
水平 垂直 アドレス
9
va2
ha0
va0
ha1
va1

【図９】


第3階層
（最上位階層）
第2階層
第1階層
（最下位階層）
画素
（A）
（B）
（C）
q0
m0 m1
m2 m3
h00 h01 h02 h03
h10 h11 h12 h13
h20 h21 h22 h23
h30 h31 h32 h33

フロントページの続き

(51)Int.Cl.		FI		
H04N 7/26	*(2006.01)*	H04N	7/13	Z