

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】令和7年7月2日(2025.7.2)

【公開番号】特開2024-40960(P2024-40960A)
 【公開日】令和6年3月26日(2024.3.26)
 【年通号数】公開公報(特許)2024-055
 【出願番号】特願2022-145635(P2022-145635)
 【国際特許分類】

H 1 0 D 3 0 / 6 7 (2 0 2 5 . 0 1)

10

【F I】

H 0 1 L 2 9 / 7 8 6 1 8 B

【手続補正書】

【提出日】令和7年6月23日(2025.6.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態の一つは、半導体装置に関する。特に、本発明の実施形態の一つは、チャンネルとして酸化物半導体を用いられた半導体装置に関する。

【背景技術】

【0002】

近年、アモルファスシリコン、低温ポリシリコン、及び単結晶シリコンに替わり、酸化物半導体がチャンネルに用いられた半導体装置の開発が進められている(例えば、特許文献1~6)。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置と同様に、単純な構造かつ低温プロセスで形成することができる。酸化物半導体がチャンネルに用いられた半導体装置は、アモルファスシリコンがチャンネルに用いられた半導体装置よりも高い移動度を有することが知られている。

30

【0003】

酸化物半導体がチャンネルに用いられた半導体装置が安定した動作をするために、その製造工程において酸化物半導体層に酸素を供給し、酸化物半導体層に形成された酸素欠損を低減することが重要である。酸化物半導体層に酸素を供給する方法の一つとして、例えば、酸化物半導体層を覆う絶縁層を、当該絶縁層が酸素をより多く含む条件で形成する技術が開示されている。

【先行技術文献】

40

【特許文献】

【0004】

【特許文献1】特開2021-141338号公報

【特許文献2】特開2014-099601号公報

【特許文献3】特開2021-153196号公報

【特許文献4】特開2018-006730号公報

【特許文献5】特開2016-184771号公報

【特許文献6】特開2021-108405号公報

【発明の概要】

【発明が解決しようとする課題】

50

【 0 0 0 5 】

しかしながら、酸素をより多く含む条件で形成された絶縁層は欠陥を多く含む。その影響で、その欠陥に電子がトラップされることが原因と考えられる半導体装置の特性異常又は信頼性試験における特性変動が発生する。一方、欠陥の少ない絶縁層を用いると、絶縁層に含まれる酸素を多くすることができない。したがって、絶縁層から酸化物半導体層に十分に酸素を供給することができない。このように、半導体装置の特性変動の原因となる絶縁層中の欠陥を低減しつつ、酸化物半導体層に形成された酸素欠損を修復することができる構造を実現することが要求されている。

【 0 0 0 6 】

本発明の実施形態の一つは、信頼性及び移動度が高い半導体装置を実現することを課題の一つとする。

【課題を解決するための手段】

【 0 0 0 7 】

本発明の一実施形態に係る半導体装置は、基板の上に設けられた、アルミニウムを主成分とする金属酸化物層と、前記金属酸化物層の上に設けられた酸化物半導体層と、前記酸化物半導体層と対向するゲート電極と、前記酸化物半導体層とゲート電極との間のゲート絶縁層と、を備える。前記金属酸化物層の厚さは1 nm以上4 nm以下である。

【図面の簡単な説明】

【 0 0 0 8 】

【図1】本発明の一実施形態に係る半導体装置の概要を示す断面図である。 20

【図2】本発明の一実施形態に係る半導体装置の概要を示す平面図である。

【図3】本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。

【図4】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図6】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図7】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図8】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図9】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図10】本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。

【図11】本発明の一実施形態に係る半導体装置の電気特性を示す図である。 30

【図12】本発明の一実施形態に係る半導体装置の真性移動度の膜厚依存性を示す図である。

【図13】本発明の一実施形態に係る半導体装置の電気特性及び信頼性試験結果の膜厚依存性を示す図である。

【図14】本発明の一実施形態に係る半導体装置の電気特性及び信頼性試験結果の相関関係を膜厚毎にプロットした図である。

【図15】本発明の一実施形態に係る表示装置の概要を示す平面図である。

【図16】本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。

【図17】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図18】本発明の一実施形態に係る表示装置の概要を示す断面図である。 40

【図19】本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。

【図20】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。

【図21】本発明の一実施形態に係る表示装置の概要を示す断面図である。

【発明を実施するための形態】

【 0 0 0 9 】

以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限

定するものではない。本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0010】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と逆になるように配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視において、トランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視において、トランジスタと画素電極とが重なる位置関係を意味する。

10

【0011】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（EL）層、エレクトロクロミック（EC）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置、及び有機EL層を含む有機EL表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

20

【0012】

本明細書において「 はA、B又はCを含む」、「 はA、B及びCのいずれかを含む」、「 はA、B及びCからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、 がA～Cの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、 が他の要素を含む場合も排除しない。

【0013】

なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

30

【0014】

[1 . 第 1 実施形態]

図1～図10を用いて、本発明の一実施形態に係る半導体装置について説明する。以下に示す実施形態の半導体装置は、表示装置に用いられるトランジスタの他に、例えば、マイクロプロセッサ（Micro-Processing Unit：MPU）などの集積回路（Integrated Circuit：IC）、又はメモリ回路に用いられてもよい。

【0015】

[1 - 1 . 半導体装置 10 の構成]

図1及び図2を用いて、本発明の一実施形態に係る半導体装置10の構成について説明する。図1は、本発明の一実施形態に係る半導体装置の概要を示す断面図である。図2は、本発明の一実施形態に係る半導体装置の概要を示す平面図である。

40

【0016】

図1に示すように、半導体装置10は基板100の上方に設けられている。半導体装置10は、ゲート電極105、ゲート絶縁層110、120、金属酸化物層130、酸化物半導体層140、ゲート絶縁層150、ゲート電極160、絶縁層170、180、ソース電極201、及びドレイン電極203を含む。ソース電極201及びドレイン電極203を特に区別しない場合、これらを併せてソース・ドレイン電極200という場合がある。

【0017】

50

ゲート電極 105 は基板 100 の上に設けられている。ゲート絶縁層 110、120 は基板 100 及びゲート電極 105 の上に設けられている。金属酸化物層 130 はゲート絶縁層 120 の上に設けられている。金属酸化物層 130 はゲート絶縁層 120 に接している。酸化物半導体層 140 は金属酸化物層 130 の上に設けられている。酸化物半導体層 140 は金属酸化物層 130 に接している。酸化物半導体層 140 はパターニングされている。金属酸化物層 130 の一部は、酸化物半導体層 140 の端部を越えて酸化物半導体層 140 のパターンよりも外側に延びている。ただし、金属酸化物層 130 が酸化物半導体層 140 と同じ平面形状でパターニングされていてもよい。

【0018】

金属酸化物層 130 の厚さは、1 nm 以上 4 nm 以下、又は 1 nm 以上 3 nm 以下である。酸化物半導体層 140 の厚さに対する金属酸化物層 130 の厚さの比率は、 $1/30$ 以上 $4/30$ 以下、又は $1/30$ 以上 $1/10$ 以下である。詳細は後述するが、金属酸化物層 130 の厚さを上記の範囲にすることで、移動度及び信頼性が高い半導体装置を実現することができる。

10

【0019】

上記の構成を換言すると、ゲート絶縁層 120 は基板 100 と金属酸化物層 130 との間に設けられている。さらに換言すると、金属酸化物層 130 は、ゲート絶縁層 120 と酸化物半導体層 140 との間において、ゲート絶縁層 120 及び酸化物半導体層 140 の各々に接している。詳細は後述するが、ゲート絶縁層 120 は酸素を含有する絶縁層である。具体的には、ゲート絶縁層 120 は、600 以下の熱処理によって酸素を放出する機能を備える絶縁層である。熱処理によってゲート絶縁層 120 から放出された酸素によって、酸化物半導体層 140 に形成された酸素欠損が修復される。ゲート絶縁層 120 を「第 1 絶縁層」という場合がある。

20

【0020】

本実施形態では、金属酸化物層 130 と基板 100 との間に、半導体層又は酸化物半導体層は設けられていない。

【0021】

本実施形態では、金属酸化物層 130 がゲート絶縁層 120 に接し、酸化物半導体層 140 が金属酸化物層 130 に接している構成が例示されているが、この構成に限定されない。ゲート絶縁層 120 と金属酸化物層 130 との間に他の層が設けられていてもよい。金属酸化物層 130 と酸化物半導体層 140 との間に他の層が設けられていてもよい。

30

【0022】

ゲート電極 160 は酸化物半導体層 140 に対向している。ゲート絶縁層 150 は、酸化物半導体層 140 とゲート電極 160 との間に設けられている。ゲート絶縁層 150 は酸化物半導体層 140 に接している。酸化物半導体層 140 の主面のうち、ゲート絶縁層 150 に接する面を上面 141 という。酸化物半導体層 140 の主面のうち、金属酸化物層 130 に接する面を下面 142 という。上面 141 と下面 142 との間の面を側面 143 という。絶縁層 170、180 はゲート絶縁層 150 及びゲート電極 160 の上に設けられている。絶縁層 170、180 には、酸化物半導体層 140 に達する開口 171、173 が設けられている。ソース電極 201 は開口 171 の内部に設けられている。ソース電極 201 は開口 171 の底部で酸化物半導体層 140 に接している。ドレイン電極 203 は開口 173 の内部に設けられている。ドレイン電極 203 は開口 173 の底部で酸化物半導体層 140 に接している。

40

【0023】

ゲート電極 105 は、半導体装置 10 のボトムゲートとしての機能及び酸化物半導体層 140 に対する遮光膜としての機能を備える。ゲート絶縁層 110 は、基板 100 から酸化物半導体層 140 に向かって拡散する不純物を遮蔽するバリア膜としての機能を備える。ゲート絶縁層 110、120 は、ボトムゲートに対するゲート絶縁層としての機能を備える。金属酸化物層 130 は、アルミニウムを主成分とする金属酸化物を含む層であり、酸素及び水素などのガスを遮蔽するバリア性を備える。

50

【0024】

酸化物半導体層140は、ソース領域S、ドレイン領域D、及びチャネル領域CHに区分される。チャネル領域CHは、酸化物半導体層140のうちゲート電極160の鉛直下方の領域である。ソース領域Sは、酸化物半導体層140のうちゲート電極160と平面視で重ならない領域であって、チャネル領域CHよりもソース電極201に近い側の領域である。ドレイン領域Dは、酸化物半導体層140のうちゲート電極160と平面視で重ならない領域であって、チャネル領域CHよりもドレイン電極203に近い側の領域である。チャネル領域CHにおける酸化物半導体層140は、半導体としての物性を備えている。ソース領域S及びドレイン領域Dにおける酸化物半導体層140は、導電体としての物性を備えている。

10

【0025】

ゲート電極160は半導体装置10のトップゲート及び酸化物半導体層140に対する遮光膜としての機能を備える。ゲート絶縁層150はトップゲートに対するゲート絶縁層としての機能を備え、ゲート絶縁層120と同様に製造プロセスにおける熱処理によって酸素を放出する機能を備える。絶縁層170、180はゲート電極160とソース・ドレイン電極200とを絶縁し、両者間の寄生容量を低減する機能を備える。半導体装置10の動作は、主にゲート電極160に供給される電圧によって制御される。ゲート電極105には補助的な電圧が供給される。ただし、ゲート電極105が単に遮光膜として用いられる場合、ゲート電極105に特定の電圧が供給されず、ゲート電極105の電位がフローティングであってもよい。つまり、ゲート電極105は単に「遮光膜」と呼ばれてもよい。その場合、遮光膜は絶縁体であってもよい。

20

【0026】

本実施形態では、半導体装置10として、ゲート電極が酸化物半導体層の上方及び下方の両方に設けられたデュアルゲート型トランジスタが用いられた構成を例示するが、この構成に限定されない。例えば、半導体装置10として、ゲート電極が酸化物半導体層の下方のみに設けられたボトムゲート型トランジスタ、又はゲート電極が酸化物半導体層の上方のみに設けられたトップゲート型トランジスタが用いられてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

【0027】

図1及び図2を参照すると、酸化物半導体層140の下面142は金属酸化物層130によって覆われている。特に、本実施形態では、酸化物半導体層140の下面142の全てが、金属酸化物層130によって覆われている。図2に示すD1方向において、ゲート電極105の幅はゲート電極160の幅より大きい。D1方向は、ソース電極201とドレイン電極203とを結ぶ方向であり、半導体装置10のチャネル長Lを示す方向である。具体的には、酸化物半導体層140とゲート電極160とが重なる領域(チャネル領域CH)のD1方向の長さがチャネル長Lであり、当該チャネル領域CHのD2方向の幅がチャネル幅Wである。

30

【0028】

本実施形態では、酸化物半導体層140の下面142の全てが金属酸化物層130によって覆われた構成を例示したが、この構成に限定されない。例えば、酸化物半導体層140の下面142の一部が金属酸化物層130と接していなくてもよい。例えば、チャネル領域CHにおける酸化物半導体層140の下面142の全てが金属酸化物層130によって覆われ、ソース領域S及びドレイン領域Dにおける酸化物半導体層140の下面142の全て又は一部が金属酸化物層130によって覆われていなくてもよい。つまり、ソース領域S及びドレイン領域Dにおける酸化物半導体層140の下面142の全て又は一部が金属酸化物層130と接していなくてもよい。ただし、上記の構成において、チャネル領域CHにおける酸化物半導体層140の下面142の一部が金属酸化物層130によって覆われておらず、当該下面142のその他の部分が金属酸化物層130と接していてもよい。

40

【0029】

50

本実施形態では、ゲート絶縁層 150 が全面に形成され、ゲート絶縁層 150 に開口 171、173 が設けられた構成を例示したが、この構成に限定されない。ゲート絶縁層 150 が、開口 171、173 が設けられた形状とは異なる形状にパターニングされていてもよい。例えば、ソース領域 S 及びドレイン領域 D の全部又は一部の酸化半導体層 140 を露出するようにゲート絶縁層 150 がパターニングされていてもよい。つまり、ソース領域 S 及びドレイン領域 D のゲート絶縁層 150 が除去され、これらの領域で酸化半導体層 140 と絶縁層 170 とが接していてもよい。

【0030】

図 2 では、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 と重ならない構成が例示されているが、この構成に限定されない。例えば、平面視において、ソース・ドレイン電極 200 がゲート電極 105 及びゲート電極 160 の少なくともいずれか一方と重なっていてもよい。上記の構成はあくまで一実施形態に過ぎず、本発明は上記の構成に限定されない。

10

【0031】

[1-2. 半導体装置 10 の各部材の材質]

基板 100 として、ガラス基板、石英基板、及びサファイア基板など、透光性を有する剛性基板が用いられる。基板 100 が可撓性を備える必要がある場合、基板 100 として、ポリイミド基板、アクリル基板、シロキサン基板、フッ素樹脂基板など、樹脂を含む基板が用いられる。基板 100 として樹脂を含む基板が用いられる場合、基板 100 の耐熱性を向上させるために、上記の樹脂に不純物が導入されてもよい。特に、半導体装置 10 がトップエミッション型のディスプレイである場合、基板 100 が透明である必要はないため、基板 100 の透明度を悪化させる不純物が用いられてもよい。表示装置ではない集積回路に半導体装置 10 が用いられる場合は、基板 100 としてシリコン基板、炭化シリコン基板、化合物半導体基板などの半導体基板、又は、ステンレス基板などの導電性基板など、透光性を備えない基板が用いられる。

20

【0032】

ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、一般的な金属材料が用いられる。例えば、これらの部材として、例えば、アルミニウム (Al)、チタン (Ti)、クロム (Cr)、コバルト (Co)、ニッケル (Ni)、モリブデン (Mo)、ハフニウム (Hf)、タンタル (Ta)、タングステン (W)、ビスマス (Bi)、銀 (Ag)、銅 (Cu)、及びこれらの合金又は化合物が用いられる。ゲート電極 105、ゲート電極 160、及びソース・ドレイン電極 200 として、上記の材料が単層で用いられてもよく積層で用いられてもよい。

30

【0033】

ゲート絶縁層 110、120 及び絶縁層 170、180 として、一般的な絶縁性材料が用いられる。例えば、これらの絶縁層として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、窒化シリコン (SiN_x)、窒化酸化シリコン (SiN_xO_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。

40

【0034】

ゲート絶縁層 150 として、上記の絶縁層のうち酸素を含む絶縁層が用いられる。例えば、ゲート絶縁層 150 として、酸化シリコン (SiO_x)、酸化窒化シリコン (SiO_xN_y)、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y) などの無機絶縁層が用いられる。

【0035】

ゲート絶縁層 120 として、熱処理によって酸素を放出する機能を備える絶縁層が用いられる。ゲート絶縁層 120 が酸素を放出する熱処理の温度は、例えば、600 以下、500 以下、450 以下、又は 400 以下である。つまり、ゲート絶縁層 120 は、例えば、基板 100 としてガラス基板が用いられた場合の半導体装置 10 の製造工程で

50

行われる熱処理温度で酸素を放出する。絶縁層 170、180 の少なくともいずれか一方に、ゲート絶縁層 120 と同様に、熱処理によって酸素を放出する機能を備える絶縁層が用いられる。

【0036】

ゲート絶縁層 150 として、欠陥が少ない絶縁層が用いられる。例えば、ゲート絶縁層 150 における酸素の組成比と、ゲート絶縁層 150 と同様の組成の絶縁層（以下、「他の絶縁層」という）における酸素の組成比と、を比較した場合、ゲート絶縁層 150 における酸素の組成比の方が当該他の絶縁層における酸素の組成比よりも当該絶縁層に対する化学量論比に近い。具体的には、ゲート絶縁層 150 及び絶縁層 180 の各々に酸化シリコン (SiO_x) が用いられる場合、ゲート絶縁層 150 として用いられる酸化シリコンにおける酸素の組成比は、絶縁層 180 として用いられる酸化シリコンにおける酸素の組成比に比べて、酸化シリコンの化学量論比に近い。例えば、ゲート絶縁層 150 として、電子スピン共鳴法 (ESR) で評価したときに欠陥が観測されない層が用いられてもよい。

10

【0037】

上記の SiO_xN_y 及び AlO_xN_y は、酸素 (O) よりも少ない比率 ($x > y$) の窒素 (N) を含有するシリコン化合物及びアルミニウム化合物である。 SiN_xO_y 及び AlN_xO_y は、窒素よりも少ない比率 ($x > y$) の酸素を含有するシリコン化合物及びアルミニウム化合物である。

【0038】

金属酸化物層 130 として、アルミニウムを主成分とする酸化金属が用いられる。例えば、金属酸化物層 130 として、酸化アルミニウム (AlO_x)、酸化窒化アルミニウム (AlO_xN_y)、窒化酸化アルミニウム (AlN_xO_y)、窒化アルミニウム (AlN_x) などの無機絶縁層が用いられる。「アルミニウムを主成分とする金属酸化物層」とは、金属酸化物層 130 に含まれるアルミニウムの比率が、金属酸化物層 130 全体の 1% 以上であることを意味する。金属酸化物層 130 に含まれるアルミニウムの比率は、金属酸化物層 130 全体の 5% 以上 70% 以下、10% 以上 60% 以下、又は 30% 以上 50% 以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

20

【0039】

酸化物半導体層 140 として、半導体の特性を有する酸化金属を用いることができる。

30

【0040】

酸化物半導体層 140 はアモルファスであってもよく、結晶性であってもよい。また、酸化物半導体層 140 はアモルファスと結晶の混相であってもよい。

【0041】

酸化物半導体層 140 では、酸化物半導体層 140 に含まれる酸素が還元されると、酸化物半導体層 140 に酸素欠損が形成される。半導体装置 10 では、製造プロセスの熱処理工程において、酸化物半導体層 140 よりも基板 100 側に設けられる層（例えば、ゲート絶縁層 110、120）から水素が放出され、その水素が酸化物半導体層 140 に到達することで、酸化物半導体層 140 に酸素欠損が発生する。この酸素欠損の発生は、酸化物半導体層 140 のパターンサイズが大きいほど顕著である。このような酸素欠損の発生を抑制するために、酸化物半導体層 140 の下面 142 への水素の到達を抑制する必要がある。

40

【0042】

他方、酸化物半導体層 140 の上面 141 は、酸化物半導体層 140 が形成された後の工程（例えば、パターンニング工程又はエッチング工程）の影響を受ける。それに対して、酸化物半導体層 140 の下面 142（酸化物半導体層 140 の基板 100 側の面）は、上記のような影響を受けない。

【0043】

したがって、酸化物半導体層 140 の上面 141 に形成される酸素欠損は、酸化物半導体層 140 の下面 142 に形成される酸素欠損より多い。つまり、酸化物半導体層 140

50

中の酸素欠損は、酸化物半導体層 140 の厚さ方向に一様に存在しているのではなく、酸化物半導体層 140 の厚さ方向に不均一な分布で存在している。具体的には、酸化物半導体層 140 中の酸素欠損は、酸化物半導体層 140 の下面 142 側ほど少なく、酸化物半導体層 140 の上面 141 側ほど多い。

【0044】

上記のような酸素欠損分布を有する酸化物半導体層 140 に対して、一様に酸素供給処理を行う場合、酸化物半導体層 140 の上面 141 側に形成された酸素欠損を修復するために必要な量の酸素を供給すると、酸化物半導体層 140 の下面 142 側には酸素が過剰に供給される。その結果、下面 142 側では、過剰酸素によって酸素欠損とは異なる欠陥準位が形成されてしまい、信頼性試験における特性変動、又は電界効果移動度の低下などの現象が発生する。したがって、このような現象を抑制するためには、酸化物半導体層 140 の下面 142 側への酸素供給を抑制しつつ、酸化物半導体層 140 の上面 141 側へ酸素を供給する必要がある。

10

【0045】

上記の課題は、本発明に至る過程で新たに認識された課題であり、従来から認識されていた課題ではない。従来構成及び製造方法では、酸化物半導体層への酸素供給処理によって、半導体装置の初期特性が改善されても、信頼性試験による特性変動が発生するという、初期特性と信頼性試験との間にトレードオフの関係があった。しかし、本実施形態に係る構成によって、上記の課題が解決され、半導体装置 10 の良好な初期特性及び信頼性試験結果を得ることができる。

20

【0046】

上記の課題を解決するために、ゲート絶縁層 120 と酸化物半導体層 140 との間に金属酸化物層 130 を設ける。さらに、金属酸化物層 130 の厚さを 1 nm 以上 4 nm 以下、又は 1 nm 以上 3 nm 以下とすることで、移動度及び信頼性が高い半導体装置を実現することができる。

【0047】

[1 - 3 . 半導体装置 10 の製造方法]

図 3 ~ 図 10 を用いて、本発明の一実施形態に係る半導体装置の製造方法について説明する。図 3 は、本発明の一実施形態に係る半導体装置の製造方法を示すシーケンス図である。図 4 ~ 図 10 は、本発明の一実施形態に係る半導体装置の製造方法を示す断面図である。以下の製造方法の説明では、金属酸化物層 130 として酸化アルミニウムが用いられた半導体装置 10 の製造方法について説明する。

30

【0048】

図 3 及び図 4 に示すように、基板 100 の上にボトムゲートとしてゲート電極 105 が形成され、ゲート電極 105 の上にゲート絶縁層 110、120 が形成される (図 3 のステップ S 1001 の「Bottom GI / GE 形成」)。ゲート絶縁層 110 として、例えば、窒化シリコンが形成される。ゲート絶縁層 120 として、例えば、酸化シリコンが形成される。ゲート絶縁層 110、120 は CVD (Chemical Vapor Deposition) 法によって成膜される。

40

【0049】

ゲート絶縁層 110 として窒化シリコンが用いられることで、ゲート絶縁層 110 は、例えば基板 100 側から酸化物半導体層 140 に向かって拡散する不純物をブロックすることができる。ゲート絶縁層 120 として用いられる酸化シリコンは、熱処理によって酸素を放出する物性の酸化シリコンである。

【0050】

図 3 及び図 5 に示すように、ゲート絶縁層 120 の上に金属酸化物層 130 及び酸化物半導体層 140 を形成する (図 3 のステップ S 1002 の「OS / AlO_x 成膜」)。金属酸化物層 130 及び酸化物半導体層 140 は、スパッタリング法又は原子層堆積法 (ALD : Atomic Layer Deposition) によって成膜される。

【0051】

50

金属酸化物層 130 の厚さは、例えば、1 nm 以上 4 nm 以下又は 1 nm 以上 3 nm 以下である。金属酸化物層 130 の厚さが非常に小さいため、金属酸化物層 130 の成膜速度を低く抑える必要がある。そのために、成膜電力をできるだけ低く設定し、成膜時のプロセスガスにおける酸素分圧を高く設定することが好ましい。金属酸化物層 130 の成膜速度は、例えば、スパッタリング成膜の場合 0.04 nm/sec ~ 0.3 nm/sec、ALD の場合、0.005 nm/sec ~ 0.01 nm/sec である。本実施形態では、金属酸化物層 130 として酸化アルミニウムが用いられる。酸化アルミニウムはガスに対する高いバリア性を備えている。本実施形態において、金属酸化物層 130 として用いられた酸化アルミニウムは、ゲート絶縁層 120 から放出された水素及び酸素の一部をブロックし、放出された水素及び酸素が酸化物半導体層 140 に到達する量を調整する。

10

【0052】

酸化物半導体層 140 の厚さは、例えば、10 nm 以上 100 nm 以下、15 nm 以上 70 nm 以下、又は 20 nm 以上 40 nm 以下である。本実施形態では、酸化物半導体層 140 の厚さは 30 nm である。後述する熱処理 (OS アニール) 前の酸化物半導体層 140 はアモルファスである。

【0053】

例えば、スパッタリング法によって酸化物半導体層 140 が成膜される場合、被成膜対象物 (基板 100 及びその上に形成された構造物) の温度を制御しながら酸化物半導体層 140 が成膜される。

【0054】

スパッタリング法によって被成膜対象物に対して成膜を行うと、プラズマ中で発生したイオン及びスパッタリングターゲットによって反跳した原子が被成膜対象物に衝突するため、成膜処理に伴い被成膜対象物の温度が上昇する。上記のように被成膜対象物の温度を制御するために、例えば、被成膜対象物を冷却しながら成膜を行うことができる。例えば、被成膜対象物の被成膜面の温度 (以下、「成膜温度」という。) が 100 以下、70 以下、50 以下、又は 30 以下になるように、被成膜対象物を当該被成膜面の反対側の面から冷却することができる。なお、アモルファス酸化物半導体膜を薄膜トランジスタの活性層として用いる場合には、上記のような成膜温度管理は特に不要である。

20

【0055】

図 3 及び図 6 に示すように、酸化物半導体層 140 のパターンを形成する (図 3 のステップ S1003 の「OS パターン形成」)。図示しないが、酸化物半導体層 140 の上にレジストマスクを形成し、当該レジストマスクを用いて酸化物半導体層 140 をエッチングする。酸化物半導体層 140 のエッチングとして、ウェットエッチングが用いられてもよく、ドライエッチングが用いられてもよい。ウェットエッチングとして、酸性のエッチャントを用いてエッチングを行うことができる。エッチャントとして、例えば、シュウ酸又はフッ酸を用いることができる。

30

【0056】

酸化物半導体層 140 のパターン形成の後に酸化物半導体層 140 に対して熱処理 (OS アニール) が行われる (図 3 のステップ S1004 の「OS アニール」)。本実施形態では、この OS アニールによって、酸化物半導体層 140 が結晶化する。ただし、必ずしも OS アニールによって酸化物半導体層 140 が結晶化しなくてもよい。

40

【0057】

本実施形態では、酸化物半導体層 140 のみがパターンニングされる製造方法を例示したが、この製造方法に限定されない。例えば、金属酸化物層 130 のパターンが酸化物半導体層 140 のパターンと略同一であってもよい。酸化物半導体層 140 が OS アニールによって結晶化する場合、酸化物半導体層 140 をマスクとして金属酸化物層 130 をエッチングすることによって、金属酸化物層 130 をパターンニングしてもよい。一方、酸化物半導体層 140 が OS アニールの後もアモルファスである場合、酸化物半導体層 140 のパターンニングに用いられたレジストをマスクとして金属酸化物層 130 をエッチングすることによって、金属酸化物層 130 をパターンニングしてもよい。

50

【 0 0 5 8 】

図 3 及び図 7 に示すように、ゲート絶縁層 1 5 0 を成膜する（図 3 のステップ S 1 0 0 5 の「G I 形成」）。ゲート絶縁層 1 5 0 として、例えば、酸化シリコンが形成される。ゲート絶縁層 1 5 0 は C V D 法によって形成される。例えば、ゲート絶縁層 1 5 0 として上記のように欠陥が少ない絶縁層を形成するために、3 5 0 以上の成膜温度でゲート絶縁層 1 5 0 を成膜してもよい。ゲート絶縁層 1 5 0 の厚さは、例えば、5 0 n m 以上 3 0 0 n m 以下、6 0 n m 以上 2 0 0 n m 以下、又は 7 0 n m 以上 1 5 0 n m 以下である。ゲート絶縁層 1 5 0 を成膜した後に、ゲート絶縁層 1 5 0 の上部に酸素を打ち込む処理を行ってもよい。

【 0 0 5 9 】

酸化物半導体層 1 4 0 の上にゲート絶縁層 1 5 0 が成膜された状態で、酸化物半導体層 1 4 0 へ酸素を供給するための熱処理（酸化アニール）が行われる（図 3 のステップ S 1 0 0 6 の「酸化アニール」）。酸化物半導体層 1 4 0 が成膜されてから酸化物半導体層 1 4 0 の上にゲート絶縁層 1 5 0 が成膜されるまでの間の工程で、酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 には多くの酸素欠損が発生する。上記の酸化アニールによって、ゲート絶縁層 1 2 0、1 5 0 から放出された酸素が酸化物半導体層 1 4 0 に供給され、酸素欠損が修復される。ゲート絶縁層 1 5 0 に酸素を打ち込む処理を行わない場合、ゲート絶縁層 1 5 0 の上に、熱処理によって酸素を放出する絶縁層を形成した状態で酸化アニールが行われる。

【 0 0 6 0 】

酸化アニールによって、ゲート絶縁層 1 2 0 から放出された酸素の一部は、金属酸化物層 1 3 0 によってブロックされるため、酸化物半導体層 1 4 0 の下面 1 4 2 には酸素が供給されにくい。一方、ゲート絶縁層 1 5 0 から放出された酸素が酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 に供給される。上記の酸化アニールによって、ゲート絶縁層 1 1 0、1 2 0 から水素が放出される場合があるが、当該水素は金属酸化物層 1 3 0 によってブロックされる。

【 0 0 6 1 】

上記のように、酸化アニールの工程によって、酸素欠損の量が少ない酸化物半導体層 1 4 0 の下面 1 4 2 への酸素の供給を抑制しつつ、酸素欠損の量が多い酸化物半導体層 1 4 0 の上面 1 4 1 及び側面 1 4 3 への酸素供給を行うことができる。

【 0 0 6 2 】

ゲート絶縁層 1 5 0 からの酸素供給量を多くするため、ゲート絶縁層 1 5 0 の上に金属酸化物層 1 3 0 と同様の金属酸化物層をスパッタリング法によって形成することでゲート絶縁層 1 5 0 に酸素を打ち込む工程を追加してもよい。さらに、ゲート絶縁層 1 5 0 の上に当該金属酸化物層が形成された状態で上記の酸化アニールが行われてもよい。この金属酸化物層として、ガスに対するバリア性が高い酸化アルミニウムが用いられることで、酸化アニール時にゲート絶縁層 1 5 0 に打ち込まれた酸素が外方拡散することを抑制することができる。

【 0 0 6 3 】

図 3 及び図 8 に示すように、ゲート電極 1 6 0 を成膜する（図 3 のステップ S 1 0 0 7 の「G E 形成」）。ゲート電極 1 6 0 は、スパッタリング法又は原子層堆積法によって成膜され、フォトリソグラフィ工程を経てパターンニングされる。

【 0 0 6 4 】

ゲート電極 1 6 0 がパターンニングされた状態で、酸化物半導体層 1 4 0 のソース領域 S 及びドレイン領域 D の低抵抗化が行われる（図 3 のステップ S 1 0 0 8 の「S D 低抵抗化」）。具体的には、イオン注入によって、ゲート電極 1 6 0 側からゲート絶縁層 1 5 0 を介して酸化物半導体層 1 4 0 に不純物が注入される。イオン注入によって、例えば、アルゴン（A r）、リン（P）、ボロン（B）が酸化物半導体層 1 4 0 に注入される。イオン注入によって酸化物半導体層 1 4 0 に酸素欠損が形成されることで、酸化物半導体層 1 4 0 が低抵抗化する。半導体装置 1 0 のチャンネル領域 C H として機能する酸化物半導体層 1

10

20

30

40

50

40の上方にはゲート電極160が設けられているため、チャネル領域CHの酸化物半導体層140には不純物は注入されない。

【0065】

図3及び図9に示すように、ゲート絶縁層150及びゲート電極160の上に層間膜として絶縁層170、180を成膜する(図3のステップS1009の「層間膜成膜」)。絶縁層170、180はCVD法によって成膜される。例えば、絶縁層170として窒化シリコンが形成され、絶縁層180として酸化シリコンが形成される。絶縁層170、180として用いられる材料は上記に限定されない。絶縁層170の厚さは、50nm以上500nm以下である。絶縁層180の厚さは、50nm以上500nm以下である。

【0066】

図3及び図10に示すように、ゲート絶縁層150及び絶縁層170、180に開口171、173を形成する(図3のステップS1010の「コンタクト開孔」)。開口171によってソース領域Sの酸化物半導体層140が露出されている。開口173によってドレイン領域Dの酸化物半導体層140が露出されている。開口171、173によって露出された酸化物半導体層140の上及び絶縁層180の上にソース・ドレイン電極200を形成することで(図3のステップS1011の「SD形成」)、図1に示す半導体装置10が完成する。

【0067】

上記の製造方法で作成した半導体装置10では、チャネル領域CHのチャネル長Lが2 μ m以上4 μ m以下、かつ、チャネル領域CHのチャネル幅が2 μ m以上25 μ m以下の範囲において、移動度が30[cm^2/Vs]以上、35[cm^2/Vs]以上、又は40[cm^2/Vs]以上の電気特性を得ることができる。本実施形態における移動度とは半導体装置10の飽和領域における電界効果移動度であって、ソース電極とドレイン電極との間の電位差(Vd)が、ゲート電極に供給される電圧(Vg)から半導体装置10の閾値電圧(Vth)を引いた値(Vg - Vth)より大きい領域における電界効果移動度の最大値を意味する。

【0068】

[1-4.半導体装置10の電気特性]

図11~図14を用いて、本実施形態に係る半導体装置10の電気特性及び信頼性試験結果について説明する。

【0069】

図11は、本発明の一実施形態に係る半導体装置の電気特性を示す図である。図11に示す電気特性の測定条件は以下の通りである。

- ・チャネル領域CHのサイズ：W/L = 4.5 μ m / 3.0 μ m
- ・ソース・ドレイン間電圧：0.1V(点線)、10V(実線)
- ・ゲート電圧：-15V ~ +15V
- ・測定環境：室温、暗室

【0070】

図11では、半導体装置10の電気特性(I_d-V_g特性)及び移動度が示されている。図11のグラフ中に矢印で示されているように、ドレイン電流(I_d)に対する縦軸はグラフの左側に示されており、当該ドレイン電流から計算された移動度に対する縦軸はグラフの右側に示されている。

【0071】

図11に示すように、本実施形態に係る半導体装置10の電気特性は、ゲート電圧V_gが0Vよりも高い電圧でドレイン電流I_dが流れ始める、いわゆるノーマリオフの特性を示す。当該電気特性から計算された移動度は約40[cm^2/Vs]である。

【0072】

図12は、本発明の一実施形態に係る半導体装置の真性移動度の膜厚依存性を示す図である。図12では、半導体装置10において、金属酸化物層130の厚さが0nm~15nmの場合の真性移動度が示されている。

10

20

30

40

50

【0073】

真性移動度は、トランジスタの実効的なチャンネル長に対する移動度を示すものであり、図11に示す電気特性から得られる移動度のチャンネル長L依存性を示すデータから算出することができる。具体的には、チャンネル長Lを横軸、移動度を縦軸とするグラフにプロットされたデータ(L長依存性)に対してTLM解析を行うことによって真性移動度を算出することができる。

【0074】

図12に示すように、金属酸化物層130を1nm成膜することによって、金属酸化物層130が設けられていない場合(0nmの条件)に比べて真性移動度が向上する。さらに、金属酸化物層130を2nm以上成膜することによって、真性移動度はさらに向上する。金属酸化物層130の厚さが2nm~4nmの場合、金属酸化物層130の厚さの増加に伴って真性移動度が増加している。この結果から、金属酸化物層130が1nm以上形成されていれば、真性移動度向上の効果を得ることができる。一方、金属酸化物層130の厚さが5nm以上の場合、当該厚さが4nmの場合に比べて真性移動度が低い傾向がある。金属酸化物層130の厚さが5nm以上の場合、ゲート絶縁層110、120から拡散された水素をブロックする機能が強くなるが、一方で金属酸化物層130と酸化物半導体層140との界面における欠陥準位が増加するため、真性移動度が低下したと考えられる。ただし、金属酸化物層130の厚さが15nmの場合であっても、金属酸化物層130がない場合に比べて真性移動度は高い。

【0075】

図13は、本発明の一実施形態に係る半導体装置の電気特性及び信頼性試験結果の膜厚依存性を示す図である。図13では、半導体装置10において、金属酸化物層130の厚さが0nm~15nmの場合の電気特性及び信頼性試験結果が示されている。図13に示す電気特性は、初期特性におけるしきい値電圧(V_{th_ini})である。図13に示す信頼性試験結果は、Positive Bias Temperature Stress (PBT S)によるしきい値電圧の変動量(V_{th})である。 V_{th_ini} は「」で示されている。 V_{th} は「棒グラフ」で示されている。

【0076】

PBT S 信頼性試験の条件は以下の通りである。

- ・チャンネル領域CHのサイズ： $W/L = 2.5 \mu m / 2.5 \mu m$
- ・光照射条件：照射無し(暗室)
- ・ゲート電圧： $+30V$
- ・ソース及びドレイン電圧： $0V$
- ・ストレス印加時のステージ温度： 85
- ・ストレス時間： $1000sec$

【0077】

図13に示すように、 V_{th_ini} は、金属酸化物層130の厚さが3nm、4nmの場合で僅かに負の値であるが、その他の場合では正の値である。つまり、ほとんどの場合でノーマリオフの電気特性が得られている。金属酸化物層130の厚さが1~4nmの場合における V_{th} は、2V以下の良好な値を示している。特に、金属酸化物層130の厚さが1~3nmの場合における V_{th} は、金属酸化物層130が設けられていない場合における V_{th} に比べて小さい。

【0078】

図14は、本発明の一実施形態に係る半導体装置の電気特性及び信頼性試験結果の相関関係を膜厚毎にプロットした図である。図14において、横軸は V_{th_ini} であり、縦軸は V_{th} である。図14に示すように、金属酸化物層130の厚さの増加に伴い矢印Aに沿った挙動を示すが、金属酸化物層130の厚さが4nmである場合の境に、矢印Bに沿った挙動を示す。つまり、金属酸化物層130の厚さが5nm以上である場合、PBT S 信頼性試験による V_{th} が大きくなってしまいう傾向が確認される。上記の結果から、金属酸化物層130の厚さは4nm以下であることが好ましい。

【 0 0 7 9 】

上記のように、金属酸化物層 1 3 0 の厚さが増加することに伴い、 V_{th} が増加するのは、金属酸化物層 1 3 0 の膜中に存在する欠陥準位に起因すると考えられる。

【 0 0 8 0 】

上記の結果から、金属酸化物層 1 3 0 の厚さは 1 nm 以上 4 nm 以下、又は 1 nm 以上 3 nm 以下であることが好ましい。

【 0 0 8 1 】

以上のように、本実施形態に係る半導体装置 1 0 によると、金属酸化物層 1 3 0 の厚さを上記の範囲にすることによって、移動度が高く、かつ信頼性試験結果が良好な半導体装置 1 0 を実現することができる。

10

【 0 0 8 2 】

[2 . 第 2 実施形態]

図 1 5 ~ 図 1 9 を用いて、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。以下に示す実施形態では、上記の第 1 実施形態で説明した半導体装置 1 0 が液晶表示装置の回路に適用された構成について説明する。

【 0 0 8 3 】

[2 - 1 . 表示装置 2 0 の概要]

図 1 5 は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図 1 5 に示すように、表示装置 2 0 は、アレイ基板 3 0 0、シール部 3 1 0、対向基板 3 2 0、フレキシブルプリント回路基板 3 3 0 (F P C 3 3 0)、及び I C チップ 3 4 0 を有する。アレイ基板 3 0 0 及び対向基板 3 2 0 はシール部 3 1 0 によって貼り合わせられている。シール部 3 1 0 に囲まれた液晶領域 2 2 には、複数の画素回路 3 0 1 がマトリクス状に配置されている。液晶領域 2 2 は、後述する液晶素子 3 1 1 と平面視において重なる領域である。

20

【 0 0 8 4 】

シール部 3 1 0 が設けられたシール領域 2 4 は、液晶領域 2 2 の周囲の領域である。F P C 3 3 0 は端子領域 2 6 に設けられている。端子領域 2 6 はアレイ基板 3 0 0 が対向基板 3 2 0 から露出された領域であり、シール領域 2 4 の外側に設けられている。シール領域 2 4 の外側とは、シール部 3 1 0 が設けられた領域及びシール部 3 1 0 によって囲まれた領域の外側を意味する。I C チップ 3 4 0 は F P C 3 3 0 上に設けられている。I C チップ 3 4 0 は各画素回路 3 0 1 を駆動させるための信号を供給する。

30

【 0 0 8 5 】

[2 - 2 . 表示装置 2 0 の回路構成]

図 1 6 は、本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。図 1 6 に示すように、画素回路 3 0 1 が配置された液晶領域 2 2 に対して D 1 方向 (列方向) に隣接する位置にはソースドライバ回路 3 0 2 が設けられており、液晶領域 2 2 に対して D 2 方向 (行方向) に隣接する位置にはゲートドライバ回路 3 0 3 が設けられている。ソースドライバ回路 3 0 2 及びゲートドライバ回路 3 0 3 は、上記のシール領域 2 4 に設けられている。ただし、ソースドライバ回路 3 0 2 及びゲートドライバ回路 3 0 3 が設けられる領域はシール領域 2 4 に限定されず、画素回路 3 0 1 が設けられた領域の外側であれば、どの領域でもよい。

40

【 0 0 8 6 】

ソースドライバ回路 3 0 2 からソース配線 3 0 4 が D 1 方向に延びており、D 1 方向に配列された複数の画素回路 3 0 1 に接続されている。ゲートドライバ回路 3 0 3 からゲート配線 3 0 5 が D 2 方向に延びており、D 2 方向に配列された複数の画素回路 3 0 1 に接続されている。

【 0 0 8 7 】

端子領域 2 6 には端子部 3 0 6 が設けられている。端子部 3 0 6 とソースドライバ回路 3 0 2 とは接続配線 3 0 7 で接続されている。同様に、端子部 3 0 6 とゲートドライバ回路 3 0 3 とは接続配線 3 0 7 で接続されている。F P C 3 3 0 が端子部 3 0 6 に接続され

50

ることで、FPC330が接続された外部機器と表示装置20とが接続され、外部機器からの信号によって表示装置20に設けられた各画素回路301が駆動する。

【0088】

第1実施形態に示す半導体装置10は、画素回路301、ソースドライバ回路302、及びゲートドライバ回路303に含まれるトランジスタとして用いられる。

【0089】

[2-3. 表示装置20の画素回路301]

図17は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図17に示すように、画素回路301は半導体装置10、保持容量350、及び液晶素子311などの素子を含む。半導体装置10はゲート電極160、ソース電極201、及びドレイン電極203を有する。ゲート電極160はゲート配線305に接続されている。ソース電極201はソース配線304に接続されている。ドレイン電極203は保持容量350及び液晶素子311に接続されている。本実施形態では、説明の便宜上、符号「201」で示された電極をソース電極といい、符号「203」で示された電極をドレイン電極というが、符号「201」で示された電極がドレイン電極として機能し、符号「203」で示された電極がソース電極として機能してもよい。

10

【0090】

[2-4. 表示装置20の断面構造]

図18は、本発明の一実施形態に係る表示装置の断面図である。図18に示すように、表示装置20は、半導体装置10が用いられた表示装置である。本実施形態では、半導体装置10が画素回路301に用いられた構成を例示するが、半導体装置10がソースドライバ回路302及びゲートドライバ回路303を含む周辺回路に用いられてもよい。以下の説明において、半導体装置10の構成は図1に示す半導体装置10と同様なので、説明を省略する。

20

【0091】

ソース電極201及びドレイン電極203の上に絶縁層360が設けられている。絶縁層360の上に、複数の画素に共通して設けられる共通電極370が設けられている。共通電極370の上に絶縁層380が設けられている。絶縁層360、380には開口381が設けられている。絶縁層380の上及び開口381の内部に画素電極390が設けられている。画素電極390はドレイン電極203に接続されている。

30

【0092】

図19は、本発明の一実施形態に係る表示装置の画素電極及び共通電極の平面図である。図19に示すように、共通電極370は、平面視で画素電極390と重なる重畳領域と、画素電極390と重ならない非重畳領域とを有する。画素電極390と共通電極370との間に電圧を供給すると、重畳領域の画素電極390から非重畳領域の共通電極370に向かって横電界が形成される。この横電界によって液晶素子311に含まれる液晶分子が動作することで、画素の階調が決定される。

【0093】

[3. 第3実施形態]

図20及び図21を用いて、本発明の一実施形態に係る半導体装置を用いた表示装置について説明する。本実施形態では、上記の第1実施形態で説明した半導体装置10が有機EL表示装置の回路に適用された構成について説明する。表示装置20の概要及び回路構成は図15及び図16に示すものと同様なので、説明を省略する。

40

【0094】

[3-1. 表示装置20の画素回路301]

図20は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図20に示すように、画素回路301は駆動トランジスタ11、選択トランジスタ12、保持容量210、及び発光素子D0などの素子を含む。駆動トランジスタ11及び選択トランジスタ12は半導体装置10と同様の構成を備えている。選択トランジスタ12のソース電極は信号線211に接続され、選択トランジスタ12のゲート電極はゲート線212に接

50

続されている。駆動トランジスタ 1 1 のソース電極はアノード電源線 2 1 3 に接続され、駆動トランジスタ 1 1 のドレイン電極は発光素子 D O の一端に接続されている。駆動トランジスタ 1 1 のゲート電極は選択トランジスタ 1 2 のドレイン電極に接続されている。発光素子 D O の他端はカソード電源線 2 1 4 に接続されている。保持容量 2 1 0 は駆動トランジスタ 1 1 のゲート電極及びドレイン電極に接続されている。信号線 2 1 1 には、発光素子 D O の発光強度を決める階調信号が供給される。ゲート線 2 1 2 には、上記の階調信号を書き込む画素行を選択する信号が供給される。

【 0 0 9 5 】

[3 - 2 . 表示装置 2 0 の断面構造]

図 2 1 は、本発明の一実施形態に係る表示装置の断面図である。図 2 1 に示す表示装置 2 0 の構成は、図 1 8 に示す表示装置 2 0 と類似しているが、図 2 1 の表示装置 2 0 の絶縁層 3 6 0 よりも上方の構造が図 1 8 の表示装置 2 0 の絶縁層 3 6 0 よりも上方の構造と相違する。以下、図 2 1 の表示装置 2 0 の構成のうち、図 1 8 の表示装置 2 0 と同様の構成については説明を省略し、両者の相違点について説明する。

10

【 0 0 9 6 】

図 2 1 に示すように、表示装置 2 0 は、絶縁層 3 6 0 の上方に画素電極 3 9 0、発光層 3 9 2、及び共通電極 3 9 4 (発光素子 D O) を有する。画素電極 3 9 0 は絶縁層 3 6 0 の上及び開口 3 8 1 の内部に設けられている。画素電極 3 9 0 の上に絶縁層 3 6 2 が設けられている。絶縁層 3 6 2 には開口 3 6 3 が設けられている。開口 3 6 3 は発光領域に対応する。つまり、絶縁層 3 6 2 は画素を画定する。開口 3 6 3 によって露出した画素電極 3 9 0 の上に発光層 3 9 2 及び共通電極 3 9 4 が設けられている。画素電極 3 9 0 及び発光層 3 9 2 は、各画素に対して個別に設けられている。一方、共通電極 3 9 4 は、複数の画素に共通して設けられている。発光層 3 9 2 は、画素の表示色に応じて異なる材料が用いられる。

20

【 0 0 9 7 】

第 2 実施形態及び第 3 実施形態では、第 1 実施形態で説明した半導体装置を液晶表示装置及び有機 E L 表示装置に適用した構成について例示したが、これらの表示装置以外の表示装置(例えば、有機 E L 表示装置以外の自発光型表示装置又は電子ペーパー型表示装置)に当該半導体装置を適用してもよい。また、中小型の表示装置から大型の表示装置まで、特に限定することなく上記半導体装置の適用が可能である。

30

【 0 0 9 8 】

本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせる実施することができる。また、各実施形態の半導体装置及び表示装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【 0 0 9 9 】

上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。

40

【 符号の説明 】

【 0 1 0 0 】

1 0 : 半導体装置、 1 1 : 駆動トランジスタ、 1 2 : 選択トランジスタ、 2 0 : 表示装置、 2 2 : 液晶領域、 2 4 : シール領域、 2 6 : 端子領域、 1 0 0 : 基板、 1 0 5 : ゲート電極、 1 1 0、 1 2 0 : ゲート絶縁層、 1 3 0 : 金属酸化物層、 1 4 0 : 酸化物半導体層、 1 4 1 : 上面、 1 4 2 : 下面、 1 4 3 : 側面、 1 5 0 : ゲート絶縁層、 1 6 0 : ゲート電極、 1 7 0、 1 8 0 : 絶縁層、 1 7 1、 1 7 3 : 開口、 2 0 0 : ソース・ドレイン電極、 2 0 1 : ソース電極、 2 0 3 : ドレイン電極、 2 1 0 : 保持容量、 2 1 1 : 信号線、 2 1 2 : ゲート線、 2 1 3 : アノード電源線、 2 1 4 : カソード電源線、 3 0 0 : アレイ基板、 3 0 1 : 画素回路、 3

50

02 : ソースドライバ回路、 303 : ゲートドライバ回路、 304 : ソース配線、
305 : ゲート配線、 306 : 端子部、 307 : 接続配線、 310 : シール部、
311 : 液晶素子、 320 : 対向基板、 330 : フレキシブルプリント回路基板 (F
P C)、 340 : I C チップ、 350 : 保持容量、 360、362、380 : 絶縁
層、 363、381 : 開口、 370 : 共通電極、 390 : 画素電極、 392 : 発
光層、 394 : 共通電極、 C H : チャネル領域、 D : ドレイン領域、 D O : 発光
素子、 L : チャネル長、 S : ソース領域、 W : チャネル幅

10

20

30

40

50