(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 4 月 6 日(06.04.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/057112 A1

(51) 国際特許分類:
H03K 17/693 (2006.01) *H01L 27/092* (2006.01)
H01L 21/8238 (2006.01) *H03K 17/00* (2006.01)
H01L 27/08 (2006.01) *H03K 19/094* (2006.01)

(21) 国際出願番号: PCT/JP2016/077764

(22) 国際出願日: 2016 年 9 月 21 日(21.09.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-196520 2015 年 10 月 2 日(02.10.2015) JP

(71) 出願人: 国立研究開発法人産業技術総合研究所 (NATIONAL INSTITUTE OF ADVANCED INDUSTRIAL SCIENCE AND TECHNOLOGY) [JP/JP]; 〒1008921 東京都千代田区霞が関 1 丁目 3 番 1 号 Tokyo (JP).

(72) 発明者: 関川 敏弘 (SEKIGAWA Toshihiro); 〒3058568 茨城県つくば市梅園 1 − 1 − 1 中央第 2 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 日置 雅和 (HIOKI Masakazu); 〒3058568 茨城県つくば市梅園 1 − 1 − 1 中央第 2 国立研究開発法人産業技術総合研究所内 Ibaraki (JP). 小池 汎平 (KOIKE Hanpei); 〒3058568 茨城県つくば市梅園 1 − 1 − 1 中央第 2 国立研究開発法人産業技術総合研究所内 Ibaraki (JP).

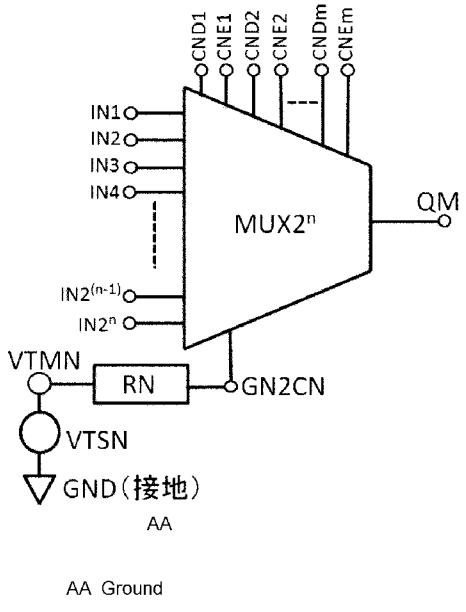
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: MULTIPLEXER AND INTEGRATED CIRCUIT IN WHICH SAME IS USED

(54) 発明の名称 : マルチプレクサ及びこれを用いた集積回路



(57) **Abstract**: Provided are: a multiplexer in which an FTMOST is used, wherein it is possible to both improve the transfer speed and reduce the leak current; and an integrated circuit in which the multiplexer is used. A multiplexer comprising a plurality of pass transistors formed by four-terminal double-insulation-gate-type field effect transistors. A second gate of a field effect transistor is connected to a threshold value voltage control node, and a resistor is connected between the threshold value voltage control node and a threshold voltage control voltage source. In addition, provided is a multiplexer comprising a plurality of transmission gates in which four-terminal double-insulation-gate-type N-type and P-type field effect transistors are connected in parallel. One of the gates of the N-type gate field effect transistor is connected to a first threshold value voltage control node, and a first resistor is connected between the first threshold value voltage control node and a first threshold value voltage control voltage source. One of the gates of the P-type gate field effect transistor is connected to a second threshold value voltage control node, and a second resistor is connected between the second threshold value voltage control node and a second threshold value voltage control voltage source.

(57) 要約: ＦＴＭＯＳＴを用いたマルチプレクサにおいて、転送速度の向上と、リーク電流の削減を両立しうるマルチプレクサ及びこれを用いた集積回路の提供。 四端子二重絶縁ゲート型の電界効果トランジスタによるパストランジスタの複数で構成されたマルチプレクサである。電界効果トランジスタの第２ゲートを閾値電圧制御ノードに接続し、閾値電圧制御ノード及び閾値電圧制御電圧源の間に抵抗器を接続する。また、四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタを並列接続したトランスミッションゲートの複数で構成されたマルチプレクサである。Ｎ形ゲート電界効果トランジスタのゲートの一方を第１閾値電圧制御ノードに接続し、第１閾値電圧制御ノード及び第１閾値電圧制御電圧源の間に第１抵抗器を接続する。Ｐ形ゲート電界効果トランジスタのゲートの一方を第２閾値電圧制御ノードに接続し、第２閾値電圧制御ノード及び第２閾値電圧制御電圧源の間に第２抵抗器を接続する。

WO 2017/057112 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： マルチプレクサ及びこれを用いた集積回路

技術分野

[0001] 本発明は、四端子二重絶縁ゲート型の電界効果トランジスタを用いたマルチプレクサ及びこれを用いた集積回路に関し、特に、リーク電流の減少と転送速度の増加を両立させるマルチプレクサ及びこれを用いた集積回路に関する。

背景技術

[0002] 例えば、特許文献１では、チャネルを挟んで対向して設けられ、互いに電気的に絶縁された２つの絶縁ゲート（第１ゲート及び第２ゲート）を有する四端子二重絶縁ゲート型の電界効果トランジスタ（ＦＴＭＯＳＴ）が開示されている。また、非特許文献１では、半導体基板に設けられた薄い埋め込み酸化膜上の半導体層、いわゆるＳＯＩ（Silicon On Insulator）に構成されたＭＯＳトランジスタであって、表面のゲートを第１ゲートとして用い、これとは電気的に絶縁された、薄い埋め込み酸化膜下の半導体領域のバックゲートを第２ゲートとして用いるＳＯＴＢ（Silicon On Thin Buried Oxide）ＭＯＳトランジスタ（ＳＯＴＢＭＯＳＴ）が開示されている。

[0003] なお、ＳＯＴＢＭＯＳＴは構造的にはＦＴＭＯＳＴとみなしてもよく、それぞれ第２ゲートに与えられた電位により第１ゲートから見た閾（しきい）値電圧を制御できる。そこで、以後、特に断りのない限り、ＳＯＴＢＭＯＳＴも含め、四端子二重絶縁ゲート型の電界効果トランジスタ（ＦＴＭＯＳＴ）と称することとする。

[0004] ところで、上記したようなＭＯＳトランジスタをパストランジスタとして用いて構成されたマルチプレクサがある。このようなマルチプレクサでは、入力論理信号が印加される時点ですでに制御信号を印加している。すなわち、どの入力ノードが選択されたかはあらかじめ決定されているのである。そのため、選択された入力ノードに入力論理信号が印加されてから選択された

信号経路を通過して出力ノードＱＭに出力されまでの伝搬遅延時間の短縮、あるいは伝搬遅延時間の逆数で表す転送速度（周波数で表示される）を増大させることが求められる。

[0005] ここで、伝搬遅延時間はその信号経路を構成している各パストランジスタのドレインとソースと接地（ＧＮＤ）間の容量で定まる。つまり、これが小さいほど伝搬遅延時間を小さくできるのであるが、この容量はトランジスタ寸法でほぼ決定されてしまうため、これを制御することは難しい。

[0006] 特許文献１では、ＦＴＭＯＳＴによるパストランジスタについて、回路構成によって伝搬遅延時間を短縮する方法について述べられている。すなわち、第２ゲートに抵抗Ｒの一端を接続し、その抵抗の他端をそのＦＴＭＯＳＴの閾値電圧制御ノードＶＴＣＮに接続するのである（図２７参照）。また、２つのパストランジスタＰＦＴ１とＰＦＴ２を直列接続した場合において、各パストランジスタの第２ゲートを共通接続して抵抗Ｒの一端に接続し、その抵抗の他端をその２つのＦＴＭＯＳＴの閾値電圧制御ノードＶＴＣＮに接続する（図２８参照）。しかしながら、いずれもマルチプレクサにおけるパストランジスタに対するものではない。また、それぞれのゲートに印加された制御信号によって伝搬遅延時間を短縮できるとしているが、マルチプレクサではゲートに既に定電位が与えられているからかかる動作を行い得ない。

[0007] なお、特許文献２では、ＦＴＭＯＳＴを用いたゲート回路やメモリ回路において、ＦＴＭＯＳＴの第２ゲートとその閾値電圧制御のための電圧源との間に抵抗を接続して、第１ゲートに印加される入力信号によって回路の動作速度の向上を図ることについて述べられている。

先行技術文献

特許文献

[0008] 特許文献1：特開２００８－２８９１６号公報

特許文献2：特開２００６－１６６３８４号公報

非特許文献

[0009] 非特許文献1：T.Tsuchiya,M.Horiuchi,S.Kimura,M.Yamaoka,T.Kawahara,S.Ma

egawa, T.Ipposhi,Y.Ohji, and H.Matsuoka,"Silicon on Thin BOX: A New Paradigm of The CMOSFET for Low-Power and High-Performance Application Featuring Wide-Range Back-Bias Control"," IEDM Tech.Dig.,2004, pp.475-478.

発明の開示

発明が解決しようとする課題

[0010] 一般にマルチプレクサではパストランジスタの数が多くなるので、単純に上記したような方法では、抵抗の数がパストランジスタの数と同数必要となって、回路素子の増加、したがって集積回路でマルチプレクサを構成する場合に素子面積の増加、配線数の増加などの問題が生じる。

[0011] また、マルチプレクサは単純にパストランジスタを直列接続した構成ではなく、ある選択された１つの入力から出力までオン状態のパストランジスタで接続されるが、接続されるパストランジスタは回路としてあらかじめ決定されてはおらず、選択される入力によって変わる。

[0012] そこで、マルチプレクサにおいて、どの入力を選択しても、入力から出力までの伝搬遅延時間を短くすることが求められている。なお、オン状態のパストランジスタのドレイン－ソース間抵抗（R_{on}）は低抵抗であり、ドレイン－ソース間に電位差があれば、ドレイン－ソース間に電流が容易に流れる。逆に、オフ状態のドレイン－ソース間抵抗（R_{off}）は高抵抗であり、ドレイン－ソース間に電位差があっても電流は流れ難く、例え流れたとしても極めて少ない。これは「リーク電流」と称され、これを減少させるには共通第２ゲートの電位によってパストランジスタの閾値電圧の絶対値を大きくすることで達成できる。しかしながら、R_{on}が大きくなって転送速度の低下を招いてしまう。

[0013] 本発明は、以上のような状況に鑑みてなされたものであって、その目的とするところはＦＴＭＯＳＴを用いたマルチプレクサにおいて、転送速度の向上と、リーク電流の削減を両立しうるマルチプレクサの提供にある。

課題を解決するための手段

[0014] 本発明によるマルチプレクサは、四端子二重絶縁ゲート型の電界効果トランジスタによるパストランジスタの複数で構成されたマルチプレクサであって、前記電界効果トランジスタのゲートの一方を閾値電圧制御ノードに接続し、前記閾値電圧制御ノード及び閾値電圧制御電圧源の間に抵抗器を接続したことを特徴とする。

[0015] 上記した発明において、前記電界効果トランジスタはＮ型であり、且つ、前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で高抵抗値であることを特徴としてもよい。

[0016] また、上記した発明において、前記電界効果トランジスタはＰ型であり、且つ、前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で低抵抗値であることを特徴としてもよい。

[0017] また、上記した発明において、前記非線形抵抗器は四端子二重絶縁ゲート型のＮ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴としてもよい。

[0018] また、上記した発明において、前記非線形抵抗器は四端子二重絶縁ゲート型のＰ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴としてもよい。

[0019] 更に、本発明によるマルチプレクサは、四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタを並列接続したトランスミッションゲートの複数で構成されたマルチプレクサであって、前記Ｎ形ゲート電界効果トランジスタのゲートの一方を第１閾値電圧制御ノードに接続し、前記第１閾値電圧制御ノード及び第１閾値電圧制御電圧源の間に第１抵抗器を接続し、前記Ｐ

形ゲート電界効果トランジスタのゲートの一方を第２閾値電圧制御ノードに接続し、前記第２閾値電圧制御ノード及び第２閾値電圧制御電圧源の間に第２抵抗器を接続したことを特徴とする。

[0020] 上記した発明において、前記第１及び前記第２抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記第１抵抗器は前記第１閾値電圧制御ノードの電位が前記第１閾値電圧制御電圧源の電位を基準とした基準電位より上で高抵抗値であり、前記第２抵抗器は前記第２閾値電圧制御ノードの電位が前記第２閾値電圧制御電圧源の電位を基準とした基準電位を越えると高抵抗値から低抵抗値であることを特徴としてもよい。

[0021] 上記した発明において、前記第１抵抗器及び前記第２抵抗器はそれぞれ四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタであって、前記第１抵抗器はそのゲートの一方を前記第１閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第１の閾値電圧制御ノードにソース又はドレインのそれぞれを接続し、前記第２抵抗器はそのゲートの一方を前記第２閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第２閾値電圧制御ノードに接続したことを特徴としてもよい。

[0022] 更に、本発明による集積回路は、上記したマルチプレクサを含むことを特徴とする。

図面の簡単な説明

[0023] [図1]第１の実施例によるＮ形パストランジスタを用いたマルチプレクサを示す図である。閾値電圧制御ノードに抵抗ＲＮの一端を接続し、ＲＮの他端は閾値電圧制御電源を接続するところの電源接続ノードに接続している。

[図2]第１の実施例を簡単化した等価回路図である。

[図3]第１の実施例の動作原理を説明する図である。

[図4]第１の実施例のＲＮ値が大きい場合の動作原理を説明する図である。

[図5]第２の実施例によるＰ形パストランジスタを用いたマルチプレクサを示す図である。閾値電圧制御ノードに抵抗ＲＰの一端を接続し、ＲＰの他端は

閾値電圧制御電源を接続するところの電源ノードに接続している。

[図6]第３の実施例によるトランスミッションゲートを用いたマルチプレクサを示す図である。Ｎ形パストランジスタの閾値電圧制御ノードに抵抗ＲＮの一端を接続し、ＲＮの他端はＮ形パストランジスタの閾値電圧制御電源が接続されるところの電源接続ノードに接続している。また、Ｐ形パストランジスタの閾値電圧制御ノードに抵抗ＲＰの一端を接続し、その他端はＰ形パストランジスタの閾値電圧制御電源が接続されるところの電源接続ノードに接続している。

[図7]第４の実施例によるＮ形パストランジスタを用いたマルチプレクサを示す図である。閾値電圧制御ノードに非線形抵抗ＲＶＮの一端を接続し、ＲＶＮの他端は閾値電圧制御電源を接続するところの電源接続ノードに接続している。

[図8]第４の実施例の動作原理を説明する図である。

[図9]第５の実施例のＰ形パストランジスタを用いたマルチプレクサを示す図である。閾値電圧制御ノードに非線形抵抗ＲＶＰの一端を接続し、ＲＶＰの他端は閾値電圧制御電源を接続するところの電源接続ノードに接続している。

[図10]第５の実施例の動作原理を説明する図である。

[図11]第６の実施例のトランスミッションゲートを用いたマルチプレクサを示す図である。Ｎ形パストランジスタの閾値電圧制御ノードに非線形抵抗ＲＶＮ１の一端を接続し、ＲＶＮ１の他端はＮ形パストランジスタの閾値電圧制御電源が接続されるところの電源接続ノードに接続している。また、Ｐ形パストランジスタの閾値電圧制御ノードに非線形抵抗ＲＶＰ１の一端を接続し、その他端はＰ形パストランジスタの閾値電圧制御電源が接続されるところの電源接続ノードに接続している。

[図12]非線形抵抗ＲＶＮ（又は、ＲＶＮ１）を示す図である。

[図13]非線形抵抗ＲＶＰ（又は、ＲＶＰ１）を示す図である。

[図14]ＳＯＴＢＭＯＳトランジスタの構造を示す断面図である。

[図15]（ａ）Ｎ形、及び（ｂ）Ｐ形のＦＴＭＯＳトランジスタを用いた従来のパストランジスタの回路構成、それぞれのトランジスタの回路記号と寄生容量を説明する図である。

[図16]Ｎ形のＦＴＭＯＳトランジスタをパストランジスタとして用いた従来のセレクターの回路構成を示す図である。

[図17]Ｐ形のＦＴＭＯＳトランジスタをパストランジスタとして用いた従来のセレクターの回路構成を示す図である。

[図18]Ｎ形及びＰ形のＦＴＭＯＳトランジスタによるトランスミッションゲートを用いた従来のセレクターの回路構成を示す図である。

[図19]図１６乃至１８に対応したセレクターの回路記号を示す図である。

[図20]Ｎ形のパストランジスタによるセレクターを用いた従来の４入力１出力のマルチプレクサを示す図である。

[図21]図２０に示すマルチプレクサに対してセレクター数を減じた従来の４入力１出力のマルチプレクサを示す図である。

[図22]Ｎ形のパストランジスタを用いたセレクターによる従来の２^{n}入力１出力のマルチプレクサを示す図である。

[図23]図２２に示すマルチプレクサに対してセレクター数を減じたマルチプレクサを示す図である。

[図24]Ｎ形のパストランジスタによる２^{n}入力１出力のマルチプレクサを示す図である。

[図25]Ｐ形のパストランジスタによる２^{n}入力１出力のマルチプレクサを示す図である。

[図26]トランスミッションゲートを用いた２^{n}入力１出力のマルチプレクサを示す図である。

[図27]ＦＴＭＯＳトランジスタを用いたパストランジスタの接続図である。ここでは、第２ゲートとその閾値電圧制御電源の間に抵抗Ｒを設け、第１ゲートのパルスによる動作速度の向上を図り得ることを示す。

[図28]ＦＴＭＯＳトランジスタを用いたパストランジスタを二個直列接続し

た接続図である。ここでは、それぞれの第２ゲートを共通接続し、閾値電圧制御電源との間に抵抗Ｒを設け、双方のパストランジスタの第１ゲートのパルスによっても動作速度の向上を図り得ることを示す。

発明を実施するための形態

[0024] まず、図１４にＳＯＴＢ（Silicon On Thin Buried Oxide）構造を有する四端子二重絶縁ゲート型の電界効果トランジスタ（ＦＴＭＯＳＴ）１０の断面構造を示す。基板１１上には、互いに電気的に絶縁された２つの絶縁ゲートである第１ゲート１２及び第２ゲート（バックゲート）１３が酸化膜１４、チャネル１５及びゲート絶縁膜１６を挟んで対向して与えられる。チャネル１５の両側にはソース１７及びドレイン１８が設けられ、それぞれの上にはソース電極１７ａ及びドレイン電極１８ａが与えられる。

[0025] 次に、マルチプレクサについて説明する。なお、ここでは、電子回路における配線中の結節点において、他と区別して名前を付して参照する結節点をノードと称し、回路図中で白丸で表示する。単に配線の結節点を示す場合には黒丸で表示する。また、電子回路が論理回路として用いられる場合、論理値に対応した電圧や電流などの電気信号を論理信号と称する。

[0026] マルチプレクサは電圧パルス信号を扱う電子回路の一種である。複数の入力ノードと、通常は１つの場合が多いが、複数の出力ノードと、複数の制御ノードとを有し、各制御ノードに印加される電気信号の組み合わせによって、各出力ノードに、各入力ノードに印加されている電気信号の１つを選択し、これと論理的に等価な、または反転した電気信号を出力する。制御ノードの数は入力ノードの数及び具体的な電子回路構成に依存する。

[0027] 図１５（ａ）及び（ｂ）には、それぞれＮ形及びＰ形のＦＴＭＯＳＴをパストランジスタとして用いた場合の基本論理回路を示した。破線で囲まれた部分はＦＴＭＯＳＴの電子回路記号を示す。この論理回路ではドレインは論理信号の入力ノードＩＮに接続され、ソースは論理信号の出力ノードＯＵＴに接続され、さらにその第１ゲートは制御信号入力のノードＣＮに接続される。ＣＮに印加される電気信号でオン状態とオフ状態を制御する。オン状態

では、パストランジスタを導通、つまり、ソースードレイン間の抵抗が小さく、出力ノードには入力ノードに印加されている論理信号と等価な論理信号が現れる。オフ状態では、パストランジスタを非導通、つまり、ソースードレイン間の抵抗が大きく、出力ノードには入力ノードに印加されている論理信号は実質的に現れない。その第２ゲートはパストランジスタの閾値電圧制御ノード（Ｎ形のＦＴＭＯＳＴの場合はＶＴＣＮ、Ｐ形のＦＴＭＯＳＴの場合はＶＴＣＰとする）に接続される。

[0028] ＶＴＣＮあるいはＶＴＣＰにはパストランジスタの閾値電圧を定めるために定常状態では一定電圧を有する電圧源が接続される。ＣＤＢＧ及びＣＳＢＧはそれぞれドレインと第２ゲート間及びソースと第２ゲート間の寄生容量を示す。また、ＣＤＧ及びＣＳＧはそれぞれドレインと第１ゲート間及びソースと第１ゲート間の寄生容量を示す。異なるパストランジスタの上記各容量を示すときは該当する記号の後に数字を付けて区別して示す。なお、この回路ではドレインとソースは入れ替えてもよい。

[0029] 図１６及び図１７には、パストランジスタを用いたセレクターの論理回路を示した。この回路は、例えば、図１５（ａ）に示すＮ形のＦＴＭＯＳＴによるパストランジスタ（以後、Ｎ形パストランジスタと称する。）を２個、すなわちＰＦＴＮ１とＰＦＴＮ２を用いている。または、図１５（ｂ）に示すＰ形のＦＴＭＯＳＴによるパストランジスタ（以後、Ｐ形パストランジスタと称する。）を２個、すなわちＰＦＴＰ１とＰＦＴＰ２を用いて構成される。なお、図１５で示した各トランジスタの寄生容量は便宜的に図示しなかったが、常に存在し得る。

[0030] 図１６では、ＰＦＴＮ１の入力ノードをセレクターの入力ノードＩ１とし、ＰＦＴＮ２の入力ノードをセレクターの入力ノードＩ２とし、図示しない各出力ノードは共通接続して新たにセレクターの出力ノードＱとする。さらにＰＦＴＮ１の制御ゲートを新たにセレクターの制御信号入力ノードＡとし、またＰＦＴＮ２の制御ゲートを新たにセレクターの制御信号入力ノードＢとする。ノードＡにはＰＦＴＮ１を構成するＦＴＭＯＳＴの第１ゲートＧＮ

１１が接続されており、ノードＡに印加される制御信号によってＰＦＴＮ１が導通か非導通になるかが制御される。同様にノードＢにはＰＦＴＮ２を構成するＦＴＭＯＳＴの第１ゲートＧＮ２１が接続されており、ノードＢに印加される制御信号によってＰＦＴＮ２が導通か非導通になるかが制御される。制御信号入力ノードＡ及びＢを総称してセレクターの制御ノードと称する。またＰＦＴＮ１、ＰＦＴＮ２を構成するＦＴＭＯＳＴの第２ゲートＧＮ１２、ＧＮ２２は共通接続されセレクターの閾値電圧制御ノードＧＮ２Ｃに接続される。

[0031] 図１７では、同様に、Ｐ形パストランジスタＰＦＴＰ１及びＰＦＴＰ２を用いた回路を示した。回路構成は図１６（ａ）と同じである。ただし、ＰＦＴＰ１、ＰＦＴＰ２を構成するＦＴＭＯＳＴの第１ゲートをそれぞれＧＰ１１及びＧＰ２１とし、その第２ゲートをそれぞれＧＰ１２、ＧＰ２２とする。各第２ゲートは共通接続され、セレクターの閾値電圧制御ノードＧＰ２Ｃに接続される。以下に、セレクターの論理回路としての機能を説明する。

[0032] 制御信号入力ノードＡとＢには互いに位相の反転した、すなわち論理信号とみなせば互いに論理値が反転した（論理回路として用いる際の論理機能に影響のない程度の時間差は許容するものとする）制御信号が印加され、その組み合わせによって入力ノードＩ１とＩ２に印加されている論理信号のどちらか一方と等価な論理信号が出力ノードＱに出力される。この論理回路機能で、前者の場合を「入力ノードＩ１が選択される」と、後者の場合を「入力ノードＩ２が選択される」と略記する。上記したセレクターの制御信号にも論理信号を用いることがある。以後、ノードに印加される論理信号の論理値や電圧値もそのノードの記号を用いる。

[0033] 図１８に示すように、上記したセレクターは、Ｎ形のパストランジスタＰＦＴＮ３とＰ形のパストランジスタＰＦＴＰ３を並列接続、すなわち互いの入力ノードと出力ノードをそれぞれ接続したトランスミッションゲートＴＧ１と、Ｎ形のパストランジスタＰＦＴＮ４とＰ形のパストランジスタＰＦＴＰ４を並列接続したＴＧ２を用いて構成することも出来る。この場合、ＰＦ

ＴＮ３とＰＦＴＰ３の図示しない入力ノードがセレクターとしての入力ノードＩ１に接続され、ＰＦＴＮ４とＰＦＴＰ４の図示しない入力ノードがセレクターとしての入力ノードＩ２に接続される。また、ＰＦＴＮ３の制御ノードとＰＦＴＰ４の図示しない制御ノードがセレクターとしての制御信号入力ノードＡに接続され、ＰＦＴＮ４の制御ノードとＰＦＴＰ３の図示しない制御ノードがセレクターとしての制御信号入力ノードＢに接続される。

[0034] さらに、各パストランジスタの図示しない出力ノードはセレクターとしての出力ノードＱに接続される。また、Ｎ形とＰ形のパストランジスタそれぞれの閾値電圧制御ノードは異なる閾値電圧制御電圧源で電位が与えられるので、ＰＦＴＮ３及びＰＦＴＮ４のそれぞれの閾値電圧制御ノード（図示せず）はセレクターの第１の閾値電圧制御ノードＧＮ２Ｃに接続され、またＰＦＴＰ３及びＰＦＴＰ４のそれぞれの閾値電圧制御ノード（図示せず）はセレクターの第２の閾値電圧制御ノードＧＰ２Ｃに接続される。なお、セレクターは２入力のマルチプレクサ（ＭＵＸ２）とみなすことが出来る。

[0035] また、制御信号の組み合わせによって機能を拡大することが出来る。すなわち、制御信号ＡとＢにパストランジスタを導通状態にする信号を印加すれば、２つの入力Ｉ１及びＩ２を選択することが出来る。逆に非導通状態とする信号を印加すれば、Ｉ１及びＩ２を非選択とすることが出来る。制御信号として論理信号を用いることもある。

[0036] 図１９には、図１６乃至図１８のセレクター（又は、ＭＵＸ２）を電子回路若しくは論理回路で用いる場合の回路記号を示す。各記号の台形の中に書かれた「ＳＸ」は回路中で用いられたセレクターを区別する。Ｘは任意の長さの文字列を表す。ここでは、各セレクターにおいて、制御信号Ａが論理値１のときは、入力ノードＩ１が選択され、論理値０のときは非選択となる。また、制御信号Ｂが論理値１のときは、入力ノードＩ２が選択され、論理値０のときは非選択となるとする。

[0037] 図２０には、上記した図１９（ａ）の回路記号を用いて、セレクターを用いた４入力、１出力のマルチプレクサ（ＭＵＸ４）の構成例を示した。４入

力マルチプレクサの入力ＩＮ１とＩＮ２のいずれかを選択するためのセレクターＳ１１と、入力ＩＮ３とＩＮ４のいずれかを選択するためのセレクターＳ１２と、それぞれの出力Ｑ１１とＱ１２のどちらかを選択するセレクターＳ２１とからなり、Ｓ２１の出力がＭＵＸ４の出力ＱＭ４に接続される。セレクターＳ１１及びＳ１２の各制御信号ノードＡとＢにはそれぞれ制御信号ＣＮ１とその反転の制御信号ＣＮＢ１が印加され、セレクターＳ２１の制御信号ノードＡとＢにはそれぞれ制御信号ＣＮ２とその反転の制御信号ＣＮＢ２が印加される。各セレクターの閾値電圧制御ノードＧＮ２ＣはＭＵＸ４としての閾値電圧制御ノードＧＮ２ＣＮに接続される。

[0038] ここまでマルチプレクサは１出力であるとして述べてきたが、必ずしも１出力でなく、２以上の出力ノードを有するマルチプレクサであってもよい。例えば、図２０で、Ｓ１１とＳ１２で構成され、Ｑ１１及びＱ１２をその出力とみなせば、４入力２出力のマルチプレクサとなる。そこで、以後、単にマルチプレクサとしたときは１出力であるとし、複数出力の場合はその都度４入力２出力のマルチプレクサなどとする。

[0039] 図２１には、セレクター数を３個とした図２０よりもセレクター数を少なくした例を示した。セレクターＳ１１とＳ１２の出力をＭＵＸ４の出力ノードＱＭ４に接続し、各セレクターの入力ノードをそれぞれＭＵＸ４の入力ノードＩＮ１、ＩＮ２、ＩＮ３、ＩＮ４に接続する。この場合はセレクターの制御信号ノードに印加する制御信号ＣＮ１、ＣＮ２、ＣＮ３、ＣＮ４は論理的に独立に制御された信号でなければならない。例えば、ＩＮ１を選択する場合は、ＣＮ１を論理値１とし、ＩＮ２、ＩＮ３、ＩＮ４を非選択にするために他のＣＮ２、ＣＮ３、ＣＮ４はすべて論理値０としなければならない。

[0040] 図２２には、図１９（ａ）の回路記号を用いて、図２０の構成を一般化した、2^n入力マルチプレクサの部分回路を示す。但し、ｎは整数である。マルチプレクサの基本機能としては図２２で十分であるが、負荷駆動能力を高めたり、外部雑音を軽減したりする等の目的で、同じくＦＴＭＯＳＴで構成されたＣＭＯＳインバータなどで構成されたバッファ回路を通して出力される

ことがある。さらに、制御信号入力ノードＣＮ１、ＣＮＢ１、ＣＮ２、ＣＮＢ２、…．、ＣＮｎ、ＣＮＢｎに印加する制御信号も同様にインバータなどによるバッファ回路を通して供給される。上記バッファ回路の集積回路における物理的配置はマルチプレクサの極近傍に配置される。従って各バッファ回路におけるＦＴＭＯＳＴの第２ゲートもそのＦＴＭＯＳＴの極性毎に共通接続され、且つマルチプレクサを構成する同じ極性のＦＴＭＯＳＴの第２ゲート同士とも共通接続される。図２２ではこれらバッファ回路を省略しており、部分回路と称した。同様に、図１６乃至図１８、図２０乃至図２２のＭＵＸ２及びＭＵＸ４も部分回路である。

[0041] さて、各入力ノードＩＮ１、ＩＮ２、…．、ＩＮ２^{n}に接続されている２$^{(n-1)}$個のセレクタ群（Ｓ１１、Ｓ１２、…．、Ｓ１２$^{(n-1)}$）を第１段セレクタ群，その各出力ノードに接続される２$^{(n-2)}$個のセレクタ群（Ｓ２１、…、Ｓ２２$^{(n-2)}$）を第２段セレクタ群等、マルチプレクサの出力ノードＱＭに接続される最終段のセレクターはＳｎ１の１個ではあるが便宜上２$^{(n-1)}$段セレクタ群と呼ぶことにする。また第１段セレクタ群から最終段セレクタ群までのセレクタ群数をセレクタ群の段数と呼ぶ。

[0042] 第１段セレクタ群の各制御信号入力ノード、すなわちセレクターＳ１１、Ｓ１２、…．、Ｓ１２$^{(n-1)}$の各制御信号入力ノードＡと各制御信号入力ノードＢに印加される制御信号は、それぞれＣＮ１とその反転の制御信号ＣＮＢ１である。これによって奇数番目の入力ノードすべてか、偶数番目の入力ノードすべてかのどちらかが選択され、次段のセレクタ群の入力ノードと接続される。

[0043] 同様に第２段セレクタ群には制御信号ＣＮ２とその反転の制御信号ＣＮＢ２、が印加され、第１段セレクタ群のうち奇数番目セレクターの出力か偶数番目セレクターの出力かのどちらかが選択される。以下同様に制御信号によって選択が行われ、最終段ではそれぞれＣＮｎとその反転の制御信号ＣＮＢｎが印加され、前段の二個のセレクターからなるセレクタ群の二つの出力のうち一番目か二番目のセレクターの出力どちらかが選択されマルチプレクサ

の出力ＱＭに出力される構成である。

[0044] 各段のセレクタ群に必要な制御信号対は、（ＣＮ１、ＣＮＢ１）、（ＣＮ２、ＣＮＢ２）など、（ＣＮｎ、ＣＮＢｎ）まで合計ｎ対が必要である。それぞれの制御信号対間は独立であるが、各制御信号対の一方の制御信号は他方の制御信号の反転となっていて、制御信号対内の信号同士は独立ではない。したがって、独立な制御信号数はｎ個である。このマルチプレクサの動作は、これらの制御信号の値によって2^n個の入力のうちの１つ、例えばＩＮ１のみが選択され、ＩＮ１から出力ノードＱＭまで、オン状態のパストランジスタで従続接続された信号経路が選択され、これによって選択された入力ノードＩＮ１の入力信号と論理的に等価な論理信号が出力ノードＱＭに出力される。なお、マルチプレクサにおいては各パストランジスタの閾値電圧はマルチプレクサ全体で共通に制御し、各入力ノードからみた信号経路を電気的に同等にすること、及び回路接続の簡素化において有効である。そこで各セレクターの閾値電圧制御ノードＧＮ２Ｃは共通接続され、マルチプレクサとしての閾値電圧制御ノードＧＮ２ＣＮに接続される。

[0045] 図２３には、上記同様、独立な制御信号数は増えるがセレクタ群の段数を削減して構成した例を示す。なお、図２１と同様な構成でセレクタ群を１段のみとして示すような構成も出来得る。制御信号対は、（ＣＮＤ１、ＣＮＥ１）、（ＣＮＤ２、ＣＮＥ２）など、（$ＣＮＤ２^{n-1}$、$ＣＮＥ２^{n-1}$）まで合計$２^{(n-1)}$対が必要で、ＣＮＤ１乃至$ＣＮＤ２^{n-1}$及び$ＣＮＥ１$乃至$ＣＮＥ２^{n-1}$はすべて互いに独立に論理値が与えられる。すなわち、例えば入力ノードＩＮ１を選択する場合はＣＮＤ１を論理値１としてＩＮ１が選択されるようにし、ＣＮＥ１は論理値０（ＩＮ２は選択されない）とし、その他の制御信号はすべて論理値０として、ＩＮ３以下が選択されないようにする。

[0046] なお、図２０及び図２１を混在させたマルチプレクサも可能である。例えば、８入力のマルチプレクサを構成する場合、図２１の構成を２組用意し、それぞれ対応する制御信号入力ノードは共通として、８入力２出力のマルチプレクサを構成する。さらにこの２出力を２入力のマルチプレクサの入力と

するのである。

[0047] 図２４には、上記した図２２や図２３で示した２ⁿ入力マルチプレクサ（ＭＵＸ２ⁿ）の部分回路の回路記号を示す。但し、制御信号対を（ＣＮＤ１、ＣＮＥ１）、（ＣＮＤ２、ＣＮＥ２）、・・・・、（ＣＮＤｍ、ＣＮＥｍ）で表し、その数は上記したように回路構成によって異なる。故に、その個数を自然数ｍで表した。この場合、制御信号対間は独立であるが、制御信号対内の２つの制御信号は独立である場合と独立ではなく一方が他方の反転信号となっている場合がある。

[0048] 図２５には、図２２及び図２３の各セレクターを図１９（ｂ）の回路記号に置き換えたＰ形のパストランンジスタによる２ⁿ入力のマルチプレクサの部分回路を示した。ここでマルチプレクサの閾値電圧制御ノードをＧＰ２ＣＮとする。

[0049] 図２６に示すように、トランスミッションゲートによる２ⁿ入力のマルチプレクサの部分回路も図１９（ｃ）の回路記号を用いて同様に構成できる。つまり、図２２及び図２３の各セレクターを図１９（ｃ）の回路記号に置き換える。但し、閾値電圧制御ノードはＮ形パストランジスタ用のＧＮ２ＣＮと、Ｐ形パストランジスタ用のＧＰ２ＣＮが必要となる。

[0050] ［実施例１］

図１は本発明の第１の実施例を示す。図２４のＮ形パストランジスタを用いて、マルチプレクサの閾値電圧制御ノードＧＮ２ＣＮと、Ｎ形パストランジスタ用の閾値電圧制御電圧源ＶＴＳＮが接続される電源接続ノードＶＴＭＮとを抵抗ＲＮで接続する。パストランジスタにＮ形のＳＯＴＢＭＯＳＴ用いた場合、その第２ゲートをトランジスタ構造として共通な１つの領域（共通第２ゲート領域）で構成することが出来る。ここでは、該領域の電気抵抗を第２ゲートしての働きを良好にするために十分に小さく設定する。この共通第２ゲート領域の外部接続のための電気的接続点も上記ＧＮ２ＣＮとみなすことができる。なお、マルチプレクサを構成している各Ｎ形パストランジスタの第２ゲートの電位はＧＮ２ＣＮの電位に等しいとみなせる。以下に

動作原理を説明する。

[0051] 図２には、論理信号入力ノードＩＮ１が選択されたとしてＩＮ１から見た等価回路を簡略化して示す。出力ノードＱＭには接地（ＧＮＤ）との間に負荷容量ＣＬが等価的に接続されている。Ｒｔｒ１、Ｒｔｒ２、…、ＲｔｒｍはＩＮ１と出力ノードＱＭ間の信号経路を形成する全ての各パストランジスタのオン状態の等価抵抗を表す。Ｃ１は初段のパストランジスタのドレインとＧＮ２ＣＮ間容量ＣＤＢＧ１に等しく、Ｃ２は初段のパストランジスタのソースとＧＮ２ＣＮ間容量ＣＳＢＧ１と次段のパストランジスタのドレインとＧＮ２ＣＮ容量ＣＤＢＧ２の和に等しい。Ｃ３は次段のパストランジスタのソースとＧＮ２ＣＮ容量ＣＳＢＧ２と３段目のパストランジスタのドレインとＧＮ２ＣＮ容量ＣＤＢＧ３の和に等しい。以下$C_{(m-1)}$まで同様であり、C_mは最終段のパストランジスタのソースとＧＮ２ＣＮ容量ＣＳＢＧｍに等しい。

[0052] 更に、ＧＮ２ＣＮと接地間にある寄生容量と、選択されていない入力が交流的に接地状態であるとそれら入力と直接またはオン状態のパストランジスタを通して接続されているパストランジスタのドレインまたはソースとＧＮ２ＣＮ間の容量も加えた値の寄生容量の合計ＣｓｔｒがＧＮ２ＣＮと接地間に接続される。

[0053] 図示されてはいないが出力ノードＱＭにはＦＴＭＯＳＴで構成されたＣＭＯＳインバータ等からなるバッファが接続され、これは通常、物理的にマルチプレクサの直近に配置され、ＣＭＯＳインバータを構成しているトランジスタのうちＮ形ＦＴＭＯＳＴの第２ゲートはマルチプレクサの共通第２ゲートＧＮ２ＣＮに接続される。そのため、インバータの出力は交流的には接地状態とみなせ、インバータのＮ形ＦＴＭＯＳＴのソース及びドレインとその第２ゲート間の寄生容量が上記Ｃｓｔｒに更に追加される。また、制御信号ノードに印加される制御信号は長配線による信号の劣化を避けるために物理的にマルチプレクサの直近に配置されたＣＭＯＳインバータを通して各制御ノードに印加される。これら、各ＣＭＯＳインバータについてもバッファＣ

ＭＯＳインバータと同様であり、それらを構成するＮ形ＦＴＭＯＳＴのソース及びドレインとその第２ゲート間の寄生容量が上記Ｃｓｔｒにさらに追加される。この合計されたＣｓｔｒをＣＢＧＧとして図２に示した。かかる等価回路では、ＩＮ１とＧＮ２ＣＮの間のＣ１乃至Ｃｍの合計容量ＣＰＧ２とＧＮ２ＣＮと電源接続ノードＶＴＭＮ間の抵抗ＲＮとで単純ではないが微分回路が構成される。

[0054] 図３（ａ）に示すように、ＩＮ１に論理信号レベル（電位の値）が低いレベル（ローレベル、Ｌ）から高いレベル（ハイレベル，Ｈ）に時間的にステップ状に変化する論理信号を入力する。このとき、共通第２ゲートノード、すなわちＧＮ２ＣＮの電位変化は、図３（ｂ）に示すように瞬時に変化する。そして、時間的減衰特性が時定数ＴＮＢ＝ＲＮ＊ＣＢＧＧでほぼ定まる微分波形状の電位変化Ｄup及びＤdnとなる。ただし、ＴＮＢは入力波形のハイレベルのパルス幅よりは小さい場合を示している。従って、次に入力波形がローレベルに変化するときはＧＮ２ＣＮの電位はほぼＶＴＳＮに等しくなっている。

[0055] Ｐup及びＰdnはそれぞれＧＮ２ＣＮの電位のピーク値のＶＴＳＮとの差の絶対値を示す。この値は理想的にはハイレベルとローレベルの電位差に等しいが、寄生容量ＣＢＧＧがあるとハイレベルとローレベルの電位差がＣＰＧ２の逆数とＣＢＧＧの逆数の比で比例配分されるのでＣＢＧＧが大きいほどＰupとＰdnは小さくなる。

[0056] ここで、図３（ｂ）に示したＧＮ２ＣＮの微分波形状電位変化の減衰時間は、ＲＮの値を十分に大きくすると、伝搬遅延時間よりも遅くすることが出来る。このとき伝搬遅延時間内ではほぼ一定、すなわち選択された論理信号入力ノードＩＮ１の論理信号レベルがＬからＨに変化するとき（立ち上がり時）は、ＧＮ２ＣＮの電位はほぼＶＴＳＮ＋Ｐupに近い値にとどまるとみなし得る。このことは、伝搬遅延時間内ではC_1、C_2、C_3…C_mに充電しなければならない電荷量変化ＤＱＲにおいて、初期値ＱＱ０は、（ＣＰＧ２＋ＣＬ）＊（Ｌ－ＶＴＳＮ）である。また、信号レベル変化後の値ＱＱ１は、Ｃ

ＰＧ２＊（Ｈ－ＶＴＳＮ－Ｐup）＋ＣＬ（Ｈ－ＶＴＳＮ）で表され、ＤＱＲ＝ＱＱ１－ＱＱ０＝ＣＰＧ２＊（Ｈ－Ｌ－Ｐup）＋ＣＬ＊（Ｈ－Ｌ）となる。

[0057] Ｐupがゼロ、すなわちＲＮがない場合、ＣＰＧ２の電荷量変化はＣＰＧ２＊（Ｈ－Ｌ）であるから、ＣＰＧ２＊Ｐupだけの電荷量変化が少なくてもよい。つまり、ＣＰＧ２が小さくなり、信号経路の負荷容量の軽減効果が生じる。したがって、伝搬遅延時間の減少を図り得る。Ｐupも大きいことが望ましい。なお、信号経路上のパストランジスタ接続点Ｎ２，Ｎ３…Ｎｍの電位もＧＮ２ＣＮがパルス状に電位が上がるため、やはりパルス状に電位上昇があるが、負荷容量ＣＬがあるためＰupよりさらに小さくなる。しかし、伝搬遅延時間を減少させる方向に変化する。Ｐupが大きいと第２ゲートによるパストランジスタの閾値電圧が過渡的に小さくなり、さらに伝搬遅延時間を減少させ得る。

[0058] 逆に、選択された論理信号入力ノードＩＮ１の論理信号レベルがＨからＬに変化するとき（立ち下がり時）も、同様にほぼＶＴＳＮ－Ｐdnに近い値にとどまっているとみなし得る。このことは、伝搬遅延時間内ではＣＰＧ２から放電すべき電荷量変化ＤＱＦにおいて、初期値ＱＱ２は（ＣＰＧ２＋ＣＬ）＊（Ｈ－ＶＴＳＮ）となり、レベル変化後の値ＱＱ３はＣＰＧ２＊（Ｌ－（ＶＴＳＮ－Ｐdn））＋ＣＬ＊Ｈとなるので、ＤＱＦ＝ＱＱ２－ＱＱ３＝ＣＰＧ２＊（Ｈ－Ｌ－Ｐdn）＋ＣＬ＊（Ｈ－Ｌ）となり、やはりＣＰＧ２が小さくなり、同様に信号経路の負荷容量を軽減効果が生じる。したがって、この場合も伝搬遅延時間の減少を図ることが出来る。Ｐdnも大きいことが望ましい。

[0059] なお、信号経路上のパストランジスタ接続点Ｎ２，Ｎ３…Ｎｍの電位はＧＮ２ＣＮがパルス状に電位が下がるため、やはりパルス状に電位下降があるが、負荷容量ＣＬがあるためＰdnよりさらに小さくなる。この場合も伝搬遅延時間を減少させる方向の変化ではある。Ｐdnが大きいと第２ゲートによるパストランジスタの閾値電圧が過渡的に大きくなり、この場合は伝搬遅延時

間を増加させる方向に働くが、Ｐdnが大きいことによる負荷容量の軽減効果が大きければやはり伝搬遅延時間を減少させることが出来る。前述した負荷容量の減少効果はＶＴＳＮ、すなわち共通第２ゲートノードＧＮ２ＣＮの定常状態の電位には依存しない。

[0060] 図４に示したように、ＲＮを大きくしてＣＢＧＧとＲＮとの積で定まる減衰時定数ＴＮＢを入力信号のハイレベルのパルス幅程度に増加すると、入力信号がハイレベルの間ＧＮ２ＣＮの電位はＶＴＳＮ＋Ｐupより大きく低下しないように出来る。このとき、入力信号の立ち下がりにおいてＰdnはほぼＰupに等しいはずだから立ち下がり時におけるＧＮ２ＣＮの電位はＶＳＴＮより大きく低くならない。つまり、閾値電圧の増加を抑制することができる。負荷容量の軽減効果は入力信号が変化する直前のＧＮ２ＣＮの電位には依存しないのでＲＮが小さい場合より伝搬遅延時間をさせることが出来る。

[0061] 但し、図４は１回限りとみなせる入力信号が印加された場合か、ハイレベルのパルス幅がローレベルの期間よりも十分に短い場合である。ハイレベルとローレベルの期間が同程度の入力信号が繰り返し印加された場合には、ＧＮ２ＣＮの電位変化はＶＴＳＮを中心として高低に変化する。この場合でも入力信号変化の直前でのＧＮ２ＣＮの電位には前述した負荷容量の減少効果は依存しないので伝搬遅延時間を減少させることが出来る。さらに、入力信号の立ち上がり変化時の閾値電圧減少効果は、約Ｐup／２だけの効果を期待でき、立ち下がり変化の時の閾値電圧増加効果は約Ｐdn／２だけでありこれによる伝搬遅延時間増加は抑制できる。

[0062] 一方、定常状態ではマルチプレクサの入力ノードにはハイレベルまたはローレベルの一定電位が与えられた状態である。全ての入力ノードがハイレベルまたはローレベルであればよいが一般的ではない。故に、入力ノード間はオフ状態のパストランジスタを少なくとも１つ含む複数個（但し、ＭＵＸ２の場合は１個）のパストランジスタで構成されたハイレベルからローレベルへの電流通路（リークパスと称する。）で接続され得る。また、所定の入力ノード間には複数個のリークパスもあり得る。このとき、各論理信号入力ノ

ードに与えられるハイレベルまたはローレベルの割当によってはリークパスを通して流れるリーク電流が増大する。したがって、マルチプレクサにおいてはリーク電流の減少が重要であるが、定常状態の共通第２ゲートの電位ＶＴＳＮの値をパストランジスタの閾値電圧が大きくなるように設定すればリーク電流の減少を図ることが出来る。

[0063] 一方、動作状態でのパストランジスタのオン抵抗Ｒonが大きくなって、転送速度は低下する。かかる場合も、図１に示した構成によって転送速度の低下を軽減でき、リーク電流の減少と転送速度の増加を両立させ得る。上記した効果はマルチプレクサを構成する各パストランジスタの第２ゲートがＧＮ２ＣＮに共通接続されているため、信号経路上のパストランジスタに同等に作用するので選択された入力に依存しない。

[0064] ［実施例２］

図５は本発明の第２の実施例を示す。Ｐ形パストランジスタ用いた図２５のマルチプレクサの閾値電圧制御ノードＧＰ２ＣＮと、閾値電圧制御電圧源ＶＴＳＰが接続される電源接続ノードＶＴＭＰとを抵抗ＲＰで接続する。パストランジスタにＳＯＴＢＭＯＳＴ用いた場合では第２ゲートを共通した１つの領域（共通第２ゲート領域）で構成できる。このとき当該領域の電気抵抗は第２ゲートしての働きを良好にするように十分に小さく設定する。この共通第２ゲート領域の外部接続のための電気的接続点もＧＰ２ＣＮとすれば、ＧＰ２ＣＮと電源接続ノードＶＴＭＰも抵抗ＲＰで接続される。なお、ＧＰ２ＣＮの電位は、マルチプレクサを構成している各パストランジスタの第２ゲートの電位に等しいとみなせる。動作原理はＰ形パストランジスタで形成される信号経路について第１の実施例のＮ形パストランジスタと本実施例のＰ形パストランジスタの極性の違いを考慮すれば第１の実施例と同様である。

[0065] ［実施例３］

図６は本発明の第３の実施例を示す。トランスミッションゲートを用いた図２６のマルチプレクサのＮ形パストランジスタための第１の閾値電圧制御

ノードＧＮ２ＣＮと、Ｎ形パストランジスタの閾値電圧制御電圧源ＶＴＳＮが接続される電源接続ノードＶＴＭＮとを抵抗ＲＮで接続する。また、Ｐ形パストランジスタのための第２の閾値電圧制御ノードＧＰ２ＣＮと、Ｐ形パストランジスタの閾値電圧制御電圧源ＶＴＳＰが接続される電源接続ノードＶＴＭＰとを抵抗ＲＰで接続する。動作原理はトランスミッションゲートのＮ形パストランジスタで構成される信号経路とＰ形パストランジスタで構成される信号経路それぞれについて第１及び第２の実施例と同様の動作原理である。

[0066] 上記実施例１乃至３で用いた抵抗ＲＮやＲＰはその両端の電位で抵抗値がほとんど変化しない線形抵抗を用いた。これにより、図２で示したように共通第２ゲートノードに生じる微分波形状の電位変化のピーク値ＰupやＰdnはほぼ同じ値となる。この値自体の効果をＮ形パストランジスタの場合で述べる。

[0067] マルチプレクサの論理信号入力ノードから出力ノードＱＭまでの論理信号の伝搬遅延時間程度の過渡状態では、Ｐupが大きいほどその閾値電圧は小さくなり、したがってＲonが過渡的に小さくなるのでＣＰＧ２が小さく見えることとの相乗効果で転送速度がより増大する。一方、Ｐdnが大きいほどその閾値電圧は大きくなり、特に減衰時定数ＴＢＮがハイレベルのパルス幅よりは十分小さい時にはＲonがＶＴＳＮで設定される値よりも過渡的に大きくなり、ＣＰＧ２が小さく見えることによる転送速度の増加を抑制し得る。したがって、論理信号の立ち下がりでの転送速度の増加にはＰdnを抑制することが効果的である。

[0068] 上記はＰ形パストランジスタを用いた場合でも同様である。但し、ＰupとＰdnの役割は逆になる。すなわち、論理信号の立ち上がりでの転送速度の増加にはＰupを抑制できることが効果的である。

[0069] さらにトランスミッションゲートを用いた場合にはそのＮ形パストランジスタに対しては論理信号の立ち下がりでの転送速度の増加にはＰdnを抑制することが効果的であり、Ｐ形パストランジスタに対しては論理信号の立ち上

がりでの転送速度の増加にはＰupを抑制できることが効果的である。

[0070] ［実施例４］

図７はＮ形パストランジスタを用いた場合に２ⁿ入力マルチプレクサＭＵＸ２ⁿで上記効果を得る第４の実施例を示す。各パストランジスタ共通の閾値電圧制御ノードＧＮ２ＣＮの電位ＶＧＮ２ＣＮは、ハイレベルのパルス幅が減衰時定数ＴＢＮより十分小さいので定常状態ではＶＴＳＮとなる。そこで、ＧＮ２ＣＮと電源接続ノードＶＴＭＮ間に接続される線形抵抗ＲＮを非線形抵抗ＲＶＮに置き換える。このＲＶＮの特性を、理想的には電位ＶＧＮ２ＣＮが定常的なときだけでなく、過渡的なときにおいてもＶＴＳＮよりも高くなるときは高抵抗状態、またＶＴＳＮより設定された値（ＤＮdn）以下に低くなる時は低抵抗状態となるような非線形抵抗ＲＶＮとする。

[0071] 図８（ａ）に示すように、Ｎ形パストランジスタの場合は、選択された論理信号入力ノード（ＩＮ１とする）から閾値電圧制御電源ＶＴＳＮまでの等価回路は導通状態のパストランジスタの抵抗は十分小さいとして簡単化して表される。ただし、前述したように減衰時定数ＴＢＮはハイレベルのパルス幅より十分小さいとした。図中ＣＰＧ２はＩＮ１が接続されている選択された信号経路と共通第２ゲート間の容量である。またＣＢＧＧは共通第２ゲートと接地（ＧＮＤ）間の寄生容量である。

[0072] 図８（ｂ）のように、この時ＩＮ１の論理信号レベルがローレベル（Ｌ）からハイレベル（Ｈ）に変化するとき、図８（ｃ）に示すようにＧＮ２ＣＮには正方向の微分波形状の電位変化ＤＮupが生じ、かつＲＶＮは高抵抗状態となるのでそのピーク値と定常状態のＧＮ２ＣＮの電位ＶＴＳＮとの差の絶対値（ＰＮup）は大きく、選択された経路上の各Ｎ形パストランジスタに流れる電流を増強するように働き、かつＣＰＧ２は小さく見えるから転送速度の増速効果が生じる。逆に選択された論理信号入力ノードＩＮ１がハイレベル（Ｈ）からローレベル（Ｌ）に変化するときはＧＮ２ＣＮには負方向の微分波形状のＤＮdnが生じるが、その電位がＶＴＳＮより設定された値であるＰＮdn以上に低くなる時、すなわちＶＴＳＮ－ＰＮdn以下になる時はＲＶＮ

が低抵抗状態となって、ピーク値はＰＮdnに制限される。ＰＮdnはＰＮupより小さく設定される。このようにして立ち下がり時の閾値電圧が大きくなることによる転送速度の過剰な低下を抑制できる。

[0073] ［実施例５］

図９はＰ形パストランジスタを用いた場合に２ⁿ入力マルチプレクサＭＵＸ２ⁿで上記効果を得る第５の実施例を示す。各パストランジスタ共通の閾値電圧制御ノードＧＰ２ＣＮの電位ＶＧＰ２ＣＮはハイレベルのパルス幅が減衰時定数ＴＢＮより十分小さいので定常状態ではＶＴＳＰとなっている。そこで、ＧＰ２ＣＮと電源接続ノードＶＴＭＰ間に接続される線形抵抗ＲＰを非線形抵抗ＲＶＰに置き換え、このＲＶＰの特性を、理想的には電位ＶＧＰ２ＣＮが定常的なときだけでなく、過渡的なときにおいてもＶＴＳＰより低くなるときは高抵抗状態、またＶＴＳＰより設定された値（ＤＰup）以上に高くなる時、すなわちＶＴＳＰ＋ＰＰup以上になる時は低抵抗状態となるような非線形抵抗ＲＶＰとする。

[0074] 図１０（ａ）に示すように、Ｐ形パストランジスタの場合は、選択された論理信号入力ノード（ＩＮ１とする）から閾値電圧制御電源ＶＴＳＰまでの等価回路は導通状態のパストランジスタの抵抗は十分小さいとして簡単化して表される。図中ＣＰＧ２はＩＮ１が接続されている選択された信号経路と共通第２ゲート間の容量である。またＣＧ２Ｂは共通第２ゲートと接地（ＧＮＤ）間の寄生容量である。

[0075] 図１０（ｂ）のように、ＩＮ１の論理信号レベルがローレベル（Ｌ）からハイレベル（Ｈ）に変化するとき、図１０（ｃ）に模式的に示すように、ＧＰ２ＣＮには正方向の微分波形状の電位変化ＤＰupが生じるが、その電位がＶＴＳＰ＋ＰＰup以上に高くなるときはＲＶＰが低抵抗状態となって、ピーク値はＰＰupに制限される。逆に選択された論理信号入力ノードＩＮ１がハイレベル（Ｈ）からローレベル（Ｌ）に変化するときは、ＧＰ２ＣＮには負方向の微分波形状のＤＰdnが生じ、かつＲＶＰは高抵抗状態となるのでそのピーク値の絶対値（ＰＰdn）は大きく、選択された経路上の各Ｐ形パストラ

ンジスタに流れる電流を増強するように働き、かつＣＰＧ２は小さく見えるから転送速度の増速効果が生じる。ＰＰupはＰＰdnより小さく設定される。このようにして立ち上がり時の閾値電圧の絶対値が大きくなることによる転送速度の過剰な低下を抑制できる。

[0076] 図１１には、さらにトランスミッションゲート（ＴＧと略称する）を用いた場合に２ⁿ入力マルチプレクサＭＵＸ２ⁿで上記効果を得る第６の実施例を示す。Ｎ形パストランジスタのための第１の閾値電圧制御ノードＧＮ２ＣＮと、電圧源ＶＴＳＮが接続される電源ノードＶＴＭＮ間を第４の実施例のＲＶＮと同様な特性を有する非線形抵抗ＲＶＮ１で接続する。またＰ形パストランジスタのための第２の閾値電圧制御ノードＧＰ２ＣＮと、電圧源ＶＴＳＰが接続される電源ノードＶＴＭＰ間を第５の実施例のＲＶＰと同様な特性を有する非線形抵抗ＲＶＰ１で接続する。選択された入力ノード、例えばＩＮ１に印加される論理信号の立ち上がり時には、ＴＧのＮ形パストランジスタの転送速度は加速されると同時にそのＴＧのＰ形パストランジスタの転送速度の過剰な低下は抑制され、また立ち下がり時にはＴＧのＮ形パストランジスタの転送速度の過剰な低下は抑制される。これと同時にそのＴＧのＰ形パストランジスタの転送速度は加速されるように作用し、入力論理信号の過渡状態でのＴＧによる転送速度を加速することができる。

[0077] 上記した非線形抵抗ＲＶＮ、ＲＶＮ１、ＲＶＰ、ＲＶＰ１の抵抗値変化は時間的に速いことが好ましく、ＭＯＳトランジスタなどの高速動作の可能な回路素子が望ましい。

[0078] 図１２には、Ｎ形のＦＴＭＯＳＴを用いた非線形抵抗ＲＶＮまたはＲＶＮ１の具体的構成例を示した。図１２（ａ）のように、Ｎ形のＦＴＭＯＳＴであるＭＮＲＶの第１ゲートＧ１ＲＶＮとドレインＤを接続し、マルチプレクサのＮ形パストランジスタの閾値電圧制御用電源ＶＴＳＮが接続されるところの電源接続ノードＶＴＭＮに接続する。ソースＳはマルチプレクサのＮ形パストランジスタの閾値電圧制御ノードＧＮ２ＣＮに接続する。第２ゲートＧ２ＲＶＮはＭＮＲＶの閾値電圧制御電圧源ＶＴＲＶＮが接続されるところ

の電源接続ノードＶＴＭＮＲＶに接続する。

[0079] 図１２（ｂ）には、ノードＶＴＭＮの電位がＶＴＳＮに設定されており、ノードＧＮ２ＣＮとＶＴＭＮ間を流れる電流をＩＳとしてノードＧＮ２ＣＮの電位ＶＧＮ２ＣＮとの関係を示した。すなわち、ＭＮＲＶの閾値電圧をＶＴＨＲＶＮとすると、ＶＧＮ２ＣＮの値がＶＴＳＮ－ＶＴＨＲＶＮより小さくなると大きな電流が流れ始め、ノードＧＮ２ＣＮとＶＴＭＮ間の抵抗は小さくなり、逆にＶＴＳＮ－ＶＴＨＲＶＮより大きくなると電流は極めて小さくなりノードＧＮ２ＣＮとＶＴＭＮ間の抵抗は大きくなる。高抵抗値と低抵抗値を示す切り替わりのＶＧＮ２ＣＮの値がＶＴＳＮよりＶＴＨＲＶＮだけずれることからＶＴＨＲＶＮの値がほぼ図８のＰＮdnの値を決めていると言え、図８のＲＶＮの特性をほぼ実現できている。ＶＴＨＲＶＮはＶＴＭＮＲＶに接続される電源ＶＴＲＶＮの電圧値で制御でき、ＲＶＮまたは図１１のＲＶＮ１に求められる特性を実現できる。

[0080] 図１３には、非線形抵抗ＲＶＰまたはＲＶＰ１の具体的構成例を示す。

[0081] 図１３（ａ）のようにＰ形ＦＴＭＯＳＴであるＭＰＲＶの第１ゲートＧ１ＲＶＰとソースＳを接続し、マルチプレクサのＰ形パストランジスタの閾値電圧制御用電源ＶＴＳＰが接続されるところの閾値電圧制御ノードＶＴＭＰに接続する。ドレインＤはマルチプレクサのＰ形パストランジスタの閾値電圧制御ノードＧＰ２ＣＮに接続する。第２ゲートＧ２ＲＶＰはＭＰＲＶの閾値電圧制御電圧源ＶＴＲＶＰが接続されるところの電源接続ノードＶＴＭＰＲＶに接続する。

[0082] 図１３（ｂ）には、ノードＶＴＭＰの電位がＶＳＴＰに設定されており、ノードＧＰ２ＣＮとＶＴＭＰ間を流れる電流をＩＤとしてノードＧＰ２ＣＮの電位ＶＧＰ２ＣＮとの関係を模式的に示した。すなわち、ＭＰＲＶの閾値電圧の絶対値をＶＴＨＲＶＰとすると、ＶＧＰ２ＣＮの値がＶＴＳＰ＋ＶＴＨＲＶＰより大きくなると大きな電流が流れ始め、ノードＧＰ２ＣＮとＶＴＭＰ間の抵抗は小さくなり、逆にＶＴＳＰ＋ＶＴＨＲＶＰより小さくなると電流は極めて小さくなりノードＧＰ２ＣＮとＶＴＭＰ間の抵抗は大きくなる

。高抵抗値と低抵抗値の切り替わりのＶＧＰ２ＣＮの値がＶＴＨＲＶＰだけずれることからＶＴＨＲＶＰの値が図１０のＰＰupの値を決めており、図９のＲＶＰの特性をほぼ実現できている。ＶＴＨＲＶＰはＶＴＭＰＲＶに接続される電源ＶＴＲＶＰの電圧値で制御でき、ＲＶＰまたは図１１のＲＶＰ１に求められる特性を実現できる。

[0083] 以上、本発明による実施例及びこれに基づく変形例を説明したが、本発明は必ずしもこれに限定されるものではなく、当業者であれば、本発明の主旨又は添付した特許請求の範囲を逸脱することなく、様々な代替実施例及び改変例を見出すことができるであろう。

符号の説明

[0084] １０　ＭＯＳトランジスタ

１１　基板

１２　第１ゲート

１３　第２ゲート（バックゲート）

１４　酸化膜

１５　チャネル

１６　ゲート絶縁膜

１７　ソース

１８　ドレイン

ＩＣ、ＩＣ１…、ＣＮ　制御信号入力ノード

ＶＴＣＮ、ＶＴＣＰ　閾値電圧制御ノード

Ｒ、ＲＮ、ＲＰ　抵抗

ＰＦＴＮ１…　Ｎ型パストランジスタ

ＰＦＴＰ１…　Ｐ型パストランジスタ

ＴＧ１、ＴＧ２　トランスミッションゲート

ＧＮ１１、ＧＮ２１、ＧＰ１１、ＧＰ２１　第１ゲート

ＧＮ１２、ＧＮ２２、ＧＰ１２、ＧＰ２２　第２ゲート

ＣＤＧ、ＣＳＧ、ＣＤＢＧ、ＣＳＢＧ　パストランジスタの寄

生容量

Ｒon、Ｒｔｒ１、Ｒｔｒ２、…Ｒｔｒｍ　パストランジスタのオン抵抗

Ｃ１…、Ｃｓｔｒ、ＣＢＧＧ、ＣＰＧ２　寄生容量

ＧＮ２Ｃ、ＧＰ２Ｃ　セレクターの閾値電圧制御ノード

ＱＱ０…　電荷量

ＤＱＲ、ＤＱＦ　電荷の変化量

ＧＮ２ＣＮ、ＧＰ２ＣＮ　閾値電圧制御ノード

ＶＴＭＮ、ＶＴＭＰ　電源接続ノード

ＶＴＳＮ、ＶＴＳＰ　閾値電圧制御電源（電圧値）

ＲＶＮ、ＲＮＶ１、ＲＶＰ、ＲＶＰ１　非線形抵抗

Ｄup、Ｄdn、ＤＮup、ＤＰup、ＤＮdn、ＤＰdn　微分波形

Ｐup、Ｐdn、ＰＮup、ＰＮdn、ＰＰup、ＰＰdn　微分波形のピーク値の絶対値

請求の範囲

[請求項1] 四端子二重絶縁ゲート型の電界効果トランジスタによるパストランジスタの複数で構成されたマルチプレクサであって、

前記電界効果トランジスタのゲートの一方を閾値電圧制御ノードに接続し、前記閾値電圧制御ノード及び閾値電圧制御電圧源の間に抵抗器を接続したことを特徴とするマルチプレクサ。

[請求項2] 前記電界効果トランジスタはＮ型であり、且つ、

前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で高抵抗値であることを特徴とする請求項１記載のマルチプレクサ。

[請求項3] 前記電界効果トランジスタはＰ型であり、且つ、

前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で低抵抗値であることを特徴とする請求項１記載のマルチプレクサ。

[請求項4] 前記非線形抵抗器は四端子二重絶縁ゲート型のＮ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴とする請求項２記載のマルチプレクサ。

[請求項5] 前記非線形抵抗器は四端子二重絶縁ゲート型のＰ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴とする請求項３記載のマルチプレクサ。

[請求項6] 四端子二重絶縁ゲート型の電界効果トランジスタによるパストランジスタの複数で構成されたマルチプレクサを含む集積回路であって、

前記マルチプレクサは、前記電界効果トランジスタのゲートの一方を閾値電圧制御ノードに接続し、前記閾値電圧制御ノード及び閾値電圧制御電圧源の間に抵抗器を接続したことを特徴とする集積回路。

[請求項7] 前記電界効果トランジスタはＮ型であり、且つ、

前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で高抵抗値であることを特徴とする請求項６記載の集積回路。

[請求項8] 前記電界効果トランジスタはＰ型であり、且つ、

前記抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、前記閾値電圧制御ノードの電位が前記閾値電圧制御電源の電位を基準とした基準電位より上で低抵抗値であることを特徴とする請求項６記載のマルチプレクサ。

[請求項9] 前記非線形抵抗器は四端子二重絶縁ゲート型のＮ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴とする請求項７記載のマルチプレクサ。

[請求項10] 前記非線形抵抗器は四端子二重絶縁ゲート型のＰ型電界効果トランジスタであって、ゲートの一方を前記閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記閾値電圧制御ノードにソース又はドレインのそれぞれを接続したことを特徴とする請求項８記載のマルチプレクサ。

[請求項11] 四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタを並列接続したトランスミッションゲートの複数で構成されたマルチプレクサであって、

前記Ｎ形ゲート電界効果トランジスタのゲートの一方を第１閾値電圧制御ノードに接続し、前記第１閾値電圧制御ノード及び第１閾値電

圧制御電圧源の間に第１抵抗器を接続し、

前記Ｐ形ゲート電界効果トランジスタのゲートの一方を第２閾値電圧制御ノードに接続し、前記第２閾値電圧制御ノード及び第２閾値電圧制御電圧源の間に第２抵抗器を接続したことを特徴とするマルチプレクサ。

[請求項12] 前記第１及び前記第２抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、

前記第１抵抗器は前記第１閾値電圧制御ノードの電位が前記第１閾値電圧制御電圧源の電位を基準とした基準電位より上で高抵抗値であり、

前記第２抵抗器は前記第２閾値電圧制御ノードの電位が前記第２閾値電圧制御電圧源の電位を基準とした基準電位を越えると高抵抗値から低抵抗値であることを特徴とする請求項１１記載のマルチプレクサ。

[請求項13] 前記第１抵抗器及び前記第２抵抗器はそれぞれ四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタであって、

前記第１抵抗器はそのゲートの一方を前記第１閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第１の閾値電圧制御ノードにソース又はドレインのそれぞれを接続し、

前記第２抵抗器はそのゲートの一方を前記第２閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第２閾値電圧制御ノードに接続したことを特徴とする請求項１１記載のマルチプレクサ。

[請求項14] 四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタを並列接続したトランスミッションゲートの複数で構成されたマルチプレクサを含む集積回路であって、

前記マルチプレクサは、前記Ｎ形ゲート電界効果トランジスタのゲ

ートの一方を第１閾値電圧制御ノードに接続し、前記第１閾値電圧制御ノード及び第１閾値電圧制御電圧源の間に第１抵抗器を接続し、

前記Ｐ形ゲート電界効果トランジスタのゲートの一方を第２閾値電圧制御ノードに接続し、前記第２閾値電圧制御ノード及び第２閾値電圧制御電圧源の間に第２抵抗器を接続したことを特徴とする集積回路。

[請求項15] 前記第１及び前記第２抵抗器は非線形抵抗器であって高低２値の抵抗値を呈し、

前記第１抵抗器は前記第１閾値電圧制御ノードの電位が前記第１閾値電圧制御電圧源の電位を基準とした基準電位より上で高抵抗値であり、

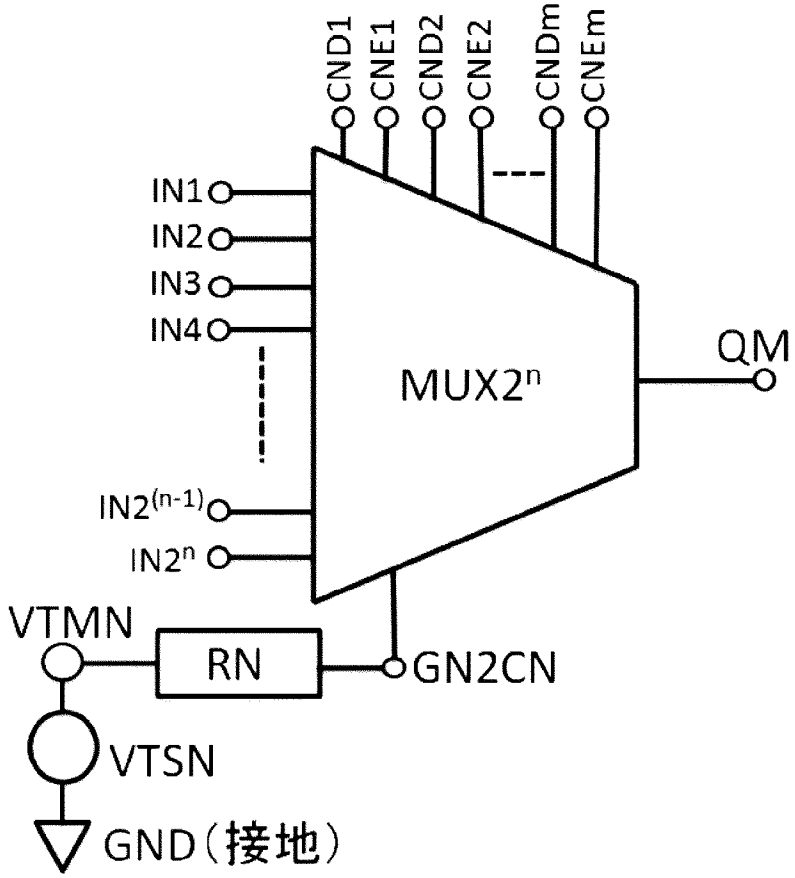
前記第２抵抗器は前記第２閾値電圧制御ノードの電位が前記第２閾値電圧制御電圧源の電位を基準とした基準電位を越えると高抵抗値から低抵抗値であることを特徴とする請求項１４記載の集積回路。

[請求項16] 前記第１抵抗器及び前記第２抵抗器はそれぞれ四端子二重絶縁ゲート型のＮ型及びＰ型電界効果トランジスタであって、

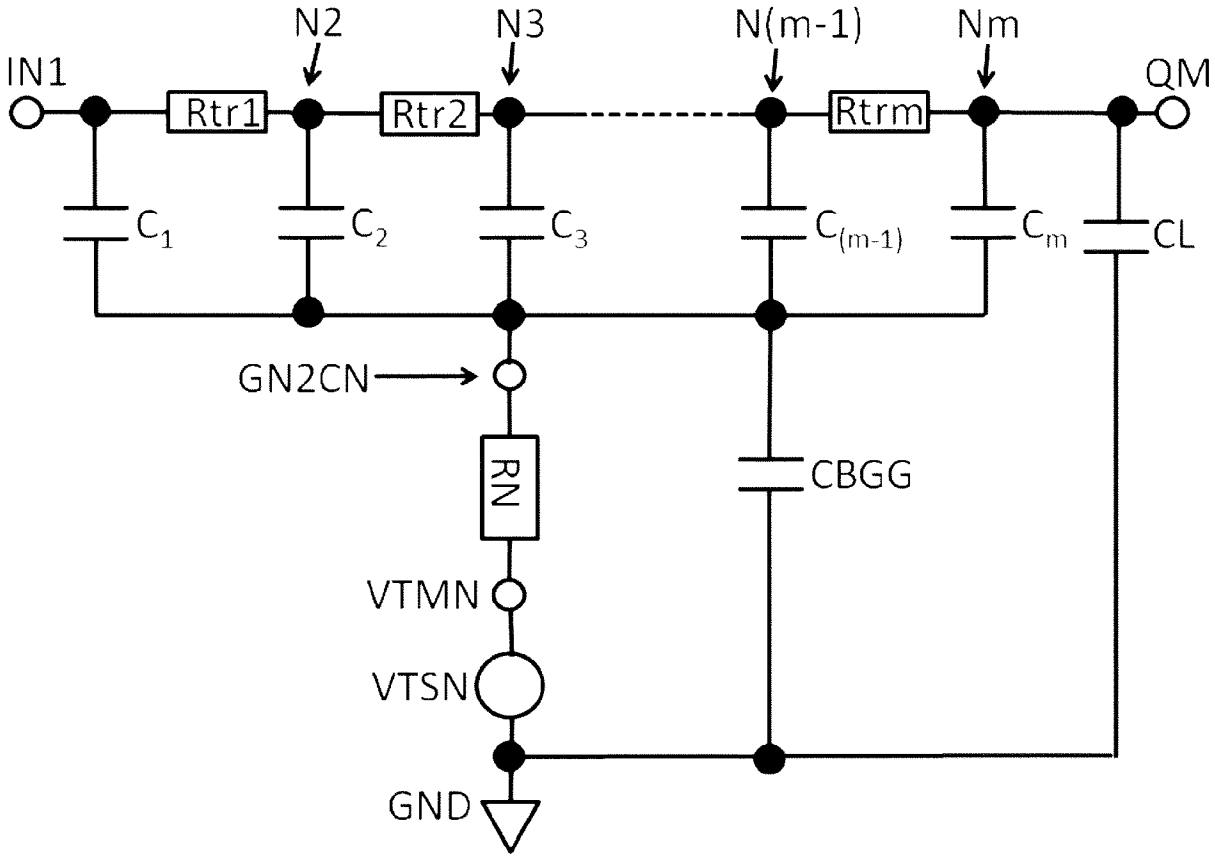
前記第１抵抗器はそのゲートの一方を前記第１閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第１の閾値電圧制御ノードにソース又はドレインのそれぞれを接続し、

前記第２抵抗器はそのゲートの一方を前記第２閾値電圧制御電圧源の接続された電源接続ノードに接続し、前記電源接続ノード及び前記第２閾値電圧制御ノードに接続したことを特徴とする請求項１４記載の集積回路。

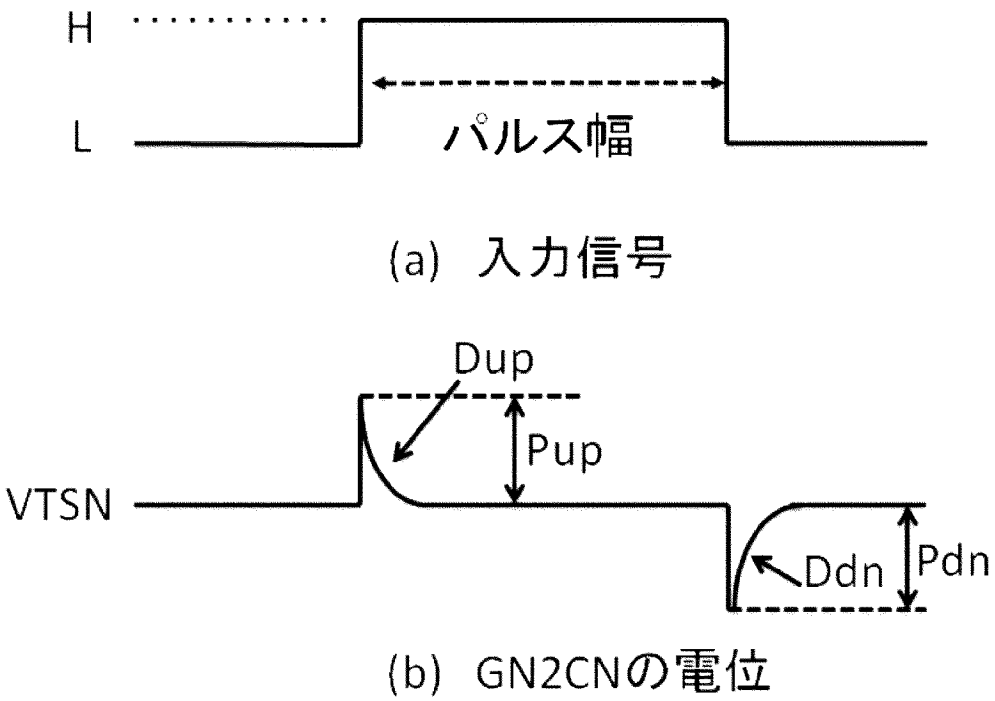
[図1]


CND1
CNE1
CND2
CNE2
CNDm
CNEm
IN1
IN2
IN3
IN4
IN2(n-1)
IN2n
MUX2n
QM
VTMN
RN
GN2CN
VTSN
GND（接地）

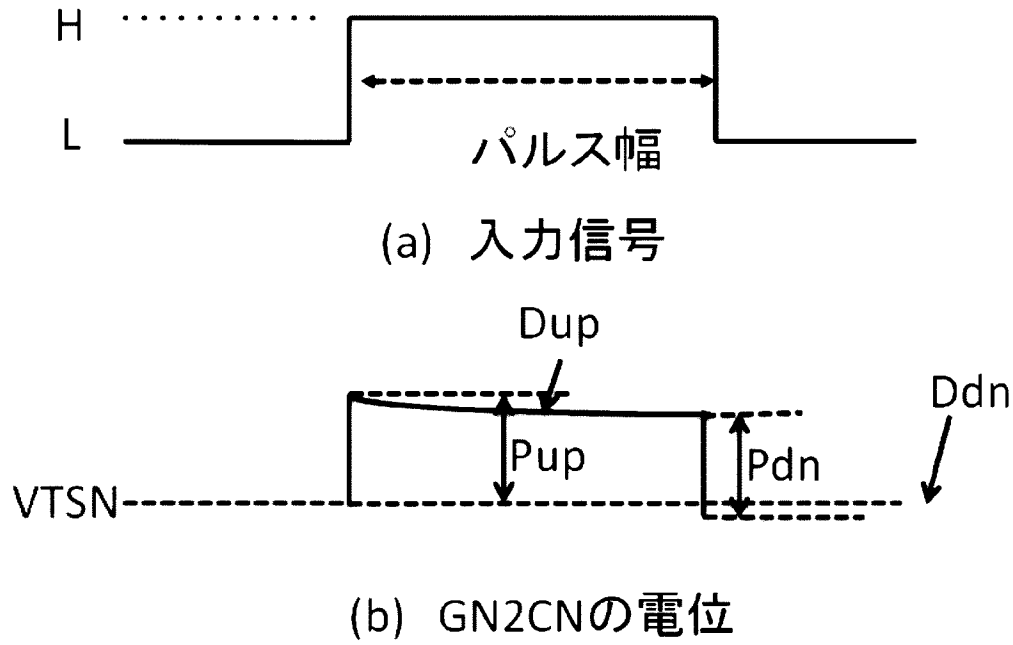
[図2]


IN1
N2
N3
N(m-1)
Nm
QM
Rtr1
Rtr2
Rtrm
C1
C2
C3
C(m-1)
Cm
CL
GN2CN
RN
CBGG
VTMN
VTSN
GND

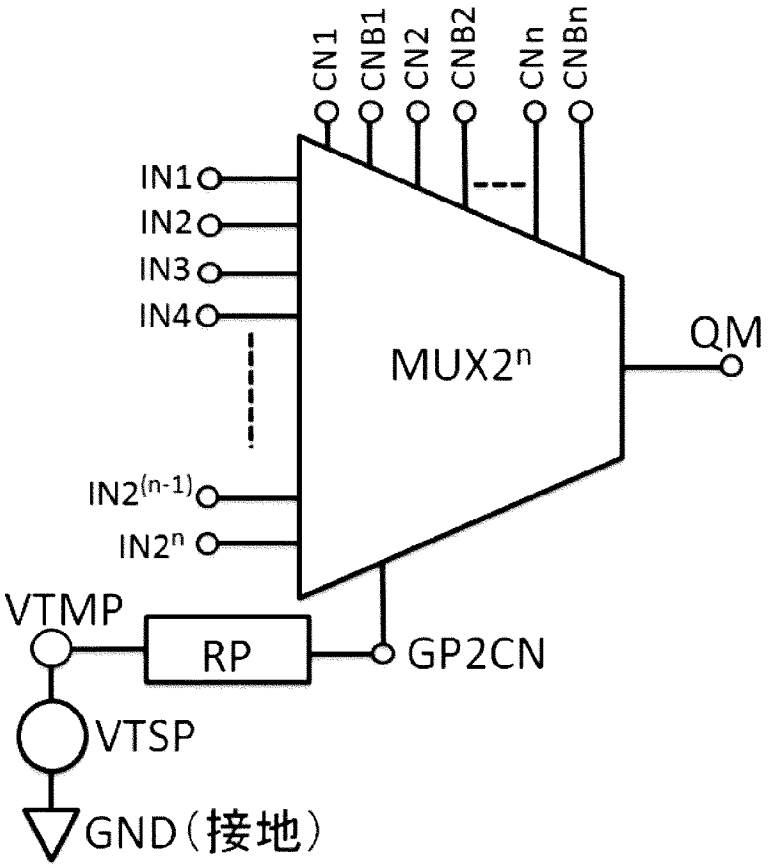
[図3]


H
L
パルス幅
(a) 入力信号
Dup
Pup
VTSN
Ddn
Pdn
(b) GN2CNの電位

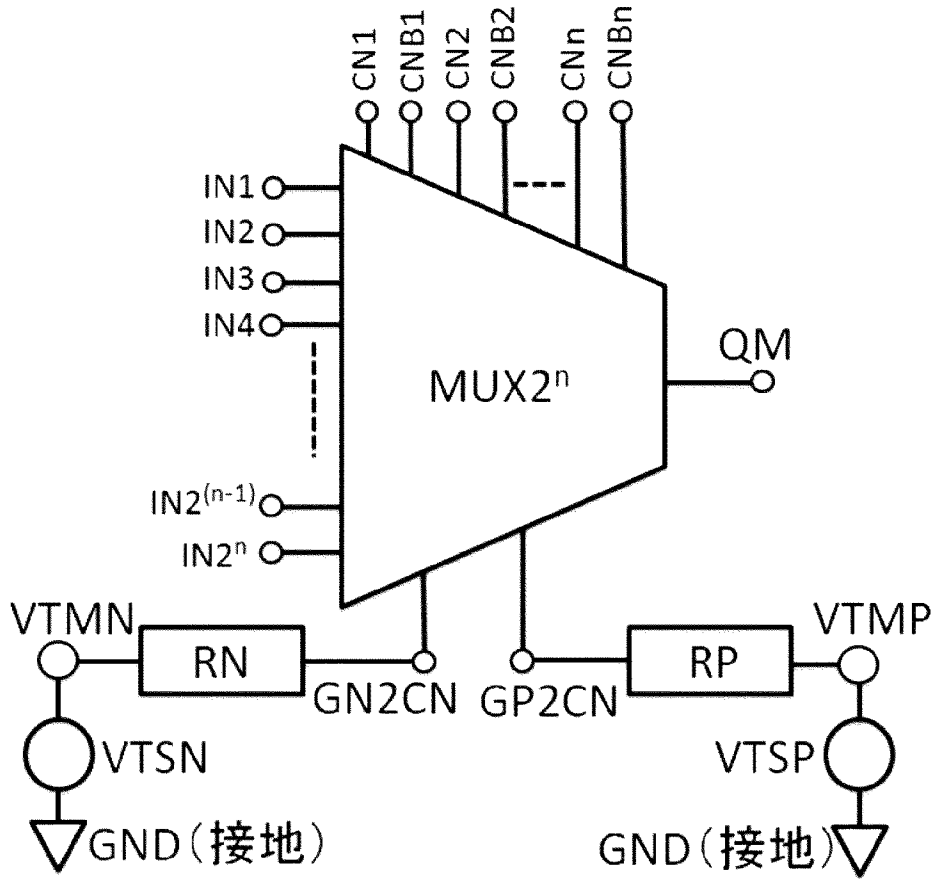
[図4]


H
L
パルス幅
(a) 入力信号
Dup
Ddn
Pup
Pdn
VTSN
(b) GN2CNの電位

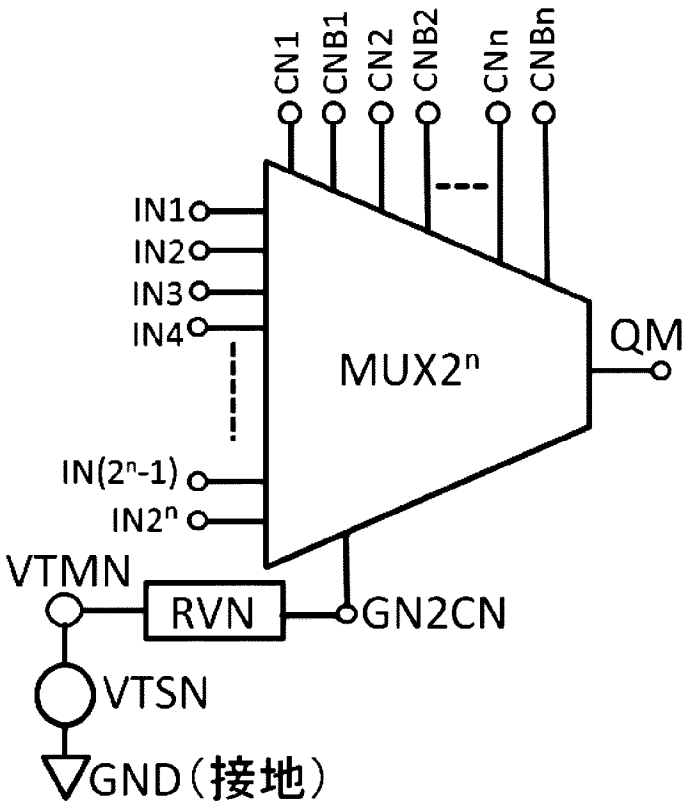
[図5]


CN1
CNB1
CN2
CNB2
CNn
CNBn
IN1
IN2
IN3
IN4
IN2(n-1)
IN2n
MUX2n
QM
VTMP
RP
GP2CN
VTSP
GND（接地）

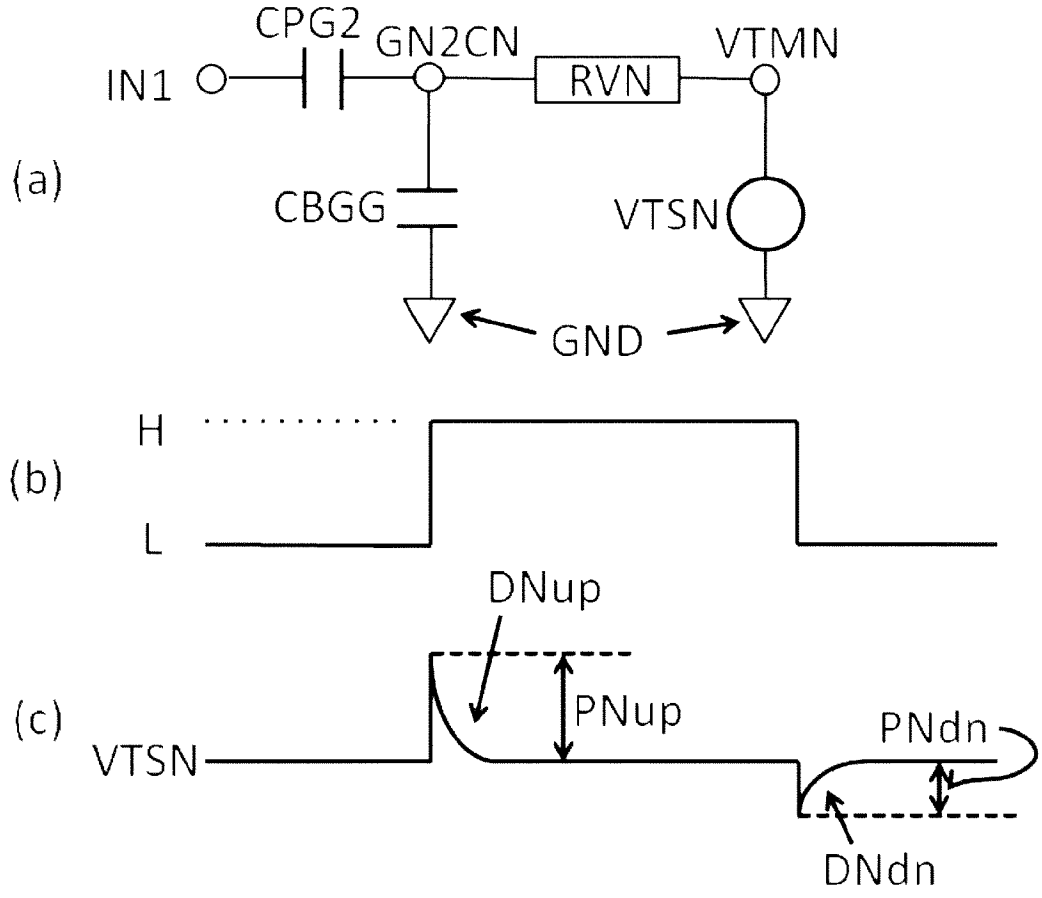
[図6]


CN1
CNB1
CN2
CNB2
CNn
CNBn
IN1
IN2
IN3
IN4
IN2(n-1)
IN2n
MUX2n
QM
VTMN
RN
GN2CN
GP2CN
RP
VTMP
VTSN
VTSP
GND（接地）
GND（接地）

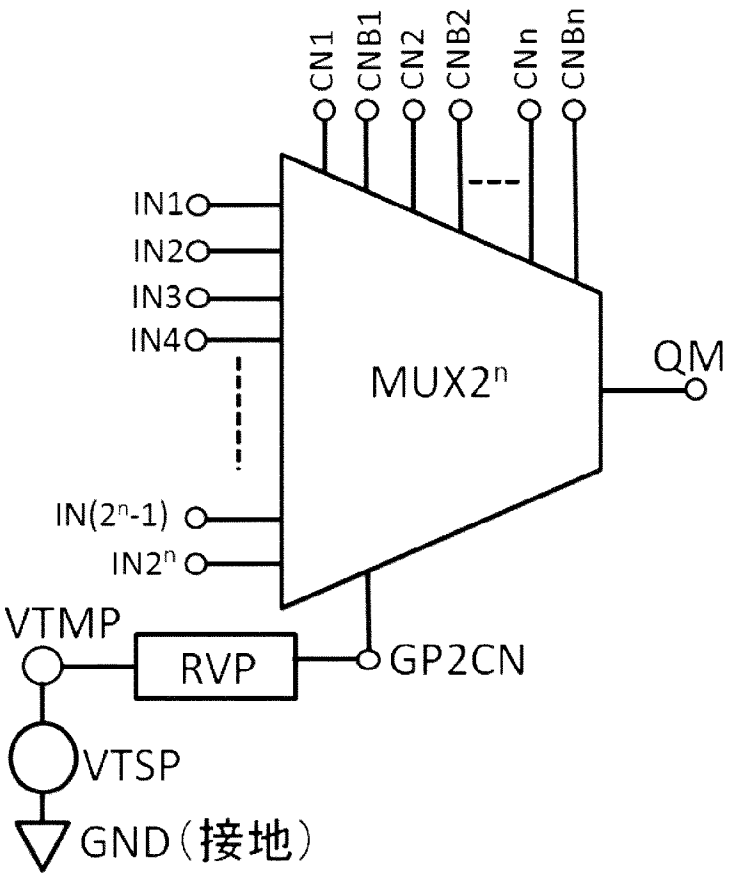
[図7]


CN1
CNB1
CN2
CNB2
CNn
CNBn
IN1
IN2
IN3
IN4
MUX2n
QM
IN(2n-1)
IN2n
VTMN
RVN
GN2CN
VTSN
GND（接地）

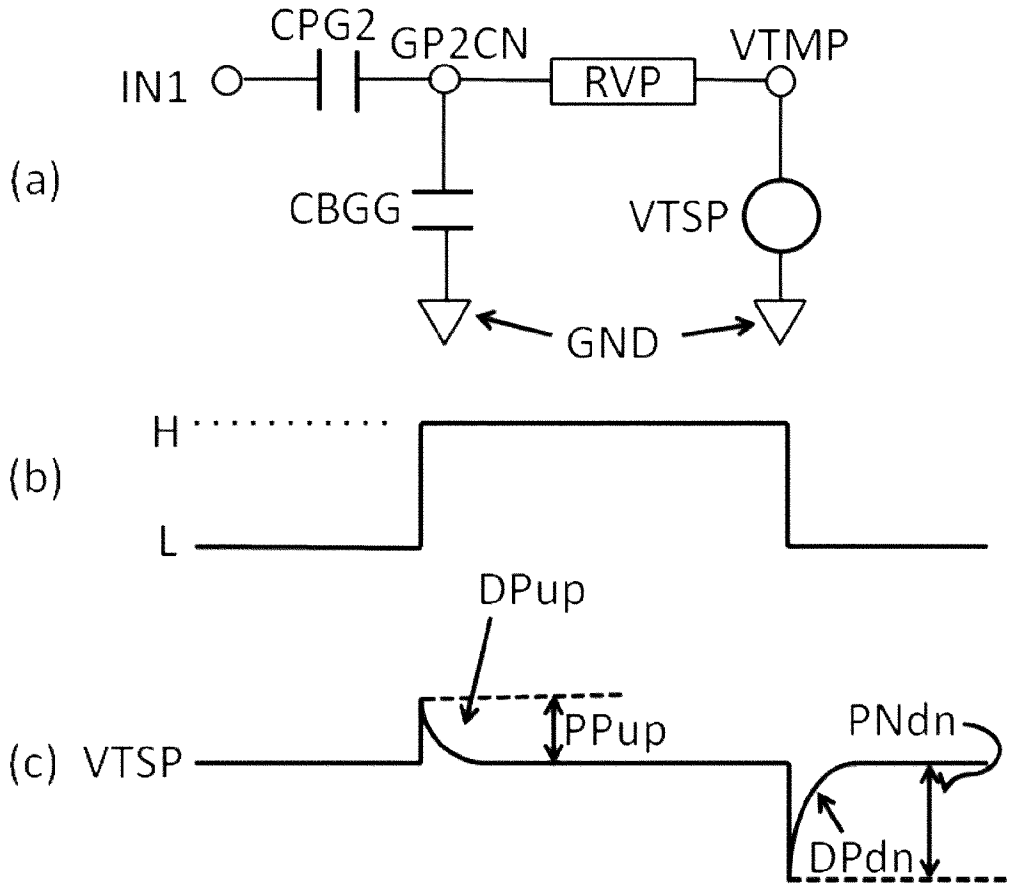
[図8]


CPG2
GN2CN
VTMN
IN1
RVN
(a)
CBGG
VTSN
GND
(b)
H
L
DNup
(c)
PNup
PNdn
VTSN
DNdn

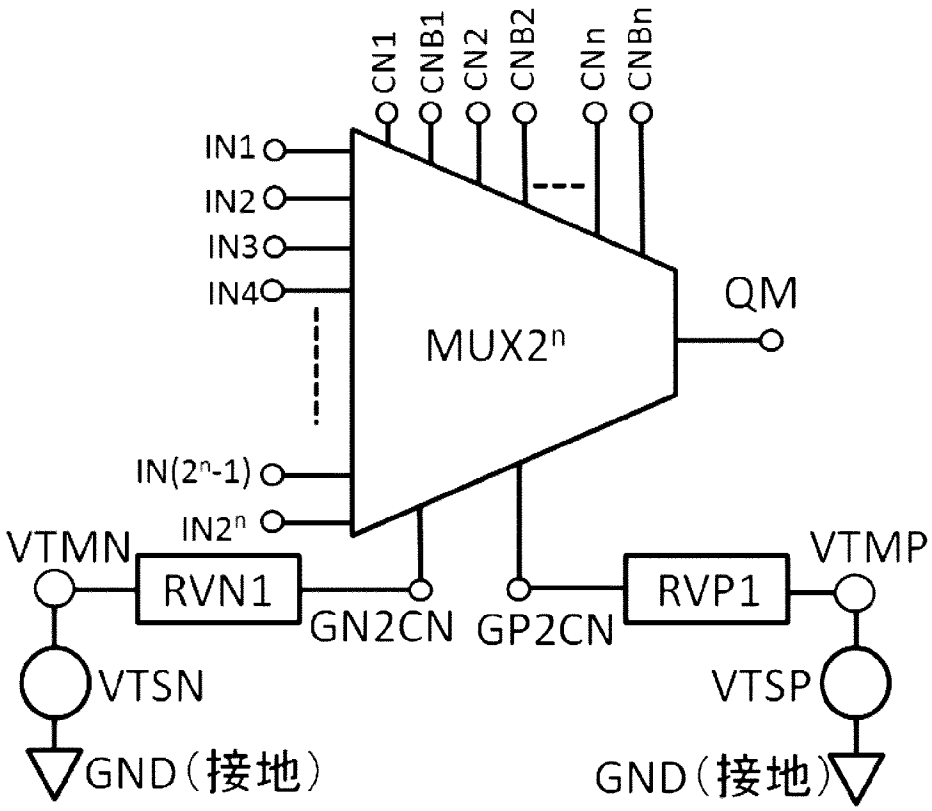
[図9]


CN1
CNB1
CN2
CNB2
CNn
CNBn
IN1
IN2
IN3
IN4
MUX2n
QM
IN(2n-1)
IN2n
VTMP
RVP
GP2CN
VTSP
GND（接地）

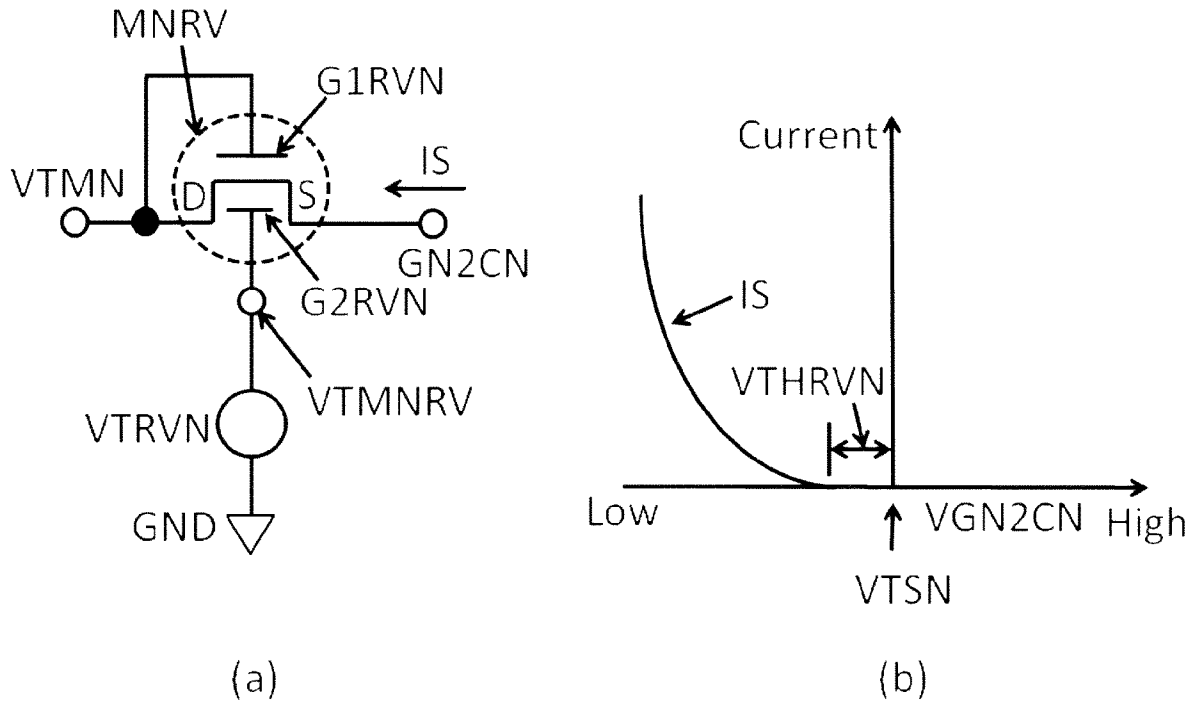
[図10]


(a)
CPG2
GP2CN
IN1
RVP
VTMP
CBGG
VTSP
GND
(b)
H
L
(c) VTSP
DPup
PPup
PNdn
DPdn

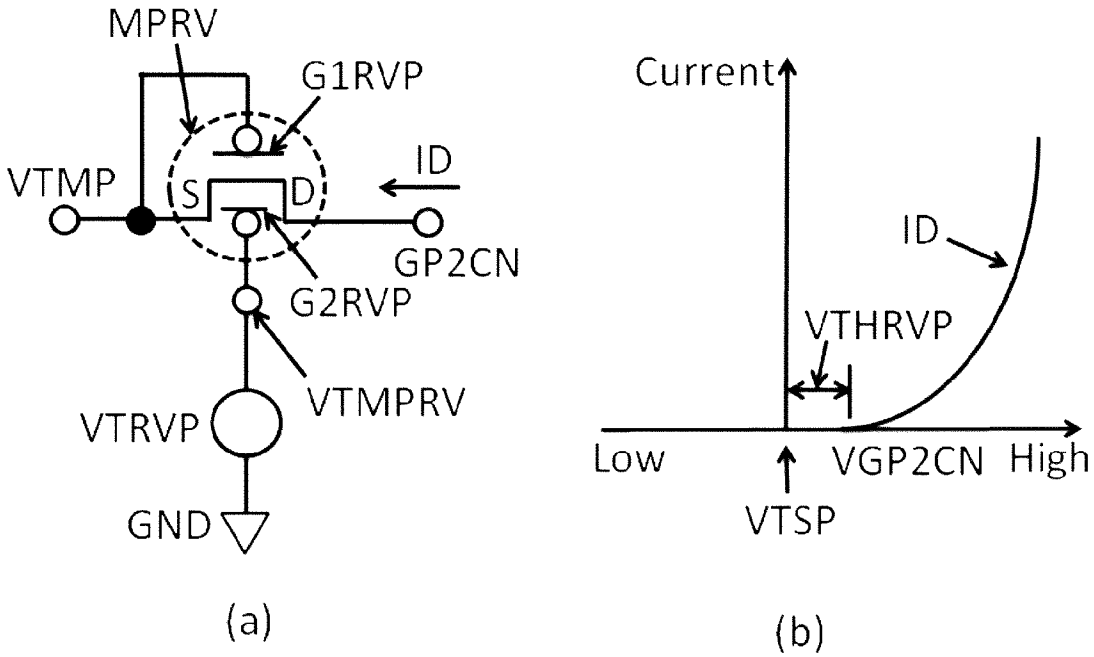
[図11]


CN1
CNB1
CN2
CNB2
CNn
CNBn
IN1
IN2
IN3
IN4
IN(2n-1)
IN2n
MUX2n
QM
VTMN
RVN1
GN2CN
GP2CN
RVP1
VTMP
VTSN
VTSP
GND（接地）
GND（接地）

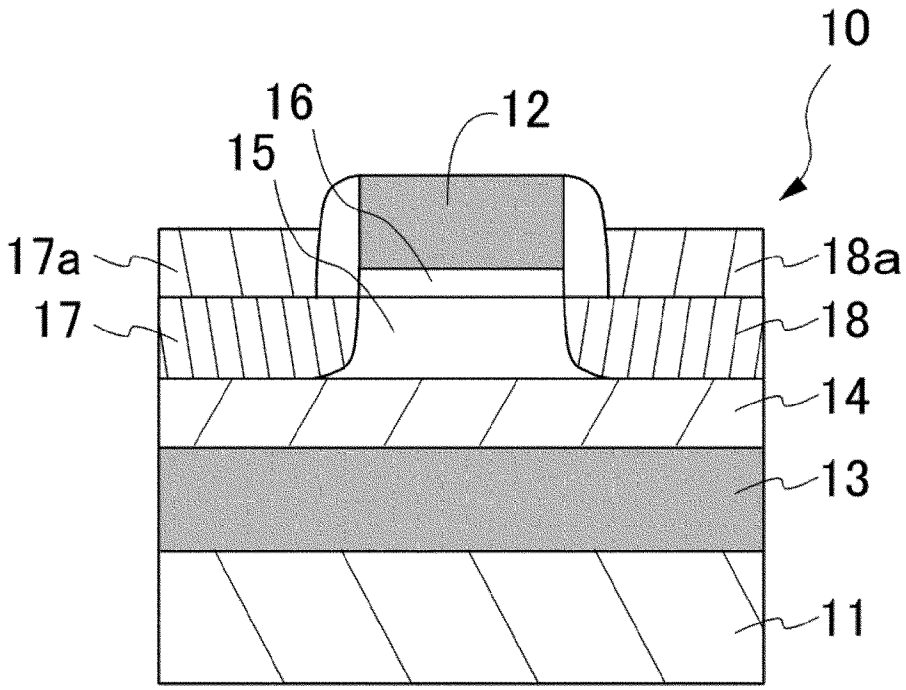
[図12]


MNRV
G1RVN
VTMN
D
S
IS
GN2CN
G2RVN
VTMNRV
VTRVN
GND
(a)
Current
IS
VTHRVN
Low
VGN2CN
High
VTSN
(b)

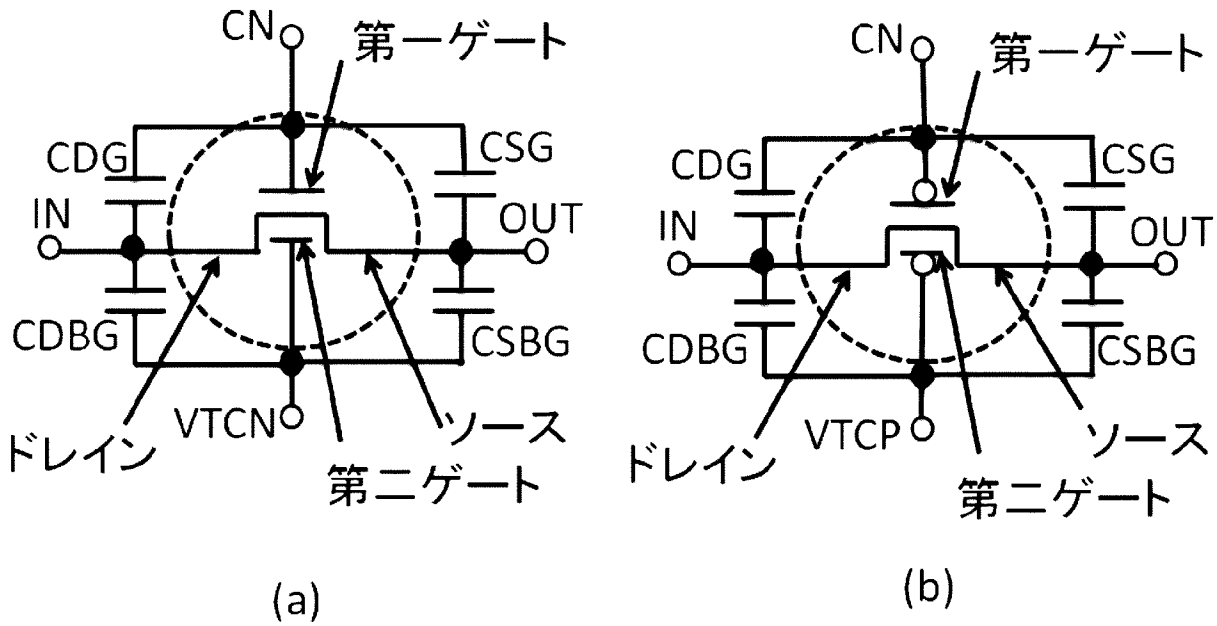
[図13]


MPRV
G1RVP
ID
VTMP
S
D
GP2CN
G2RVP
VTMPRV
VTRVP
GND
(a)
Current
ID
VTHRVP
Low
VGP2CN
High
VTSP
(b)

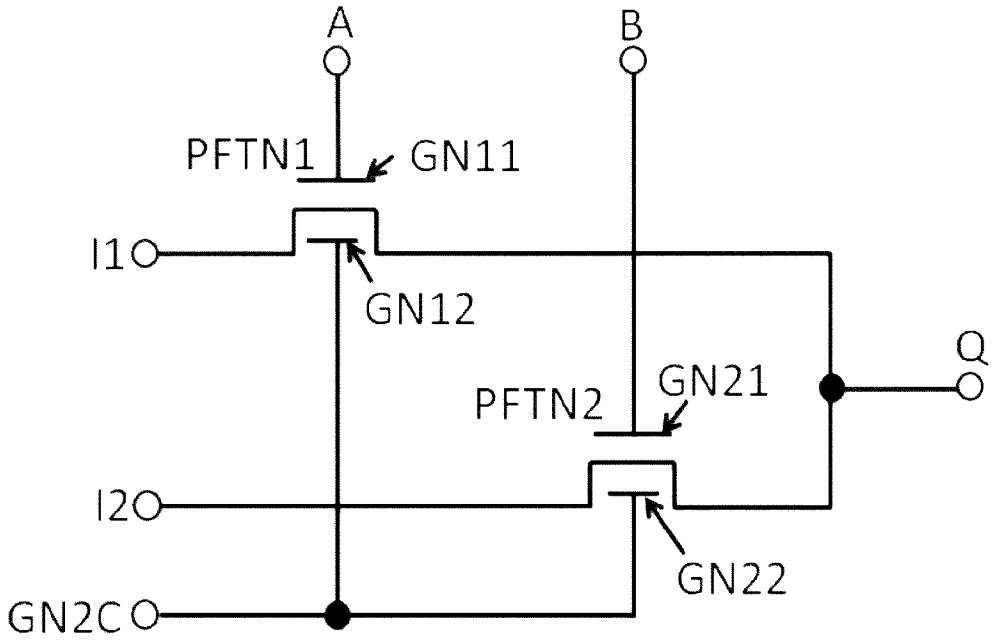
[図14]


10
16
12
15
17a
18a
17
18
14
13
11

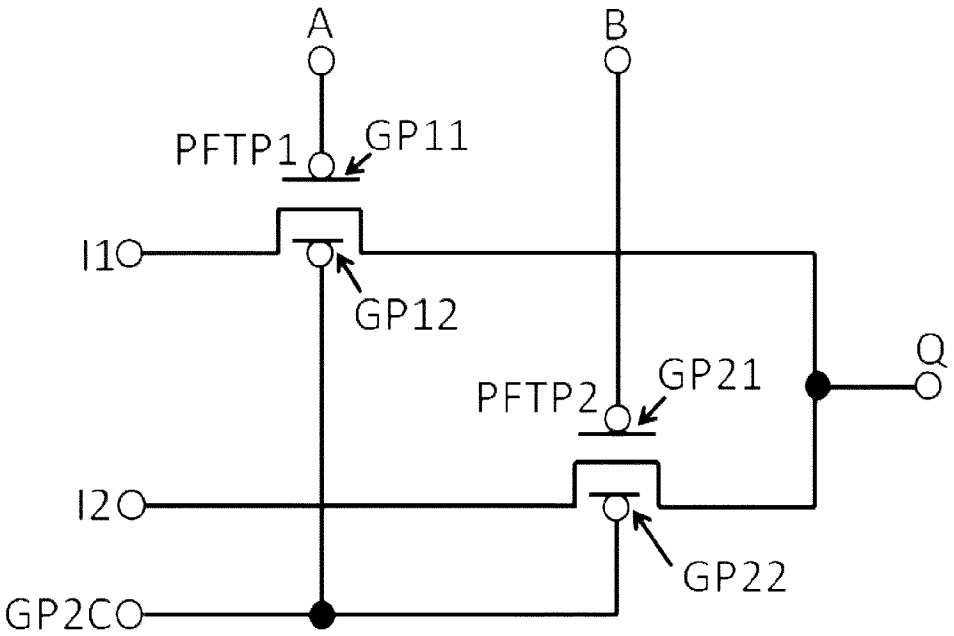
[図15]


CN
第一ゲート
CDG
CSG
IN
OUT
CDBG
CSBG
ドレイン
VTCN
ソース
第二ゲート
(a)
CN
第一ゲート
CDG
CSG
IN
OUT
CDBG
CSBG
ドレイン
VTCP
ソース
第二ゲート
(b)

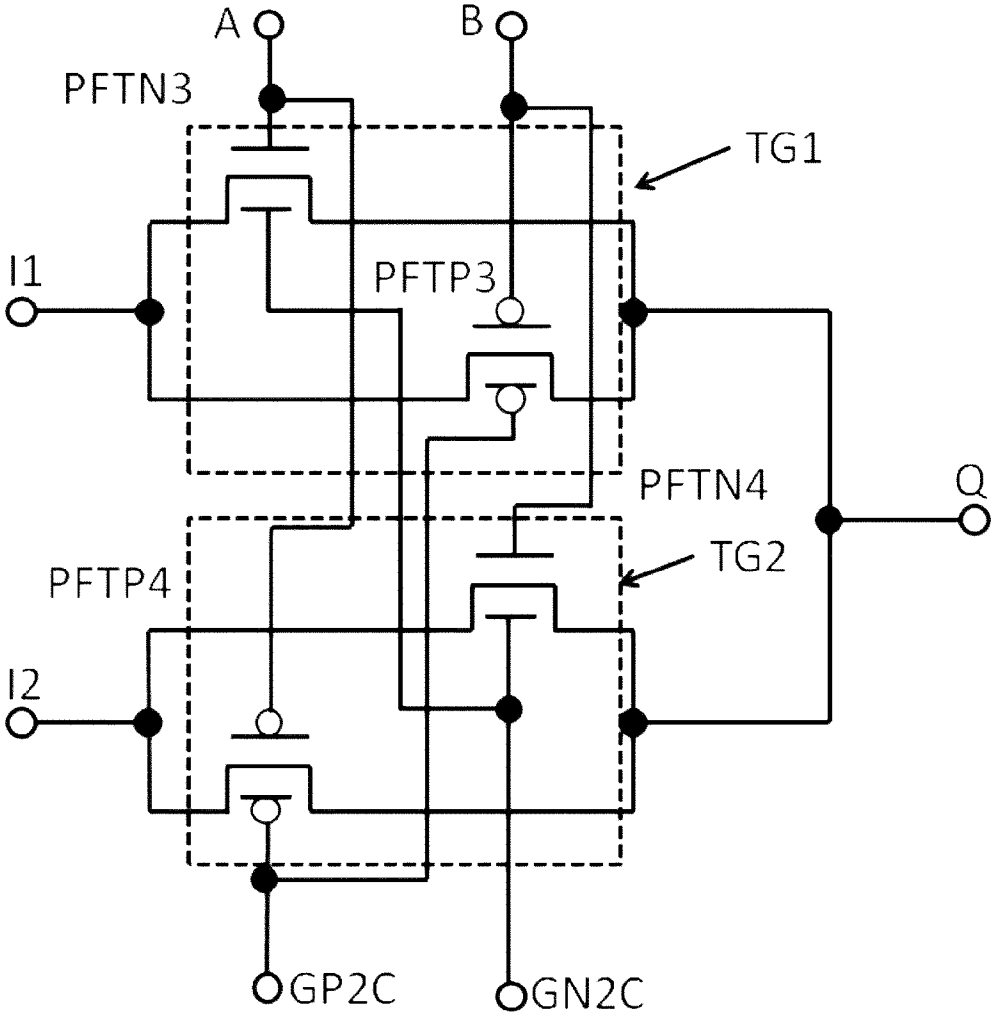
[図16]


A
B
PFTN1
GN11
I1
GN12
Q
PFTN2
GN21
I2
GN22
GN2C

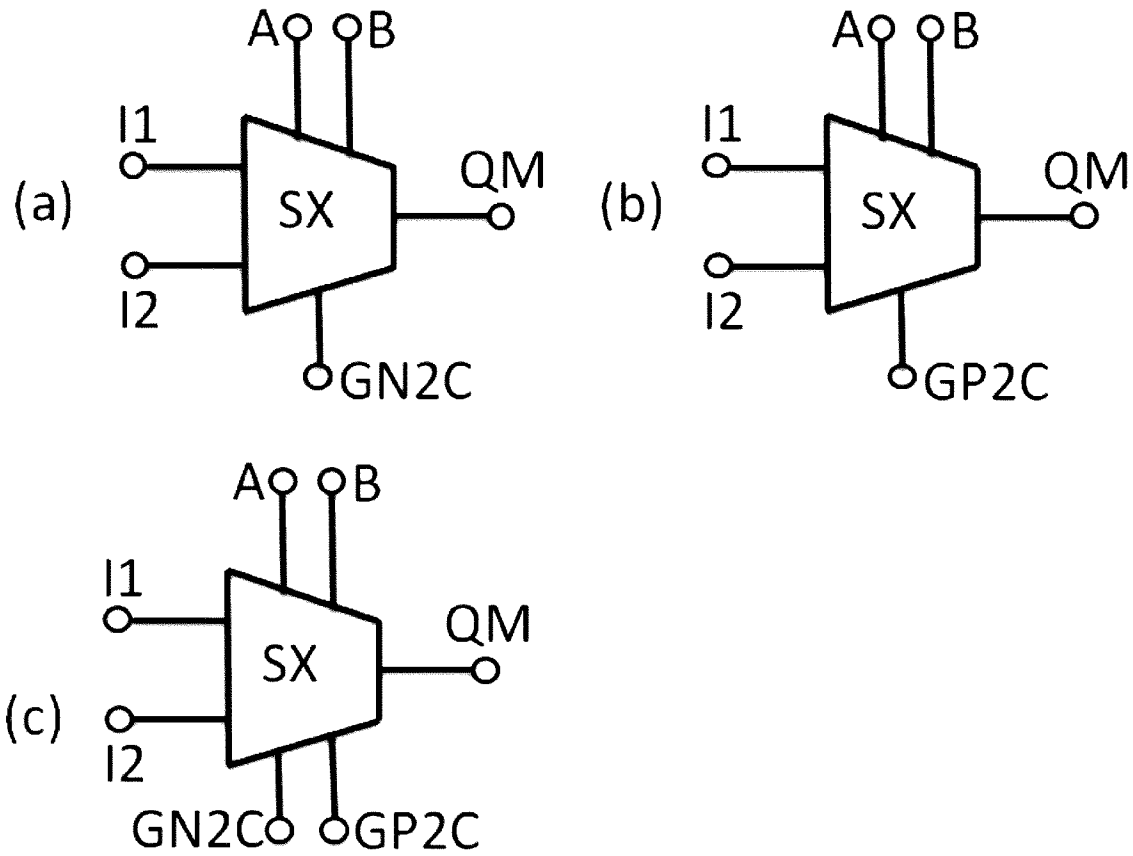
[図17]


A
B
PFTP1
GP11
I1
GP12
Q
PFTP2
GP21
I2
GP22
GP2C

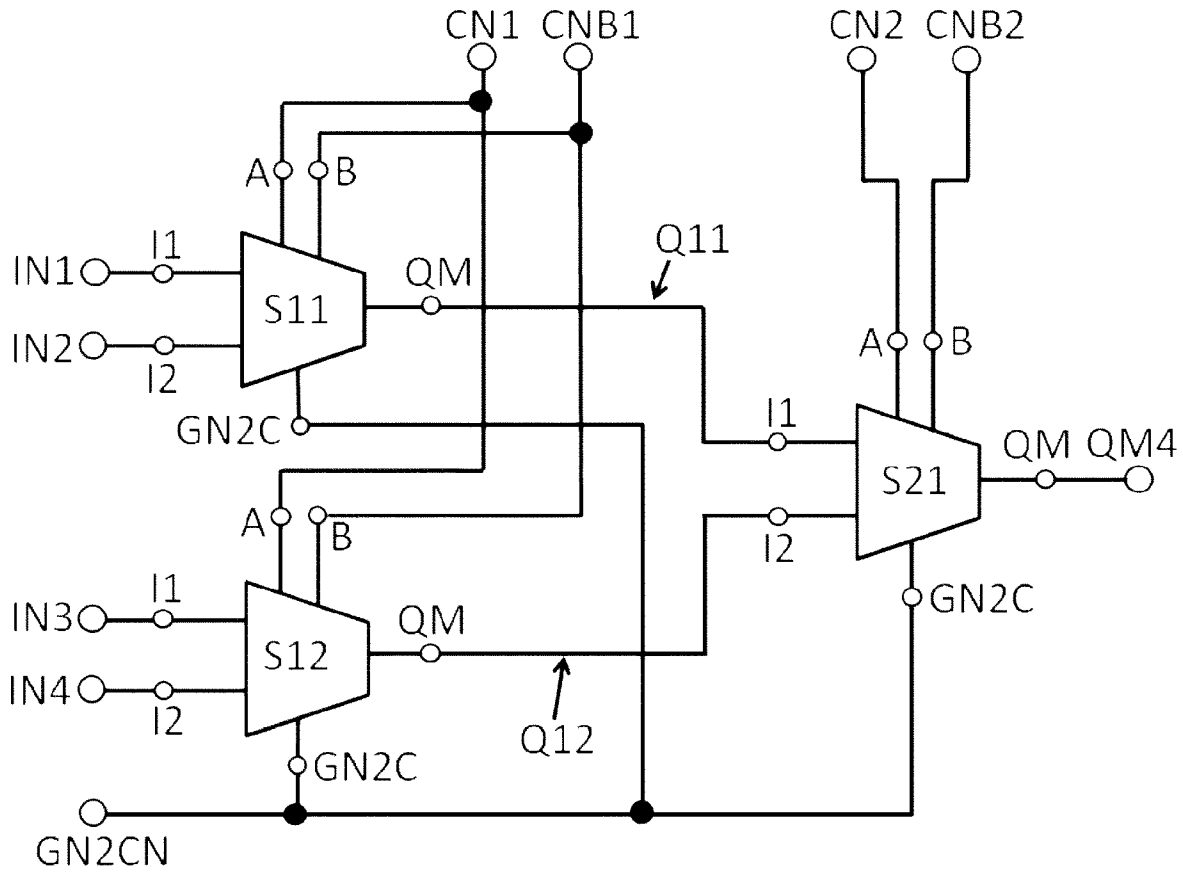
[図18]


A
B
PFTN3
TG1
I1
PFTP3
PFTN4
Q
TG2
PFTP4
I2
GP2C
GN2C

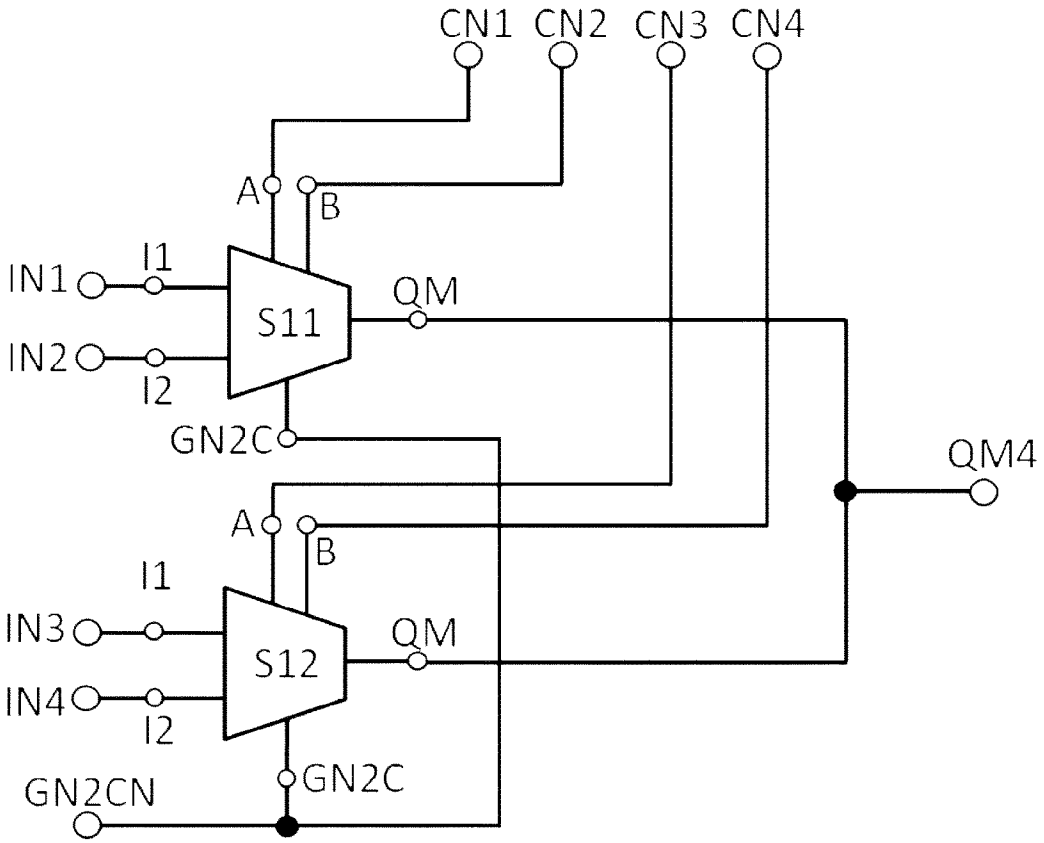
[図19]


(a)
A
B
I1
I2
SX
QM
GN2C
(b)
A
B
I1
I2
SX
QM
GP2C
(c)
A
B
I1
I2
SX
QM
GN2C
GP2C

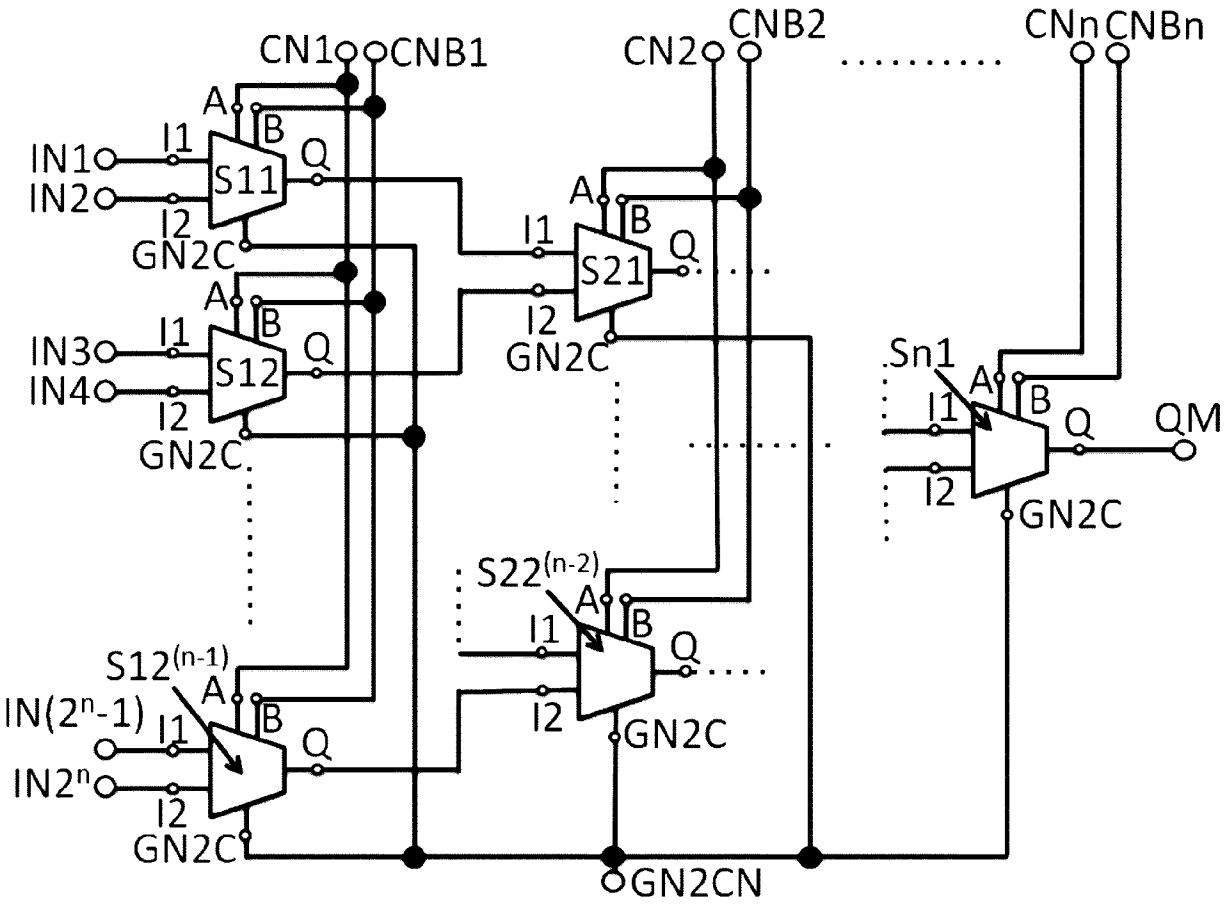
[図20]


CN1
CNB1
CN2
CNB2
A
B
IN1
I1
S11
QM
Q11
IN2
I2
GN2C
A
B
I1
S21
QM
QM4
I2
GN2C
A
B
IN3
I1
S12
QM
IN4
I2
Q12
GN2C
GN2CN

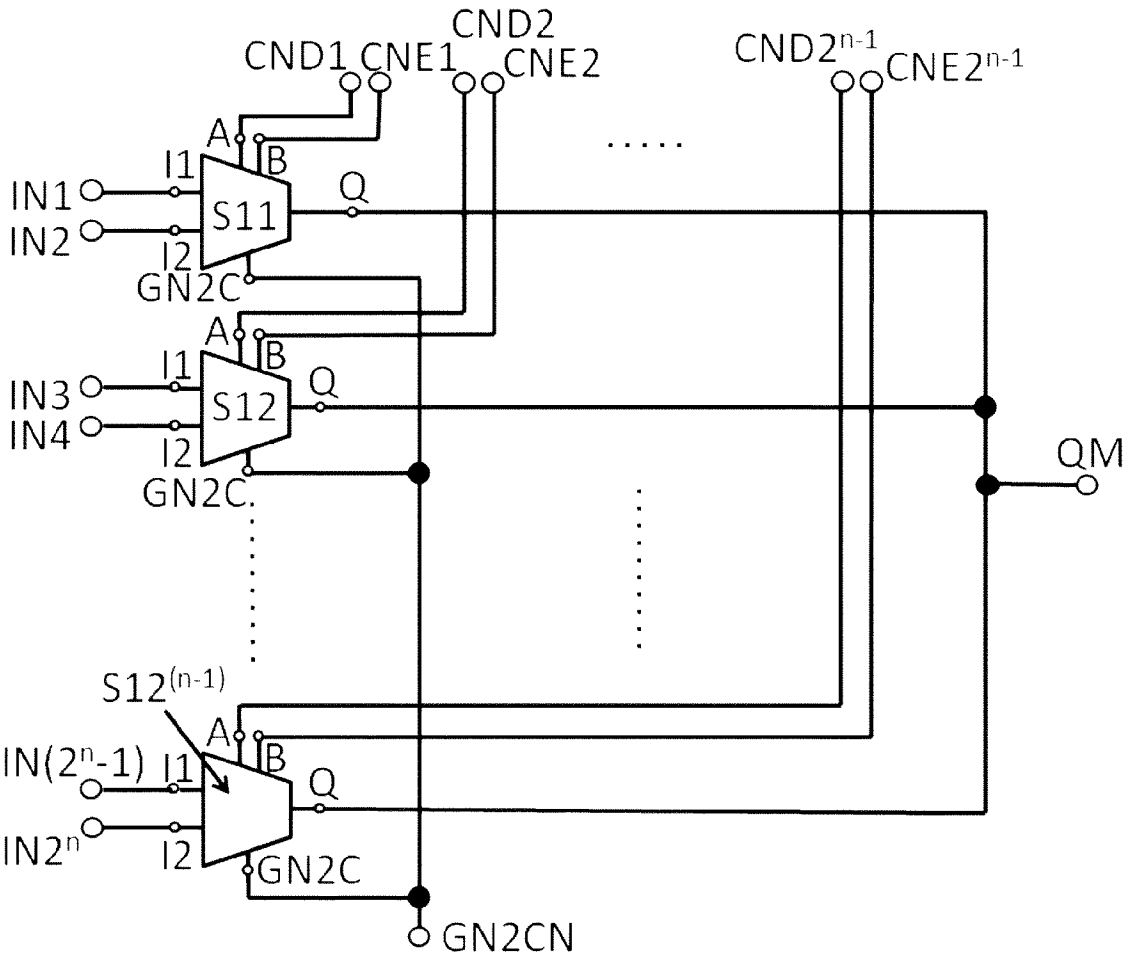
[図21]


CN1
CN2
CN3
CN4
A
B
IN1
I1
S11
QM
IN2
I2
GN2C
QM4
A
B
I1
IN3
S12
QM
IN4
I2
GN2CN
GN2C

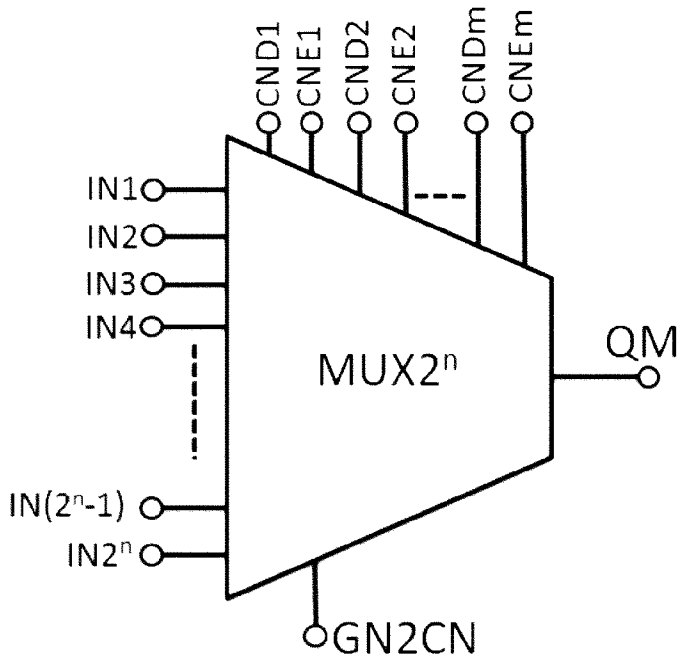
[図22]


CN1
CNB1
CN2
CNB2
CNn
CNBn
A
B
IN1
I1
S11
Q
IN2
I2
GN2C
S21
IN3
S12
IN4
Sn1
QM
S22(n-2)
S12(n-1)
IN(2n-1)
IN2n
GN2CN

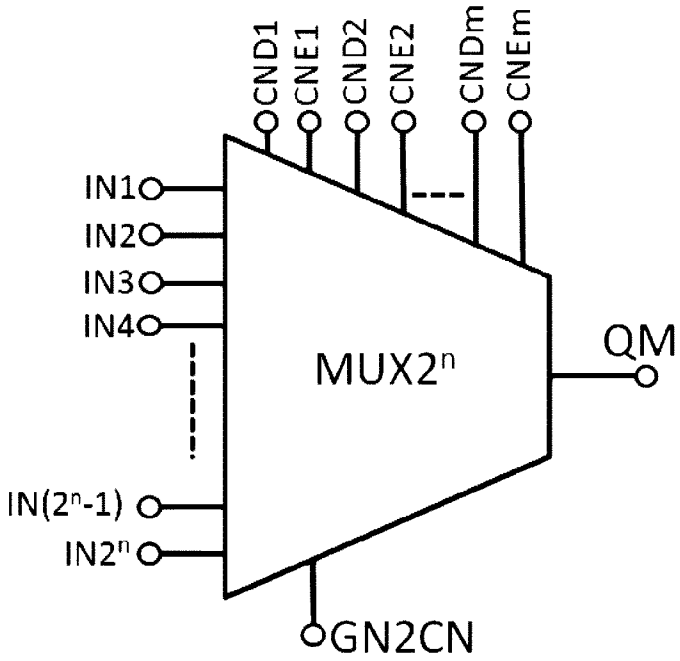
[図23]


CND1
CNE1
CND2
CNE2
CND2n-1
CNE2n-1
A
B
I1
I2
IN1
IN2
IN3
IN4
S11
S12
Q
GN2C
QM
S12(n-1)
IN(2n-1)
IN2n
GN2CN

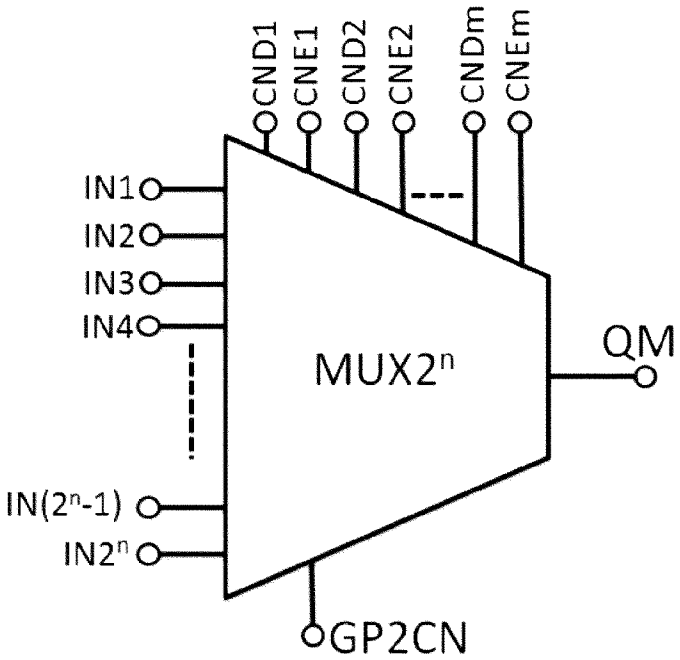
[図24]


CND1
CNE1
CND2
CNE2
CNDm
CNEm
IN1
IN2
IN3
IN4
MUX2n
QM
IN(2n-1)
IN2n
GN2CN

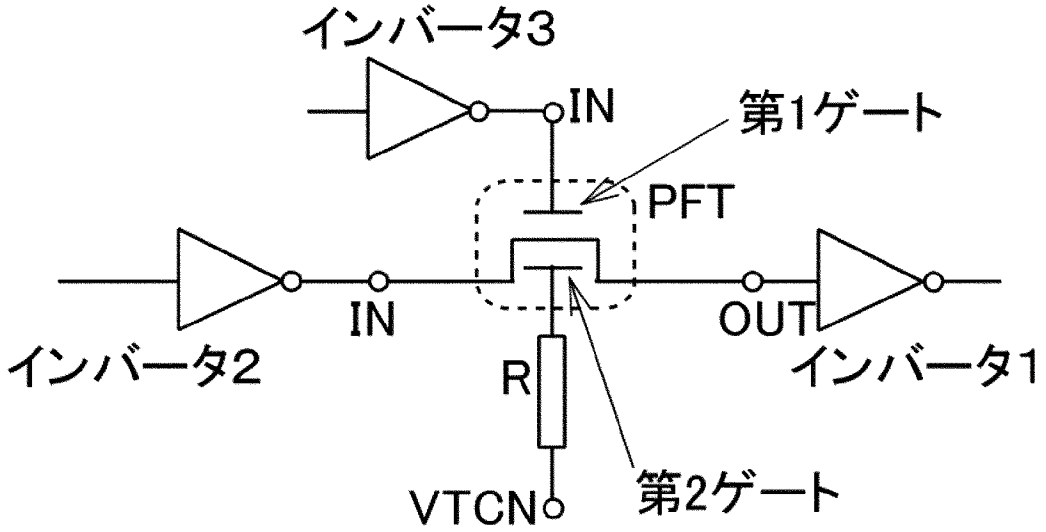
[図25]


CND1
CNE1
CND2
CNE2
CNDm
CNEm
IN1
IN2
IN3
IN4
IN(2n-1)
IN2n
MUX2n
QM
GN2CN

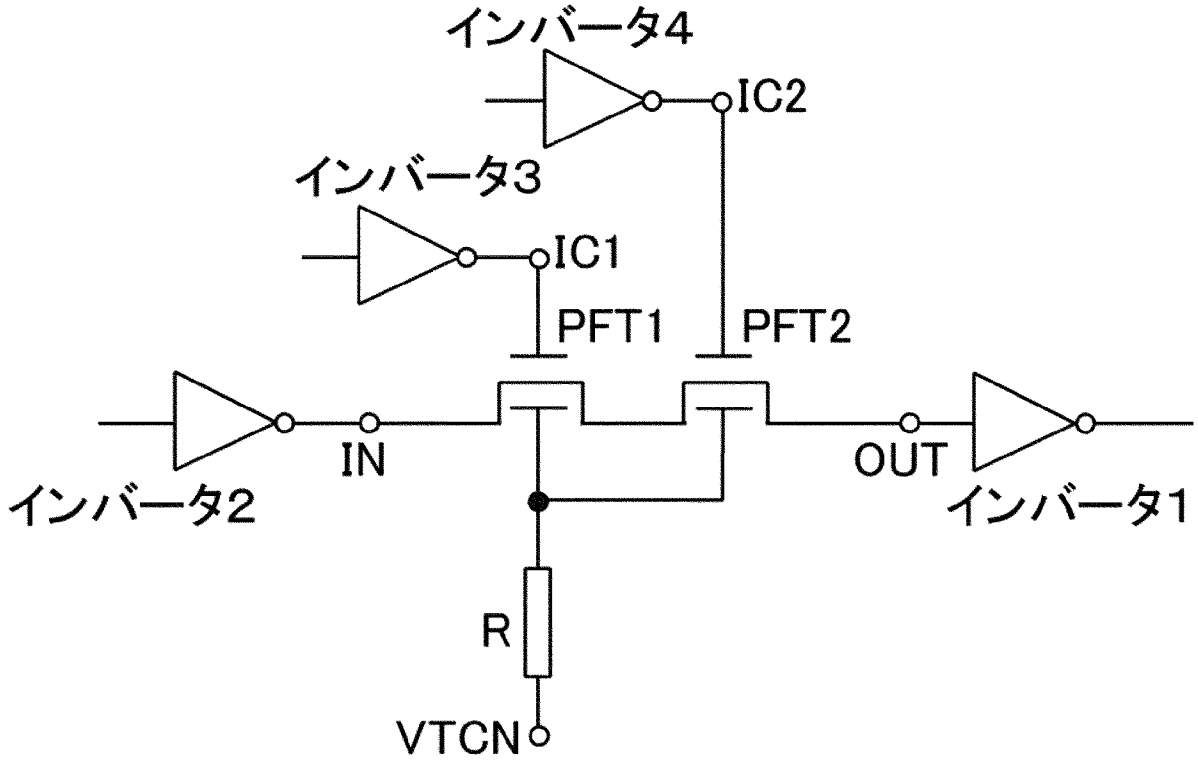
[図26]


CND1
CNE1
CND2
CNE2
CNDm
CNEm
IN1
IN2
IN3
IN4
IN(2n-1)
IN2n
MUX2n
QM
GP2CN

[図27]


インバータ3
IN
第1ゲート
PFT
IN
OUT
インバータ2
インバータ1
R
VTCN
第2ゲート

[図28]


インバータ4
IC2
インバータ3
IC1
PFT1
PFT2
IN
OUT
インバータ2
インバータ1
R
VTCN

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/077764

A. CLASSIFICATION OF SUBJECT MATTER
H03K17/693(2006.01)i, *H01L21/8238*(2006.01)i, *H01L27/08*(2006.01)i, *H01L27/092*(2006.01)i, *H03K17/00*(2006.01)i, *H03K19/094*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K17/693, H01L21/8238, H01L27/08, H01L27/092, H03K17/00, H03K19/094

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2008-28916 A (National Institute of Advanced Industrial Science and Technology), 07 February 2008 (07.02.2008), paragraphs [0009], [0015] to [0017], [0019], [0022], [0025]; fig. 1, 3, 6 (Family: none)	1,6,11,14 2-5,7-10, 12-13,15-16
Y A	JP 2013-4998 A (National Institute of Advanced Industrial Science and Technology), 07 January 2013 (07.01.2013), paragraphs [0002] to [0003], [0013] to [0015]; fig. 14 to 16 (Family: none)	1,6,11,14 2-5,7-10, 12-13,15-16

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 November 2016 (29.11.16)	13 December 2016 (13.12.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/077764

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-295653 A (National Institute of Advanced Industrial Science and Technology), 26 October 2006 (26.10.2006), (Family: none)	1-16
A	JP 2006-166384 A (National Institute of Advanced Industrial Science and Technology), 22 June 2006 (22.06.2006), (Family: none)	1-16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０７７７６４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/693(2006.01)i, H01L21/8238(2006.01)i, H01L27/08(2006.01)i, H01L27/092(2006.01)i, H03K17/00(2006.01)i, H03K19/094(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03K17/693, H01L21/8238, H01L27/08, H01L27/092, H03K17/00, H03K19/094

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2008-28916 A (独立行政法人産業技術総合研究所) 2008.02.07, 段落[0009],[0015]-[0017],[0019],[0022],[0025], 図1,3,6 (ファミリーなし)	1,6,11,14 2-5,7-10,12-13,15-16
Y A	JP 2013-4998 A (独立行政法人産業技術総合研究所) 2013.01.07, 段落[0002]-[0003],[0013]-[0015], 図14-16 (ファミリーなし)	1,6,11,14 2-5,7-10,12-13,15-16

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２９．１１．２０１６	１３．１２．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　５８８８
及川　尚人
電話番号　０３－３５８１－１１０１　内線　３５７６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2006-295653 A (独立行政法人産業技術総合研究所) 2006.10.26, (ファミリーなし)	1-16
A	JP 2006-166384 A (独立行政法人産業技術総合研究所) 2006.06.22, (ファミリーなし)	1-16