



(12) 发明专利申请

(10) 申请公布号 CN 104299907 A

(43) 申请公布日 2015. 01. 21

(21) 申请号 201310306053. 1

(22) 申请日 2013. 07. 19

(71) 申请人 北大方正集团有限公司
地址 100000 北京市海淀区成府路 298 号中
关村方正大厦 9 层
申请人 深圳方正微电子有限公司

(72) 发明人 马万里

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205
代理人 刘芳

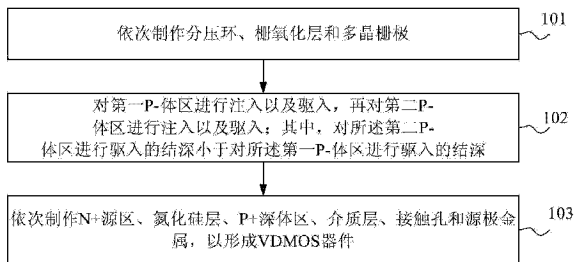
(51) Int. Cl.
H01L 21/336 (2006. 01)
H01L 21/28 (2006. 01)

权利要求书1页 说明书4页 附图6页

(54) 发明名称
VDMOS 器件的制作方法

(57) 摘要

本发明提供一种 VDMOS 器件的制作方法, 该方法包括: 依次制作分压环、栅氧化层和多晶栅极; 对第一 P- 体区进行注入以及驱入, 再对第二 P- 体区进行注入以及驱入; 其中, 对第二 P- 体区进行驱入的结深小于对第一 P- 体区进行驱入的结深; 依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属, 以形成 VDMOS 器件。本发明的 VDMOS 器件的制作方法解决了现有技术中在调整 VDMOS 器件阈值电压的同时造成的栅源漏电或者影响源漏击穿电压以及导通电阻的问题。



1. 一种 VDMOS 器件的制作方法,其特征在于,包括:

依次制作分压环、栅氧化层和多晶栅极;

对第一 P- 体区进行注入以及驱入,再对第二 P- 体区进行注入以及驱入;其中,对所述第二 P- 体区进行驱入的结深小于对所述第一 P- 体区进行驱入的结深;

依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属,以形成所述 VDMOS 器件。

2. 根据权利要求 1 所述的 VDMOS 器件的制作方法,其特征在于,所述对第一 P- 体区进行注入以及驱入,包括:

向所述第一 P- 体区注入硼离子,并按照第一预设时间和第一预设温度,对所述第一 P- 体区进行驱入;

其中,向所述第一 P- 体区注入的所述硼离子的剂量大于或等于 $1E13$ 个 / cm^2 ,且小于或等于 $1E14$ 个 / cm^2 ;所述第一预设时间大于或等于 100 分钟,且小于或等于 200 分钟;所述第一预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

3. 根据权利要求 2 所述的 VDMOS 器件的制作方法,其特征在于,所述对第二 P- 体区进行注入以及驱入,包括:

向所述第二 P- 体区注入硼离子,并按照第二预设时间和第二预设温度,对所述第二 P- 体区进行驱入;所述第二预设时间小于所述第一预设时间;

其中,向所述第二 P- 体区注入的所述硼离子的剂量大于或等于 $1E13$ 个 / cm^2 ,且小于或等于 $1E14$ 个 / cm^2 ;所述第二预设时间大于 0 分钟,且小于或等于 100 分钟;所述第二预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

4. 根据权利要求 2 所述的 VDMOS 器件的制作方法,其特征在于,所述向所述第一 P- 体区注入的所述硼离子的剂量为 $1E13$ 个 / cm^2 ,所述第一预设温度为 1150 摄氏度,所述第一预设时间为 100 分钟。

5. 根据权利要求 3 所述的 VDMOS 器件的制作方法,其特征在于,所述向所述第二 P- 体区注入的所述硼离子的剂量为 $1E13$ 个 / cm^2 ,所述第二预设温度为 1150 摄氏度,所述第二预设时间为 60 分钟。

VDMOS 器件的制作方法

技术领域

[0001] 本发明涉及半导体芯片制造工艺技术,尤其涉及一种垂直双扩散金属氧化物半导体场效应管(Vertical Double-diffused MOSFET;简称:VDMOS)器件的制作方法。

背景技术

[0002] 图 1 为现有技术中 VDMOS 器件的平面示意图,如图 1 所示,影响该 VDMOS 器件阈值电压的因素主要包括:栅氧化层的厚度和沟道区掺杂浓度。目前,调整 VDMOS 器件阈值电压,以解决栅氧化层的厚度和沟道区掺杂浓度对 VDMOS 器件阈值电压的影响的方法主要包括:改变栅氧化层厚度;改变 P- 体区的注入剂量,以达到改变沟道区掺杂浓度的目的;改变 P- 体区的驱入时间;或者,改变 N 外延层的电阻率,以影响到沟道区。

[0003] 但是,若采用上述改变栅氧化层厚度的方法,则在阈值电压往低的方向调整时,会使得栅氧化层厚度变薄,且栅氧化层的击穿电压变低,从而影响栅源漏电。若采用上述改变 P- 体区的注入剂量的方法,则会造成 P- 体区的结深发生变化,从而影响到源漏击穿电压以及导通电阻。若采用上述 P- 体区的驱入时间的方法,则也会影响到源漏击穿电压以及导通电阻。若采用上述改变外延层的电阻率的方法,则也会影响到源漏击穿电压和导通电阻。因此,当采用现有技术对 VDMOS 器件阈值电压进行调整的同时,会导致栅源漏电或者影响源漏击穿电压以及导通电阻的问题。

发明内容

[0004] 本发明提供一种 VDMOS 器件的制作方法,用于解决现有技术中在调整 VDMOS 器件阈值电压的同时造成的栅源漏电或者影响源漏击穿电压以及导通电阻的问题。

[0005] 本发明的第一个方面是提供一种 VDMOS 器件的制作方法,包括:

[0006] 依次制作分压环、栅氧化层和多晶栅极;

[0007] 对第一 P- 体区进行注入以及驱入,再对第二 P- 体区进行注入以及驱入;其中,对所述第二 P- 体区进行驱入的结深小于对所述第一 P- 体区进行驱入的结深;

[0008] 依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属,以形成所述 VDMOS 器件。

[0009] 本发明的技术效果是:依次制作分压环、栅氧化层和多晶栅极;对第一 P- 体区进行注入以及驱入,再对第二 P- 体区进行注入以及驱入;依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属,以形成 VDMOS 器件,由于采用两次注入和驱入方式制作 P- 体区,且第二 P- 体区进行驱入的结深小于对第一 P- 体区进行驱入的结深,因此,在调整该 VDMOS 阈值电压时,不会造成栅源漏电或者影响源漏击穿电压以及导通电阻,从而解决了现有技术中在调整 VDMOS 器件阈值电压的同时造成的栅源漏电或者影响源漏击穿电压以及导通电阻的问题。

附图说明

- [0010] 图 1 为现有技术中 VDMOS 器件的平面示意图；
- [0011] 图 2 为本发明 VDMOS 器件的制作方法的一个实施例流程图；
- [0012] 图 3 为本发明 VDMOS 器件的制作方法的另一个实施例的流程图；
- [0013] 图 4 为本发明 VDMOS 器件的制作方法的又一个实施例的流程图；
- [0014] 图 5 为本实施例中栅氧化层制作后的平面示意图；
- [0015] 图 6 为本实施例中多晶栅极制作后的平面示意图；
- [0016] 图 7 为本实施例中第一 P- 体区制作后的平面示意图；
- [0017] 图 8 为本实施例中第二 P- 体区制作后的平面示意图；
- [0018] 图 9 为本实施例中 N+ 源区的制作的示意图和 N+ 源区制作后的平面示意图；
- [0019] 图 10 为本实施例中氮化硅层制作后的平面示意图；
- [0020] 图 11 为本实施例中 P+ 深体区制作后的平面示意图；
- [0021] 图 12 为本实施例中介质层和接触孔制作后的平面示意图；
- [0022] 图 13 为本实施例中源极金属制作后的平面示意图。

具体实施方式

[0023] 图 2 为本发明 VDMOS 器件的制作方法的一个实施例流程图,如图 2 所示,本实施例的方法包括:

[0024] 步骤 101、依次制作分压环、栅氧化层和多晶栅极。

[0025] 步骤 102、对第一 P- 体区进行注入以及驱入,再对第二 P- 体区进行注入以及驱入;其中,对所述第二 P- 体区进行驱入的结深小于对所述第一 P- 体区进行驱入的结深。

[0026] 在本实施例中,在制作 P- 体区时,分成两次注入和驱入的方式,其中一次注入和驱入专门用于调整阈值电压;另一次注入和驱入专门用于保证源漏击穿电压和导通电阻。从而可以实现在调整 VDMOS 器件阈值电压的同时,不影响到 VDMOS 器件的其他电性参数。

[0027] 步骤 103、依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属,以形成 VDMOS 器件。

[0028] 在本实施例中,依次制作分压环、栅氧化层和多晶栅极;对第一 P- 体区进行注入以及驱入,再对第二 P- 体区进行注入以及驱入;依次制作 N+ 源区、氮化硅层、P+ 深体区、介质层、接触孔和源极金属,以形成 VDMOS 器件,由于采用两次注入和驱入方式制作 P- 体区,且第二 P- 体区进行驱入的结深小于对第一 P- 体区进行驱入的结深,因此,在调整该 VDMOS 阈值电压时,不会造成栅源漏电或者源漏击穿电压以及导通电阻,从而解决了现有技术中在调整 VDMOS 器件阈值电压的同时造成的栅源漏电或者影响源漏击穿电压以及导通电阻的问题。

[0029] 图 3 为本发明 VDMOS 器件的制作方法的另一个实施例的流程图,在上述图 2 所示实施例的基础上,如图 3 所示,步骤 102 的一种具体实现方式为:

[0030] 步骤 201、向该第一 P- 体区注入硼离子,并按照第一预设时间和第一预设温度,对该第一 P- 体区进行驱入。

[0031] 其中,向该第一 P- 体区注入的该硼离子的剂量大于或等于 $1E13$ 个/cm²,且小于或等于 $1E14$ 个/cm²;该第一预设时间大于或等于 100 分钟,且小于或等于 200 分钟;该第一预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

[0032] 步骤 202、向该第二 P- 体区注入硼离子,并按照第二预设时间和第二预设温度,对该第二 P- 体区进行驱入;该第二预设时间小于该第一预设时间。

[0033] 其中,向该第二 P- 体区注入的该硼离子的剂量大于或等于 $1E13$ 个/cm²,且小于或等于 $1E14$ 个/cm²;该第二预设时间大于 0 分钟,且小于或等于 100 分钟;该第二预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

[0034] 可选地,向该第一 P- 体区注入的该硼离子的剂量为 $1E13$ 个/cm²,该第一预设温度为 1150 摄氏度,该第一预设时间为 100 分钟。

[0035] 向该第二 P- 体区注入的该硼离子的剂量为 $1E13$ 个/cm²,该第二预设温度为 1150 摄氏度,该第二预设时间为 60 分钟。

[0036] 图 4 为本发明 VDMOS 器件的制作方法的又一个实施例的流程图,如图 4 所示,本实施例的方法包括:

[0037] 步骤 301、制作分压环。

[0038] 步骤 302、制作栅氧化层。

[0039] 在本实施例中,图 5 为本实施例中栅氧化层制作后的平面示意图,如图 5 所示,该栅氧化层的厚度一般在 0.04um 至 0.15um 之间。

[0040] 步骤 303、对多晶硅层进行生长以及刻蚀,形成多晶栅极。

[0041] 在本实施例中,图 6 为本实施例中多晶栅极制作后的平面示意图,如图 6 所示,该多晶硅层的厚度一般在 0.3um 至 1.0um 之间。

[0042] 步骤 304、向该第一 P- 体区注入硼离子,并按照第一预设时间和第一预设温度,对该第一 P- 体区进行驱入。

[0043] 其中,向该第一 P- 体区注入的该硼离子的剂量大于或等于 $1E13$ 个/cm²,且小于或等于 $1E14$ 个/cm²;该第一预设时间大于或等于 100 分钟,且小于或等于 200 分钟;该第一预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

[0044] 在本实施例中,可选地,向该第一 P- 体区注入的该硼离子的剂量为 $1E13$ 个/cm²,该第一预设温度为 1150 摄氏度,该第一预设时间为 100 分钟。图 7 为本实施例中第一 P- 体区制作后的平面示意图。

[0045] 步骤 305、向该第二 P- 体区注入硼离子,并按照第二预设时间和第二预设温度,对该第二 P- 体区进行驱入;该第二预设时间小于该第一预设时间。

[0046] 其中,向该第二 P- 体区注入的该硼离子的剂量大于或等于 $1E13$ 个/cm²,且小于或等于 $1E14$ 个/cm²;该第二预设时间大于 0 分钟,且小于或等于 100 分钟;该第二预设温度大于或等于 1100 摄氏度,且小于或等于 1200 摄氏度。

[0047] 在本实施例中,可选地,向该第二 P- 体区注入的该硼离子的剂量为 $1E13$ 个/cm²,该第二预设温度为 1150 摄氏度,该第二预设时间为 60 分钟。图 8 为本实施例中第二 P- 体区制作后的平面示意图。

[0048] 步骤 306、对 N+ 源区进行光刻和注入。

[0049] 在本实施例中,对 N+ 源区注入的离子为磷,且剂量为 $1E15$ 个/cm²。图 9 为本实施例中 N+ 源区的制作的示意图和 N+ 源区制作后的平面示意图。

[0050] 步骤 307、对氮化硅层进行生长。

[0051] 在本实施例中,该氮化硅层的厚度约在 0.05um 至 0.3um 之间。图 10 为本实施例

中氮化硅层制作后的平面示意图。

[0052] 步骤 308、对 P+ 深体区进行注入。

[0053] 在本实施例中,对 P+ 深体区注入的离子为硼,剂量为 $1E15$ 个 / cm^2 。图 11 为本实施例中 P+ 深体区制作后的平面示意图。

[0054] 步骤 309、对介质层进行生长以及对接触孔进行刻蚀。

[0055] 其中,图 12 为本实施例中介质层和接触孔制作后的平面示意图。

[0056] 步骤 310、对金属层进行生长以及刻蚀,形成源极金属。

[0057] 其中,图 13 为本实施例中源极金属制作后的平面示意图。

[0058] 最后应说明的是:以上各实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述各实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分或者全部技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的范围。

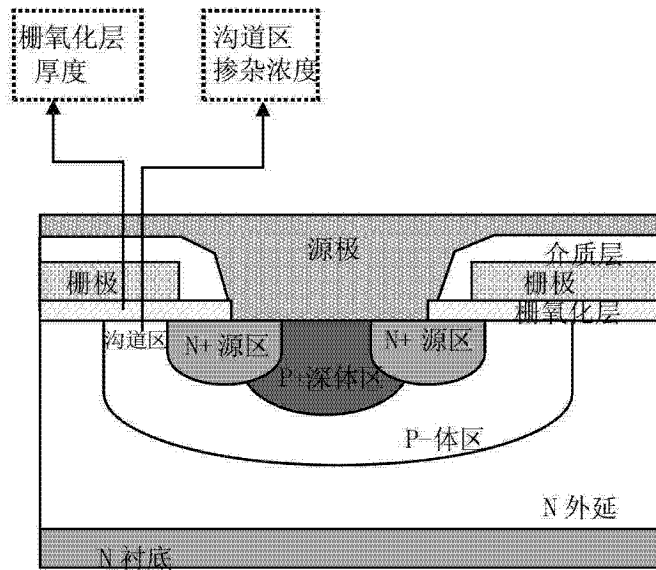


图 1

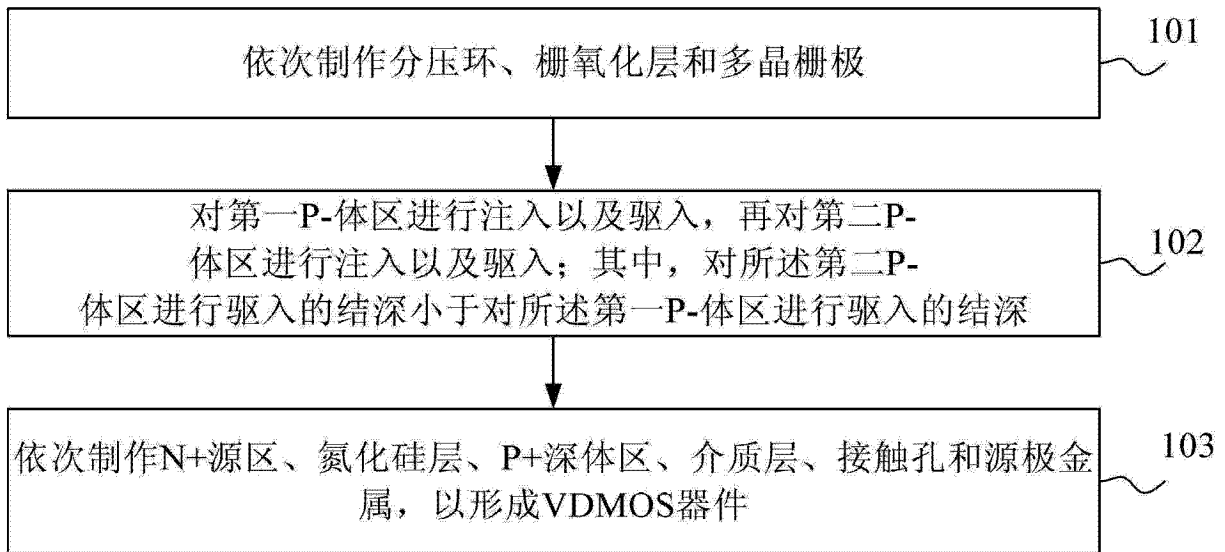


图 2

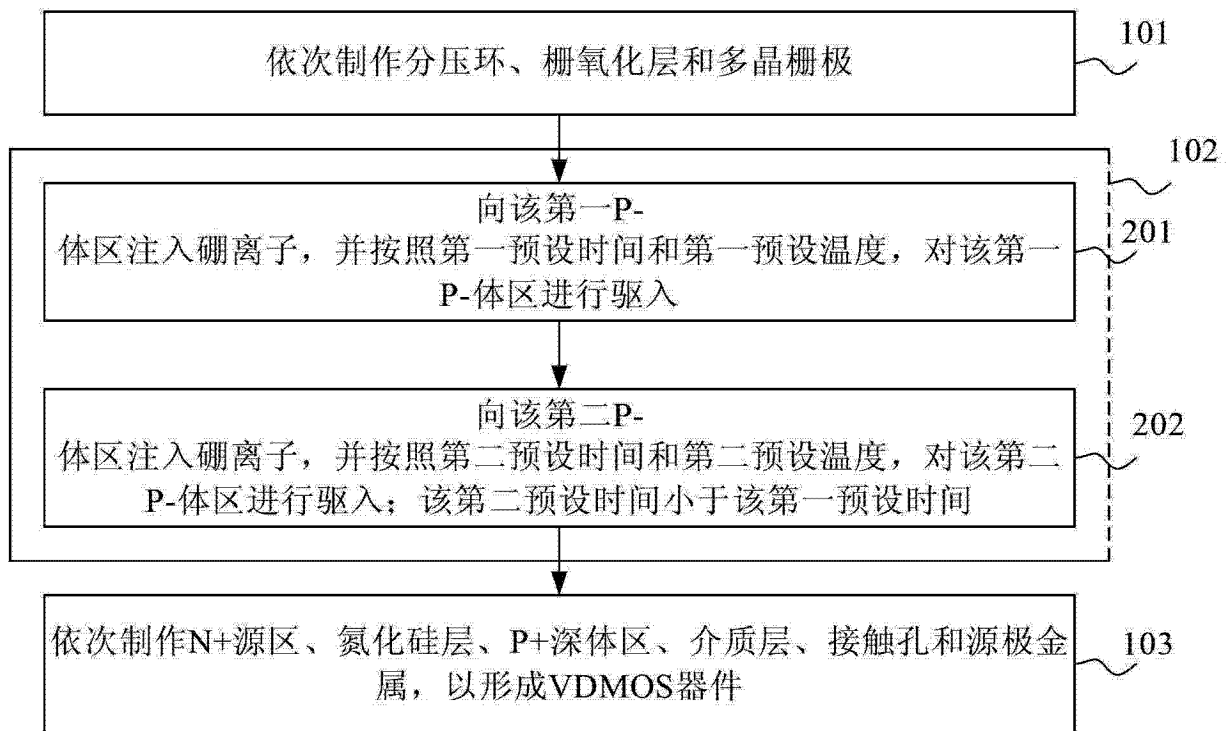


图 3



图 4

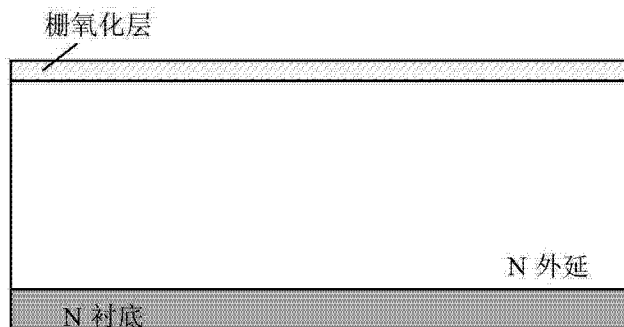


图 5

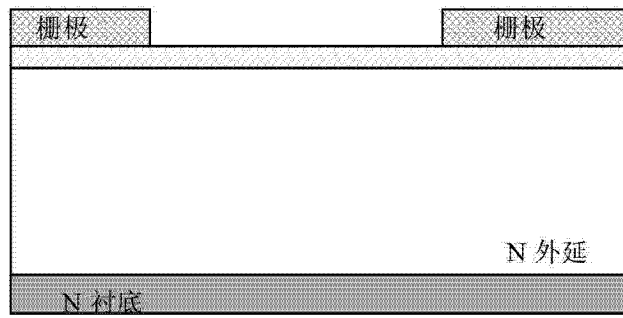


图 6

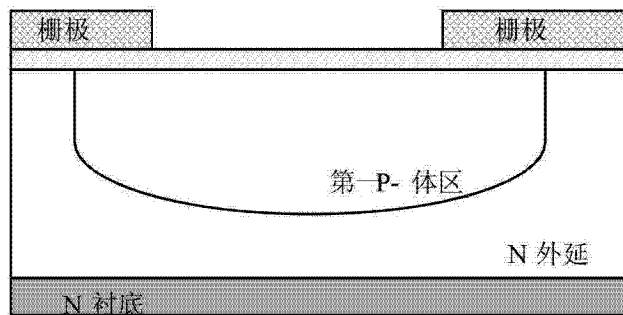


图 7

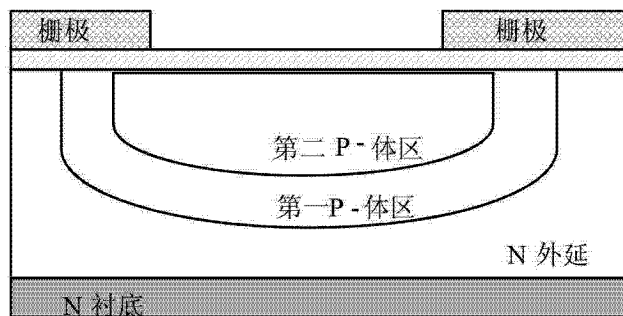


图 8

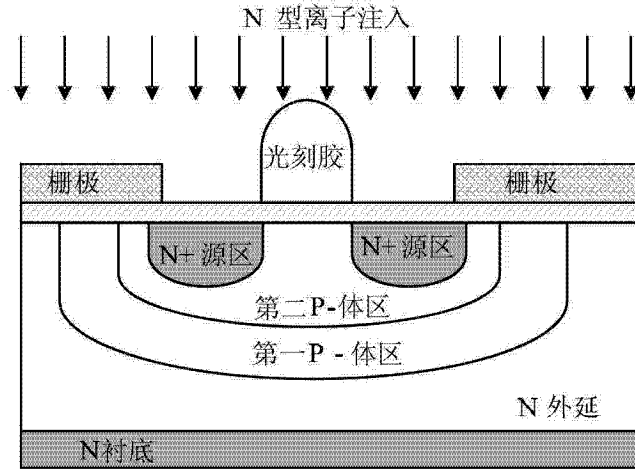


图 9

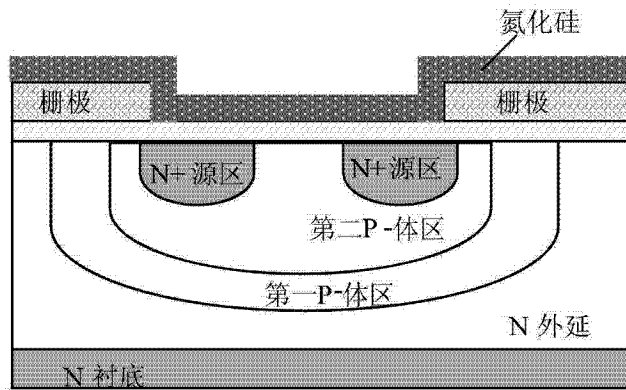


图 10

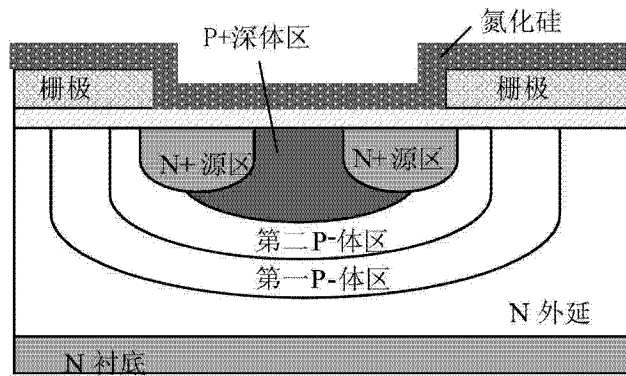


图 11

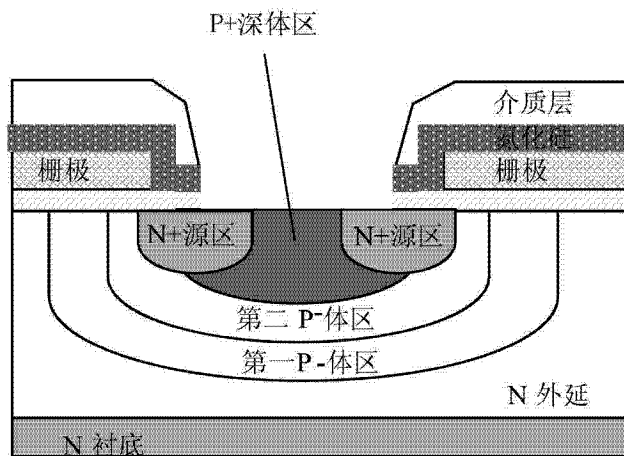


图 12

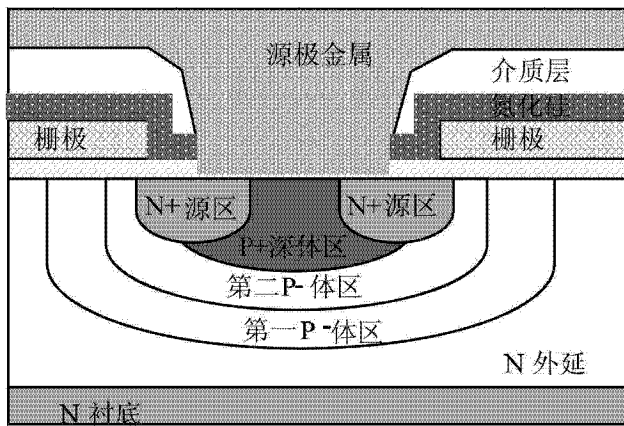


图 13