



(21)申請案號：101116522

(22)申請日：中華民國 101 (2012) 年 05 月 09 日

(51)Int. Cl. : **G11C16/06 (2006.01)**

(30)優先權：2011/05/20 日本

2011-114084

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：大島和晃 OHSHIMA, KAZUAKI (JP)；小林英智 KOBAYASHI, HIDETOMO (JP)

(74)代理人：林志剛

(56)參考文獻：

US 4328551

US 5576997

US 5726930

US 2003/0099132A1

US 2005/0088869A1

審查人員：劉耀允

申請專利範圍項數：6 項 圖式數：24 共 112 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

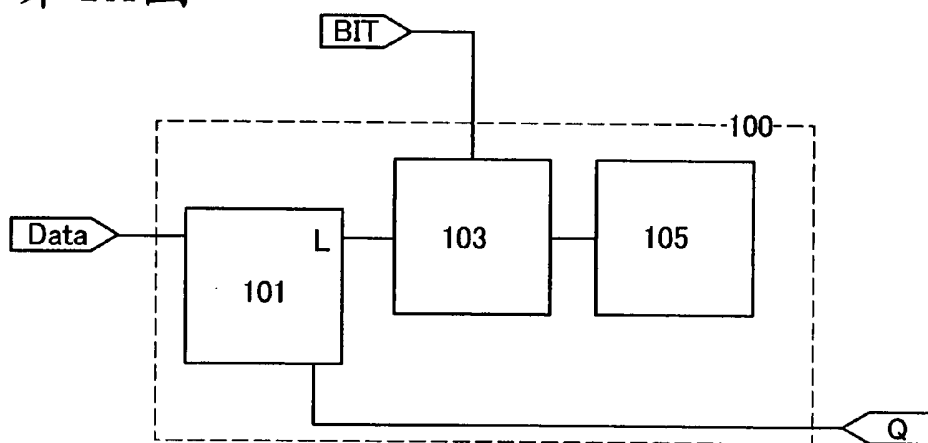
(57)摘要

本發明提供能在所欲之時序存取及重寫入資料的半導體裝置。半導體裝置包含暫存器電路、位元線、及資料線。暫存器電路包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路。資料線係電性連接至該正反器電路。位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

A semiconductor device capable of assessing and rewriting data at a desired timing is provided. A semiconductor device includes a register circuit, a bit line, and a data line. The register circuit includes a flip-flop circuit, a selection circuit, and a nonvolatile memory circuit electrically connected to the flip-flop circuit through the selection circuit. The data line is electrically connected to the flip-flop circuit. The bit line is electrically connected to the nonvolatile memory circuit through the selection circuit. The selection circuit selectively stores data based on a potential of the data line or a potential of the bit line in the nonvolatile memory circuit.

指定代表圖：

第1A圖



符號簡單說明：

100 . . . 暫存器電路

101 . . . 正反器電路

103 . . . 選擇電路

105 . . . 非揮發性記憶體電路

Q . . . 輸出信號線

六、發明說明：

【發明所屬之技術領域】

本發明有關半導體裝置及該半導體裝置的驅動方法。

【先前技術】

諸如中央處理單元（CPU）之信號處理電路係根據所欲之用途而在組態中變化。信號處理電路通常具有用以儲存資料或程式之主記憶體以及諸如暫存器及快取記憶體之其他記憶體單元。暫存器具有暫時保持資料以供實行算術處理之用，保持程式執行狀態，或其類似者的功能。此外，快取記憶體係設置於算術電路與主記憶體之間，以便減少對主記憶體的存取，且加速算術處理。

諸如暫存器或快取記憶體之記憶體裝置需比主記憶體更高速度地寫入資料。由於此理由之緣故，通常，正反器電路或其類似物係使用為暫存器，而靜態隨機存取記憶體（SRAM）或其類似物係使用為快取記憶體。換言之，揮發性記憶體電路係使用為該暫存器、該快取記憶體、或其類似物。在揮發性記憶體中之資料係在當停止電源供應電壓的供應時失去。

爲了要減少功率消耗，用以在未輸入及輸出資料的期間之週期中，暫時停止供應電源供應電壓至信號處理電路的方法已被建議。在該方法中，非揮發性記憶體裝置係設置於諸如暫存器或快取記憶體之揮發性記憶體裝置的週邊，以致使資料被暫時儲存於該非揮發性記憶體裝置中。因

而，即使當在信號處理電路中停止電源供應電壓的供應時，亦可保持暫存器、快取記憶體、或其類似物中所儲存之資料（例如，請參閱專利文獻 1）。

此外，在其中電源供應電壓的供應係在信號處理電路中長時間地停止之情況中，於揮發性記憶體裝置中的資料會在停止電源供應電壓的供應之前被轉移至諸如硬碟或快閃記憶體之外部記憶體裝置，以致可防止資料失去。

[參考文件]

[專利文獻 1] 日本公開專利申請案第 H10-078836 號

【發明內容】

如上述，在當停止電源供應電壓的供應時提供外部記憶體裝置以供儲存資料之用的情況中，具有其中需要時間以自信號處理電路寫入資料至外部記憶體裝置的問題，而不適用於電源供應之短時間的停止。

此外，在其中信號處理電路中之資料有問題的情況中，需要時間來存取且重寫入資料，以致使信號處理電路無法自其中停止電源供應電壓之供應的狀態迅速返回。

鑑於上述，目的在於提供能以高速度而轉移信號處理電路的資料至非揮發性記憶體裝置，以高頻率而停止電力的供應，且因此，減少功率消耗之半導體裝置。進一步地，另一目的在於提供能在所欲的時序存取及重寫入資料之半導體裝置。

非揮發性記憶體電路係提供用於半導體裝置之中所包含的每一個正反器電路。資料係在正反器電路與非揮發性記憶體電路之間傳送及接收，而藉以使資料可被高速度地轉移。此外，該非揮發性記憶體電路係設置有佈線，而直接寫入資料至非揮發性記憶體電路及自非揮發性記憶體電路讀取資料，以致使儲存於半導體裝置中之資料可透過該佈線而在所欲的時序存取及重寫入。

本發明之一實施例係半導體裝置，其包含：暫存器電路，包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路；位元線；以及資料線。該資料線係電性連接至該正反器電路。該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

本發明之另一實施例係半導體裝置，其包含：暫存器電路，包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路；位元線；資料線；字線；以及記憶體寫入致能線。該字線及該記憶體寫入致能線係電性連接至該選擇電路。該資料線係電性連接至該正反器電路。該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路包含第一開關及第二開關，該第一開關係用以決定該非揮發性記憶體電路與該字線或該記憶體寫入致能線之間的電性連接，以及該第二開關係用以決定該非揮發性記憶體電路與該資料

線或該位元線之間的電性連接。

本發明之又一實施例係半導體裝置，其包含：複數個暫存器電路，係設置於矩陣中；位元線；以及資料線。該等暫存器電路之各者包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路。該資料線係電性連接至該正反器電路。該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

本發明之仍另一實施例係半導體裝置，包含：複數個暫存器電路，係設置於矩陣中；位元線；資料線；字線；以及記憶體寫入致能線。該等暫存器電路之各者包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路。該字線及該記憶體寫入致能線係電性連接至該選擇電路。該資料線係電性連接至該正反器電路。該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路包含第一開關及第二開關，該第一開關係用以決定該非揮發性記憶體電路與該字線或該記憶體寫入致能線之間的電性連接，以及該第二開關係用以決定該非揮發性記憶體電路與該資料線或該位元線之間的電性連接。

使用於本發明之一實施例的半導體裝置中之選擇電路選擇第一操作模式、第二操作模式、第三操作模式、及第四操作模式的任一者，該第一操作模式係用以透過該正反

器電路而儲存根據該資料線的電位之資料於該非揮發性記憶體電路中，該第二操作模式係用以供應儲存於該非揮發性記憶體電路中之資料至該正反器電路，該第三操作模式係用以儲存根據該位元線之資料於該非揮發性記憶體電路中，以及該第四操作模式係用以供應儲存於該非揮發性記憶體電路中之資料至該位元線。

使用於本發明之一實施例的半導體裝置中之非揮發性記憶體電路係半導體裝置，其包含電晶體及電容器，該電晶體包含氧化物半導體於通道形成區中，以及該電容器包含電性連接至該電晶體之第一電極的一電極及接地的另一電極。該資料線的電位或該位元線的電位係儲存於其中該電晶體之該第一電極與該電容器之該一電極彼此互相電性連接的節點之中。

具有低功率消耗之半導體裝置可被提供。在該半導體裝置中，非揮發性記憶體電路係設置用於暫存器電路中所包含之每一個正反器電路，且即使當停止電力的供應時，亦可儲存資料；因此，可減少功率消耗。進一步地，透過用以在該非揮發性記憶體電路與該暫存器電路之外部部分間直接傳送及接收資料的佈線，半導體裝置可在所欲的時序存取及重寫入資料。

【實施方式】

在下文中，將參照附圖來詳細敘述本發明之實施例。注意的是，本發明並未受限於下文之說明，且熟習於本項

技藝之該等人士將易於瞭解的是，各式各樣的改變及修正可予以作成，而不會背離本發明之精神及範疇。因此，本發明不應受限於下文之該等實施例的說明。注意的是，在下文所述之本發明的結構中，相同的部分或具有相似功能的部分係藉由相同的參考符號而表示於不同的圖式中，且其說明將不再予以重複。

注意的是，在此說明書中所描繪的每一個圖式中，於某些情況中，為清楚起見，各自之組件的尺寸、層厚度、或區域被誇大。因此，本發明之實施例並未受限於該等比例。

注意的是，在此說明書及其類似者中，“電性連接”之用語包含其中組件係透過“具有任何電功能之物體”而連接的情況。在“具有任何電功能之物體”上並無特殊的限制，只要電信號可在透過該物體而連接的組件之間被傳送及接收即可。“具有任何電功能之物體”的實例包含除了電極及佈線外之諸如電晶體的開關元件、電阻器、線圈、電容器、以及具有各式各樣功能的元件。

注意的是，電壓通常意指兩點之電位間的差異（亦稱為電位差）。然而，在某些情況中，電壓及電位的位準係使用伏特（V）而表示於電路圖或其類似者之中，以致不容易區別它們。此係因為在此說明書中，於一點之電位與將成為參考之電位（亦稱為參考電位）間的電位差係在某些情況中被使用為該點之電壓的緣故。

源極及汲極的功能可在當例如，使用相反極性的電晶

體或改變電流流動的方向於電路操作之中時互換。因此，「源極」及「汲極」的用語可在此說明書之中互換。在此說明書及其類似者中，於某些情況中，電晶體之源極及汲極的其中一者係稱為「第一電極」，以及該源極及該汲極的另一者係稱為「第二電極」。

（實施例 1）

在此實施例中，將敘述本發明之一實施例的半導體裝置。

< 基本電路 >

首先，將敘述此實施例中之半導體裝置的暫存器電路之一模式及其操作。第 1A 圖係該暫存器電路的方塊圖。在第 1A 圖中所示之暫存器電路 100 包含正反器電路 101、選擇電路 103、及非揮發性記憶體電路 105。在第 1A 圖中，資料線（Data）係電性連接至正反器電路 101，且位元線（BIT）係透過選擇電路 103 而電性連接至非揮發性記憶體電路 105。該正反器電路 101 係電性連接至輸出信號線（Q）。

資料線（Data）之電位係輸入至正反器電路 101。正反器電路 101 儲存對應於輸入之電位的資料做為其內部之狀態，且透過輸出信號線（Q）而輸出該資料至外部部分。

注意的是，對應於電位的資料意指具有對應於資料「

1" 或 "0" 之電位的 1 位元資料。二不同電位的任一者被選擇性地供應，以及使該等電位的其中一者（例如，高電位或高位準）對應至資料 "1" 且使該等電位的另一者（例如，低電位或低位準）對應至資料 "0"。進一步地，電位可選自三或更多個不同的電位，以致使多值（多位元）之資料被寫入，而產生半導體裝置之記憶體容量的增加。

大致地，正反器電路包含至少二算術電路。該正反器電路可具有具備回授迴圈之組態，其中一算術電路的輸出係輸入至另一個算術電路，且該另一個算術電路的輸出係輸入至該一算術電路。因此，正反器電路係揮發性記憶體電路，其儲存且輸出對應於來自資料線（Data）所輸入之電位的資料。在暫存器電路 100 中，正反器電路 101 的輸出係輸入至選擇電路 103。

正反器電路 101 的輸出及位元線（BIT）的電位係輸入至選擇電路 103。選擇電路 103 的輸出端子係電性連接至非揮發性記憶體電路 105 的輸入端子。非揮發性記憶體電路 105 係根據藉由該選擇電路 103 所選擇的操作模式，而傳送資料至正反器電路 101 或位元線（BIT），或自正反器電路 101 或位元線（BIT）接收資料。

在此，將說明藉由選擇電路 103 所選擇之半導體裝置的操作模式。

選擇電路 103 選擇半導體裝置之四個操作模式的其中一者。該四個操作模式係用以透過正反器電路 101 而儲存根據資料線（Data）的電位之資料於該非揮發性記憶體電

路 105 中的第一操作模式，用以輸入儲存於該非揮發性記憶體電路 105 中之資料至正反器電路 101 的第二操作模式，用以儲存根據位元線（BIT）的電位之資料於該非揮發性記憶體電路 105 中的第三操作模式，以及用以輸入儲存於該非揮發性記憶體電路 105 中之資料至位元線（BIT）的第四操作模式。

該四個操作模式係結合以致能半導體裝置之功率消耗的降低。將敘述操作方法。

在此實施例的半導體裝置中，資料線（Data）的電位係輸入至正反器電路 101，且根據該電位的資料係儲存於正反器電路 101 中。如上述，因為正反器電路 101 係揮發性記憶體電路，所以需要電力的供應以保持正反器電路 101 之中所儲存的資料。因此，爲了要保持儲存於正反器電路 101 中之資料，即使在未重寫入正反器電路 101 的內部狀態之期間的週期中，亦需要持續的電源供應。

然而，在此實施例的半導體裝置中，每一個暫存器電路 100 包含電性連接至正反器電路 101 的非揮發性記憶體電路 105。因此，正反器電路 101 的內部狀態可藉由在未改變正反器電路 101 的內部狀態之期間的週期中，藉由儲存資料於非揮發性記憶體電路 105 中，而予以保持，即使當電力的供應停止時亦然。正反器電路 101 的內部狀態可在當選擇電路 103 選擇第一操作模式時，被儲存在該非揮發性記憶體電路 105 中。

其次，選擇電路 103 選擇第二操作模式，以致使儲存

於非揮發性記憶體電路 105 中之資料儲存於正反器電路 101 中，而可藉以使正反器電路 101 返回至電力之供應停止前狀態。

此外，選擇電路結合該四個操作模式，使得半導體裝置可在所欲之時序存取正反器電路 101 的內部狀態。將敘述操作模式。

選擇電路 103 選擇第一操作模式，而藉以使正反器電路 101 的內部狀態儲存於非揮發性記憶體電路 105 中。在此狀態中，選擇電路 103 選擇第四操作模式，以致使儲存於非揮發性記憶體電路 105 中之資料輸入至位元線（BIT）；因而，根據正反器電路 101 之內部狀態的電位被輸入至位元線（BIT）。因此，正反器電路 101 的內部狀態可藉由讀取輸入至位元線（BIT）的電位，而予以存取。

進一步地，在其中存取正反器電路 101 的內部狀態且發現問題的情況，可易於在此實施例的半導體裝置中重寫入正反器電路 101 的內部狀態。將敘述操作方法。

爲了要重寫入正反器電路 101 的內部狀態，首先，第三操作模式係藉由選擇電路 103 所選取。在該第三操作模式中，根據將被重寫入之資料的電位係輸入至位元線（BIT），且根據該位元線（BIT）之電位的資料係儲存於非揮發性記憶體電路 105 中。

接著，第二操作模式係藉由選擇電路 103 所選取，以致使根據儲存於非揮發性記憶體電路 105 中之資料的電位輸入至正反器電路 101。因此，來自位元線（BIT）所輸

入之將被重寫入的資料被輸入至正反器電路 101。

在此實施例的半導體裝置中，正反器電路 101 的資料係儲存於非揮發性記憶體電路 105 中，且因此，可透過位元線（BIT）而直接寫入及讀取；因而，正反器電路 101 的內部狀態可在所欲之時序予以存取及重寫入。

將敘述其中顯示更多特定組態之選擇電路 103 及非揮發性記憶體電路 105 的暫存器電路 200。該暫存器電路 200 係顯示於第 1B 圖中。

如第 1B 圖中所示，包含第一開關 202 及第二開關 203 的電路可形成選擇電路 103。

第一開關 202 係電性連接至字線（WORD）及寫入致能線（WE）。第一開關 202 的輸出係輸入至非揮發性記憶體電路 105。第一開關 202 係輸出字線（WORD）之電位或寫入致能線（WE）之電位至非揮發性記憶體電路 105 的開關。

第二開關 203 係電性連接至正反器電路 101 的輸出端子及位元線（BIT）。第二開關 203 的輸出係輸入至非揮發性記憶體電路 105。第二開關 203 係輸出根據正反器電路 101 的內部狀態之電位或位元線（BIT）之電位至非揮發性記憶體電路 105 的開關。第二開關 203 決定非揮發性記憶體電路 105 與正反器電路 101 或位元線（BIT）之間的電性連接。

第 1B 圖中所示之非揮發性記憶體電路 105 包含電晶體 204 和電容器 205。電晶體 204 的第一電極係電性連接

至電容器 205 之一電極，且電容器 205 的另一電極係接地。資料係儲存於其中電晶體 204 的第一電極與電容器 205 之該一電極彼此互相電性連接的節點（在下文中，亦簡稱為節點）中。

電晶體 204 的閘極電極係電性連接至包含於選擇電路 103 中的第一開關 202，且字線（WORD）的電位或寫入致能線（WE）的電位係輸入至電晶體 204 的閘極電極。也就是說，電晶體 204 係根據字線（WORD）及寫入致能線（WE）的電位，而在開啓與關閉之間切換。

電晶體 204 的第二電極係電性連接至包含於選擇電路 103 中的第二開關 203。當電晶體 204 導通時，則根據正反器電路 101 之內部狀態的電位或位元線（BIT）的電位係自第二開關 203 輸入，且輸入至其中電晶體 204 的第一電極與電容器 205 之該一電極彼此互相電性連接的節點。

具有小的截止狀態電流之電晶體係使用為電晶體 204。在使用具有小的截止狀態電流之電晶體做為電晶體 204 的情況中，儲存於該節點中的資料可藉由關閉電晶體 204 而保持長時間，即使當停止電力的供應時亦然。

爲了要寫入資料至非揮發性記憶體電路 105，例如，對應於二相異電位之任一者的電荷（在下文中，供應低電位的電荷係稱為電荷 Q_L ，以及供應高電位的電荷係稱為 Q_H ）被選擇性地供應至電容器 205。使 Q_L 及 Q_H 的其中一者對應於資料“1”且使另一者對應於資料“0”，以致使 1 位元之資料可被寫入至非揮發性記憶體電路 105。注意

的是，電荷可選自對應於三或更多個不同電位之電荷，而可產生非揮發性記憶體電路 105 之記憶體容量的增加。

注意的是，使用於電晶體 204 之具有小的截止狀態電流之電晶體可係例如，包含氧化物半導體材料之電晶體（其中通道係形成於氧化物半導體層中之電晶體）。因為包含氧化物半導體材料之電晶體的截止狀態電流係其中通道形成於矽中之電晶體的截止狀態電流之十萬分之一，所以可忽視由於關閉之電晶體 204 的電荷漏洩所導致之累積在電容器 205 中之電荷的損失。因此，儲存於該節點中之電位可保持長時間。在第 1B 圖中，爲了要指出電晶體 204 係包含氧化物半導體之電晶體，“OS”係寫在電晶體 204 之側。

透過具有上述組態之非揮發性記憶體電路 105，在寫入新的資料之情況中，寫入之資料的拭除並非必要，且寫入之資料可藉由寫入另外的資料而予以直接地再寫入。因此，可抑制由於資料的拭除所導致之操作速度的減低。換言之，半導體裝置可以以高速度而操作。

進一步地，本發明之半導體裝置並不具有已成為習知浮動閘極電晶體的問題之閘極絕緣層（隧道絕緣層）劣化的問題。也就是說，可解決已被視為問題之由於電子注入至浮動閘極之內所導致之閘極絕緣層劣化的問題。此意指的是，在原則上，並無寫入次數上的限制。再者，用於習知浮動閘極電晶體中之寫入或拭除所需的高壓亦非屬必要。

將參照時序圖來詳細敘述第 1B 圖中所示之暫存器電路 200 的操作。首先，將敘述使用以說明第 1B 圖中所示之暫存器電路 200 的操作之正反器電路的特定電路組態。第 2 圖顯示使用於暫存器電路 200 中之正反器電路 101。注意的是，可使用於此實施例的半導體裝置中之正反器電路的組態並未受限於第 2 圖中的組態。

第 2 圖中所示之正反器電路 101 包含反相器電路 251、開關電路 252、反相器電路 253、時脈控制反相器電路 254、時脈控制反相器電路 255、開關電路 256、時脈控制反相器電路 257、及時脈控制反相器電路 258。

資料線 (Data) 的電位係輸入至正反器電路 101。資料線 (Data) 的電位係透過開關電路 252 而輸入至時脈控制反相器電路 254。該資料線 (Data) 的電位係藉由時脈控制反相器電路 254 所反相，且輸入至信號線 (L) 及開關電路 256。注意的是，所輸入至信號線 (L) 的電位被讀出為正反器電路 101 的內部狀態。所輸入至開關電路 256 的電位係藉由時脈控制反相器電路 257 而被再次反相，且變成相等於資料線 (Data) 的電位，並自輸出信號線 (Q) 輸出。輸出信號線 (Q) 的電位係正反器電路 101 的輸出電位，且係藉由使該正反器電路 101 之內部狀態的電位反相所獲得的電位。

開關電路 252 及開關電路 256 的導通狀態係藉由時脈信號 (CLK) 所控制。藉由反相器電路 251 所反相之時脈信號係輸入至開關電路 252，且時脈信號係直接輸入至開

關電路 256，以致當開關電路 252 及開關電路 256 的其中一者係開啓時，則其另一者係關閉。在此，當輸入低位準之電位至時脈信號線（CLK）時，則開關電路 252 係關閉且開關電路 256 係開啓，以及當輸入高位準之電位至時脈信號線（CLK）時，則開關電路 252 係開啓且開關電路 256 係關閉。

具有其中時脈控制反相器電路 254 的輸出係輸入至時脈控制反相器電路 255 且時脈控制反相器電路 255 的輸出係輸入至時脈控制反相器電路 254 之回授迴圈的門鎖電路被形成。時脈控制反相器電路 254 的輸出係輸入至時脈控制反相器電路 255 且時脈控制反相器電路 255 的輸出係輸入至時脈控制反相器電路 254；因此，可將資料保持於門鎖電路中。

時脈信號（CLK）係輸入至時脈控制反相器電路 255，且該時脈控制反相器電路 255 係僅在當時脈信號（CLK）係在高位準時才操作。因此，當由於做為時脈信號（CLK）之高位準電位的輸入而使開關電路 252 開啓且使開關電路 256 關閉時，則時脈控制反相器電路 255 操作，且包含時脈控制反相器電路 254 及時脈控制反相器電路 255 的門鎖電路保持電位。

且有其中時脈控制反相器電路 257 的輸出係輸入至時脈控制反相器電路 258 且時脈控制反相器電路 258 的輸出係輸入至時脈控制反相器電路 257 之回授迴圈的門鎖電路被形成。時脈控制反相器電路 257 的輸出係輸入至時脈控

制反相器電路 258 且時脈控制反相器電路 258 的輸出係輸入至時脈控制反相器電路 257；因此，可將資料保持於門鎖電路中。

藉由反相器電路 251 所反相之時脈信號係輸入至時脈控制反相器電路 258，且該時脈控制反相器電路 258 係僅在當該時脈信號係在低位準時才操作。因此，當由於做為時脈信號（CLK）之低位準電位的輸入而使開關電路 252 關閉且使開關電路 256 開啓時，則時脈控制反相器電路 258 操作，且包含時脈控制反相器電路 257 及時脈控制反相器電路 258 的門鎖電路保持電位。

讀取致能線（RE）的電位係透過反相器電路 253 而輸入至時脈控制反相器電路 254。當輸入高位準電位至讀取致能線（RE）時，則藉由反相器電路 253 所反相之低位準電位係輸入至時脈控制反相器電路 254，且該時脈控制反相器電路 254 的操作停止。因此，當輸入高位準電位至讀取致能線（RE）時，則包含時脈控制反相器電路 254 及時脈控制反相器電路 255 的門鎖電路並不保持資料。

上述係第 2 圖中所示之正反器電路 101 的組態及操作。接著，將敘述第 1B 圖中之暫存器電路 200 的操作。在此，將敘述使用第 2 圖中之正反器電路 101 做為正反器電路 101 的情況。第 3 圖、第 4A 及 4B 圖、以及第 5A 及 5B 圖顯示暫存器電路 200 的時序圖。

在第 3 圖、第 4A 及 4B 圖、以及第 5A 及 5B 圖中所示的時序圖中，MEM 顯示選擇信號線的電位；BIT，位元

線的電位；WORD，字線的電位；RE，讀取致能線的電位；WE，寫入致能線的電位；CLK，時脈信號的電位；Data，資料線的電位；L，信號線的電位；Q，正反器電路之輸出信號的電位；以及MEM_D，儲存於非揮發性記憶體電路 105 中的資料（儲存於非揮發性記憶體電路 105 之節點中的資料）之電位。

首先，將敘述暫存器電路中的正反器電路之正常操作的時序圖。第 3 圖中之時序圖顯示正反器電路的正常操作。在正反器電路的正常操作中，選擇電路 103 可選擇任何操作模式。因此，選擇信號線（MEM）、位元線（BIT）、字線（WORD）、讀取致能線（RE）、及寫入致能線（WE）之各者的電位可係給定之電位。在時序圖中，給定之電位係由虛線所示，且藉由符號（X）所表示。

當時脈信號（CLK）係在低位準時，則在正反器電路 101 中，開關電路 252 係關閉，以致使根據資料線（Data）之電位的資料被輸入至時脈控制反相器電路 254。根據資料線（Data）之電位的資料係藉由時脈控制反相器電路 254 所反相，且傳送至信號線（L）。然後，當時脈信號（CLK）係在高位準時，則開關電路 252 開啓且時脈控制反相器電路 255 操作，以致使信號線（L）的電位被保持於包含時脈控制反相器電路 254 及時脈控制反相器電路 255 的門鎖電路中。

進一步地，當時脈信號（CLK）係在高位準時，則開關電路 256 係關閉，以致使藉由時脈控制反相器電路 254

所反相的資料被輸入至時脈控制反相器電路 257。當所反相之資料係輸入至時脈控制反相器電路 257 時，則該資料係藉由時脈控制反相器電路 257 而被再次反相，且透過正反器電路 101 的輸出信號線（Q）而予以輸出。

然後，當時脈信號（CLK）係在低位準時，則開關電路 256 開啓且時脈控制反相器電路 258 操作，以致使正反器電路之輸出信號線（Q）的電位被保持於包含時脈控制反相器電路 257 及時脈控制反相器電路 258 的門鎖電路中。

接著，將敘述當選擇電路 103 選擇第一操作模式時之用以透過正反器電路 101 而儲存根據資料線（Data）的資料於非揮發性記憶體電路 105 中之操作。

第 4A 圖顯示第一操作模式的時序圖。選擇信號線（MEM）的電位係設定於高位準，以致使選擇電路 103 選擇第一操作模式。當選擇信號線（MEM）係在高位準時，則電晶體 204 的閘極電極係透過第一開關 202 而電性連接至寫入致能線（WE）。此外，正反器電路 101 之輸出端子係透過第二開關 203 而電性連接至電晶體 204 的第二電極。

當時脈信號（CLK）係在低位準，且同時，第一操作模式係藉由選擇電路 103 所選擇時，則資料線（Data）的電位係藉由時脈控制反相器電路 254 所反相，且輸入至信號線（L）。然後，當時脈信號（CLK）係在高位準時，則開關電路 252 開啓，以致使信號線（L）的電位被保持

於時脈控制反相器電路 254 及時脈控制反相器電路 255 中。此外，開關電路 256 係關閉，以致使藉由時脈控制反相器電路 257 所反相之信號線（L）的電位之電位（資料線（Data）的電位）被輸出至輸出信號線（Q）。

此時，將寫入致能線（WE）設定於高位準，而藉以使高位準之電位被輸入至電晶體 204 的閘極電極，而使電晶體 204 導通。因此，正反器電路 101 的內部狀態係儲存於非揮發性記憶體電路 105 的節點中。然後，將寫入致能線（WE）設定於低位準，而藉以使電晶體 204 關閉。因為電晶體 204 的截止狀態電流係極小，所以可藉由關閉電晶體 204 而使該節點中所儲存之電位保持極長的時間。

透過上述操作，可將正反器電路 101 的內部狀態儲存於非揮發性記憶體電路 105 中；因此，半導體裝置可保持正反器電路 101 的內部狀態，即使當停止電力的供應時亦然。

在此實施例的半導體裝置中，係提供即使當停止電力的供應時亦能儲存資料之非揮發性記憶體電路，以供每一個正反器電路之用；因此，電力的供應可在當正反器電路之內部狀態未改變時予以停止，而產生功率消耗的減少。

其次，將敘述當第二操作模式係藉由選擇電路 103 所選擇時之用以輸入儲存於非揮發性記憶體電路 105 中的資料至正反器電路 101 之操作。第 4B 圖顯示第二操作模式的時序圖。

選擇信號線（MEM）的電位係設定於高位準，以致使

選擇電路 103 選擇第二操作模式。當選擇信號線 (MEM) 係在高位準時，則電晶體 204 的閘極電極係透過第一開關 202 而電性連接至寫入致能線 (WE)。此外，正反器電路 101 之輸出端子係透過第二開關 203 而電性連接至電晶體 204 的第二電極。

當在第二操作模式中之時脈信號 (CLK) 係在低位準時，則資料線 (Data) 的電位係輸入至時脈控制反相器電路 254，且所反相之資料線 (Data) 的電位係輸入至信號 (L)。

在此，當時脈信號 (CLK) 係在高位準時，則包含時脈控制反相器電路 254 及時脈控制反相器電路 255 的門鎖電路操作，且信號線 (L) 的電位被保持。此外，開關電路 256 係關閉，以致使藉由時脈控制反相器電路 254 所反相之資料被輸入至時脈控制反相器電路 257。所輸入至時脈控制反相器電路 257 之資料係藉由該時脈控制反相器電路 257 所反相，且自正反器電路 101 的輸出端子輸出。

此時，當設定讀取致能線 (RE) 於高位準時，則時脈控制反相器電路 254 的操作停止，且包含時脈控制反相器電路 254 及時脈控制反相器電路 255 之門鎖電路的操作亦停止。

當寫入致能線 (WE) 係設定於高位準以使電晶體 204 導通，且同時，包含時脈控制反相器電路 254 及時脈控制反相器電路 255 之門鎖電路的操作停止時，則儲存於電晶體 204 與電容器 205 間之節點中的電位 (MEM_D)

係透過信號線（L）而輸入至時脈控制反相器電路 255 中。

儲存於該節點中之電位係保持於信號線（L）中，即使當寫入致能線（WE）的電位係在上述操作之後返回至低位準時亦然。因此，當設定讀取致能線（RE）於低位準以重新啟動時脈控制反相器電路 254 的操作以及包含時脈控制反相器電路 254 及時脈控制反相器電路 255 之門鎖電路的操作時，則儲存於該節點中之電位被保持於該門鎖電路中。

然後，當時脈信號（CLK）係在低位準時，則開關電路 252 關閉，且資料線（Data）的電位係輸入至時脈控制反相器電路 254，以致使正反器電路 101 之正常操作重新啟動。

注意的是，在此實施例的半導體裝置中，係使用包含氧化物半導體材料之電晶體（其中通道係形成於氧化物半導體層中之電晶體）做為電晶體 204。包含氧化物半導體材料之電晶體具有極小截止狀態電流的特徵。所以，電容器 205 的電位可藉由關閉電晶體 204 而保持極長的時間。

接著，將敘述當選擇電路 103 選擇第三操作模式時之用以儲存根據位元線（BIT）之電位的資料於非揮發性記憶體電路 105 中之操作。

第 5A 圖顯示第三操作模式。選擇信號線（MEM）係設定於低位準，以致使選擇電路 103 選擇第三操作模式。當選擇信號線（MEM）係在低位準時，則電晶體 204 的閘

極電極係透過第一開關 202 而電性連接至字線 (WORD)。
此外，位元線 (BIT) 係透過第二開關 203 而電性連接至電晶體 204 的第二電極。

注意的是，在第三操作模式中，讀取致能線 (RE)、時脈信號線 (CLK)、資料線 (Data)、信號線 (L) 及正反器電路之各者的輸出可係給定之電位。

在第三操作模式中，字線 (WORD) 係設定於高位準，以致使電晶體 204 導通且使根據位元線 (BIT) 之電位的電位被儲存於其中電晶體 204 的第一電極與電容器 205 的該一電極彼此互相電性連接之節點中。輸入將被儲存於非揮發性記憶體電路 105 中之電位至位元線 (BIT) 的時序係在將字線 (WORD) 設定於高位準及將位元線 (BIT) 的電位輸入至該節點之前。

接著，將敘述當第四操作模式係藉由選擇電路 103 所選擇時之用以輸入儲存於非揮發性記憶體電路 105 中的電位至位元線 (BIT) 之操作。第 5B 圖顯示第四操作模式。選擇信號線 (MEM) 係設定於低位準，以致使選擇電路 103 選擇第四操作模式。當選擇信號線 (MEM) 係在低位準時，則電晶體 204 的閘極電極係透過第一開關 202 而電性連接至字線 (WORD)。此外，位元線 (BIT) 係透過開關 203 而電性連接至電晶體 204 的第二電極。

在第四操作模式中，中位準電位係輸入至位元線 (BIT)。然後，字線 (WORD) 係設定於高位準而使電晶體 204 導通，以致使儲存於電晶體 204 與電容器 205 間之

節點中的電位被輸入至位元線（BIT）。此時，位元線（BIT）的電位係在其中儲存於電晶體 204 及電容器 205 中之電位係在高位準的情況中，自中位準上升至高位準。在其中儲存於電晶體 204 及電容器 205 中之電位係在低位準的情況中，位元線（BIT）的電位並不上升。

因此，儲存於非揮發性記憶體電路 105 中之電位可藉由識別位元線（BIT）之電位的位準而被讀取。例如，將位準移位器連接至位元線（BIT）的頂端，其中接近於高位準電位之位元線（BIT）的電位可被固定為高位準，以致可完全讀取該電位。

該四個操作模式的給定組合可在當正反器電路的內部狀態未改變時，停止電力的供應，而產生功率消耗的減少。進一步地，非揮發性記憶體電路的電位係自暫存器電路的外部部分直接讀取，而可藉以使正反器電路的內部狀態在所欲之時序被存取。而且，可易於重寫入正反器電路的內部狀態。

< 應用實例 >

其次，將敘述包含複數個上文所述之暫存器電路的半導體裝置及其操作。第 6 圖顯示本發明之一實施例的半導體裝置，其包含複數個上文所述且設置於矩陣中之暫存器電路。

在第 6 圖中之半導體裝置包含配置於 m （列）及 n （行）之矩陣中的暫存器電路， n 個位元線、 m 個字線、記

記憶體控制器、位元行解碼器、字列解碼器、及核心（CORE IO）。

第 6 圖中之暫存器電路各自具有與第 1B 圖中所示之暫存器電路 100 的組態相似的組態。也就是說，該等暫存器電路之各者包含正反器電路、選擇電路、及非揮發性記憶體電路。此外，該等選擇電路之各者包含第一開關及第二開關，且該等非揮發性記憶體電路之各者包含具有小的截止狀態電流之電晶體（包含氧化物半導體之電晶體）及電容器。在一行之中的該等暫存器電路共享一位元線，且在一列之中的該等暫存器電路共享一字線，而該一位元線係電性連接至該等選擇電路之各者。

在此實施例中，包含於該複數個暫存器電路中之該等非揮發性記憶體電路並未彼此互相串聯連接，且該等非揮發性記憶體電路之各者係連接至位元線及字線；然而，用以配置該等暫存器電路於矩陣中的方法並未受限於此。

注意的是，寫入致能線（WE）、選擇信號線（MEM）、資料線（Data）、時脈信號線（CLK）、及其類似者可具有與第 1B 圖中之該等組態相似的組態，且因此，並未被顯示於第 6 圖之中。

該 n 個位元線係電性連接至位元行解碼器，且在第 k 行中的位元線（ k 係大於或等於 1 且小於或等於 n 之整數）係電性連接至包含於第 k 行中之暫存器電路中的選擇電路及第二開關。

該 m 個字線係電性連接至字列解碼器，且在第 q 列

中的字線（ q 係大於或等於 1 且小於或等於 m 之整數）係電性連接至包含於第 q 列中之暫存器電路中的選擇電路及第一開關。

記憶體控制器根據核心的內部狀態或算術結果而決定資料將被寫入或讀取的暫存器電路。例如，當記憶體控制器決定資料將被寫入的暫存器電路時，則選擇電路選擇第三操作模式，且預定的電位自記憶體控制器輸入至位元行解碼器及字列解碼器。

例如，資料將被寫入或讀取之暫存器電路的位址資料係傳送至字列解碼器。然後，字列解碼器輸入預定的電位至字線以回應於該位址資料，使得將寫入及讀取資料之暫存器電路係在主動狀態中。

將被寫入至暫存器電路的資料係傳送至位元行解碼器。然後，對應於將被寫入之資料的電位係自位元行解碼器輸入至位元線。來自位元行解碼器所供應的電位係儲存於藉由字列解碼器而使成為在主動狀態中的暫存器電路中。

包含於暫存器電路中之正反器電路的輸入端子及輸出端子係連接至邏輯操作電路、主記憶體、或其類似者，且配置於矩陣中之該等正反器電路形成信號處理電路。在該信號處理電路中，正反器電路具有實行算術處理或暫時保持程式執行狀態之功能。

在本發明之半導體裝置中，因為非揮發性記憶體電路係設置用於每一個正反器，所以即使設置複數個暫存器電路，亦可高速度地讀出資料。進一步地，資料可被直接寫

入至非揮發性記憶體電路或自非揮發性記憶體電路讀取，以致使信號處理電路的內部狀態可易於被存取及重寫入。

此實施例可與任何其他的實施例適當地結合。

(實施例 2)

將敘述包含於實施例 1 中所描述的非揮發性記憶體電路中之具有小的截止狀態電流之電晶體。包含氧化物半導體材料的電晶體係給定為具有小的截止狀態電流之電晶體。

將參照第 23A 至 23D 圖來敘述此實施例中之電晶體的結構。注意的是，第 23A 至 23D 圖係各自顯示該電晶體之結構實例的概略橫剖面視圖。

第 23A 圖中所示的電晶體係設置於絕緣層 600(a)及嵌入式絕緣體 612a(a)及 612b(a)之上，該等嵌入式絕緣體 612a(a)及 612b(a)係形成為嵌入於絕緣層 600(a)中。

第 23A 圖中所示的電晶體包含閘極電極 601(a)、閘極絕緣層 602(a)、氧化物半導體層 603(a)、源極電極 605a(a)、及汲極電極 605b(a)。

氧化物半導體層 603(a)包含雜質區 604a(a)及雜質區 604b(a)。雜質區 604a(a)與雜質區 604b(a)係彼此互相分離，且摻雜物（雜質）係給予該處。在雜質區 604a(a)與雜質區 604b(a)之間的區域用作通道形成區。氧化物半導體層 603(a)係設置於絕緣層 600(a)之上。該雜質區 604a(a)及該雜質區 604b(a)無需一定要被設置。注意的是

，在第 23A 圖中所示的電晶體中，雜質區 604a(a)及雜質區 604b(a)係具有 n^+ 型導電性之半導體區。

側壁絕緣體 616a(a)及側壁絕緣體 616b(a)係設置於閘極電極 601(a)的兩側表面上，且絕緣層 606(a)係設置於閘極電極 601(a)的上方部分中，以防止閘極電極 601(a)與另外之佈線短路。

源極電極 605a(a)及汲極電極 605b(a)係設置於氧化物半導體層 603(a)之上，且電性連接至該氧化物半導體層 603(a)。

源極電極 605a(a)與雜質區 604a(a)的一部分重疊。當源極電極 605a(a)與雜質區 604a(a)的一部分重疊時，則在該源極電極 605a(a)與該雜質區 604a(a)之間的電阻可變低。

汲極電極 605b(a)與雜質區 604b(a)的一部分重疊。當汲極電極 605b(a)與雜質區 604b(a)的一部分重疊時，則在該汲極電極 605b(a)與雜質區 604b(a)之間的電阻可變低。

閘極絕緣層 602(a)係設置於氧化物半導體層 603(a)之上。

閘極電極 601(a)與氧化物半導體層 603(a)重疊，而該閘極絕緣層 602(a)介於其間。以閘極絕緣層 602(a)介於其間而與閘極電極 601(a)重疊之氧化物半導體層 603(a)中的區域用作通道形成區。

第 23B 圖中所示的電晶體係設置於絕緣層 600(b)及嵌入式絕緣體 612a(b)及 612b(b)之上，該等嵌入式絕緣體

612a(b)及 612b(b)係形成為嵌入於絕緣層 600(b)中。

第 23B 圖中所示的電晶體包含閘極電路 601(b)、閘極絕緣層 602(b)、氧化物半導體層 603(b)、源極電極 605a(b)、及汲極電極 605b(b)。

氧化物半導體層 603(b)包含雜質區 604a(b)及雜質區 604b(b)。雜質區 604a(b)與雜質區 604b(b)係彼此互相分離，且摻雜物（雜質）係給予該處。在雜質區 604a(b)與雜質區 604b(b)之間的區域用作通道形成區。氧化物半導體層 603(b)係設置於絕緣層 600(b)之上。注意的是，該雜質區 604a(b)及該雜質區 604b(b)無需一定要被設置。注意的是，在第 23B 圖中所示的電晶體中，雜質區 604a(b)及雜質區 604b(b)係具有 n^+ 型導電性之半導體區。

側壁絕緣體 616a(b)及側壁絕緣體 616b(b)係設置於閘極電極 601(b)的兩側表面上，且絕緣層 606(b)係設置於閘極電極 601(b)的上方部分中，以防止閘極電極 601(b)與另外之佈線短路。

源極電極 605a(b)及汲極電極 605b(b)係設置於氧化物半導體層 603(b)之上，且電性連接至該氧化物半導體層 603(b)。

源極電極 605a(b)與雜質區 604a(b)重疊。當源極電極 605a(b)與雜質區 604a(b)重疊時，則在該源極電極 605a(b)與該雜質區 604a(b)之間的電阻可變低。

汲極電極 605b(b)與雜質區 604b(b)重疊。當汲極電極 605b(b)與雜質區 604b(b)重疊時，則在該汲極電極

605b(b)與該雜質區 604b(b)之間的電阻可變低。

閘極絕緣層 602(b)係設置於氧化物半導體層 603(b)之上。

閘極電極 601(b)與氧化物半導體層 603(b)重疊，而該閘極絕緣層 602(b)介於其間。以閘極絕緣層 602(b)介於其間而與閘極電極 601(b)重疊之氧化物半導體層 603(b)中的區域用作通道形成區。

在第 23A 圖中所示的電晶體中，雜質區 604a(a)及雜質區 604b(a)係分別設置成與側壁絕緣體 616a(a)及側壁絕緣體 616b(a)重疊。相反地，在第 23B 圖中所示的電晶體中，雜質區 604a(b)及雜質區 604b(b)係分別設置成不與側壁絕緣體 616a(b)及側壁絕緣體 616b(b)重疊。

第 23C 圖中所示的電晶體包含閘極電極 601(c)，閘極絕緣層 602(c)、氧化物半導體層 603(c)、源極電極 605a(c)、及汲極電極 605b(c)。

氧化物半導體層 603(c)包含雜質區 604a(c)及雜質區 604b(c)。雜質區 604a(c)與雜質區 604b(c)係彼此互相分離，且摻雜物（雜質）係給予該處。在雜質區 604a(c)與雜質區 604b(c)之間的區域用作通道形成區。氧化物半導體層 603(c)係設置於絕緣層 600(c)之上。注意的是，該雜質區 604a(c)及該雜質區 604b(c)無需一定要被設置。

源極電極 605a(c)及汲極電極 605b(c)係設置於氧化物半導體層 603(c)之上，且電性連接至該氧化物半導體層 603(c)。源極電極 605a(c)及汲極電極 605b(c)的側表面係

成錐狀。

源極電極 605a(c)與雜質區 604a(c)的一部分重疊；然而，此實施例並未受限於此。當源極電極 605a(c)與雜質區 604a(c)的一部分重疊時，則在該源極電極 605a(c)與該雜質區 604a(c)之間的電阻可變低。與源極電極 605a(c)重疊之氧化物半導體層 603(c)之全部區域可係雜質區 604a(c)。

汲極電極 605b(c)與雜質區 604b(c)的一部分重疊；然而，此實施例並未受限於此。當汲極電極 605b(c)與雜質區 604b(c)的一部分重疊時，則在該汲極電極 605b(c)與該雜質區 604b(c)之間的電阻可變低。與汲極電極 605b(c)重疊之氧化物半導體層 603(c)之全部區域可係雜質區 604b(c)。

閘極絕緣層 602(c)係設置於氧化物半導體層 603(c)、源極電極 605a(c)、及汲極電極 605b(c)之上。

閘極電極 601(c)與氧化物半導體層 603(c)重疊，而該閘極絕緣層 602(c)介於其間。以閘極絕緣層 602(c)介於其間而與閘極電極 601(c)重疊之氧化物半導體層 603(c)中之區域用作通道形成區。

第 23D 圖中所示的電晶體包含閘極電極 601(d)、閘極絕緣層 602(d)、氧化物半導體層 603(d)、源極電極 605a(d)、及汲極電極 605b(d)。

源極電極 605a(d)及汲極電極 605b(d)係設置於絕緣層 600(d)之上。源極電極 605a(d)及汲極電極 605b(d)的側表

面係成錐狀。

氧化物半導體層 603(d)包含雜質區 604a(d)及雜質區 604b(d)。雜質區 604a(d)與雜質區 604b(d)係彼此互相分離，且摻雜物係給予該處。在雜質區 604a(d)與雜質區 604b(d)之間的區域用作通道形成區。例如，氧化物半導體層 603(d)係設置於源極電極 605a(d)、汲極電極 605b(d)、及絕緣層 600(d)之上，且係電性連接至該源極電極 605a(d)及該汲極電極 605b(d)。注意的是，雜質區 604a(d)及雜質區 604b(d)無需一定要被設置。

雜質區 604a(d)係電性連接至源極電極 605a(d)。

雜質區 604b(d)係電性連接至汲極電極 605b(d)。

閘極絕緣層 602(d)係設置於氧化物半導體層 603(d)上。

閘極電極 601(d)與氧化物半導體層 603(d)重疊，而該閘極絕緣層 602(d)介於其間。以閘極絕緣層 602(d)介於其間而與閘極電極 601(d)重疊之氧化物半導體層 603(d)中之區域用作通道形成區。

進一步地，將敘述第 23A 至 23D 圖中所示的組件。

做為絕緣層 600(a)至 600(d)的各者，例如，可使用絕緣氧化物、具有絕緣表面的基板、或其類似物。進一步地，可使用事先將元件形成於上之層做為該等絕緣層 600(a)至 600(d)的各者。

閘極電極 601(a)至 601(d)的各者具有電晶體之閘極的功能。注意的是，具有電晶體閘極之功能的層可稱為閘極

佈線。

做爲閘極電極 601(a)至 601(d)，例如，可使用諸如鉬、鎂、鈦、鉻、鉭、鎢、鋁、銅、鈹、或鈦之金屬或包含該等金屬的任一者做爲主要成分之合金的層。選擇性地，閘極電極 601(a)至 601(d)可藉由堆疊可使用於閘極電極 601(a)至 601(d)之任何材料的層而予以形成。

例如，閘極絕緣層 602(a)至 602(d)之各者可係氧化矽層、氮化矽層、氮氧化矽層、氧化氮化矽層、氧化鋁層、氮化鋁層、氮氧化鋁層、氧化氮化鋁層、氧化鉛層、或氧化鎳層。閘極絕緣層 602(a)至 602(d)之各者可藉由堆疊可使用於閘極絕緣層 602(a)至 602(d)之任何材料的層而予以形成。

選擇性地，閘極絕緣層 602(a)至 602(d)可使用包含例如，屬於週期表中之族 13 的元素之材料及氧的絕緣層。當氧化物半導體層 603(a)至 603(d)包含屬於族 13 的元素時，則使用各自包含屬於族 13 的元素之絕緣層做爲與氧化物半導體層 603(a)至 603(d)接觸的絕緣層，可使該等絕緣層與該等氧化物半導體層之間的介面狀態成爲有利。

包含屬於族 13 的元素之材料的實例包含氧化鎵、氧化鋁、氧化鋁鎵、及氧化鎵鋁。注意的是，氧化鋁鎵意指其中鋁的數量係在原子百分比中比鎵的數量更大之物質，以及氧化鎵鋁意指鎵的數量係在原子百分比中比鋁的數量更大或與鋁的數量相等之物質。做爲閘極絕緣層 602(a)至 602(d)，例如，可使用藉由 Al_2O_x ($x=3+\alpha$ ，其中 α 係大

於或等於 0 且小於 1) 、 Ga_2O_x ($x=3+\alpha$, 其中 α 係大於 0 且小於 1) 、 或 $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+\alpha}$ (x 係大於 0 且小於 2 , 以及 α 係大於 0 且小於 1) 所表示之材料。

閘極絕緣層 602(a)至 602(d)之各者可藉由堆疊可使用於閘極絕緣層 602(a)至 602(d)之任何材料的層而予以形成。例如，閘極絕緣層 602(a)至 602(d)可藉由堆疊包含由 Ga_2O_x 所表示之氧化鎵的層而予以形成。選擇性地，閘極絕緣層 602(a)至 602(d)可係包含由 Ga_2O_x 所表示之氧化鎵的絕緣層與包含由 Al_2O_x 所表示之氧化鋁的絕緣層之層的堆疊。

閘極絕緣層 602(a)至 602(d)至少各自包含氧於與氧化物半導體層接觸的部分之中，且較佳地，係各自地使用其中一部分的氧係藉由加熱而消除之絕緣氧化物而形成。當各自與氧化物半導體層接觸之閘極絕緣層 602(a)至 602(d)的部分係各自地使用氧化矽而形成時，則可使氧擴散至氧化物半導體層且可防止電晶體之電阻減低。

注意的是，閘極絕緣層 602(a)至 602(d)可使用諸如矽酸鉛 (HfSiO_x)、添加氮的矽酸鉛 ($\text{HfSi}_x\text{O}_y\text{N}_z$)、添加氮的鋁酸鉛 ($\text{HfAl}_x\text{O}_y\text{N}_z$)、氧化鉛、氧化鉍、或氧化鐳之高 k 材料以形成，而可藉以使閘極漏電流減低。在此，閘極漏電流意指流動於閘極電極與源極或汲極電極之間的漏電流。此外，可將使用高 k 材料所形成的層與使用氧化矽、氮氧化矽、氮化矽、氧化氮化矽、氧化鋁、氮氧化鋁、或氧化鎵所形成的層予以堆疊。注意的是，即使在其中

閘極絕緣層 602(a)至 602(d)各自具有堆疊層之結構的情況中，與氧化物半導體層接觸的部分亦係較佳地使用絕緣氧化物而形成。

進一步地，例如，當電晶體的通道長度係 30 奈米 (nm) 時，則氧化物半導體層 603(a)至 603(d)之各者的厚度約可係 5 奈米。在此情況中，若氧化物半導體層 603(a)至 603(d)係 CAAC-OS 膜 (稍後說明) 之氧化物半導體層時，則可抑制電晶體中的短通道效應。

給予 n 型或 p 型導電性之摻雜物 (雜質) 係添加至雜質區 604a(a)至 604a(d)以及雜質區 604b(a)至 604b(d)，且該等雜質區之各者用作電晶體的源極區或汲極區。

做為摻雜物，例如，可使用週期表中的族 13 之元素的其中一者或更多者 (例如，硼)、週期表中的族 15 之元素的其中一者或更多者 (例如，氮、磷、及砷的其中一者或更多者)、以及稀有氣體之元素的其中一者或更多者 (例如，氦、氬、及氙的其中一者或更多者)。

在此，摻雜物可藉由離子佈植法或離子摻雜法而予以添加。選擇性地，摻雜物可藉由在包含摻雜物之氣體的氛圍中執行電漿處理而予以添加。

藉由添加摻雜物至雜質區 604a(a)至 604a(d)及雜質區 604b(a)至 604b(d)，可降低雜質區與源極電極或汲極電極之間的連接電阻，而產生電晶體的小型化。

源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)作用為電晶體的源極或汲極。注意的是，作用成

為電晶體之源極的層亦被稱為源極電極或源極佈線，以及作用成為電晶體之汲極的層亦被稱為汲極電極或汲極佈線。

源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之各者可使用例如，諸如鋁、鎂、鉻、銅、鉬、鈦、鉬、或鎢的金屬；或包含上述元素之任一者做為主要成分的合金，而予以形成。例如，源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之各者可使用包括包含銅、鎂、及鋁的合金之層的堆疊層結構而形成。選擇性地，源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之各者可藉由堆疊可使用於源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之任何材料的層而形成。例如，源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之各者可使用包括包含銅、鎂、及鋁的合金之層以及包含銅之層的堆疊層結構而形成。

進一步地，可使用包含導電性金屬氧化物的層以供源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)的各者之用。該導電性金屬氧化物的實例包含氧化銦、氧化錫、氧化鋅、氧化銦-氧化錫、及氧化銦-氧化鋅。注意的是，可使用於源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之各者的導電性金屬氧化物可包含氧化矽。

例如，源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)可以以此方式，亦即，藉由濺鍍法而形

成導電膜（例如，其中添加給予-導電性類型的雜質元素之金屬膜或矽膜）、形成蝕刻遮罩於該導電膜之上、以及執行蝕刻的方式，而予以選擇性地形成。選擇性地，可使用噴墨法。用作源極電極 605a(a)至 605a(d)及汲極電極 605b(a)至 605b(d)之導電膜可被形成為具有單層之結構或堆疊層之結構。例如，導電膜可形成為具有其中 Al 層係介於 Ti 層之間的三層結構。

絕緣層 600(a)至 600(d)之各者可藉由堆疊例如，可使用於閘極絕緣層 602(a)至 602(d)之任何材料的層而形成。進一步地，絕緣層 600(a)至 600(d)可藉由堆疊可使用於閘極絕緣層 602(a)至 602(d)之任何材料的層所形成。例如，藉由堆疊氧化鋁層和氧化矽層所形成的絕緣層 600(a)至 600(d)可防止包含於該等絕緣層 600(a)至 600(d)中之氧透過氧化物半導體層 603(a)至 603(d)而消除。

可使用於閘極絕緣層 602(a)至 602(d)之任何材料的層之單層或堆疊可被使用於絕緣層 606(a)、絕緣層 606(b)、嵌入式絕緣體 612a(a)、嵌入式絕緣體 612b(a)、嵌入式絕緣體 612a(b)、嵌入式絕緣體 612b(b)、側壁絕緣體 616a(a)、側壁絕緣體 616b(a)、側壁絕緣體 616a(b)、及側壁絕緣體 616b(b)。

當與氧化物半導體層 603(a)至 603(d)之各者接觸的絕緣層過度地包含氧時，則氧化物半導體層 603(a)至 603(d)易於被供應以氧。因而，可降低氧化物半導體層 603(a)至 603(d)中或氧化物半導體層 603(a)至 603(d)的各者與該絕

緣層間之介面處的氧缺陷，而導致氧化物半導體層 603(a)至 603(d)的各者中之載子濃度的進一步降低。無需受限於此，在其中氧化物半導體層 603(a)係由於製造步驟而過度包含氧之情況中，自氧化物半導體層 603(a)之氧的消除可藉由與該氧化物半導體層 603(a)接觸之絕緣層而予以防止。

基底絕緣層可被設置於氧化物半導體層 603(a)至 603(d)與絕緣層 600(a)至 600(d)之間。該基底絕緣層至少包含氧於其表面中，且可使用其中一部分的氧係藉由加熱處理所消除之絕緣氧化物而形成。做為其中一部分的氧係藉由加熱處理所消除之絕緣氧化物，較佳地使用包含比在化學計量比例中之氧更多氧的材料。此係因為與基底絕緣層接觸的氧化物半導體層可由於該加熱處理而被供應以氧。

做為包含比在化學計量比例中之氧更多氧的絕緣氧化物，例如，可給定藉由 SiO_x 所表示的氧化矽，其中 $x > 2$ 。注意的是，無需受限於此，且該基底絕緣層可使用氧化矽、氮氧化矽、氧化氮化矽、氮氧化鋁、氧化鎵、氧化鉛、氧化鉍、或其類似物而形成。

該基底層間絕緣層可係複數個膜的堆疊。例如，基底絕緣層可具有其中氧化矽膜係形成於氮化矽膜之上的堆疊層結構。

在包含比在化學計量比例中之氧更多氧的絕緣氧化物中，一部分的氧係易於藉由加熱處理而予以消除。藉由當

一部分的氧係易於藉由加熱處理而予以消除時之 TDS 分析所獲得之所消除的氧之數量（轉換成氧原子之數量的值）係大於或等於 1.0×10^{18} 原子/立方公分，較佳地大於或等於 1.0×10^{20} 原子/立方公分，更佳地大於或等於 3.0×10^{20} 原子/立方公分。

基底絕緣層可藉由濺鍍法、CVD 法、或其類似方法而予以形成。較佳地，基底絕緣層係藉由濺鍍法所形成。在其中氧化矽膜係形成為基底絕緣層的情況中，可使用石英（較佳地，合成石英）靶材做為靶極，且可使用氬氣體為濺鍍氣體。選擇性地，可分別使用矽靶材及包含氧的氣體為靶極及濺鍍氣體。做為包含氧的氣體，可使用氬氣體和氧氣體的混合氣體，或可僅使用氧氣體。

在形成基底絕緣層之後，第一加熱處理係在形成用作氧化物半導體層 603(a)至 603(d)的氧化物半導體層之前被執行。該第一加熱處理係為要去除包含於基底絕緣層中的水和氬而執行。第一加熱處理的溫度係高於或等於其中可排除包含於基底絕緣層中的水和氬之溫度（所排除之水和氬的數量具有峰值之溫度），且低於其中會改變基板品質之溫度；較佳地，係高於或等於 400°C 且低於或等於 750°C 。例如，第一加熱處理的溫度低於稍後所執行之第二加熱處理的溫度就足夠了。

然後，第二加熱處理係在形成氧化物半導體層之後被執行。該第二加熱處理係為要從用作氧之來源的基底絕緣層供應氧至氧化物半導體層而執行。該第二加熱處理的

時序並未受限於此時序，且該第二加熱處理可在處理氧化物半導體層之後被執行。

注意的是，較佳地，第二加熱處理係執行於氮氣體氛圍或包含氮、氬、氫、或其類似物之稀有氣體氛圍中，且該氛圍不包含氫、水、氫氧基、氫化物、及其類似物。選擇性地，所引入至加熱處理設備之內的氮氣體或諸如氮、氬、或氫的稀有氣體之純度係較佳地高於或等於 6N (99.9999%)，更佳地高於或等於 7N (99.99999%) (亦即，雜質濃度係低於或等 1 ppm，較佳地低於或等於 0.1 ppm)。

在某些情況中，根據第二加熱處理的情形或氧化物半導體層的材料，可使氧化物半導體層結晶化為微晶氧化物半導體層或多晶氧化物半導體層。例如，氧化物半導體層可被結晶化為具有大於或等於 90% 或大於或等於 80% 之結晶度。進一步地，氧化物半導體層可根據第二加熱處理的情形或氧化物半導體層的材料，而成為不包含晶體成分之非晶氧化物半導體層。再者，微晶 (晶體之晶粒大小係大於或等於 1 奈米且小於或等於 20 奈米) 係在某些情況中，包含於非晶層之中。

在晶體氧化物半導體層的情況中，其中形成氧化物半導體膜之表面的平均表面粗糙度 (R_a) 係較佳地大於或等於 0.1 奈米且小於 0.5 奈米。該氧化物半導體膜可形成於具有小於或等於 1 奈米，較佳地小於或等於 0.3 奈米，更佳地小於或等於 0.1 奈米之平均表面粗糙度 (R_a) 的表面

上。

注意的是，在此，該平均表面粗糙度（ R_a ）係藉由 JIS B 0601：2001（ISO 4287：1997）所界定之算術平均表面粗糙度（ R_a ）的三維展開而獲得，以致使 R_a 可被應用至彎曲表面，且係從參考表面到特定表面的偏差之絕對值的平均值。

在此，該算術平均表面粗糙度（ R_a ）係藉由以下之公式（1）所顯示，假定粗糙度曲線的部分係在對應於評估長度 L_0 的長度中提取，所挑選之部分的粗糙度曲線之平均線的方向係藉由 x 軸所表示，縱向伸縮的方向（垂直於 x 軸的方向）係藉由 y 軸所表示，以及粗糙度曲線係表示為 $y=f(x)$ 。

[公式 1]

$$Ra = \frac{1}{L_0} \int_0^{L_0} |f(x)| dx \quad (1)$$

當藉由自所測量之表面切除長波長的成分所獲得之彎曲表面係表示為 $Z_0=f(x,y)$ 時，則平均表面粗糙度（ R_a ）係從參考表面到特定表面的偏差之絕對值的平均值，且係藉由以下之公式（2）所顯示。

[公式 2]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x,y) - Z_0| dx dy \quad (2)$$

在此，該特定表面係粗糙度測量之目標的表面，且係藉由座標（ $x_1, y_1, f(x_1, y_1)$ ）、（ $x_1, y_2, f(x_1, y_2)$ ）、（ $x_2, y_1, f(x_2, y_1)$ ）、及（ $x_2, y_2, f(x_2, y_2)$ ）所表示之四點

所包圍的四邊形成區域。 S_0 表示當該特定表面係理想地平坦時之特定表面的面積。

此外，參考表面係平行於特定表面的平均高度處之 $x-y$ 平面的表面。也就是說，當特定表面之高度的平均值係表示為 Z_0 時，則該參考表面之高度亦係表示為 Z_0 。

可執行化學機械研磨 (CMP) 處理，使得其中形成氧化物半導體層之表面的平均表面粗糙度可大於或等於 0.1 奈米且小於 0.5 奈米。該 CMP 處理可在氧化物半導體層的形成之前被執行，但較佳地，係執行於第一加熱處理之前。

CMP 處理可至少執行一次。當 CMP 處理係執行複數次時，則較佳地，第一研磨步驟係執行於高研磨速率，且低研磨速率之最終研磨步驟係跟隨於後。

爲了要使其中形成氧化物半導體層的表面平坦化，可執行乾蝕刻或其類似者，以取代 CMP 處理。做為蝕刻氣體，可適當地使用諸如氯氣、氯化硼氣體、氯化矽氣體、或四氯化碳氣體之以氯為主氣體，諸如四氟化碳氣體、氟化硫氣體、或氟化氮氣體之以氟為主氣體、或其類似物。

爲了要使其中形成氧化物半導體層的表面平坦化，可執行電漿處理或其類似者，以取代 CMP 處理。可使用稀有氣體於該電漿處理中。在該電漿處理中，將被處理的表面係以惰性氣體的離子來照射，且在將被處理的表面上之微小的突起及凹陷係藉由濺鍍效應而予以平坦化。該電漿處理亦稱為逆濺鍍。

注意的是，可使用上述處理之任一者以使其中將形成氧化物半導體層的表面平坦化。例如，可僅執行逆濺鍍。選擇性地，乾蝕刻可在 CMP 處理之後被執行。注意的是，較佳地，使用乾蝕刻或逆濺鍍，使得可防止水進入其中將形成氧化物半導體層的表面。特別地，在其中平坦化處理係在第一加熱處理後才被執行的情況中，可較佳地使用乾蝕刻或逆濺鍍。

較佳地，該氧化物半導體層至少包含銦 (In) 或鋅 (Zn)。尤其，較佳地包含 In 和 Zn 二者。此外，較佳地包含鎵 (Ga)。當包含鎵 (Ga) 時，可減少電晶體特徵中的變化。能減少電晶體特徵中的變化之該元素係稱為穩定劑。做為穩定劑，可給定錫 (Sn)、鈦 (Hf)、或鋁 (Al)。

做為另外的穩定劑，可給定諸如鐳 (La)、鈰 (Ce)、鐑 (Pr)、釹 (Nd)、釷 (Sm)、鈾 (Eu)、釷 (Gd)、鉕 (Tb)、鐳 (Dy)、釹 (Ho)、鉕 (Er)、釷 (Tm)、鐳 (Yb)、及鐳 (Lu) 之鐳系元素。可包含該元素之其中一者或複數者。

做為氧化物半導體，例如，可使用以下之任一者：氧化銦；氧化錫；氧化鋅；諸如 In-Zn 為主氧化物、Sn-Zn 為主氧化物、Al-Zn 為主氧化物、Zn-Mg 為主氧化物、Sn-Mg 為主氧化物、In-Mg 為主氧化物、或 In-Ga 為主氧化物之二成分金屬氧化物；諸如 In-Ga-Zn 為主氧化物（亦稱為 IGZO）、In-Al-Zn 為主氧化物、In-Sn-Zn 為主氧化

物、Sn-Ga-Zn 爲主氧化物、Al-Ga-Zn 爲主氧化物、Sn-Al-Zn 爲主氧化物、In-Hf-Zn 爲主氧化物、In-La-Zn 爲主氧化物、In-Ce-Zn 爲主氧化物、In-Pr-Zn 爲主氧化物、In-Nd-Zn 爲主氧化物、In-Sm-Zn 爲主氧化物、In-Eu-Zn 爲主氧化物、In-Gd-Zn 爲主氧化物、In-Tb-Zn 爲主氧化物、In-Dy-Zn 爲主氧化物、In-Ho-Zn 爲主氧化物、In-Er-Zn 爲主氧化物、In-Tm-Zn 爲主氧化物、In-Yb-Zn 爲主氧化物、或 In-Lu-Zn 爲主氧化物之三成分金屬氧化物；或諸如 In-Sn-Ga-Zn 爲主氧化物、In-Hf-Ga-Zn 爲主氧化物、In-Al-Ga-Zn 爲主氧化物、In-Sn-Al-Zn 爲主氧化物、In-Sn-Hf-Zn 爲主氧化物、或 In-Hf-Al-Zn 爲主氧化物之四成分金屬氧化物。

注意的是，在此，例如，“In-Ga-Zn 爲主氧化物”意指包含 In、Ga、及 Zn 爲其主要成分之氧化物，且在 In：Ga：Zn 的比例上並無特殊的限制。該 In-Ga-Zn 爲主氧化物可包含除了 In、Ga、及 Zn 之外的金屬元素。

例如，可使用具有 In：Ga：Zn=1：1：1（=1/3：1/3：1/3）或 In：Ga：Zn=2：2：1（=2/5：2/5：1/5）之原子比的 In-Ga-Zn 爲主氧化物、或其中組成係在上述該等組成附近之任何氧化物。選擇性地，可使用具有 In：Sn：Zn=1：1：1（=1/3：1/3：1/3）、In：Sn：Zn=2：1：3（=1/3：1/6：1/2）、或 In：Sn：Zn=2：1：5（=1/4：1/8：5/8）之原子比的 In-Sn-Zn 爲主氧化物、或其中組成係在上述該等組成附近之任何氧化物。

然而，可使用於本發明的一實施例中之氧化物半導體層並未受限於上述該等者，且可依據所需之半導體特徵（遷移率、臨限電壓、變化、及其類似者）而使用包含適當組成的氧化物半導體膜。依據所需之電晶體特徵（半導體特徵），可適當地調整載子密度、雜質濃度、缺陷密度、金屬元素與氧之原子比、原子間距離、密度、及其類似者。

例如，相對高的遷移率可透過使用 In-Sn-Zn 為主氧化物而獲得。然而，遷移率亦可藉由在使用 In-Ga-Zn 為主氧化物的情況中，降低巨塊中之缺陷密度而予以增加。

注意的是，例如，“包含 In : Ga : Zn = a : b : c ($a+b+c=1$) 之原子比的 In、Ga、及 Zn 之氧化物的組成係在包含 In : Ga : Zn = A : B : C ($A+B+C=1$) 之原子比的 In、Ga、及 Zn 之氧化物的組成附近”之表示意指的是，a、b、及 c 滿足以下之關係： $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ ，且例如，r 可係 0.05。

氧化物半導體可係單晶或非單晶。在其中氧化物半導體係非單晶的情況中，氧化物半導體可係非晶或多晶。進一步地，氧化物半導體可具有在非晶部分中包含晶體部分的結構。選擇性地，氧化物半導體可係非非晶。

注意的是，金屬氧化物較佳地包含超過化學計量比例的氧。當包含過量的氧時，可防止由於將被形成的氧化物半導體層中之氧缺乏所導致之載子的產生。

注意的是，例如，在其中氧化物半導體層係使用 In-Zn 為主的金屬氧化物而形成的情況中，在原子比中之

In/Zn 的原子比係 1 至 100，較佳地 1 至 20，更佳地 1 至 10。當 In 對 Zn 的原子比係在上述較佳範圍之中時，則可增進場效應遷移率。在此，當金屬氧化物的原子比係 In : Zn : O = X : Y : Z 時，則較佳地滿足 $Z > 1.5X + Y$ ，使得可包含過量的氧。

使用於靶極的靶材之燒結體的包裝比係大於或等於 90% 且小於或等於 100%，較佳地大於或等於 95% 且小於或等於 100%。透過具有高的填充因子之靶極，可形成密質的氧化物半導體層。

注意的是，可施加至氧化物半導體層之金屬氧化物的能隙較佳地係 2 eV 或更大，更佳地係 2.5 eV 或更大，仍更佳地係 3 eV 或更大。在此方式中，電晶體的截止狀態電流可藉由使用具有寬的能隙之金屬氧化物而予以減少。

注意的是，氧化物半導體層包含氫。注意的是，除了氫原子之外，在某些情況中，氫可以以氫分子、水、氫氧基、或氫化物的形式而包含於氧化物半導體層中。較佳的是，包含於氧化物半導體層中的氫係盡量地少。

注意的是，在氧化物半導體層中之鹼金屬及鹼土金屬的濃度係較佳地低，且該等濃度係較佳地低於或等於 1×10^{18} 原子/立方公分，更佳地低於或等於 2×10^{16} 原子/立方公分。當鹼金屬及鹼土金屬係接合至氧化物半導體時，則會產生載子，而導致電晶體之截止狀態電流的增加。

注意的是，在氧化物半導體層的形成方法及厚度上並無特殊的限制，且可考慮將被製造之電晶體的尺寸及其類

似者而決定它們。氧化物半導體層之形成方法的實例包含濺鍍法、分子束磊晶法、塗層法、印刷法、脈波雷射沈積法、及其類似方法。較佳地，氧化物半導體層的厚度係 3 奈米或更大及 50 奈米或更小。此係因為當氧化物半導體層具有 50 奈米或更大之大的厚度時，則電晶體會常態地導通。在具有 30 奈米之通道長度的電晶體中，當氧化物半導體膜具有 5 奈米或更小的厚度時，則可抑制短通道效應。

在此，做為較佳的實例，將敘述藉由使用 In-Ga-Zn 為主金屬氧化物靶極之濺鍍法的氧化物半導體層之形成方法。稀有氣體（例如，氬氣體）、氧氣體、或稀有氣體和氧氣體的混合氣體可使用為濺鍍氣體。

較佳地，其中去除氬、水、氫氧基、或氫化物的高純度氣體係使用做為用於氧化物半導體層之形成的濺鍍氣體。為了要保持濺鍍氣體的高純度，較佳地，將吸附在處理室的內壁或其類似者之上的氣體予以去除，且使其中將形成氧化物半導體層於該處的表面在形成之前接受熱處理。此外，可將高純度的濺鍍氣體引入至處理室。在該情況中，氬氣體的純度可係 9N（99.9999999%）或更高，其露點可係 -121℃ 或更低，水的濃度可係 0.1 ppb 或更小，以及氫的濃度可係 0.5 ppb 或更小。氧氣體的純度可係 8N（99.9999999%）或更高，其露點可係 -112℃ 或更低，水的濃度可係 1 ppb 或更小，以及氫的濃度可係 1 ppb 或更小。氧化物半導體層係在當加熱其中將形成氧化物半導體層

於該處的表面時且使溫度保持於高之同時被形成，而可藉以降低包含於氧化物半導體層中之諸如水的雜質之濃度。此外，透過濺鍍法的使用，可減少對氧化物半導體之損害。

進一步地，爲了要在氧化物半導體層中過量地包含氧，可藉由離子佈植而供應氧。

在此，將說明氧化物半導體結構之一模式的 c 軸配向之晶體氧化物半導體 (CAAC-OS)。

CAAC-OS 膜並非完全係單晶，亦非完全係非晶。該 CAAC-OS 膜係具有其中包含晶體部件及非晶部件之晶體-非晶混合相結構之氧化物半導體膜。注意的是，在大多數的情況中，晶體部件配合其中一邊係小於 100 奈米的立方體。從透過透射式電子顯微鏡 (TEM) 所獲得的觀察影像來看，在 CAAC-OS 膜中之非晶部件與晶體部件間的邊界並不清楚。進一步地，透過該 TEM，也未發現晶粒邊界於該 CAAC-OS 膜中。因此，在該 CAAC-OS 膜中，可抑制由於晶粒邊界所導致之電子遷移率的降低。

在包含於該 CAAC-OS 膜中的晶體部件之各者中， c 軸係配向於與其中形成該 CAAC-OS 膜的表面之法線向量或該 CAAC-OS 膜的表面之法線向量平行的方向中，由垂直於 a - b 面的方向所觀察之三角形或六邊形的原子配置被形成，以及當從垂直於 c 軸之方向來觀察時，金屬原子係以成層之方式而配置或金屬原子及氧原子係以成層之方式而配置。注意的是，在晶體部件中，一晶體部件之 a 軸及 b 軸的方向可以與另一晶體部件之該等者不同。在此說明

書中，「垂直」之簡單用語包含 85 度至 95 度的範圍。此外，「平行」之簡單用語包含 -5 度至 5 度的範圍。

在 CAAC-OS 膜中，晶體部件的分佈無需一定要均勻。例如，在 CAAC-OS 膜的形成處理中，於其中晶體成長係從氧化物半導體膜的表面側發生之情況中，在氧化物半導體膜的表面附近之晶體部件的比例會在某些情況中高於其中形成氧化物半導體膜的表面附近之晶體部件的比例。進一步地，當添加雜質或其類似物至 CAAC-OS 膜時，則在某些情況中，於其中添加雜質的區域中之晶體部件會變成非晶。

因為在包含於 CAAC-OS 膜中之該等晶體部件的 c 軸係以與其中形成該 CAAC-OS 膜的表面之法線向量或該 CAAC-OS 膜的表面之法線向量平行的方向而配向，所以該等 c 軸的方向可根據該 CAAC-OS 膜的形狀（其中形成 CAAC-OS 膜的表面之橫剖面形狀或 CAAC-OS 膜的表面之橫剖面形狀）而彼此互相不同。注意的是，當形成 CAAC-OS 膜時，則晶體部件之 c 軸的方向係平行於其中形成該 CAAC-OS 膜的表面之法線向量或該 CAAC-OS 膜的表面之法線向量的方向。該晶體部件係藉由膜形成，或藉由在膜形成之後執行諸如加熱處理之用於晶體化的處理，而予以形成。

透過 CAAC-OS 膜的使用，可減少由於以可見光或紫外光的輻照所導致之電晶體的電性特徵中之漂移。因此，可製造出高度可靠的電晶體。

將參照第 7A 至 7E 圖、第 8A 至 8C 圖、第 9A 至 9C 圖、以及第 10A 及 10B 圖來詳細敘述包含於 CAAC-OS 膜中之晶體結構的實例。在第 7A 至 7E 圖、第 8A 至 8C 圖、第 9A 至 9C 圖、以及第 10A 及 10B 圖中，除非另有指明，否則垂直方向對應至 c 軸方向且垂直於 c 軸方向之平面對應至 a - b 面。當單純地使用“上半部”及“下半部”的表示時，則其意指在 a - b 面之上方的上半部及在 a - b 面之下方的下半部（相對於 a - b 面的上半部及下半部）。再者，在第 7A 至 7E 圖中，藉由圓所包圍的 O 表示四座標配位 O 原子，以及雙圓表示三座標配位 O 原子。

第 7A 圖顯示包含一個六座標配位 In 原子及六個緊鄰該 In 原子之四座標配位氧（下文中稱為四座標配位 O ）原子的結構。在此，包含一金屬原子及緊鄰其之氧原子的結構係稱為小群組。實際上，第 7A 圖中的結構係八面體之結構，但為簡明之緣故，係顯示為平面結構。注意的是，自各三個四座標配位 O 原子存在於第 7A 圖中之上半部及下半部的各者之中。在第 7A 圖中所示的小群組中，總電荷係零。

第 7B 圖顯示包含一個五座標配位 Ga 原子、三個緊鄰該 Ga 原子之三座標配位氧（下文中稱為三座標配位 O ）原子，及兩個緊鄰該 Ga 原子之四座標配位 O 原子的結構。所有的三座標配位 O 原子存在於 a - b 面之上。各自一個四座標配位 O 原子存在於第 7B 圖之上半部及下半部的各者之中。 In 原子亦可具有第 7B 圖中所示的結構，因為

In 原子可具有五個配位基。在第 7B 圖中所示的小群組中，總電荷為零。

第 7C 圖顯示包含一個四座標配位 Zn 原子及四個緊鄰該 Zn 原子之四座標配位 O 原子。在第 7C 圖中，一個四座標配位 O 原子存在於上半部中以及三個四座標配位 O 原子存在於下半部中。選擇性地，三個四座標配位 O 原子可存在於第 7C 圖中的上半部中以及一個四座標配位 O 原子可存在於下半部中。在第 7C 圖中所示的小群組中，總電荷係零。

第 7D 圖顯示包含一個六座標配位 Sn 原子及六個緊鄰該 Sn 原子之四座標配位 O 原子。在第 7D 圖中，各自三個四座標配位 O 原子存在於上半部及下半部的各者之中。在第 7D 圖中所示的小群組中，總電荷係 +1。

第 7E 圖顯示包含兩個 Zn 原子的小群組。在第 7E 圖中，各自一個四座標配位 O 原子存在於上半部及下半部的各者之中。在第 7E 圖中所示的小群組中，總電荷係 -1。

在此，複數個小群組形成中群組，以及複數個中群組形成大群組。

現將敘述該等小群組之間的接合法則。在第 7A 圖中之相對於六座標配位 In 原子的上半部中之三個 O 原子各自具有三個緊鄰的 In 原子於向下方向中，且在下半部中之三個 O 原子各自具有三個緊鄰的 In 原子於向上方向中。在第 7B 圖中之相對於五座標配位 Ga 原子的上半部中之一個 O 原子具有一個緊鄰的 Ga 原子於向下方向中，且

在下半部中之一個 O 原子具有一個緊鄰的 Ga 原子於向上方向中。在第 7C 圖中之相對於四座標配位 Zn 原子的上半部中之一個 O 原子具有一個緊鄰的 Zn 原子於向下方向中，且在下半部中之三個 O 原子各自具有三個緊鄰的 Zn 原子於向上方向中。同樣地，在金屬原子之下方的四座標配位 O 原子的數目係等於緊鄰且在該第四座標配位 O 原子之各者上方的金屬原子的數目。因為該四座標配位 O 原子的協調數目係四，所以緊鄰且在該 O 原子之下方的金屬原子的數目與緊鄰且在該 O 原子之上方的金屬原子的數目之總和係四。因此，當在金屬原子之上方的四座標配位 O 原子的數目與在另一金屬原子之下方的四座標配位 O 原子的數目之總和係四時，則該兩種包含該等金屬原子的小群組可予以接合。例如，在其中六座標配位金屬（In 或 Sn）原子係透過上半部中之三個四座標配位 O 原子而接合的情況中，可接合至五座標配位金屬（Ga 或 In）原子或四座標配位金屬（Zn）原子。

具有上述協調數目之金屬原子係透過 c 軸方向中的四座標配位 O 原子而接合至具有上述協調數目之另一金屬原子。除了上述之外，中群組可藉由結合複數個小群組，使得成層結構的總電荷係零，而以不同方式來予以形成。

第 8A 圖顯示包含於 In-Sn-Zn-O 系統氧化物的成層結構中之中群組的模型。第 8B 圖顯示包含三個中群組的大群組。注意的是，第 8C 圖顯示在其中第 8B 圖中的成層結構係由 c 軸方向所觀察之情況中的原子配置。

在第 8A 圖中，為簡明之緣故，三座標配位 O 原子被省略且四座標配位 O 原子係藉由圓所顯示；在圓中之數目顯示四座標配位 O 原子的數目。例如，在相對於 Sn 原子的上半部及下半部之各者中所存在的三個四座標配位 O 原子係藉由打圈的 3 所表示。同樣地，在第 8A 圖中，相對於 In 原子的上半部及下半部之各者中所存在的一個四座標配位 O 原子係藉由打圈的 1 所表示。第 8A 圖亦顯示緊鄰三個四座標配位 O 原子於上半部及一個四座標配位 O 原子於下半部的 Zn 原子，以及緊鄰一個四座標配位 O 原子於上半部及三個四座標配位 O 原子於下半部的 Zn 原子。

包含於第 8A 圖中之 In-Sn-Zn-O 系統氧化物的成層結構中之中群組中，在起始自頂部的次序中，緊鄰三個四座標配位 O 原子於上半部及下半部的各者中之 Sn 原子係接合至緊鄰一個四座標配位 O 原子於上半部及下半部的各者中之 In 原子，該 In 原子係接合至緊鄰三個四座標配位 O 原子於上半部中之 Zn 原子，該 Zn 原子係透過相對於該 Zn 原子的下半部中之一個四座標配位 O 原子而接合至緊鄰三個四座標配位 O 原子於上半部及下半部的各者中之 In 原子，該 In 原子係接合至包含兩個 Zn 原子且係緊鄰一個四座標配位 O 原子於上半部中之小群組，以及該小群組係透過相對於該小群組的下半部中之一個四座標配位 O 原子而接合至緊鄰三個四座標配位 O 原子於上半部及下半部的各者中之 Sn 原子。將複數個該等中群組予以接合

，使得大群組被形成。

在此，用於三座標配位 O 原子之一鍵的電荷及用於四座標配位 O 原子之一鍵的電荷可分別假定為 -0.667 及 -0.5。例如，（六座標配位或五座標配位）In 原子的電荷、（四座標配位）Zn 原子的電荷、及（五座標配位或六座標配位）Sn 原子的電荷分別係 +3、+2、及 +4。從而，在包含 Sn 原子的小群組中之總電荷係 +1。因此，需要抵消 +1 之 -1 的電荷以形成包含 Sn 原子之成層結構。做為具有 -1 的電荷之結構，可給定如第 7E 圖中所示之包含兩個 Zn 原子的小群組。例如，透過包含兩個 Zn 原子的一個小群組，可抵消包含 Sn 原子的一個小群組之電荷，以致使該成層結構的總電荷可成為零。

當重複第 8B 圖中所示之大群組時，則可獲得 In-Sn-Zn-O 系統氧化物（ $\text{In}_2\text{SnZn}_3\text{O}_8$ ）的晶體。注意的是，所獲得之 In-Sn-Zn-O 系統氧化物的成層結構可表示為組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ （m 係 0 或自然數）。

上述法則亦可施加至以下的氧化物：諸如 In-Sn-Ga-Zn-O 系統氧化物之四成分金屬氧化物；諸如 In-Ga-Zn-O 系統氧化物（亦稱為 IGZO）、In-Al-Zn-O 系統氧化物、Sn-Ga-Zn-O 系統氧化物、Al-Ga-Zn-O 系統氧化物、Sn-Al-Zn-O 系統氧化物、In-Hf-Zn-O 系統氧化物、In-La-Zn-O 系統氧化物、In-Ce-Zn-O 系統氧化物、In-Pr-Zn-O 系統氧化物、In-Nd-Zn-O 系統氧化物、In-Sm-Zn-O 系統氧化物、In-Eu-Zn-O 系統氧化物、In-Gd-Zn-O 系統氧化物、

In-Tb-Zn-O 系統氧化物、In-Dy-Zn-O 系統氧化物、In-Ho-Zn-O 系統氧化物、In-Er-Zn-O 系統氧化物、In-Tm-Zn-O 系統氧化物、In-Yb-Zn-O 系統氧化物、或 In-Lu-Zn-O 系統氧化物之三成分金屬氧化物；諸如 In-Zn-O 系統氧化物、Sn-Zn-O 系統氧化物、Al-Zn-O 系統氧化物、Zn-Mg-O 系統氧化物、Sn-Mg-O 系統氧化物、In-Mg-O 系統氧化物、或 In-Ga-O 系統氧化物之二成分金屬氧化物；及其類似物。

做為實例，第 9A 圖顯示包含於 In-Ga-Zn-O 系統氧化物的成層結構中之中群組的模型。

包含於第 9A 圖中之 In-Ga-Zn-O 系統氧化物的成層結構中之中群組中，在起始自頂部的次序中，緊鄰三個四座標配位 O 原子於上半部及下半部的各者中之 In 原子係接合至緊鄰一個四座標配位 O 原子於上半部中之 Zn 原子，該 Zn 原子係透過相對於該 Zn 原子的下半部中之三個四座標配位 O 原子而接合至緊鄰一個四座標配位 O 原子於上半部及下半部的各者中之 Ga 原子，以及該 Ga 原子係透過相對於該 Ga 原子的下半部中之一個四座標配位 O 原子而接合至緊鄰三個四座標配位 O 原子於上半部及下半部的各者中之 In 原子。複數個該等中群組被接合以形成大群組。

第 9B 圖顯示包含三個中群組的大群組。注意的是，第 9C 圖顯示在其中第 9B 圖中的成層結構係由 c 軸方向所觀察之情況中的原子配置。

在此，因為（六座標配位或五座標配位）In 原子的電荷、（四座標配位）Zn 原子的電荷、及（五座標配位）Ga 原子的電荷分別係+3、+2、及+3，所以包含 In 原子、Zn 原子、及 Ga 原子之任何者的小群組之電荷係零。因而，具有該等小群組之組合的中群組之總電荷始終係零。

爲了要形成 In-Ga-Zn-O 系統氧化物的成層結構，大群組不僅可使用第 9A 圖中所示之中群組，且可使用其中 In 原子、Ga 原子、及 Zn 原子之配置係與第 9A 圖中的配置不同的中群組，而予以形成。

當重複第 9B 圖中所示之大群組時，則可獲得 In-Ga-Zn-O 系統氧化物的晶體。注意的是，所獲得之 In-Ga-Zn-O 系統氧化物的成層結構可表示爲組成式 $\text{InGaO}_3(\text{ZnO})_n$ （n 係自然數）。

在其中 $n=1$ （ InGaZnO_4 ）的情況中，例如，可獲得第 10A 圖中所示的晶體結構。注意的是，在第 10A 圖中的晶體結構中，Ga 原子及 In 原子各自具有如參照第 7B 圖所述之五個配位基，可獲得其中 Ga 係以 In 置換的結構。

在其中 $n=2$ （ $\text{InGaZn}_2\text{O}_5$ ）的情況中，例如，可獲得第 10B 圖中所示的晶體結構。注意的是，在第 10B 圖中的晶體結構中，Ga 原子及 In 原子各自具有如參照第 7B 圖所述之五個配位基，可獲得其中 Ga 係以 In 置換的結構。

在此，將敘述該 CAAC-OS 膜的形成方法。

首先，氧化物半導體層係藉由濺鍍法或其類似方法所

形成。注意的是，藉由當保持其中將形成氧化物半導體層之表面於高溫時的同時，形成氧化物半導體層，則晶體部件對非晶部件的比例可變高。此時，其中將形成氧化物半導體層之表面的溫度可例如，高於或等於 150°C 且低於或等於 450°C ，較佳地高於或等於 200°C 且低於或等於 350°C 。

在此，可使所形成之氧化物半導體層接受加熱處理。透過此加熱處理，晶體部件對非晶部件的比例可變高。此加熱處理的溫度係高於或等於 200°C 且低於並不會使其中形成氧化物半導體層之表面在品質或形狀中改變之溫度的溫度，較佳地高於或等於 250°C 且低於或等於 450°C 。用於該加熱處理的時間可以比 3 分鐘更長或等於 3 分鐘，且較佳地，比 24 小時更短或等於 24 小時。此係因為雖然晶體部件對非晶部件的比例可變高，但用於加熱處理的時間會減少生產率。注意的是，可將加熱處理執行於氧化物氛圍或惰性氛圍中；然而，並未受限於此，而且，可在降低壓力之下執行此加熱處理。

氧化氛圍係包含氧化氣體的氛圍。做為該氧化氣體的實例，可給定氧、臭氧、及氧化氮。較佳的是，將並非較佳地包含於氧化物半導體層中之成分（例如，水及氫）自該氧化氛圍盡量地去除。例如，氧、臭氧、或氧化氮的純度係高於或等於 8N （ 99.999999% ），較佳地高於或等於 9N （ 99.9999999% ）。

該氧化氛圍可係包含氧化氣體之諸如稀有氣體的惰性

氣體。注意的是，該氧化氮圍包含高於或等於 10 ppm 之濃度的氧化氣體。惰性氮圍包含惰性氣體（氮氣、稀有氣體、或其類似物），且包含諸如小於 10 ppm 濃度之氧化氣體的反應氣體。

使用快速熱退火（RTA）設備於所有加熱處理就已足夠。透過 RTA 設備的使用，僅在短時間中，就可在高溫執行加熱處理。因此，可形成其中晶體部件對非晶部件的比例變高之氧化物半導體層，且可抑制生產率之減低。

然而，使用於所有加熱處理的設備並未受限於 RTA 設備；例如，可使用配置有可藉由來自電阻加熱器或其類似物的熱傳導或熱輻射而加熱物件之單元的設備。例如，可給定電爐或諸如氣體快速熱退火（GRTA）設備或燈快速熱退火（LRTA）設備之 RTA 設備，做為使用於所有加熱處理的加熱處理設備。LRTA 設備係用以藉由來自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈、或高壓水銀燈之燈所發射出的光（電磁波）之輻射，而加熱物件的設備。GRTA 設備係用以使用高溫氣體做為媒質，而加熱物件的設備。

透過其中氮濃度係高於或等於 1×10^{17} 原子/立方公分且低於或等於 5×10^{19} 原子/立方公分之 In-Ga-Zn 為主金屬氧化物的使用，可形成具有 c 軸配向之六角形晶體結構的金屬氧化物膜，且使包含 Ga 及 Zn 的一或更多個層介於兩層 In-O 晶體平面（包含銦和氧的晶體平面）之間。

為了要形成 In-Sn-Zn 為主金屬氧化物，例如，可使

用其中 In : Sn : Zn 的原子比係 1 : 2 : 2、2 : 1 : 3、1 : 1 : 1、或 20 : 45 : 35 之靶材。

如上述，可形成 CAAC-OS 膜。當與具有非晶之氧化物半導體層相較時，則該 CAAC-OS 膜具有高規律性的鍵於金屬與氧之間。換言之，在具有非晶結構之氧化物半導體層的情況中，協調於金屬原子周圍之氧原子的數目可在原子之中變化。對照地，在 CAAC-OS 膜的情況中，協調於金屬原子周圍之氧原子的數目係實質相同。因此，即使是在微視之位準，亦幾乎不會觀察到氧缺乏；且由於氫原子（包含氫離子）、鹼金屬原子、或其類似物所導致之電荷轉移及導電性的不穩定亦可予以抑制。

因而，當形成其中通道形成區係使用 CAAC-OS 膜而形成的電晶體時，則可抑制所執行於電晶體上之光輻照或偏壓溫度應力（BT）測試的前後之電晶體臨限電壓的改變量，且可使電晶體具有穩定的電性特徵。

做為閘極絕緣層 602(a)至 602(d)，膜可藉由例如，使用絕緣材料（例如，氮化矽、氧化氮化矽、氮氧化矽、或氧化矽）之濺鍍法所形成。該等閘極絕緣層 602(a)至 602(d)可形成為具有單層之結構或堆疊層之結構。例如，其中氮氧化矽層係堆疊於氮化矽層上之兩層的堆疊層結構係使用於此。

包含氧化物半導體之電晶體可具有高的場效應遷移率。

注意的是，包含實際氧化物半導體之電晶體的場效應

遷移率係比巨塊的遷移率更低。遷移率的降低係由於半導體內部之缺陷或半導體與絕緣層間的介面處之缺陷所造成。透過里文生 (Levinson) 模型，假定無缺陷存在於半導體內部之電晶體場效應遷移率的理論性計算係可能的。

假定半導體之原始遷移率及測量的場效應遷移率分別係 μ_0 及 μ ，且電位阻障（諸如晶粒邊界）存在於半導體中，則測量的場效應遷移率可表示為以下之公式。

[公式3]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此， E 表示電位阻障的高度， k 表示波茲曼 (Boltzmann) 常數，以及 T 表示絕對溫度。假定電位阻障係屬於缺陷，則該電位阻障的高度可依據里文生 (Levinson) 模型而表示為以下之公式。

[公式4]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

在此， e 表示基本電荷， N 表示通道中之每一單位面積的平均缺陷密度， ϵ 表示半導體的電容率， n 表示通道中之每一單位面積的載子數目， C_{ox} 表示每一單位面積的電容， V_g 表示閘極電壓，以及 t 表示通道的厚度。在其中半導體層的厚度係小於或等於 30 奈米的情況中，通道的厚度可視為與半導體層的厚度相同。

在線性區域中的汲極電流 I_d 可表示為以下之公式。

[公式5]

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 表示通道長度且 W 表示通道寬度，以及 L 及 W 各自係 10 微米。此外， V_d 表示汲極電壓。當藉由 V_g 來除上述等式的兩側，且然後，取兩側的對數時，則可獲得以下之公式。

[公式6]

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

公式 6 的右側係 V_g 的函數。從公式 6 發現到缺陷密度 N 可由其中 $\ln(I_d/V_g)$ 係縱座標及 $1/V_g$ 係橫座標之線的斜率所獲得。也就是說，該缺陷密度可由電晶體的 I_d - V_g 特徵所評估。其中銦 (In)、錫 (Sn)、及鋅 (Zn) 的比例係 1:1:1 之氧化物半導體的缺陷密度 N 係約 1×10^{12} /平方公分 ($/\text{cm}^2$)。

根據以此方式所獲得之缺陷密度或其類似者， μ_0 可由公式 (3) 及公式 (4) 而計算成 120 平方公分/伏特·秒 (cm^2/Vs)。具有缺陷的 In-Sn-Zn 氧化物之所測量的遷移率約係 40 平方公分/伏特·秒。然而，依據計算之結果，不有缺陷於半導體內部及半導體與絕緣層間的介面處之氧化物半導體的遷移率 μ_0 係 120 平方公分/伏特·秒。

注意的是，電晶體的傳輸性質會受到通道和閘極絕緣層間之介面處的散射所影響，即使當無缺陷存在於半導體內部時亦然。換言之，與通道和閘極絕緣層間之介面分開

距離 x 的位置處之遷移率 μ_1 可表示為以下之公式 (7)。

[公式7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此， D 表示閘極方向中的電場，以及 B 及 l 係常數。 B 及 l 可自實際測量結果獲得；依據上述之測量結果， B 係 4.75×10^7 公分/秒 (cm/s) 以及 l 係 10 奈米 (介面散射之影響到達的深度)。當 D 增加時 (亦即，當閘極電壓增加時)，則公式 7 的第二項增大且因而，遷移率 μ_1 減少。

第 11 圖顯示其中使用不具有缺陷於半導體內部之理想氧化物半導體於通道的電晶體之遷移率的計算結果。對於該計算，係使用 Synopsys 公司所製造之裝置模擬軟體 Sentaurus Device，且假定該氧化物半導體的能隙、電子親合勢、相對電容率、及厚度分別為 2.8 eV、4.7 eV、15、及 15 奈米。此外，閘極、源極、及汲極功函數係分別假定為 5.5 eV、4.6 eV、及 4.6 eV。閘極絕緣層的厚度係假定為 100 奈米，且其相對電容率係假定為 4.1。通道長度及通道寬度係各自假定為 10 微米，以及源極電壓 V_d 係假定為 0.1 V。

如第 11 圖中所示，該遷移率具有大於 $100 \text{ cm}^2/\text{Vs}$ 的峰值於超過 1 V 少許之閘極電壓處，且係在當閘極電壓變成更高時減少，因為介面散射的影響會增加。注意的是，為了要減少介面散射，參照公式 1 或類此者所述，較佳地，半導體層的表面應在原子位準成平坦 (原子層平坦度)。

使用具有該遷移率的氧化物半導體所製造之精密電晶體的特徵之計算結果係顯示於第 12A 至 12C 圖、第 13A 至 13C 圖、及第 14A 至 14C 圖中。第 15A 及 15B 圖顯示使用於計算之該等電晶體的橫剖面結構。在第 15A 及 15B 圖中所示之該等電晶體各自包含具有 n^+ 型導電性的半導體區 303a 及半導體區 303c 於氧化物半導體層之中。在計算中，半導體區 303a 及半導體區 303c 的電阻率係 2×10^{-3} 歐姆·公分 ($\Omega \text{ cm}$)。

在第 15A 圖中所示之電晶體對應至描述於上述實施例中的第 16A 圖，以及在第 15B 圖中所示之電晶體對應至描述於上述實施例中的第 16B 圖。

在第 15A 圖中所示之電晶體係形成於基底絕緣層 301 及嵌入式絕緣體 302 之上，該嵌入式絕緣體 302 係嵌入於基底絕緣層 301 中且係由氧化鋁所形成。該電晶體包含半導體區 303a、半導體區 303c，用作介於其間之通道區的本徵半導體區 303b、以及閘極電極 305。該閘極電極 305 的寬度係 33 奈米。

閘極絕緣層 304 係形成於閘極電極 305 與半導體區 303b 之間。此外，側壁絕緣體 306a 及側壁絕緣體 306b 係形成於閘極電極 305 的兩側表面上，且絕緣層 307 係形成於閘極電極 305 上，以便防止閘極電極 305 與另外佈線之間的短路。側壁絕緣體的寬度係 5 奈米。源極電極 308a 及汲極電極 308b 係與半導體區 303a 及半導體區 303c 分別接觸而設置。

第 15B 圖之電晶體係與第 15A 圖之電晶體相同，其中，其係形成於基底絕緣層 301 及由氧化鋁所形成的嵌入式絕緣體 302 之上，且其包含半導體區 303a、半導體區 303c、介於其間之本徵半導體區 303b、具有 33 奈米之寬度的閘極電極 305、閘極絕緣層 304、側壁絕緣體 306a、側壁絕緣體 306b、絕緣層 307、源極電極 308a、及汲極電極 308b。

於直接在側壁絕緣體 306a 及側壁絕緣體 306b 下方之半導體區的導電型中，第 15A 圖中所示的電晶體係與第 15B 圖中所示的電晶體不同。在第 15A 圖中所示的電晶體中之直接在側壁絕緣體 306a 及側壁絕緣體 306b 下方的半導體區具有 n^+ 型導電性。在第 15B 圖中所示的電晶體中之直接在側壁絕緣體 306a 及側壁絕緣體 306b 下方的半導體區則係本徵半導體區。換言之，在第 15B 圖的半導體層中，係設置具有不與半導體區 303a（半導體區 303c）重疊，也不與閘極電極 305 重疊之寬度 L_{off} 的區域。此區域係稱為補償區，以及該寬度 L_{off} 係稱為補償長度。該補償長度係等於側壁絕緣體 306a（側壁絕緣體 306b）的寬度。

使用於計算中之其他參數係如下文所述。對於計算，係使用由 Synopsys 公司所製造之裝置模擬軟體 Sentaurus Device。第 12A 至 12C 圖顯示具有第 15A 圖中所示結構的電晶體之汲極電流（ I_d ，實線）及遷移率（ μ ，點虛線）的閘極電壓（ V_g ：閘極與參考電位之源極間的電位差）

相依性。汲極電流 I_d 係在假定汲極電壓 V_d (汲極與參考電位之源極間的電位差) 係 +1 V 之下，藉由計算所獲得；以及遷移率 μ 係在假定汲極電壓 V_d 係 +0.1 V 之下，藉由計算所獲得。

在第 12A 圖中，閘極絕緣層的厚度係 15 奈米 (nm)；在第 12B 圖中，係 10 奈米；以及在第 12C 圖中，係 5 奈米。當閘極絕緣層係較薄時，則特別地，在截止狀態中的汲極電流 I_d (截止狀態電流) 會有效地減少。對照地，遷移率 μ 的峰值及在導通狀態中之汲極電流 I_d (導通狀態電流) 並無顯著的改變。

第 13A 至 13C 圖顯示具有第 15B 圖中所示之結構且其中補償長度 L_{off} 係 5 奈米的電晶體之汲極電流 I_d (實線) 及遷移率 μ (點虛線) 的閘極電壓 V_g 相依性。汲極電流 I_d 係在假定汲極電壓係 +1 V 之下，藉由計算所獲得；以及遷移率 μ 係在假定汲極電壓係在 +0.1 V 之下，藉由計算所獲得。在第 13A 圖中，閘極絕緣層的厚度係 15 奈米；在第 13B 圖中，係 10 奈米；以及在第 13C 圖中，係 5 奈米。

第 14A 至 14C 圖顯示具有第 15B 圖中所示之結構，其中補償長度 L_{off} 係 15 奈米的電晶體之汲極電流 I_d (實線) 及遷移率 μ (點虛線) 的閘極電壓相依性。汲極電流 I_d 係在假定汲極電壓係 +1 V 之下，藉由計算所獲得；以及遷移率 μ 係在假定汲極電壓係在 +0.1 V 之下，藉由計算所獲得。在第 14A 圖中，閘極絕緣層的厚度係 15 奈米；

在第 14B 圖中，係 10 奈米；以及在第 14C 圖中，係 5 奈米。

在該等結構的任一者中，當閘極絕緣層係較薄時，則截止狀態電流會有效地減少，而在遷移率 μ 的峰值及導通狀態電流中，並無顯著的改變發生。

注意的是，遷移率 μ 之峰值約係 $80 \text{ cm}^2/\text{Vs}$ 於第 12A 至 12C 圖中，約係 $60 \text{ cm}^2/\text{Vs}$ 於第 13A 至 13C 圖中，以及約係 $40 \text{ cm}^2/\text{Vs}$ 於第 14A 至 14C 圖中；因此，遷移率 μ 的峰值會在當補償長度 L_{off} 增加時減少。進一步地，此亦可應用於截止狀態電流。導通狀態電流亦係在當補償長度 L_{off} 增加時減少；然而，在導通狀態電流中的減少係比截止狀態電流中的減少更為循序漸進的。

如上述，其中包含氧化物半導體於通道中之電晶體的遷移率可確實地變高。

在此實施例中所描述為電晶體之其中包含氧化物半導體於通道中的電晶體係實例，且無需受限於此，各式各樣的模式可被使用於其中包含氧化物半導體於通道中的電晶體。

其中使用包含 In、Sn、及 Zn 做為主要成分之氧化物半導體為通道形成區的電晶體可藉由在當加熱基板時，形成氧化物半導體，或藉由在形成氧化物半導體膜之後，執行加熱處理，而具有有利的特徵。注意的是，主要成分意指以 5 原子百分比或更多而包含於組成物中之元素。

藉由在形成包含 In、Sn、及 Zn 做為主要成分的氧化

物半導體膜之後，有計劃地加熱基板，可增進電晶體的場效應遷移率。進一步地，電晶體的臨限電壓可正向地偏移，而使該電晶體常態關閉。

做為實例，第 16A 至 16C 圖係各自顯示其中使用包含 In、Sn、及 Zn 做為主要成分且具有 3 微米的通道長度 L 及 10 微米的通道寬度 W 之氧化物半導體膜，以及具有 100 奈米的厚度之閘極絕緣膜的電晶體之特徵的圖形。注意的是， V_d 係設定為 10 V。

第 16A 圖係顯示電晶體之特徵的圖形，其中包含 In、Sn、及 Zn 做為主要成分的氧化物半導體膜係藉由濺鍍法而未有計劃加熱基板所形成。該電晶體的場效應遷移率係 $18.8 \text{ cm}^2/\text{Vsec}$ 。另一方面，當形成包含 In、Sn、及 Zn 做為主要成分的氧化物半導體膜，且同時有計劃地加熱基板時，可增加進場效應遷移率。第 16B 圖顯示其中形成包含 In、Sn、及 Zn 做為主要成分的氧化物半導體膜，且同時加熱基板於 200°C 之電晶體的特徵。該電晶體的場效應遷移率係 $32.2 \text{ cm}^2/\text{Vsec}$ 。

場效應遷移率可藉由在形成包含 In、Sn、及 Zn 做為主要成分的氧化物半導體膜之後，執行加熱處理而予以進一步增進。第 16C 圖顯示其中包含 In、Sn、及 Zn 做為主要成分的氧化物半導體膜係藉由在 200°C 之濺鍍，且然後，接受 650°C 之加熱處理的電晶體之特徵。該電晶體的場效應遷移率係 $34.5 \text{ cm}^2/\text{Vsec}$ 。

基板之有計劃的加熱被期望具有減少水分的功效，該

水分係在藉由濺鍍的膜形成期間被收進至氧化物半導體膜之內。進一步地，在膜形成之後的加熱處理使氫、氫氧基、或水分能自氧化物半導體膜釋放且去除。以此方式，可增進場效應遷移率。在場效應遷移率中之此增進係推測為不僅由於脫水或脫氫所導致之雜質的去除，而且由於密度增加所導致之原子間距離的減少所達成。此外，氧化物半導體可藉由自氧化物半導體去除雜質來予以高度純化，而被晶體化。在使用該高度純化之非單晶氧化物半導體的情況中，以理想而言，預期將實現超過 $100 \text{ cm}^2/\text{Vsec}$ 的場效應遷移率。

包含 In、Sn、及 Zn 做為主要成分之氧化物半導體可以以以下方式而晶體化：將氧離子佈植至氧化物半導體之內；藉由加熱處理以釋放出氧化物半導體中所包含的氫、氫氧基、或水分；以及透過加熱處理或藉由稍後執行之另外的加熱處理而使氧化物半導體晶體化。具有有利晶性之非單晶氧化物半導體可藉由該晶體化處理或再晶體化處理而獲得。

在膜形成期間之基板的有計劃加熱及／或在膜形成後的加熱處理不僅增進場效應遷移率，而且使電晶體常態關閉。在其中包含 In、Sn、及 Zn 做為主要成分且係並未有計劃加熱基板而形成之氧化物半導體膜係使用為通道形成區的電晶體中，臨限電壓有成為負的趨勢。然而，當使用在有計劃加熱基板時所形成之氧化物半導體膜時，則可解決負臨限電壓的問題。也就是說，該臨限電壓係比其中並

未加熱通道形成層之情況中的臨限電壓更高；此傾向可藉由第 16A 及 16B 圖之間的比較所確認。

注意的是，臨限電壓亦可藉由改變 In、Sn、及 Zn 的比例而予以控制；當 In、Sn、及 Zn 的比例係 2：1：3 時，則預期常態關閉之電晶體將被形成。此外，具有高的晶性之氧化物半導體膜可藉由設定靶極的組成比如下：In：Sn：Zn=2：1：3，而予以獲得。

基板之有計劃加熱的溫度或加熱處理的溫度係 150℃ 或更高，較佳地 200℃ 或更高，進一步較佳地 400℃ 或更高。當膜形成或加熱處理係執行於高溫時，則電晶體可成為常態關閉。

藉由在膜形成期間有計劃地加熱基板及／或藉由在膜形成之後執行加熱處理，可增加對閘極偏壓應力的穩定性。例如，當閘極偏壓係在 150℃，以 2 MV/cm 之電場而施加 1 小時時，則臨限電壓的漂移可小於 ± 1.5 V，較佳地小於 ± 1.0 V。

BT 測試係在以下之二電晶體上執行：取樣 1，其中加熱處理並未在氧化物半導體膜的 formed 之後，被執行於其上；取樣 2，其中 650℃ 之加熱處理係在氧化物半導體膜的 formed 之後，被執行於其上。

首先，該等電晶體的 V_g - I_d 特徵係測量於 25℃ 的基板溫度及 10 V 的 V_d 。然後，基板溫度係設定為 150℃，且 V_d 係設定為 0.1 V。之後，施加 V_g 使得所施加至閘極絕緣層之電場的強度係 2 MV/cm，且保持該情形 1 小時。接

著，將 V_g 設定為 0 V。然後，測量該等電晶體的 V_g-I_d 特徵於 25°C 的基板溫度及 10 V 的 V_d 。此方法稱作正 BT 測試。

以同樣的方式，首先，測量該等電晶體的 V_g-I_d 特徵於 25°C 的基板溫度及 10 V 的 V_d 處。然後，設定基板為 150°C，且設定 V_d 為 0.1 V。之後，施加 -20 V 的 V_g 使得所施加至閘極絕緣層之電場的強度係 -2 MV/cm，且保持該情形 1 小時。接著，將 V_g 設定為 0 V。然後，測量該等電晶體的 V_g-I_d 特徵於 25°C 的基板溫度及 10 V 的 V_d 處。此方法稱作負 BT 測試。

第 17A 及 17B 圖分別顯示取樣 1 之正 BT 測試及負 BT 測試的結果。第 18A 及 18B 圖分別顯示取樣 2 之正 BT 測試及負 BT 測試的結果。

由於正 BT 測試及負 BT 測試之取樣 1 的臨限電壓中之改變量分別係 1.80 V 及 -0.42 V。由於正 BT 測試及負 BT 測試之取樣 2 的臨限電壓中之改變量分別係 0.79 V 及 0.76 V。在取樣 1 及取樣 2 之各者中，所發現到的是，由於該等 BT 測試之臨限電壓中的改變量小，且每一個電晶體的可靠度高。

可將加熱處理執行於氧氛圍中；選擇性地，可先將加熱處理執行於氮或惰性氣體的氛圍中或在降低的壓力下，且然後，在包含氧的氛圍中。氧係在脫水或脫氫之後，被供應至氧化物半導體，而可藉以使該加熱處理的功效進一步增加。做為用以在脫水或脫氫之後的供應氧的方法，可

使用其中氧離子係藉由電場而予以加速且佈植至氧化物半導體膜之內的方法。

由於氧缺乏所導致的缺陷係易於發生於氧化物半導體中，或在氧化物半導體和與該氧化物半導體接觸的膜之間的介面處；然而，當過量的氧係藉由該加熱處理而包含於氧化物半導體之中時，則恆定產生之氧缺乏可以以過量的氧來加以補償。主要地，過量的氧係存在於晶格之間的氧。當氧的濃度係設定於 $1 \times 10^{16}/\text{cm}^3$ 至 $2 \times 10^{20}/\text{cm}^3$ 的範圍之中時，則可使過量的氧包含於氧化物半導體之中，而不會導致晶體畸變或其類似者。

當執行加熱處理使得至少一部分氧化物半導體包含晶體時，則可獲得更穩定的氧化物半導體膜。例如，當藉由使用具有 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ 的組成比之靶極的濺鍍而不有計劃地加熱基板所形成的氧化物半導體膜係藉由 X 射線繞射 (XRD) 所分析時，則會觀察到暈圈圖案。所形成的氧化物半導體膜可藉由使接受加熱處理而予以晶體化。可適當設定該加熱處理的溫度；當加熱處理係執行於例如， 650°C 時，則可在 X 射線繞射中觀察到清楚的繞射峰值。

執行 In-Sn-Zn-O 膜的 XRD 測量。該 XRD 測量係使用由 Bruker AXS 所製造的 X 射線繞射儀 D8 ADVANCE 而執行，且測量係藉由平面外法所執行。

製備取樣 A 及取樣 B，且執行 XRD 分析於其上。下文將敘述取樣 A 及取樣 B 的製造方法。

形成具有 100 奈米之厚度的 In-Sn-Zn-O 膜於已接受脫氫處理的石英基板上。

該 In-Sn-Zn-O 膜係透過濺鍍設備而以 100 W (DC) 之功率形成於氧氛圍中。具有 In : Sn : Zn=1 : 1 : 1 之原子比的 In-Sn-Zn-O 靶材係使用做為靶極。注意的是，在膜形成中之基板加熱溫度係設定於 200℃。以此方式所製造出的取樣係使用做為取樣 A。

其次，使藉由與取樣 A 之方法相似的方法所製造出的取樣接受 650℃ 之加熱處理。做為該加熱處理，在氮氛圍中之加熱處理係先執行 1 小時，且在氧氛圍中之加熱處理係進一步執行 1 小時，而無需減低溫度。以此方式所製造出的取樣係使用做為取樣 B。

第 21 圖顯示取樣 A 及取樣 B 的 XRD 光譜。在取樣 A 中，並未觀察到由晶體所衍生出的峰值，而在取樣 B 中，則在當 2θ 係在 35 度左右且在 37 度至 38 度處時觀察到由晶體所衍生出的峰值。

如上述，藉由在包含 In、Sn、及 Zn 做為主要成分之氧化物半導體的膜形成期間有計劃地加熱基板，及／或藉由在膜形成之後執行加熱處理，可增進電晶體的特徵。

該等基板之加熱以及加熱處理具有防止氧化物半導體之不利雜質的氫和氫氧基包含於膜之中的功效，或自膜去除氫和氫氧基的功效。也就是說，可藉由自氧化物半導體去除用作施體雜質的氫以使氧化物半導體高度純化，而可藉以獲得常態關閉的電晶體。氧化物半導體的高度純化使

電晶體的截止狀態電流能成為 $1 \text{ aA}/\mu\text{m}$ 或更低。在此，該截止狀態電流的單位表示每微米之通道寬度的電流。

第 22 圖顯示測量時之電晶體的截止狀態電流與基板溫度（絕對溫度）的倒數間之關係。在此，為簡明起見，藉由以 1000 來相乘測量時的基板溫度之倒數所獲得的值（ $1000/T$ ）係指示於水平軸之中。

特別地，如第 22 圖中所示地，當基板溫度分別係 125°C 、 85°C 、及室溫（ 27°C ）時，則截止狀態電流可係 $1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-18} \text{ A}/\mu\text{m}$ ）或更低、 $100 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低、及 $1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-21} \text{ A}/\mu\text{m}$ ）或更低。較佳地，在 125°C 、 85°C 、及室溫時，該截止狀態電流可分別係 $0.1 \text{ aA}/\mu\text{m}$ （ $1 \times 10^{-19} \text{ A}/\mu\text{m}$ ）或更低、 $10 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-20} \text{ A}/\mu\text{m}$ ）或更低、及 $0.1 \text{ zA}/\mu\text{m}$ （ $1 \times 10^{-22} \text{ A}/\mu\text{m}$ ）或更低。

注意的是，為了要在氧化物半導體膜的形成期間防止氫和水分被包含於其中，較佳地，藉由充分抑制來自沈積室外部的漏氣，及透過沈積室之內壁的除氣，以增加濺鍍氣體之純度。例如，為了要防止水分被包含於該膜之中，較佳地使用具有 -70°C 或更低之露點的氣體做為濺鍍氣體。此外，使用高度純化之靶極以便不會包含諸如氫和水分之雜質係較佳的。雖然可藉由加熱處理而自包含 In、Sn、及 Zn 做為主要成分之氧化物半導體的膜去除水分，但因為水分係在比自包含 In、Ga、及 Zn 做為主要成分之氧化物半導體釋放出時之溫度更高的溫度處自包含 In、Sn

、及 Zn 做爲主要成分之氧化物半導體釋放出，所以較佳地使用原始不含水分的膜。

基板溫度與取樣電晶體的電性特徵之間的關係被評估，其中，650℃之加熱處理係在氧化物半導體膜的膜形成後被執行於其上。

使用於測量之電晶體具有3微米的通道長度 L ，10微米的通道寬度 W ，0微米的 L_{ov} ，及0微米的 dW 。注意的是， V_d 係設定爲 10 V。注意的是，基板溫度係 -40℃、-25℃、25℃、75℃、125℃、及 150℃。在此，於電晶體中，其中閘極電極與源極電極及汲極電極的其中一者在通道長度方向中重疊之部分的寬度稱作 L_{ov} 。

第 19 圖顯示 I_d （實線）及場效應遷移率（點虛線）之 V_g 相依性。第 20A 圖顯示基板溫度與臨限電壓之間的關係，以及第 20B 圖顯示基板溫度與場效應遷移率之間的關係。

從第 20A 圖來看，發現到當基板溫度增加時，則臨限電壓會變低。注意的是，臨限電壓係在從 -40℃ 到 150℃ 的範圍中，自 1.09 V 減少至 -0.23 V。

從第 20B 圖來看，發現到當基板溫度增加時，則場效應遷移率會變低。注意的是，臨限電壓係在從 -40℃ 到 150℃ 的範圍中，自 36 cm^2/Vs 減少至 32 cm^2/Vs 。因而，發現到在上述溫度範圍中，電性特徵中的改變小。

在其中使用包含 In、Sn、及 Zn 做爲主要成分之該氧化物半導體爲通道形成區的電晶體中，可以以維持在 1

aA/ μ m 或更低之截止狀態電流來獲得 30 cm^2/Vs 或更高、較佳地 40 cm^2/Vs 或更高、進一步較佳地 60 cm^2/Vs 或更高的場效應遷移率，而可達成 LSI 所需之導通狀態電流。例如，在其中 L/W 係 33 奈米/40 奈米的 FET 中，當閘極電壓係 2.7 V 且汲極電壓係 1.0 V 時，可流通 12 μ A 或更高的導通狀態電流。此外，可在用於電晶體操作所需之溫度範圍中確保足夠的電性特徵。

此實施例可以與任何其他的實施例適當地結合。

(實施例 3)

在此實施例中，將敘述 CPU 的組態，其係依據本發明一實施例之信號處理電路的其中一者。

第 24 圖顯示此實施例之 CPU 的組態。在第 24 圖中之 CPU 主要包含 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、時序控制器 9905、暫存器 9906、暫存器控制器 9907、匯流排 I/F 9908、可重寫入式 ROM 9909、及 ROM I/F 9920 於基板 9900 之上。注意的是，「ALU」意指「算術邏輯單元」、「匯流排 I/F」意指「匯流排介面」、以及「ROM I/F」意指「ROM 介面」。進一步地，可將 ROM 9909 及 ROM I/F 9920 設置於另外的晶片上。自然地，第 24 圖中所示的 CPU 僅係其中組態被簡化之實例，且實際的 CPU 可根據用途而具有各式各樣的組態。

透過匯流排 I/F 9908 所輸入至 CPU 的指令係輸入至

指令解碼器 9903，並在其中予以解碼，且然後，輸入至 ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905。

ALU 控制器 9902、中斷控制器 9904、暫存器控制器 9907、及時序控制器 9905 係根據解碼的指令而執行各式各樣的控制。特別地，該 ALU 控制器 9902 產生用以控制 ALU 9901 之驅動的信號。當 CPU 正在執行程式時，則中斷控制器 9904 會根據優先序或掩膜狀態而處理來自外部輸入/輸出裝置或週邊電路中的中斷請求。暫存器控制器 9907 產生暫存器 9906 的位址，且根據 CPU 的狀態而自暫存器 9906 讀取資料或寫入資料至暫存器 9906。

時序控制器 9905 產生用以控制 ALU 9901、ALU 控制器 9902、指令解碼器 9903、中斷控制器 9904、及暫存器控制器 9907 之操作時序的信號。例如，時序控制器 9905 係設置有內部時脈產生器，用以根據參考時脈信號 CLK1 而產生內部時脈信號 CLK2，且輸出該時脈信號 CLK2 至上述該等電路。

在此實施例的 CPU 中，具有上述任一實施例中所述之結構的半導體記憶體裝置係設置於暫存器 9906 中。回應於來自 ALU 9901 的指令，暫存器控制器 9907 可停止暫存器 9906 的半導體記憶體裝置中之電源供應電壓的供應，而無需儲存及送回資料信號。

以此方式，即使在其中 CPU 的操作係暫時停止且電源供應電壓的供應係停止的情況中，亦可保持資料且可減

少功率消耗。特別地，例如，當個人電腦的使用者不輸入資料至諸如鍵盤之輸入裝置時，則可停止 CPU 的操作，以致可降低功率消耗。

雖然 CPU 之實例係敘述於此實施例中，但本發明的信號處理電路並未受限於 CPU，且可應用至諸如微處理器、影像處理電路、數位信號處理器（DSP）、或可場編程閘陣列（FPGA）之 LSI。

此申請案係根據 2011 年 5 月 20 日在日本專利局所申請之日本專利申請案序號 2011-114084，該申請案的全部內容係結合於本文以供參考。

【圖式簡單說明】

第 1A 及 1B 圖係本發明一實施例之半導體裝置的圖式；

第 2 圖係包含於本發明一實施例的半導體裝置中之正反器電路的圖式；

第 3 圖係本發明一實施例的半導體裝置之操作的時序圖；

第 4A 及 4B 圖係本發明一實施例的半導體裝置之操作的時序圖；

第 5A 及 5B 圖係本發明一實施例的半導體裝置之操作的時序圖；

第 6 圖係本發明一實施例之半導體裝置的圖式；

第 7A 至 7E 圖係可使用於電晶體的氧化物材料之晶

體結構的圖式；

第 8A 至 8C 圖係可使用於電晶體的氧化物材料之晶體結構的圖式；

第 9A 至 9C 圖係可使用於電晶體的氧化物材料之晶體結構的圖式；

第 10A 及 10B 圖係可使用於電晶體的氧化物材料之晶體結構的圖式；

第 11 圖顯示藉由計算所獲得之遷移率的閘極電壓相依性；

第 12A 至 12C 圖各自顯示藉由計算所獲得之汲極電流及遷移率的閘極電壓相依性；

第 13A 至 13C 圖各自顯示藉由計算所獲得之汲極電流及遷移率的閘極電壓相依性；

第 14A 至 14C 圖各自顯示藉由計算所獲得之汲極電流及遷移率的閘極電壓相依性；

第 15A 及 15B 圖係使用於計算的電晶體之橫剖面結構的圖式；

第 16A 至 16C 圖各自顯示包含氧化物半導體膜之電晶體的特徵；

第 17A 及 17B 圖各自顯示取樣 1 之電晶體的 BT 測試後之汲極電流的閘極電壓相依性；

第 18A 及 18B 圖各自顯示取樣 2 之電晶體的 BT 測試後之汲極電流的閘極電壓相依性；

第 19 圖顯示汲極電流及遷移率的閘極電壓相依性；

第 20A 圖顯示基板溫度與臨限電壓之間的關係，及
第 20B 圖顯示基板溫度與場效應遷移率之間的關係；

第 21 圖顯示取樣 A 及取樣 B 的 XRD 光譜；

第 22 圖顯示電晶體的測量中之截止狀態電流與基板
溫度間的關係；

第 23A 至 23D 圖係電晶體的橫剖面視圖；以及

第 24 圖係依據本發明一實施例之信號處理電路的圖
式。

【主要元件符號說明】

100，200：暫存器電路

101：正反器電路

103：選擇電路

105：非揮發性記憶體電路

Q：輸出信號線

202：第一開關

203：第二開關

204：電晶體

205：電容器

251，253：反相器電路

252，256：開關電路

254，255，257，258：時脈控制反相器電路

RE：讀取致能線

WE：寫入致能線

600(a) ~ 600(d), 307 : 絕緣層

601(a) ~ 601(d), 305 : 閘極電極

602(a) ~ 602(d), 304 : 閘極絕緣層

603(a) ~ 603(d) : 氧化物半導體

604a(a) ~ 604a(d), 604b(a) ~ 604b(d) : 雜質區

605(a) ~ 605a(d), 308a : 源極電極

605b(a) ~ 605b(d), 308b : 汲極電極

612a(a), 612b(a), 612a(b), 612b(b), 302 : 嵌入式

絕緣體

616a(a), 616b(a), 616a(b), 612b(b), 306a, 306b :

側壁絕緣體

301 : 基底絕緣層

303a, 303c : 半導體區

303b : 本徵半導體區

9901 : ALU (算術邏輯單元)

9902 : ALU 控制器

9903 : 指令解碼器

9904 : 中斷控制器

9905 : 時序控制器

9906 : 暫存器

9907 : 暫存器控制器

9908 : 匯流排 I/F (匯流排介面)

9909 : 可重寫入式 ROM

9920 : ROM I/F (ROM 介面)

9900 : 基板

服4)

空白頁

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101116522

※申請日：101 年 05 月 09 日

※IPC 分類：G11C 16/06 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

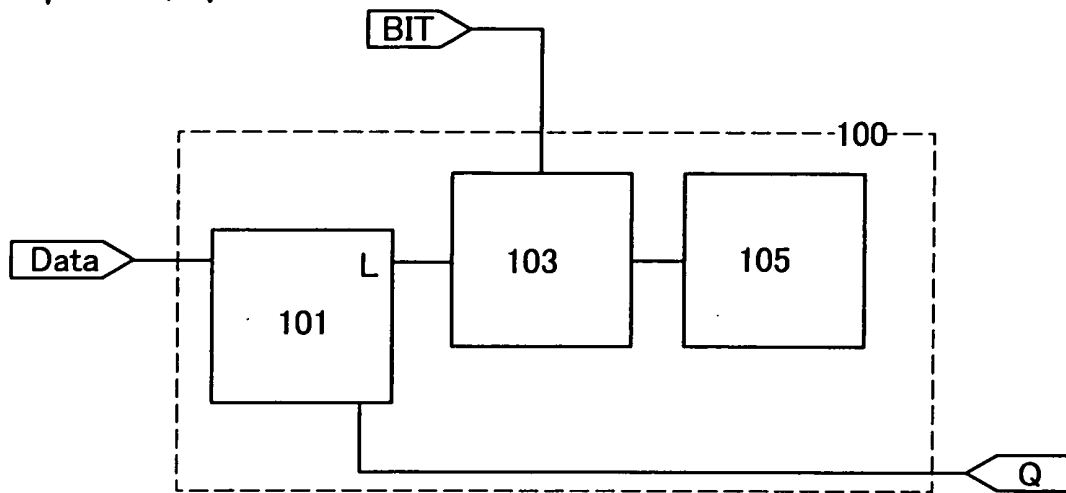
二、中文發明摘要：

本發明提供能在所欲之時序存取及重寫入資料的半導體裝置。半導體裝置包含暫存器電路、位元線、及資料線。暫存器電路包含正反器電路、選擇電路、及透過該選擇電路而電性連接至該正反器電路的非揮發性記憶體電路。資料線係電性連接至該正反器電路。位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路。該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

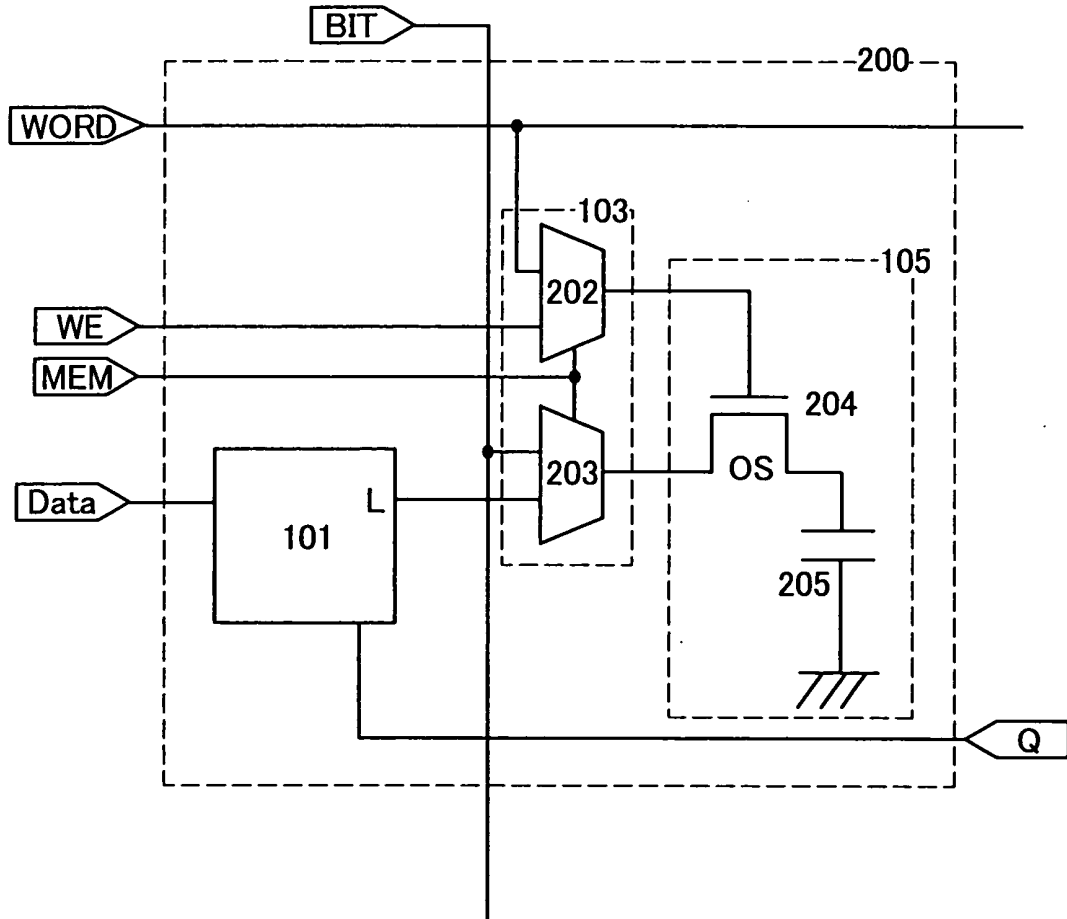
三、英文發明摘要：

A semiconductor device capable of assessing and rewriting data at a desired timing is provided. A semiconductor device includes a register circuit, a bit line, and a data line. The register circuit includes a flip-flop circuit, a selection circuit, and a nonvolatile memory circuit electrically connected to the flip-flop circuit through the selection circuit. The data line is electrically connected to the flip-flop circuit. The bit line is electrically connected to the nonvolatile memory circuit through the selection circuit. The selection circuit selectively stores data based on a potential of the data line or a potential of the bit line in the nonvolatile memory circuit.

第1A圖

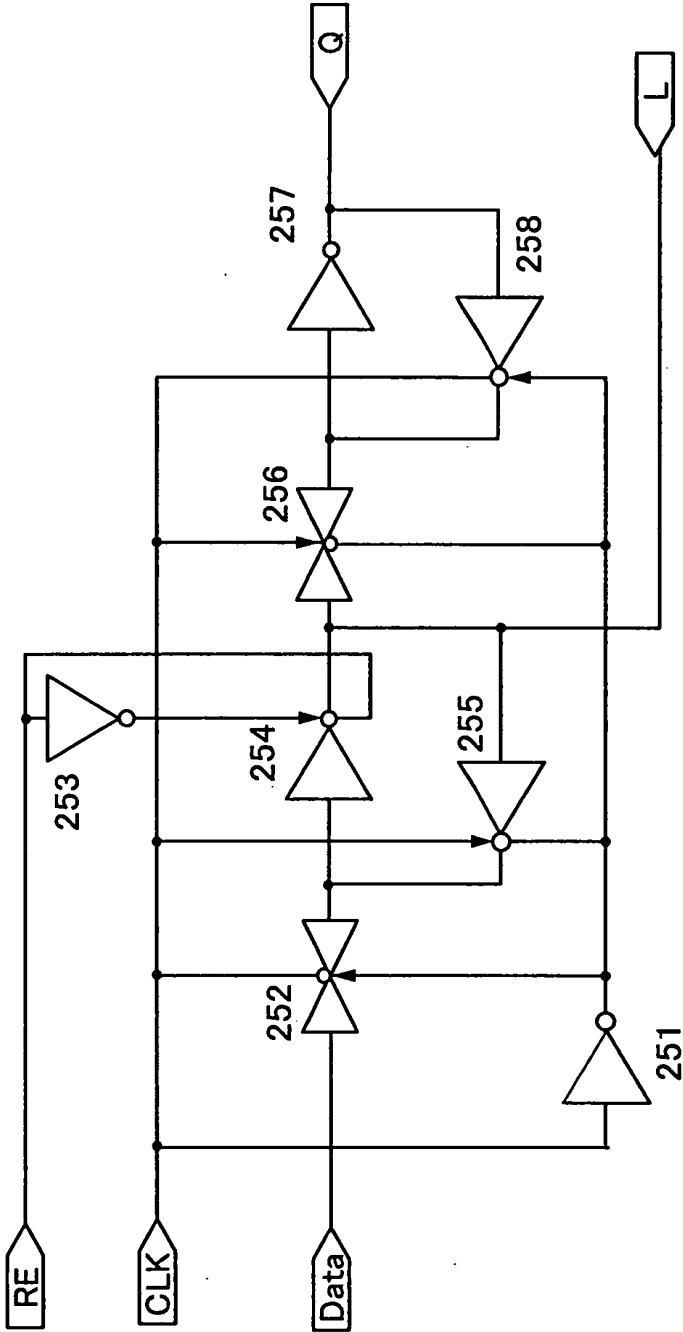


第1B圖

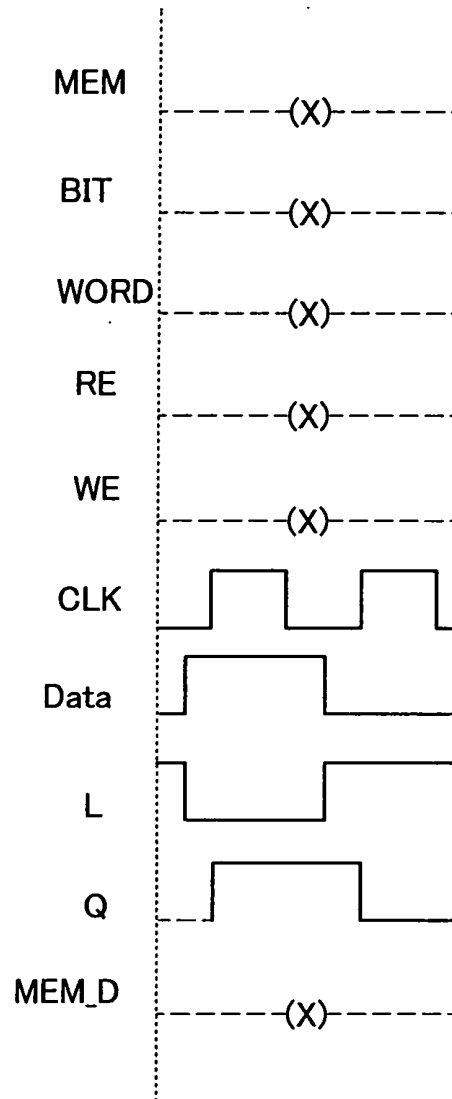


第2圖

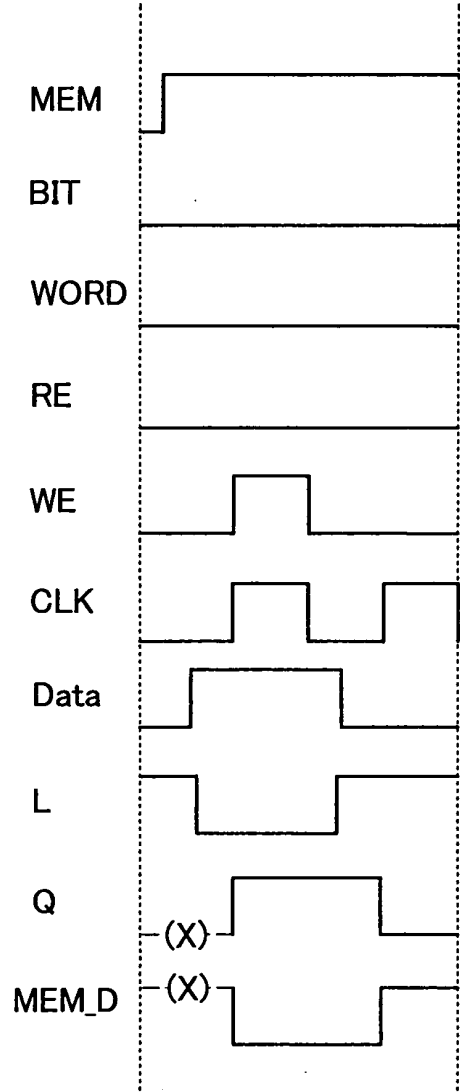
101



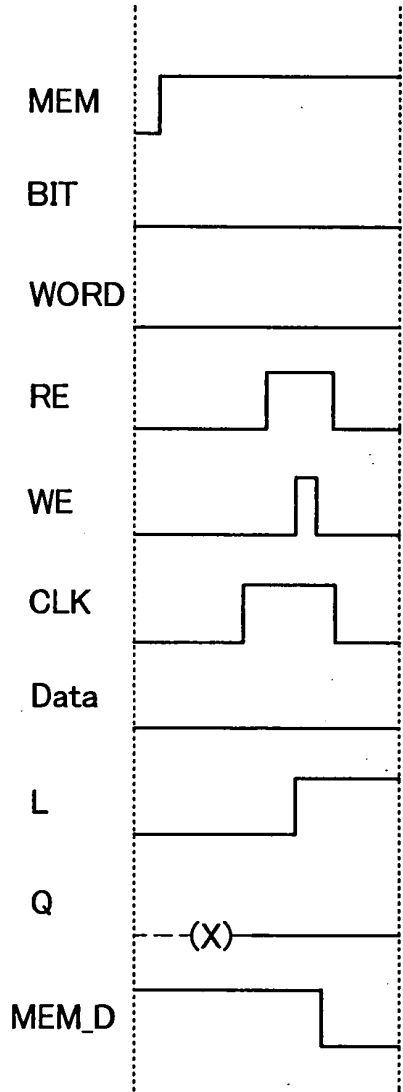
第3圖



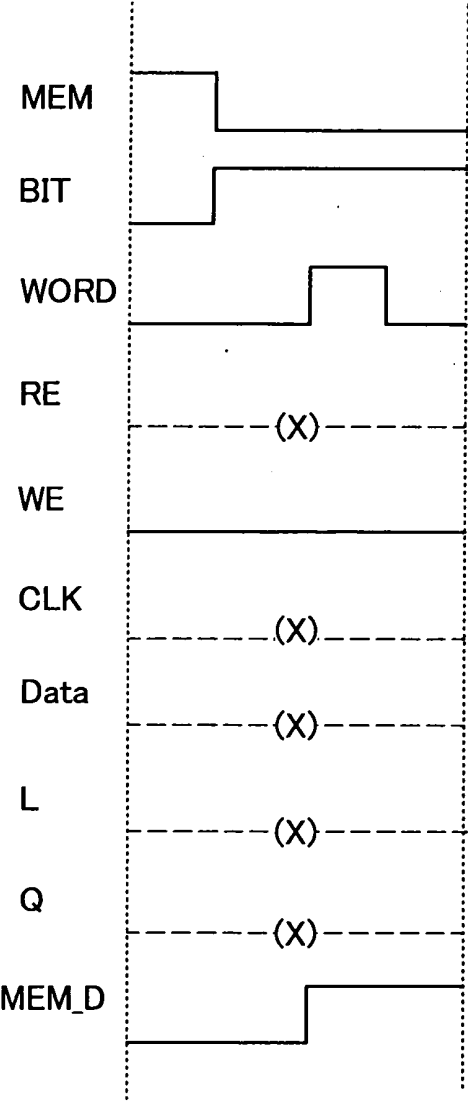
第4A圖



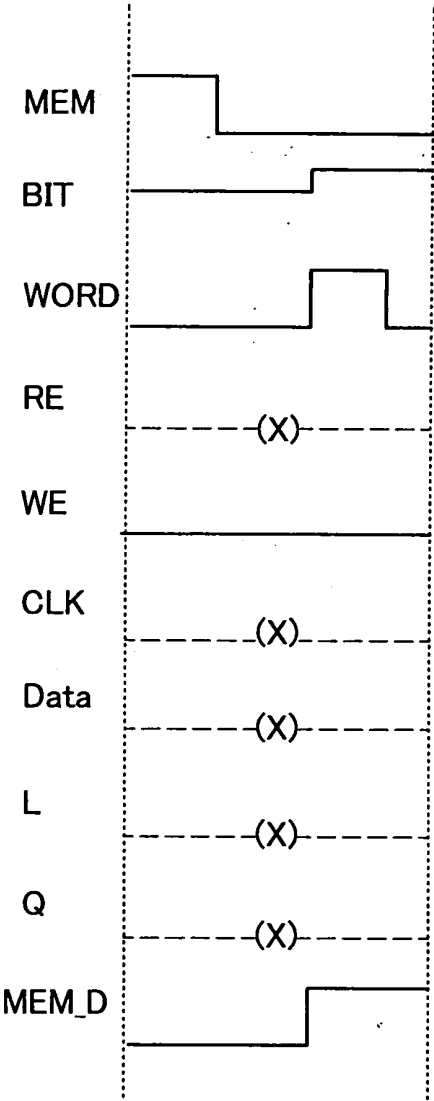
第4B圖



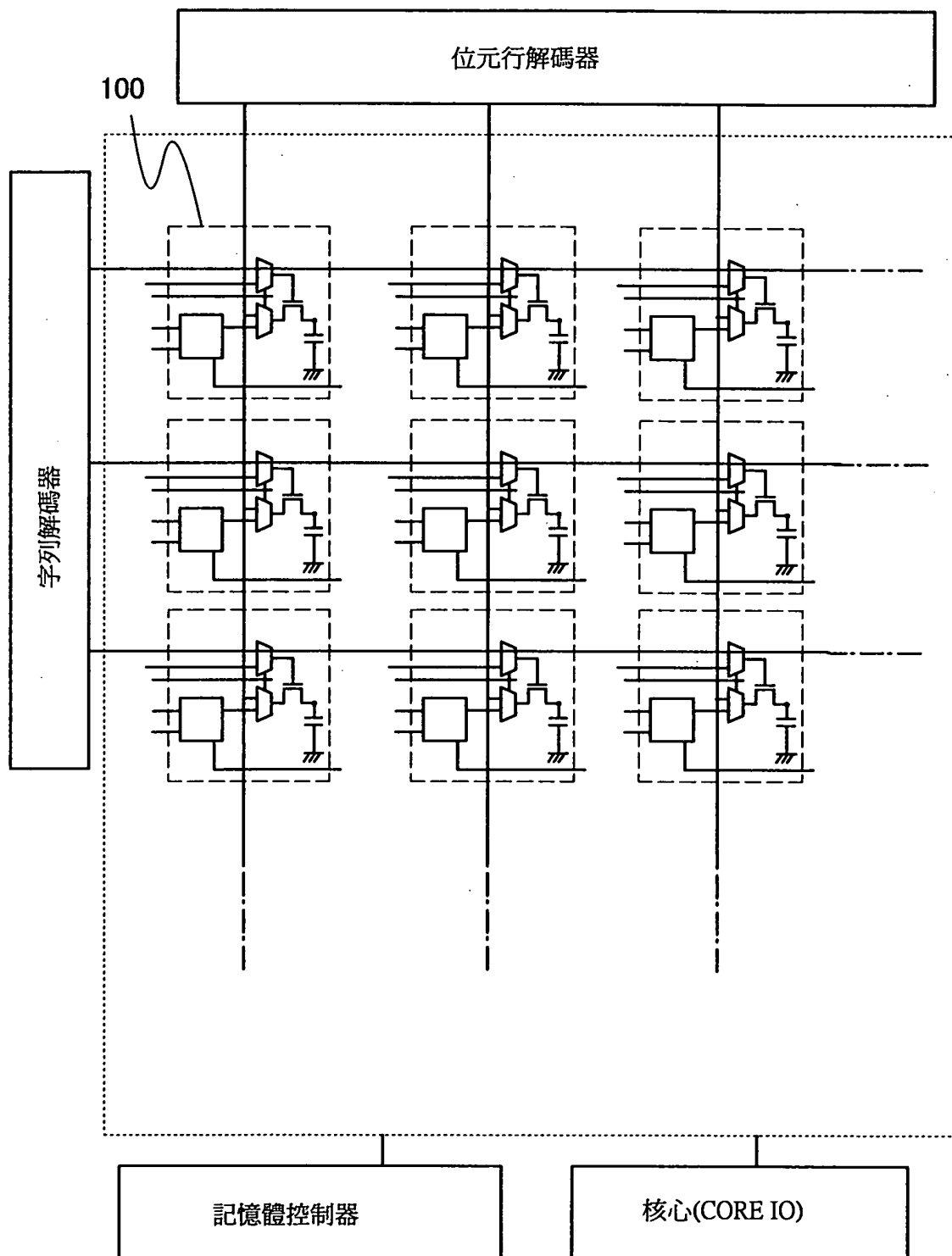
第5A圖



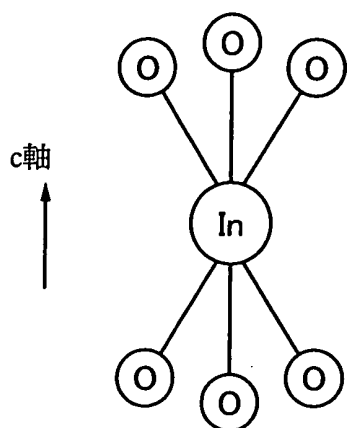
第5B圖



第6圖

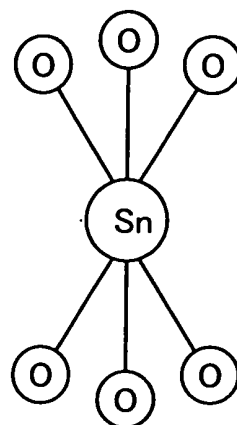


第7A圖



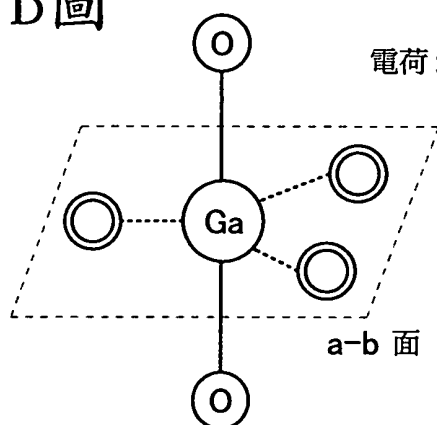
電荷: 0

第7D圖



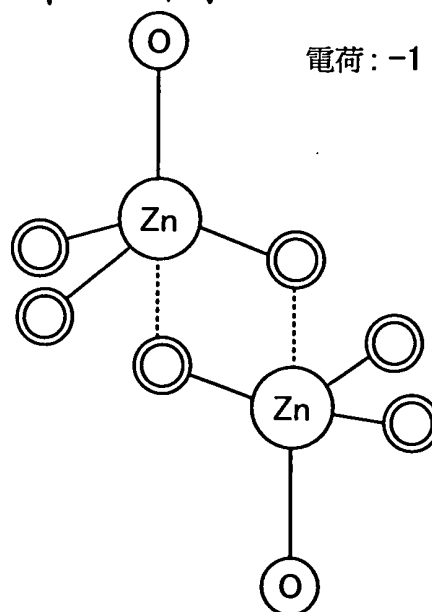
電荷: +1

第7B圖



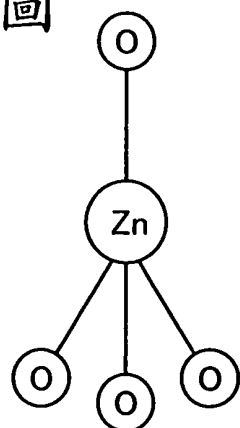
電荷: 0

第7E圖



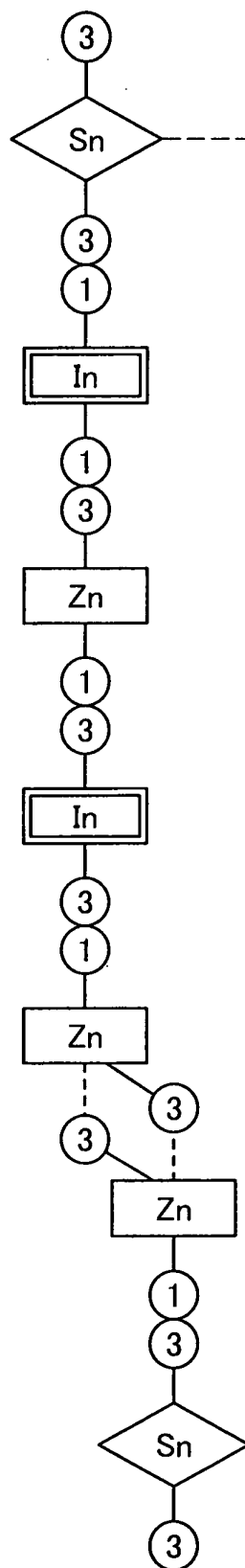
電荷: -1

第7C圖



電荷: 0

第8A圖



第8B圖



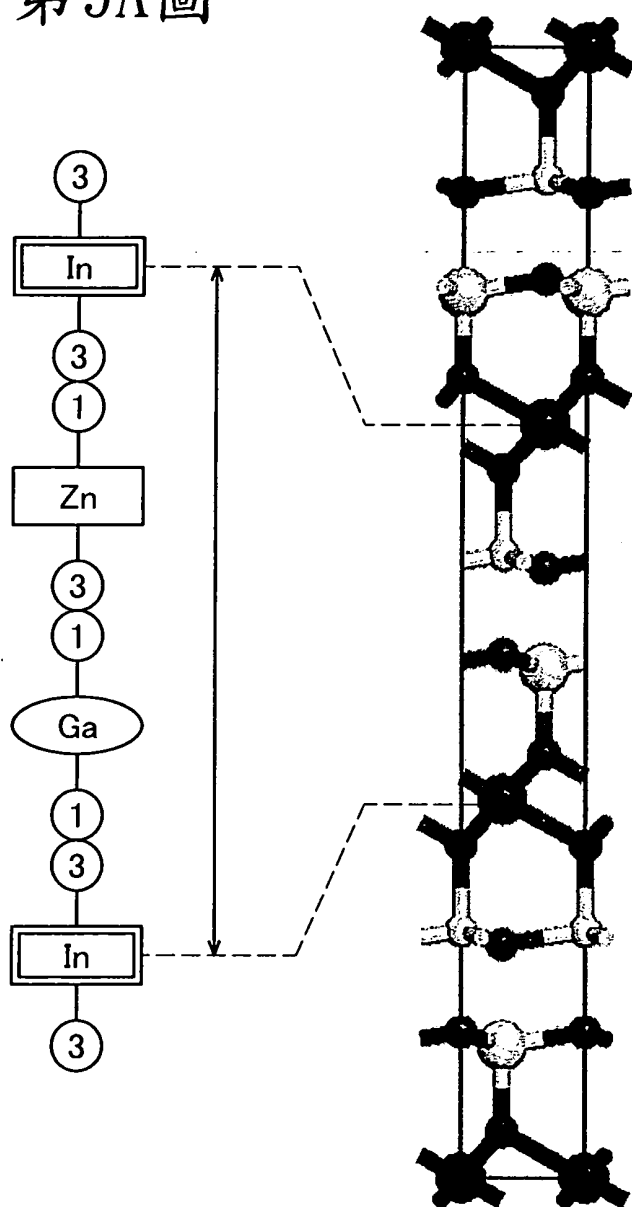
第8C圖



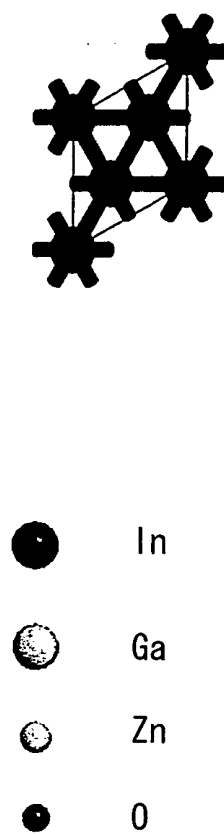
- In
- Sn
- Zn
- 0

第9B圖

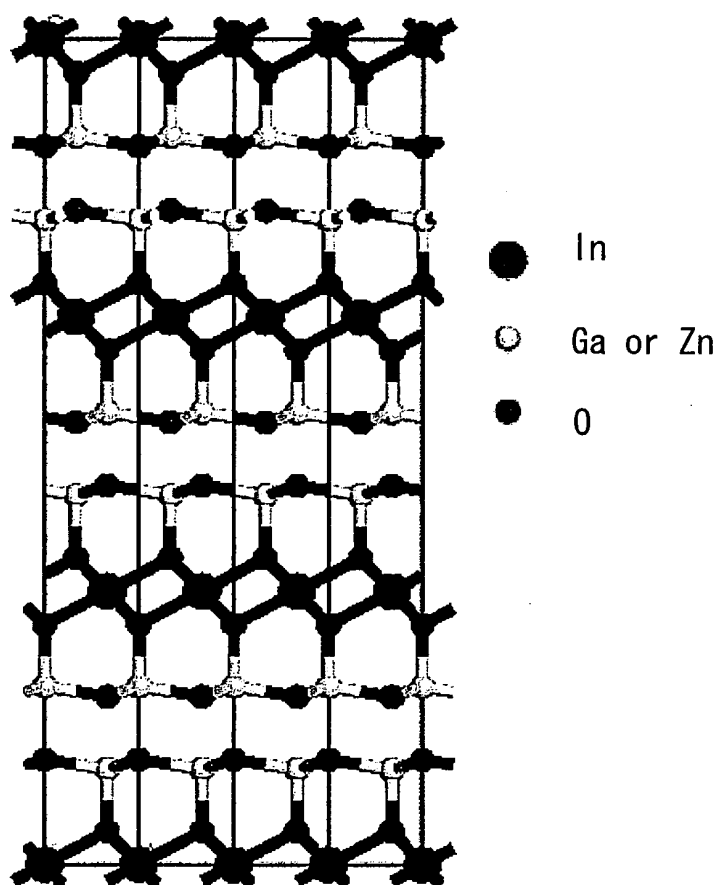
第9A圖



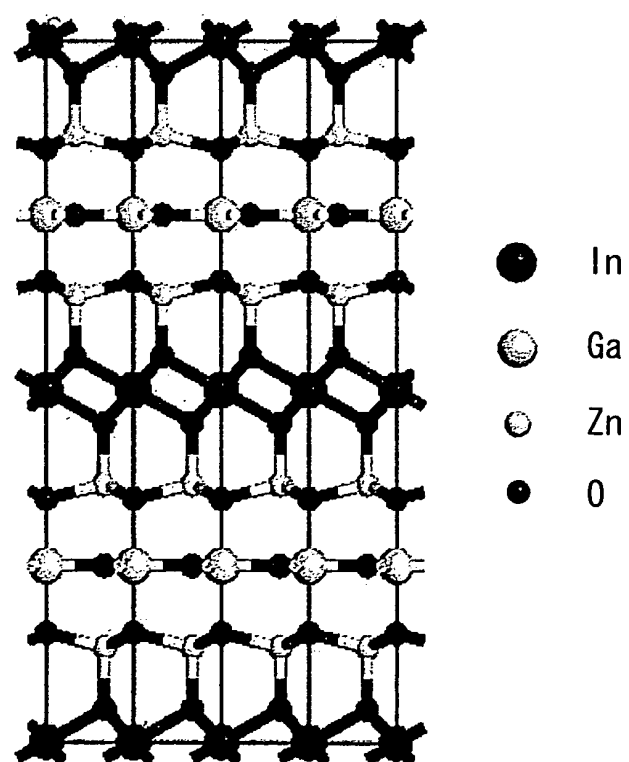
第9C圖



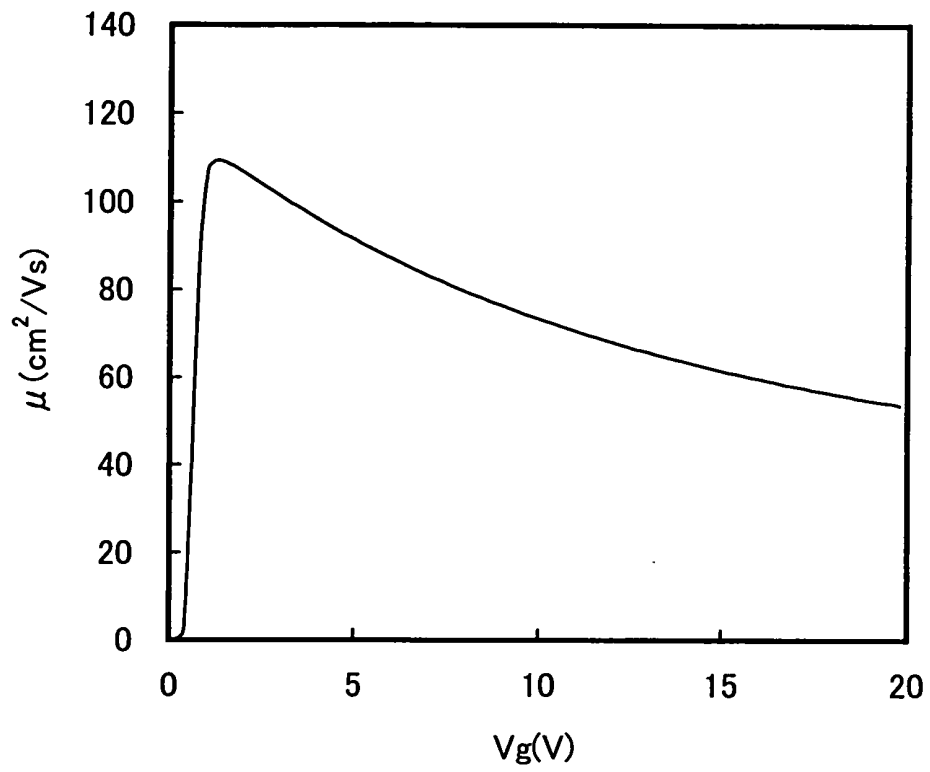
第10A圖



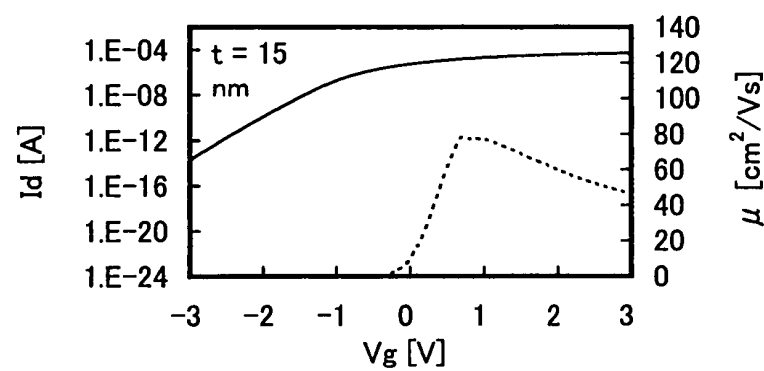
第10B圖



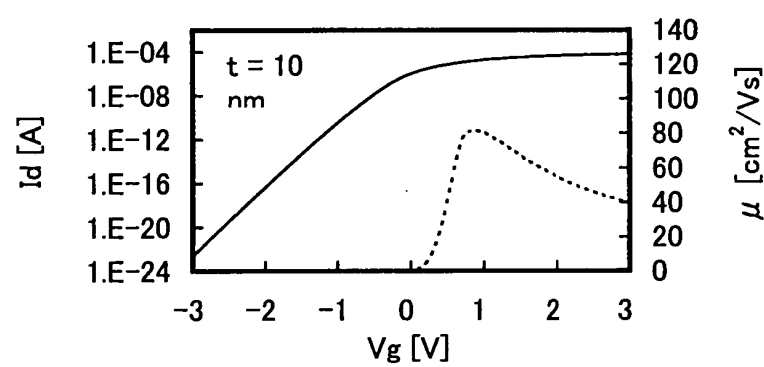
第11圖



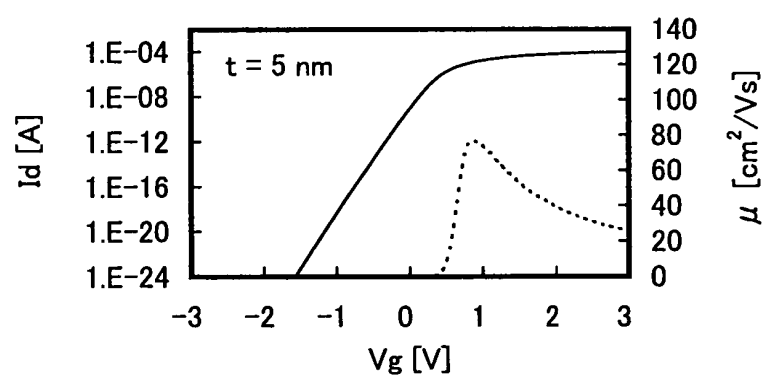
第12A圖



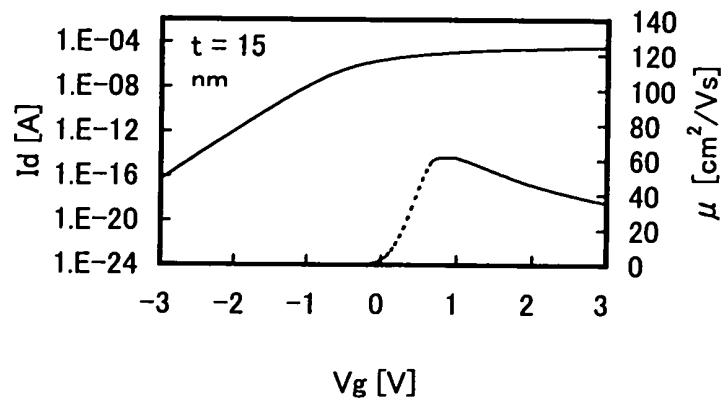
第12B圖



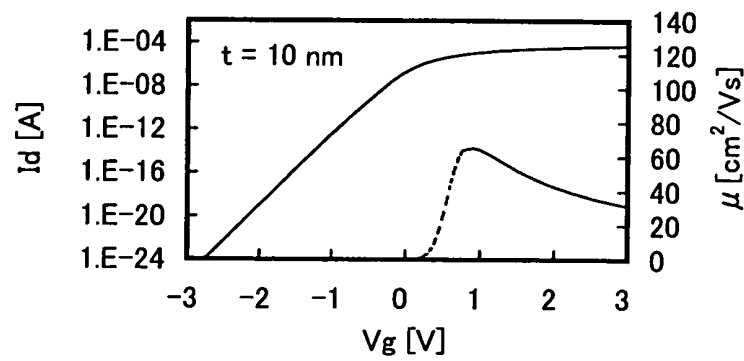
第12C圖



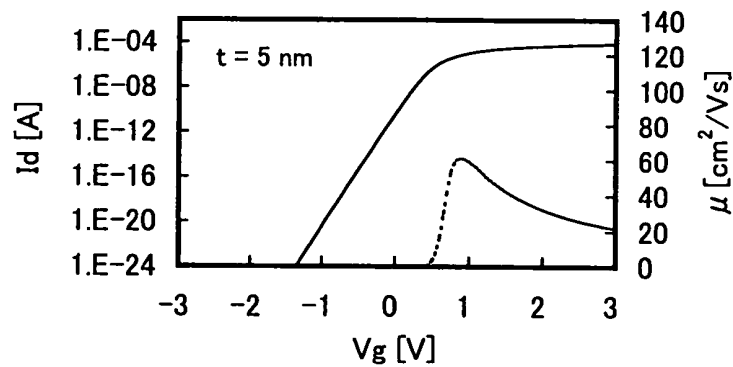
第13A圖



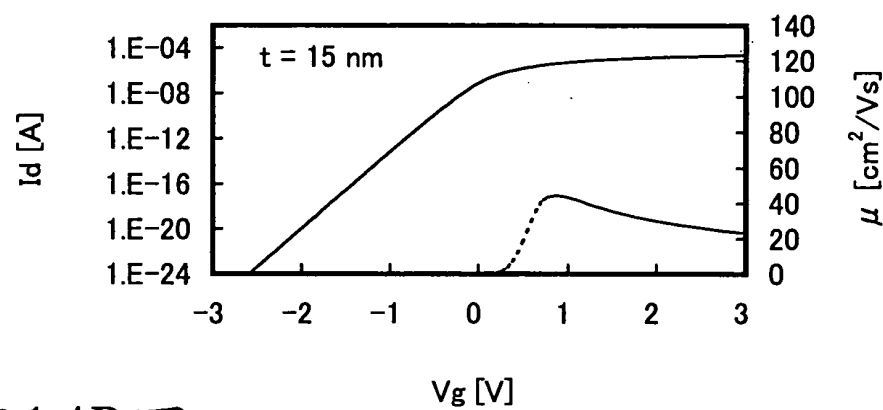
第13B圖



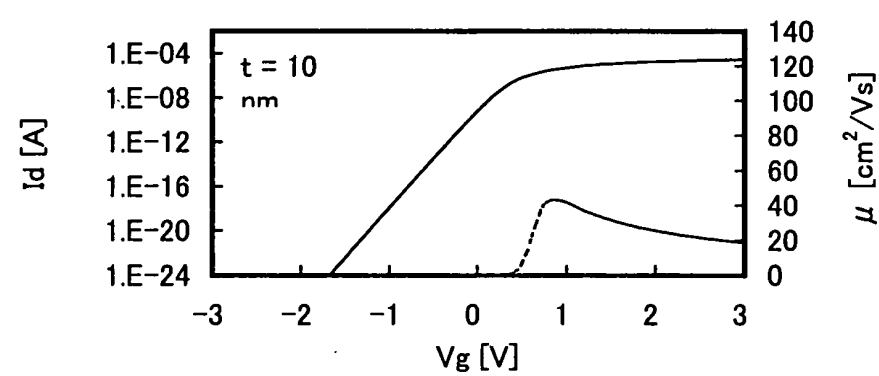
第13C圖



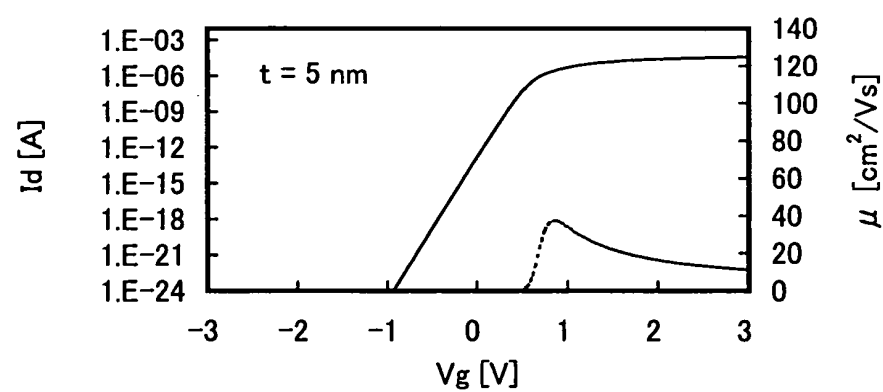
第14A圖



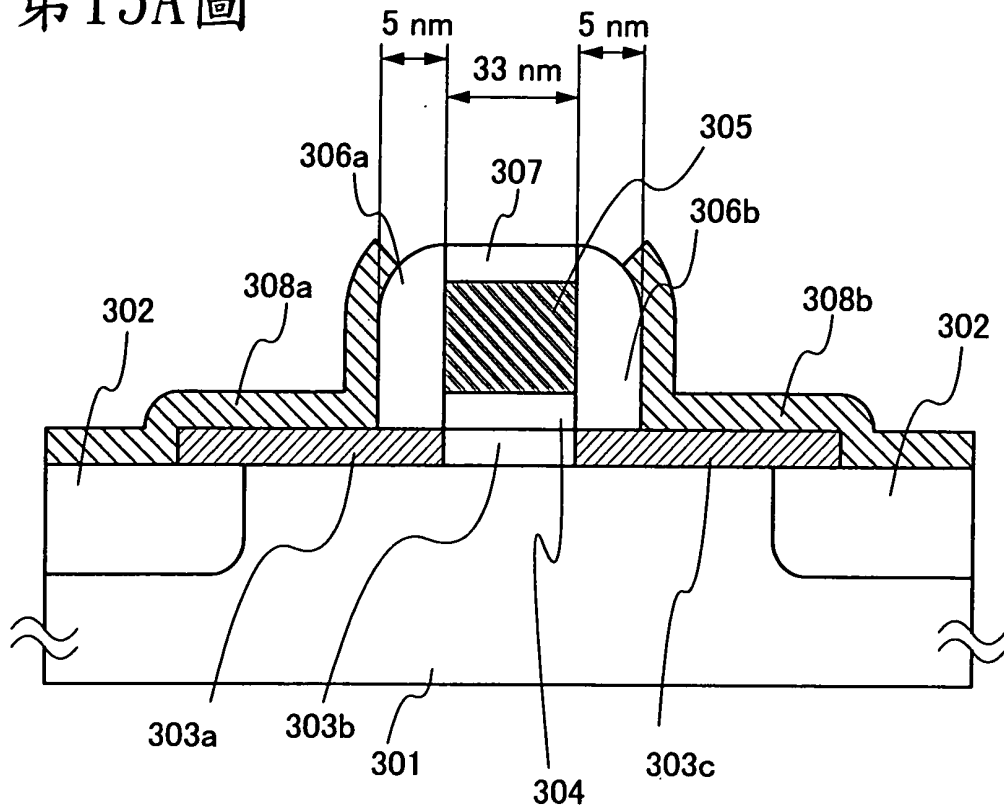
第14B圖



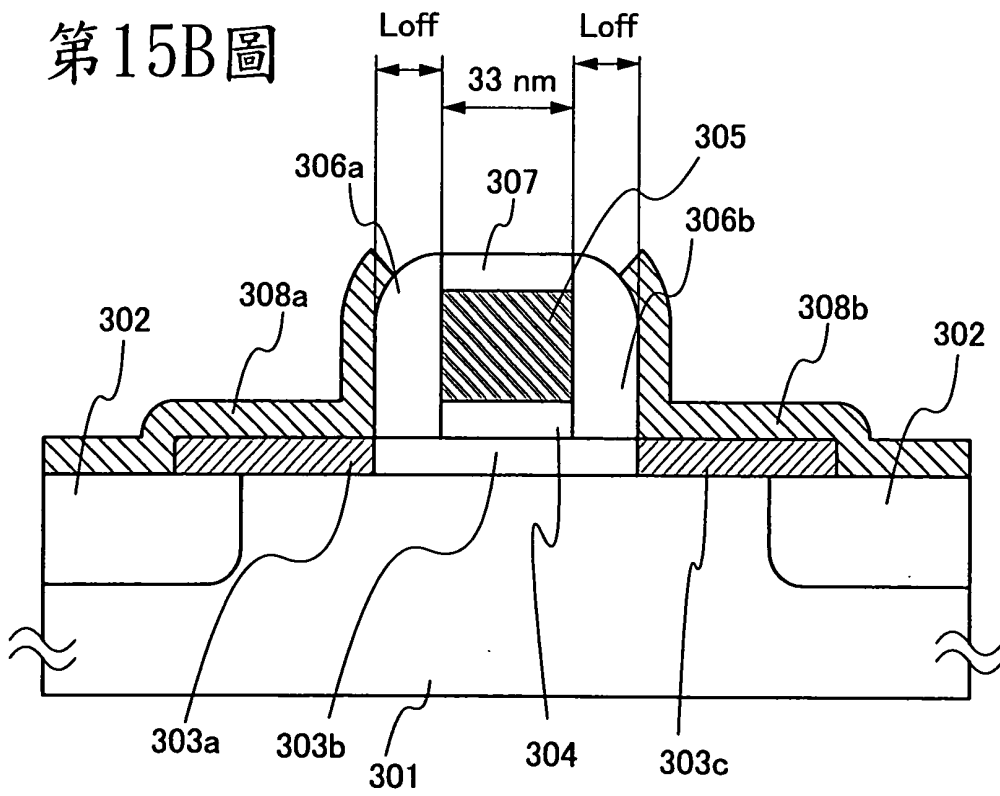
第14C圖



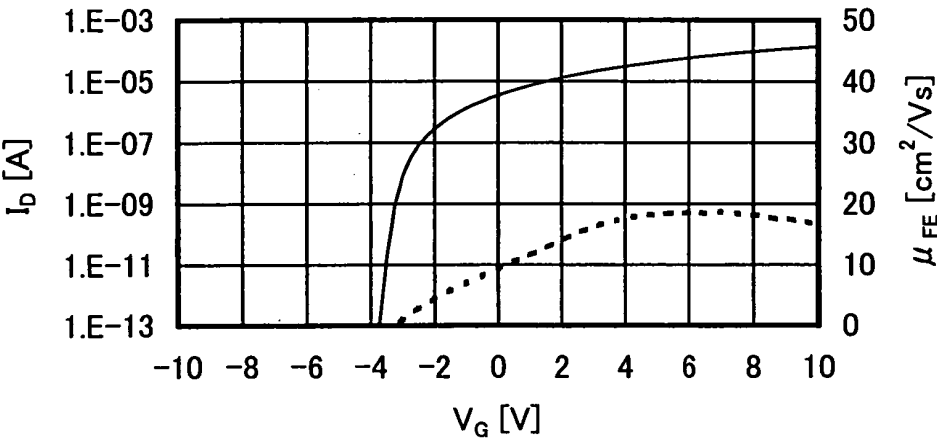
第15A圖



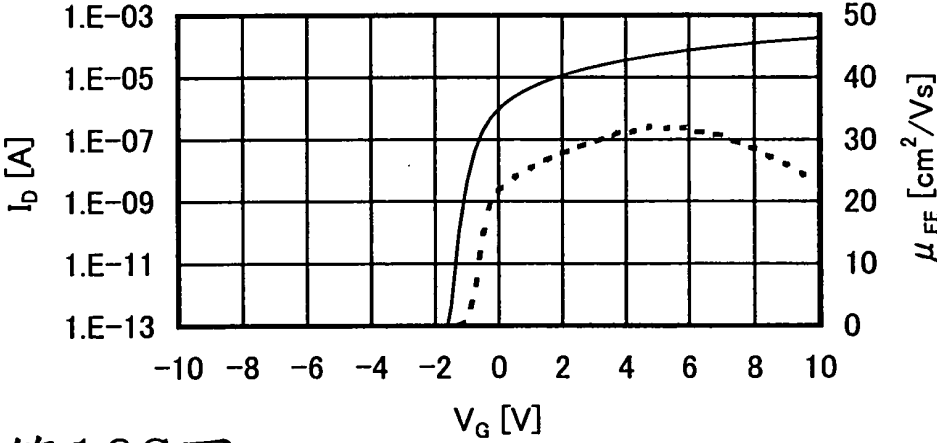
第15B圖



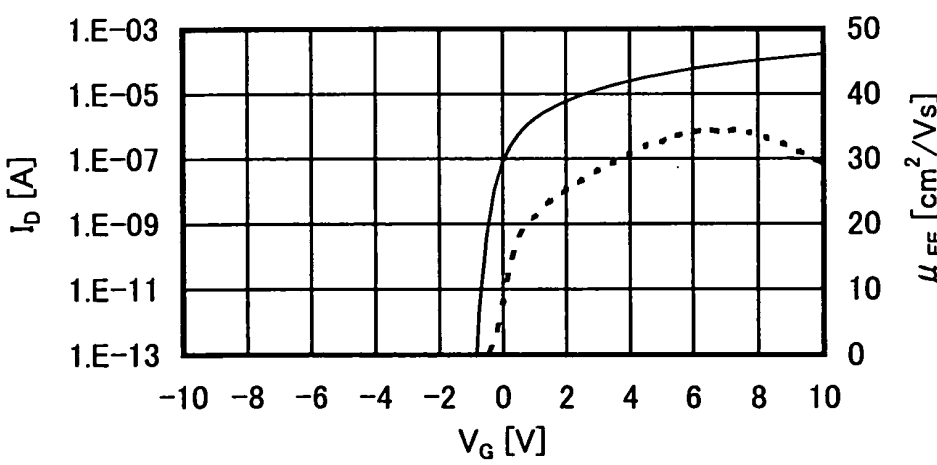
第16A圖



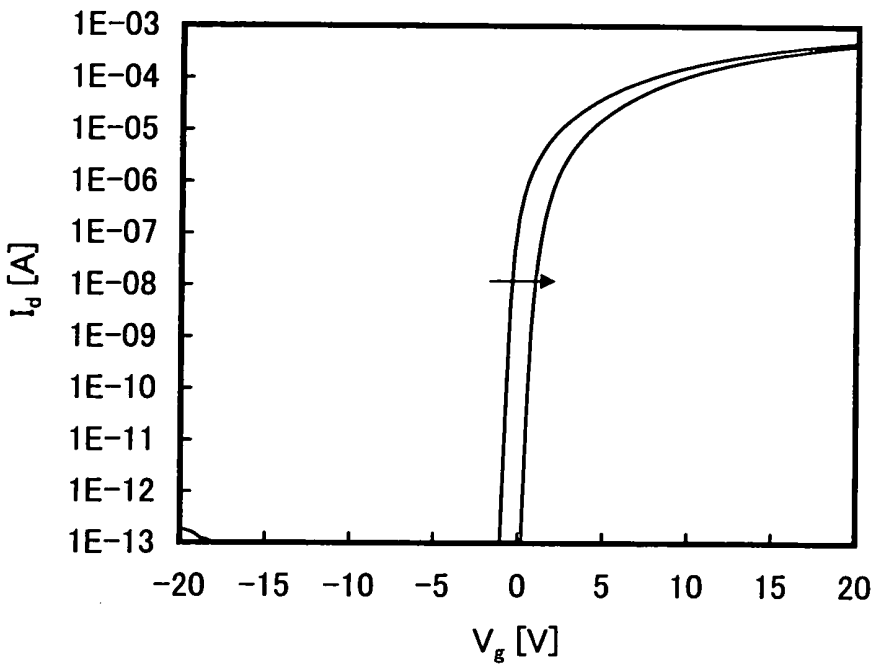
第16B圖



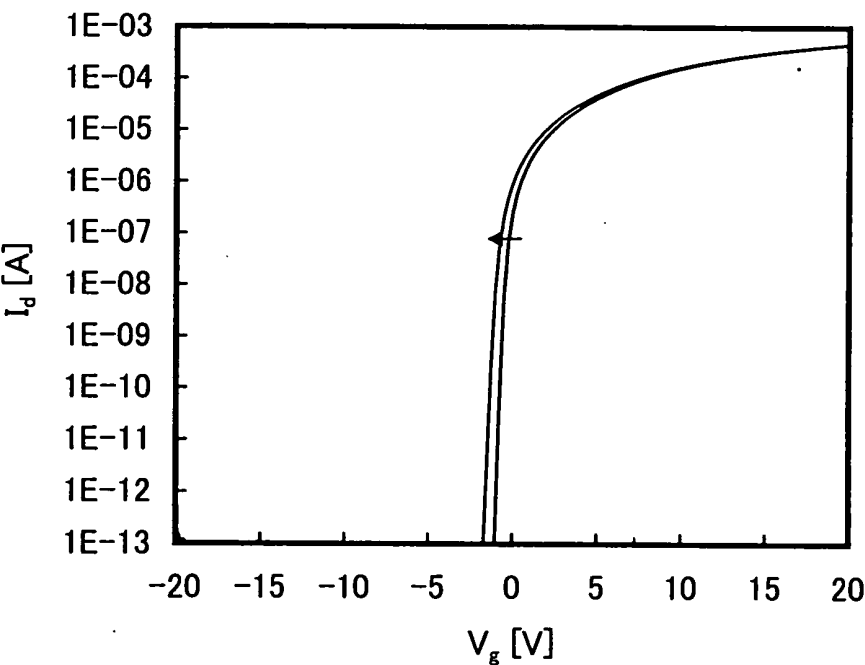
第16C圖



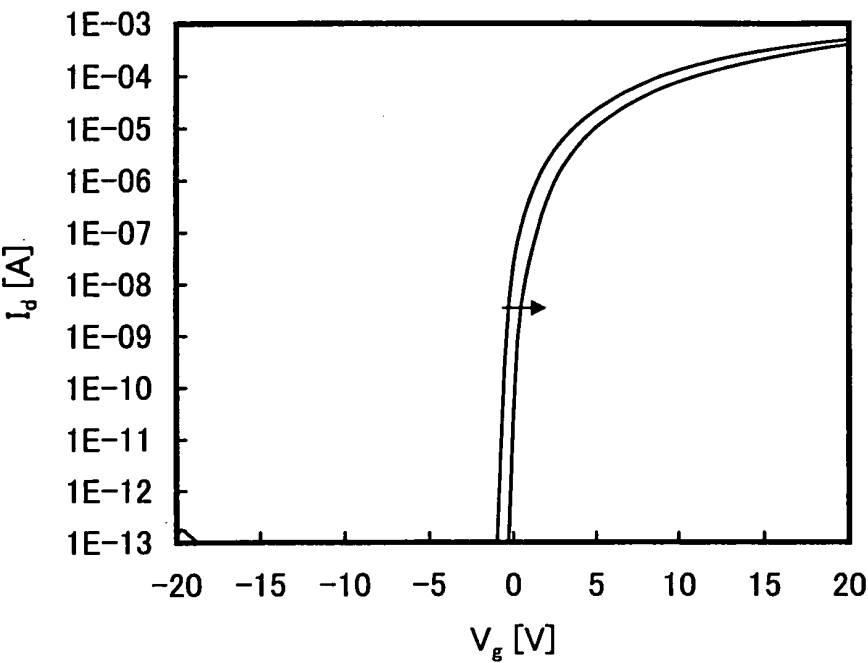
第17A圖



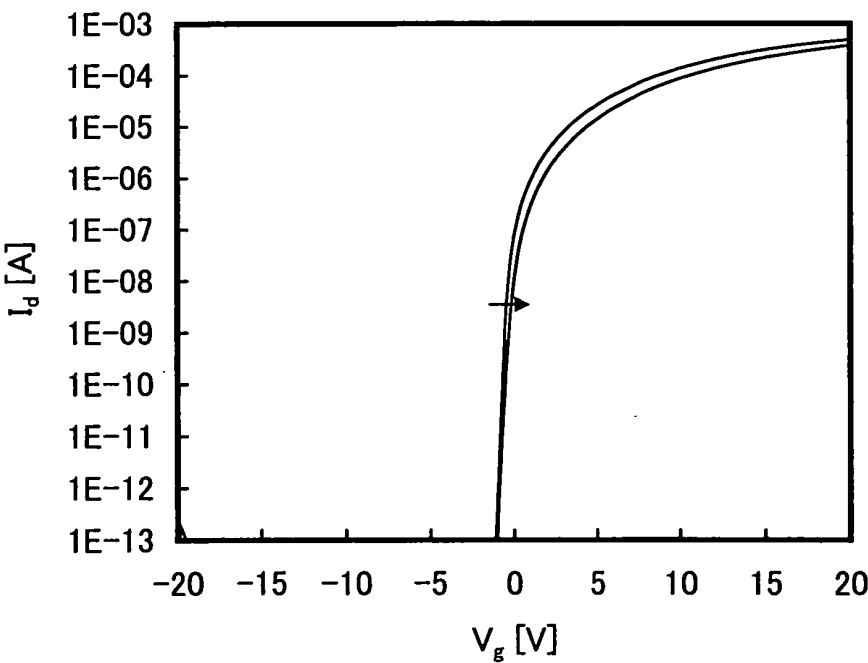
第17B圖



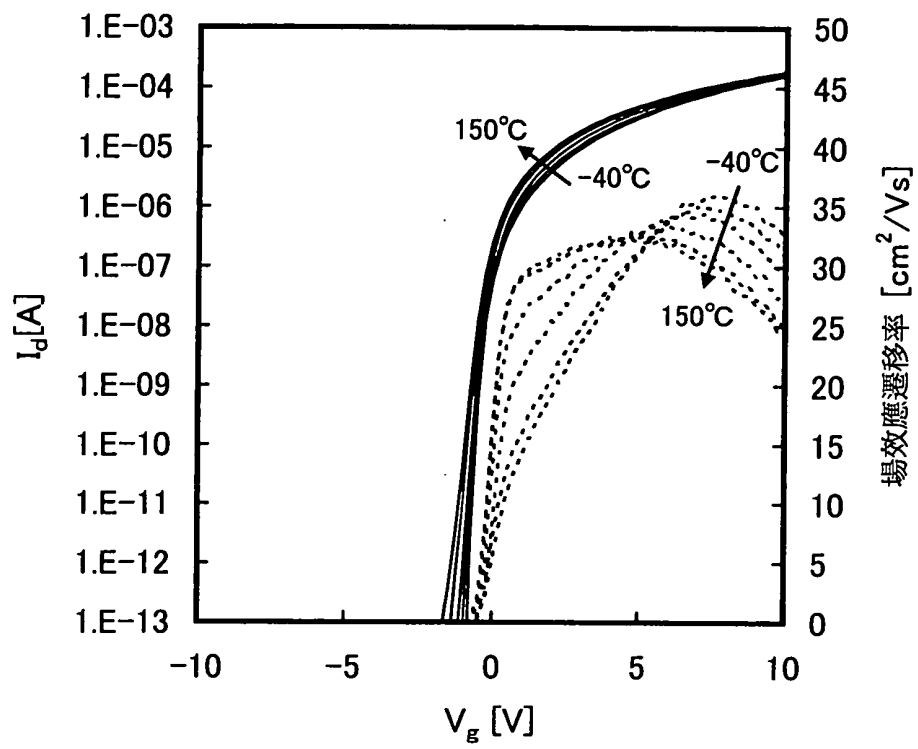
第18A圖



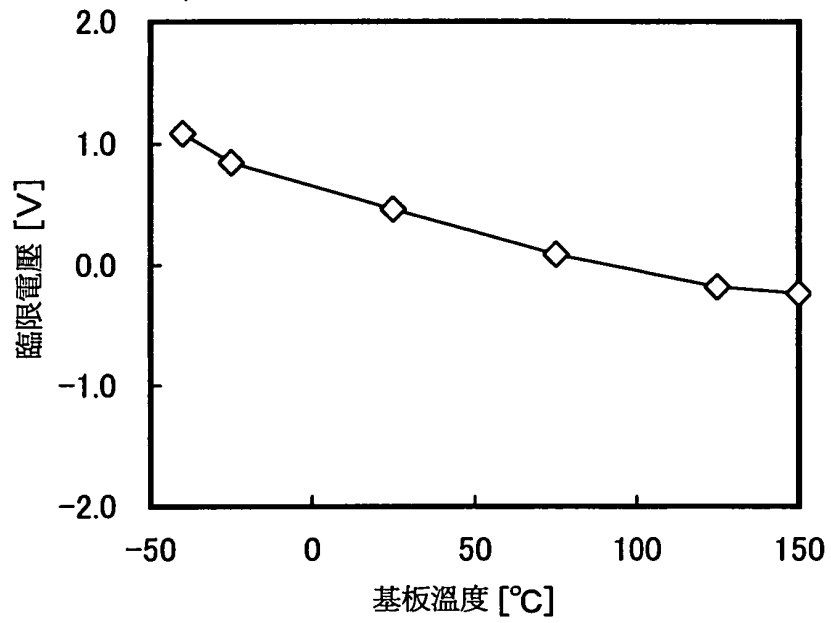
第18B圖



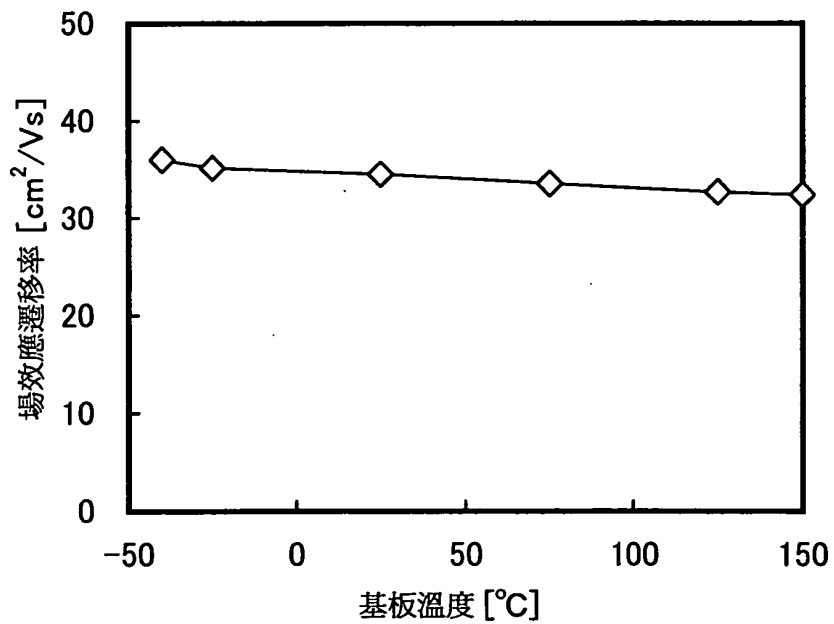
第19圖



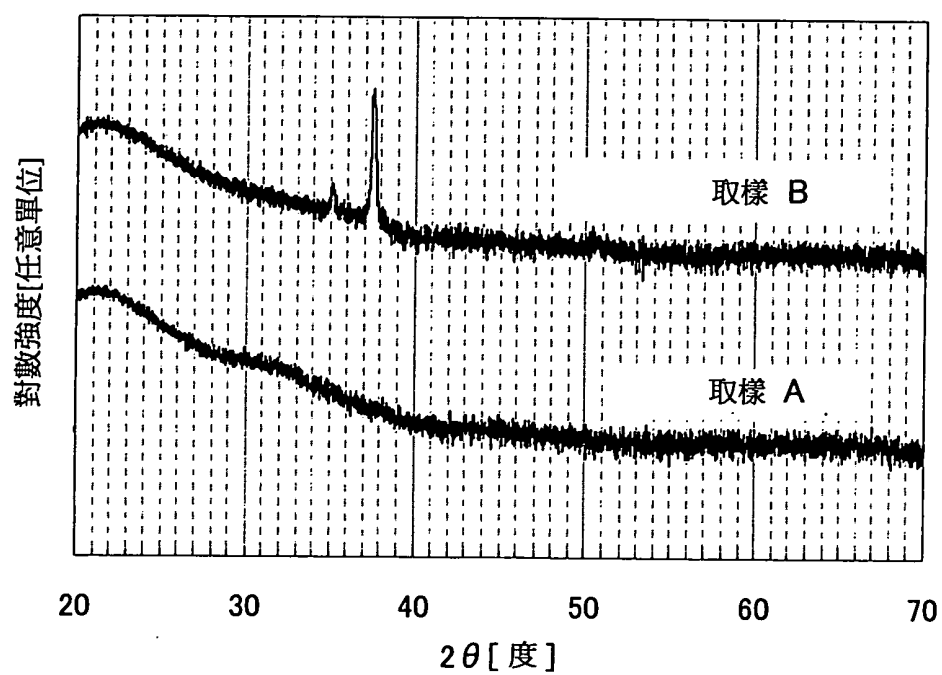
第20A圖



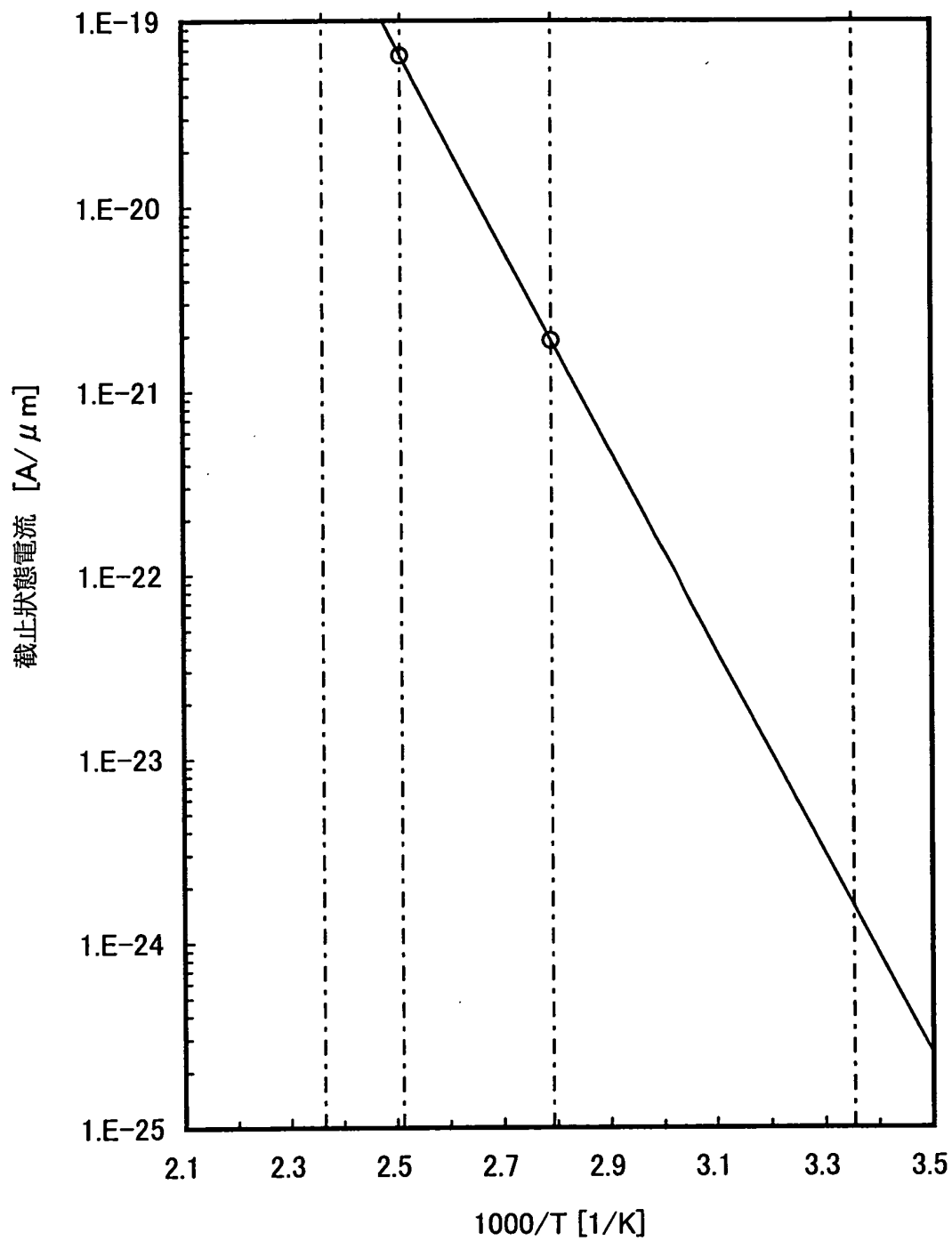
第20B圖



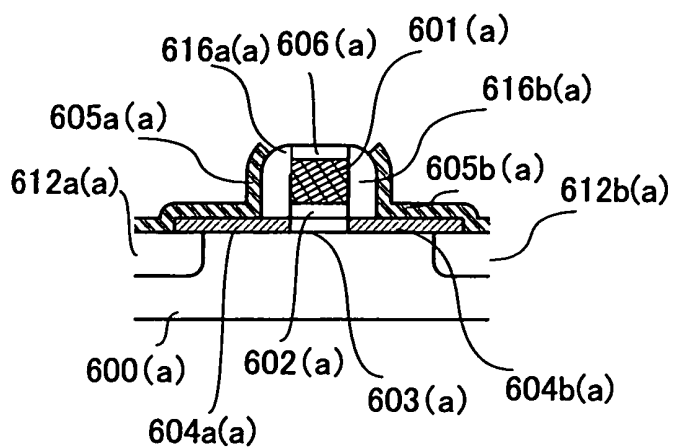
第21圖



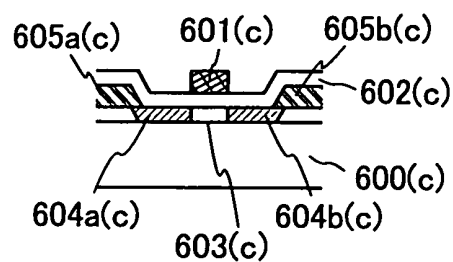
第22圖



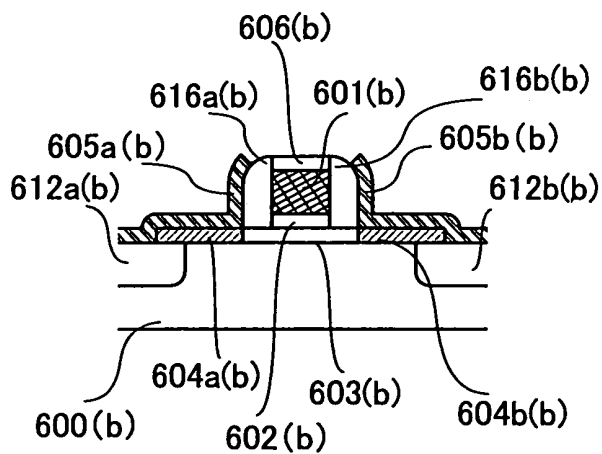
第23A圖



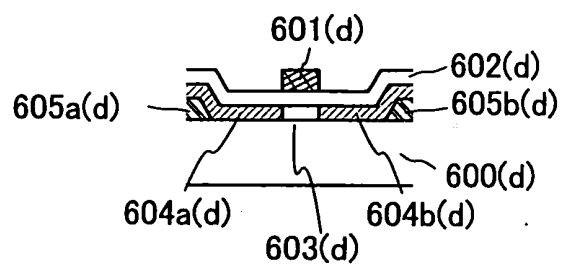
第23C圖



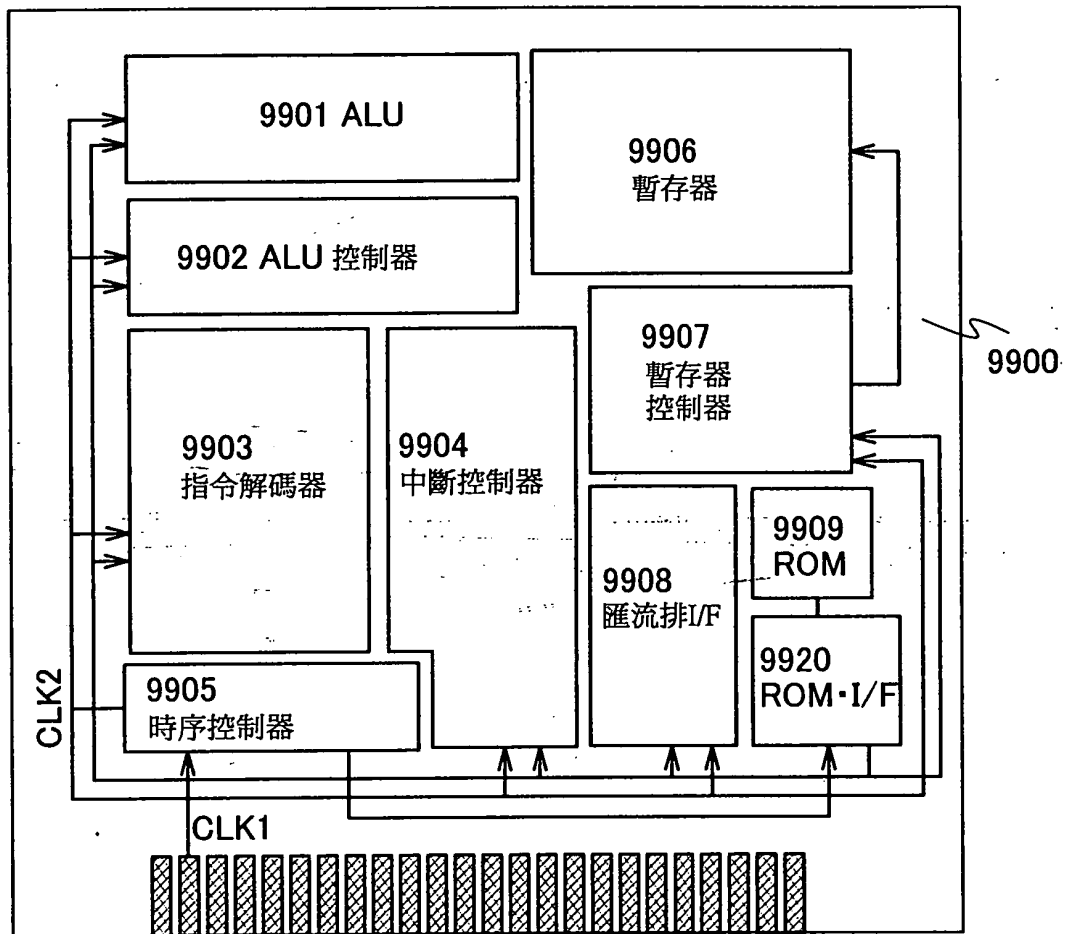
第23B圖



第23D圖



第24圖



四、指定代表圖：

(一) 本案指定代表圖為：第 (1A) 圖。

(二) 本代表圖之元件符號簡單說明：

100：暫存器電路

101：正反器電路

103：選擇電路

105：非揮發性記憶體電路

Q：輸出信號線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

七、申請專利範圍：**1. 一種半導體裝置，包含：**

暫存器電路，包含正反器電路、選擇電路、及非揮發性記憶體電路，該非揮發性記憶體電路係透過該選擇電路而電性連接至該正反器電路；

位元線；以及

資料線，

其中該資料線係電性連接至該正反器電路，

其中該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路，且

其中該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

2. 一種半導體裝置，包含：

暫存器電路，包含正反器電路、選擇電路、及非揮發性記憶體電路，該非揮發性記憶體電路係透過該選擇電路而電性連接至該正反器電路；

位元線；

資料線；

字線；以及

記憶體寫入致能線，

其中該字線及該記憶體寫入致能線係電性連接至該選擇電路，

其中該資料線係電性連接至該正反器電路，

其中該位元線係透過該選擇電路而電性連接至該非揮

發性記憶體電路，且

其中該選擇電路包含第一開關及第二開關，該第一開關係用以決定該非揮發性記憶體電路與該字線或該記憶體寫入致能線之間的電性連接，以及該第二開關係用以決定該非揮發性記憶體電路與該資料線或該位元線之間的電性連接。

3. 一種半導體裝置，包含：

複數個暫存器電路，係設置於矩陣中；

位元線；以及

資料線，

其中該等暫存器電路之各者包含正反器電路、選擇電路、及非揮發性記憶體電路，該非揮發性記憶體電路係透過該選擇電路而電性連接至該正反器電路，

其中該資料線係電性連接至該正反器電路，

其中該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路，且

其中該選擇電路選擇性地儲存根據該資料線的電位或該位元線的電位之資料於該非揮發性記憶體電路中。

4. 一種半導體裝置，包含：

複數個暫存器電路，係設置於矩陣中；

位元線；

資料線；

字線；以及

記憶體寫入致能線，

其中該等暫存器電路之各者包含正反器電路、選擇電路、及非揮發性記憶體電路，該非揮發性記憶體電路係透過該選擇電路而電性連接至該正反器電路，

其中該字線及該記憶體寫入致能線係電性連接至該選擇電路，

其中該資料線係電性連接至該正反器電路，

其中該位元線係透過該選擇電路而電性連接至該非揮發性記憶體電路，且

其中該選擇電路包含第一開關及第二開關，該第一開關係用以決定該非揮發性記憶體電路與該字線或該記憶體寫入致能線之間的電性連接，以及該第二開關係用以決定該非揮發性記憶體電路與該資料線或該位元線之間的電性連接。

5. 如申請專利範圍第 1 至 4 項中任一項之半導體裝置，其中該選擇電路選擇第一操作模式、第二操作模式、第三操作模式、及第四操作模式的任一者，該第一操作模式係用以透過該正反器電路而儲存根據該資料線的電位之資料於該非揮發性記憶體電路中，該第二操作模式係用以供應儲存於該非揮發性記憶體電路中之資料至該正反器電路，該第三操作模式係用以儲存根據該位元線之資料於該非揮發性記憶體電路中，以及該第四操作模式係用以供應儲存於該非揮發性記憶體電路中之資料至該位元線。

6. 如申請專利範圍第 1 至 4 項中任一項之半導體裝置，

其中該非揮發性記憶體電路包含電晶體及電容器，該電晶體包含氧化物半導體於通道形成區中，以及該電容器包含電性連接至該電晶體之第一電極的一電極及接地的另一電極，且

其中該資料線的電位或該位元線的電位係儲存於其中該電晶體之該第一電極與該電容器之該一電極彼此相互電性連接的節點中。