

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年11月11日(11.11.2010)

PCT

(10) 国際公開番号
WO 2010/128546 A1

(51) 国際特許分類:

H01L 21/336 (2006.01) H01L 27/092 (2006.01)
H01L 21/28 (2006.01) H01L 29/417 (2006.01)
H01L 21/8238 (2006.01) H01L 29/78 (2006.01)

(21) 国際出願番号: PCT/JP2009/058641

(22) 国際出願日: 2009年5月7日(07.05.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 株式会社 東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 Tokyo (JP).

(72) 発明者: および

(75) 発明者/出願人 (米国についてのみ): 土明 正勝 (TSUCHIYAKI Masakatsu) [JP/JP]; 〒1058001 東京都港区芝浦一丁目1番1号 株式会社 東芝 知的財産部内 Tokyo (JP).

(74) 代理人: 吉武 賢次, 外 (YOSHITAKE Kenji et al.); 〒1000005 東京都千代田区丸の内三丁目2番3号 富士ビル323号 協和特許法律事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

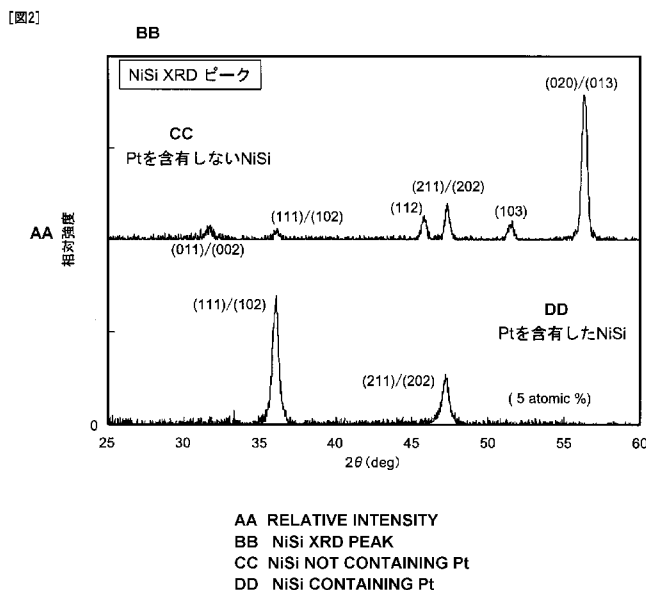
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: Provided is a semiconductor device in which silicidation is performed while the source/drain junction is maintained at a shallow depth and the junction leak current is as low as possible. The semiconductor device is provided with a silicon semiconductor layer (10), a source region (18a) and a drain region (18b) which are provided apart from each other in the silicon semiconductor layer, a gate insulating film (14) provided on the silicon semiconductor layer between the source region and the drain region, a gate electrode (16) provided on the gate insulating film, and silicide layers (24a, 24b) which comprise NiSi phases respectively provided on the source region and the drain region and containing Pt and in which crystal grains are strongly oriented to (111) or (102).

(57) 要約: [課題] ソース及びドレインの浅い接合位置を保ちつつシリサイド化され、且つ接合リーク電流が可及的に小さい半導体装置を提供することを可能にする。

[解決手段] シリコン半導体層 10 と、シリコン半導体層に離間して設けられたソース領域 18a およびドレイン領域 18b と、ソース領域およびドレイン領域との間のシリコン半導体層上に設けられたゲート絶縁膜 14 と、ゲート絶縁膜上に設けられたゲート電極 16 と、ソース領域およびドレイン領域上にそれぞれ設けられ Pt を含有した NiSi 相を有し、結晶粒が (111) または (102) に強配向しているシリサイド層 24a、24b と、を備えている。

WO 2010/128546 A1

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、電界効果トランジスタを有する半導体装置及びその製造方法に関する。

背景技術

[0002] 高速高機能半導体装置の実現のため、これに用いられる個々の半導体素子の微細化およびその大規模集積化に対する要求は時を追って増大している。しかし、これらの半導体素子の主要な構成要素である電界効果トランジスタ（以下、MOSFETともいう）の微細化を考えた場合、これには様々な困難が伴う。

[0003] 例えば、MOSFETのチャネル長（即ちゲート電極の長さ）の縮小に伴いしきい値電圧が下降する（短チャネル効果）。半導体回路の設計時に意図したしきい値電圧と異なった素子が形成されると、設計の意図とは異なる素子動作を引き起こし回路全体の機能を損なう。さらにゲート電極の加工寸法に、しきい値電圧が依存するため、わずかな加工ずれでも、用途の特性の素子を得る事が不可能となり、多数の均一な素子を必要とする半導体回路、例えばDRAM（Dynamic Random Access Memory）の製造には、極めて不都合となる。このような短チャネル効果は、MOSFETのソース及びドレイン電極部分での電界の歪みが、チャネル長の縮小に伴いチャネル部分の中央付近にまで影響を与える事に起因している。この影響は、ソース及びドレインを形成するpn接合の接合位置を半導体表面に近づける、（即ちpn接合を”浅くする”）事で回避出来る。しかし、単に、pn接合を浅くすると、これにより構成されているソース及びドレイン電極の抵抗が増大し、素子を伝わる信号の高速伝達を阻害する。

[0004] この問題に対処し、ソース及びドレイン電極の低抵抗化を図るために、ソース及びドレイン領域の上部の一部を金属と化合（シリサイド化）させるこ

とが行われる。シリサイドを行うための金属種としては、Co、Ti、Niのような元素が使用されている。このうち、細線形状にしたときに電気抵抗の上昇（細線効果）がみられず、微細化LSIに対応可能なシリサイド化用の金属種はNiである。SiとNiの金属化合反応（シリサイド化反応）は、 CoSi_2 の形成温度である 800°C よりも低温の 450°C で行うことができ、この際、低電気抵抗相であるNiSiという相が形成される。NiSi相は、さらに高温の熱処理を施すと、 750°C 前後で電気抵抗の高いNiSi₂という最終相へ転移していくが、LSIに利用するのは、抵抗率の小さいNiSi相である。

[0005] しかしながら、このようなNiSi相のシリサイドでも、シリサイド形成後の熱処理に伴い、Ni原子がソース及びドレイン領域を形成するシリコン中を急速に拡散し、浅いpn接合を形成した場合、容易に接合部分にまで到達してしまう。このため、著しい接合リーク電流をもたらすことが知られている（例えば、非特許文献1参照）。

[0006] ソース及びドレイン領域のpn接合を通じて電流が漏れ出すと、素子の動作が損なわれたり、DRAMなどの記憶素子では書き込まれた情報が失われてしまい、半導体装置の本来の機能が喪失する。

[0007] このため、シリサイド形成後の熱処理を厳しく制限して、接合リーク電流の抑制を図ってきた。

先行技術文献

非特許文献

[0008] 非特許文献1: M. Tsuchiaki et. al., Jap. J. Appl. Phys. Vol. 43, p. 5166 (2004)

発明の概要

発明が解決しようとする課題

[0009] 以上、説明した通り、素子の微細化に伴い、ソース及びドレインの接合位置を浅く保ちつつ、且つ、ソース及びドレインの電気抵抗を低く抑えるため

に、これをシリサイド化することが必要になるが、シリサイドを形成する金属原子の高速拡散が引き起こす接合リーク電流が発生する。このため、シリサイド形成後の熱処理を厳しく制限して、接合リーク電流の抑制を図ってきた。

[0010] 然しながら、後述するように本発明者の詳細な調査の結果によれば、シリサイド形成後の熱処理を単に厳しく制限するだけでは、必ずしも十全な接合リークの低減が図られないことが明らかとなった。

[0011] 本発明は、上記事情を考慮してなされたものであって、ソース及びドレインの浅い接合位置を保ちつつシリサイド化され、且つ接合リーク電流が可及的に小さい半導体装置及びその製造方法を提供する。

課題を解決するための手段

[0012] 本発明の第1の態様による半導体装置は、シリコン半導体層と、前記シリコン半導体層に離間して設けられたソース領域およびドレイン領域と、前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域および前記ドレイン領域上にそれぞれ設けられP_tを含有したNiSi相を有し、結晶粒が(111)または(102)に強配向しているシリサイド層と、を備えていることを特徴とする。

[0013] また、本発明の第2の態様による半導体装置の製造方法は、n型シリコン半導体層と、前記シリコン半導体層に離間して設けられたBを含有するp型のソース領域およびドレイン領域と、前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、前記ゲート絶縁膜上に設けられたゲート電極と、前記ソース領域および前記ドレイン領域上に、それぞれP_tを含有したNiSi相を有するシリサイド層と、を備えている半導体装置の製造方法であって、前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さDが22.4nm乃至38.1nmとなるようにシリサイド層を形成する工程と、前記シリサイド層形成後に、n(≥1)回行われる熱処理を伴う工程と

、を備え、前記シリサイド層形成後に行われる熱処理を伴う工程の i 回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min] で行い、かつ E_{a1} を 0.599 (eV)、 T_1 を 773 [K]、 k をボルツマン定数、 e を電気素量、 $G_1(T_{ai}, \tau_{ai})$ を、

$$G_1(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a1} (1 / (k T_1) - 1 / (k T_{ai})) \}$$

とし、

$A_1 = 956.6$ 、 $A_0 = 499.9$ 、 $\alpha = 0.4175$ 、 D を

$$D = F_1(\tau_1) = (A_1 \times \exp(-\alpha \tau_1) + A_0)^{1/2}$$

とし、 τ_{10} を、

[数1]

$$\tau_{1c} = \sum_{i=1}^n G_1(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_1 \leq \tau_{10}$$

を満たすように行うことを特徴とする。

発明の効果

[0014] 本発明によれば、ソース及びドレインの浅い接合位置を保ちつつシリサイド化され、且つ接合リーク電流が可及的に小さい半導体装置及びその製造方法を提供することができる。

図面の簡単な説明

[0015] [図1] 図1(a)、1(b)は、NiSiの形成後に各種熱処理を行った場合における接合リーク電流およびSi基板中に含まれるNi濃度の、pn接合深さ依存性を示す図。

[図2] 図2は、Pt含有するシリサイド膜および含有しないシリサイド膜を構成する結晶粒の配向を、XRDを用いて測定した図。

[図3] 図3は、Pt含有NiSi膜の平面HAADF像を示す写真。

[図4] 図4は、Pt含有しないNiSi膜の平面HAADF像を示す写真。

[図5] 図5は、EDXによって得られたPt含有NiSi膜の各点のPt濃度を示す図。

[図6] 図6は、Pt含有NiSi膜の断面HAADF像を示す写真。

[図7] 図7は、Pt添加による結晶粒の配向変化、Ptの特異的網目状の偏在、及び耐熱性の向上の起源を説明する模式図。

[図8] 図8(a)、8(b)は、シリサイド化後、熱処理を施さなかった場合に観測された接合リーク電流密度およびSi基板中に含まれるNiの濃度のpn接合深さ依存性を示す図。

[図9] 図9は、Asの固相拡散により形成したNiSiの接合リーク電流密度およびSi基板中に含まれるNiの濃度のpn接合深さ依存性を示す図。

[図10] 図10は、Ptを含有したNiSiの形成後に500℃の熱処理を加えたときの接合リーク電流密度のpn接合深さ依存性を示す図。

[図11] 図11は、初期リーク電流に起因したリーク深さの2乗を、熱処理時間の関数として示す図。

[図12] 図12は、500℃及び550℃の熱処理による初期リーク電流の低減速度の対数を絶対温度の逆数として示す図。

[図13] 図13は、全接合リーク電流の低減が図れる有効熱処理、過剰熱処理の概念を模式的に示す図。

[図14] 図14(a)乃至14(c)は、Pt含有NiSiの形成後に、550℃、650℃、及び700℃の熱処理を行った時のリーク深さの2乗を熱処理時間の関数として示す図。

[図15] 図15(a)、15(b)は、実効的拡散定数及び初期バーストを熱処理温度の関数として示す図。

[図16] 図16は、 n^+/p 接合上にFをイオン注入した後にNiSiを形成し、これに熱処理を施した時リーク深さの2乗を熱処理時間の関数として示す図。

[図17] 図17は、 F_1^{-1} をDの関数として示す図。

[図18] 図18は、 F_2^{-1} をDの関数として示す図。

[図19] 図19は、 F_3^{-1} をDの関数として示す図。

[図20] 図20(a)乃至20(c)は、第1実施形態による半導体装置の製造方法を示す断面図。

[図21] 図21(a)乃至21(c)は、第1実施形態による半導体装置の製造方法を示す断面図。

[図22] 図22(a)乃至22(b)は、第1実施形態による半導体装置の製造方法を示す断面図。

[図23] 図23は、第1実施形態による半導体装置の製造方法を示す断面図。

[図24] 図24(a)乃至24(c)は、第2実施形態による半導体装置の製造方法を示す断面図。

[図25] 図25(a)乃至25(c)は、第2実施形態による半導体装置の製造方法を示す断面図。

[図26] 図26は、第2実施形態による半導体装置の製造方法を示す断面図。

発明を実施するための形態

[0016] 本発明の実施形態を説明する前に、本発明に至った経緯及び本発明の概要について説明する。

本発明者は、詳細な調査の結果、シリサイド形成に起因する接合リーク電流としては、前述した、シリサイド形成後の熱処理に伴う、シリサイドを形成する金属原子の高速拡散が引き起こす接合リーク電流以外に、これとは、全く物理的起源の異なる、シリサイド化反応そのものに由来する接合リーク電流が存在することを発見した。

[0017] さらに、このシリサイド化反応そのものに由来する接合リーク電流を、金属原子の高速拡散を引き起こさずに低減させることのできる熱処理条件を特定することに成功した。この熱処理条件を後で詳細に説明する。

[0018] したがって、MOSFETのソース及びド레인領域上にNiSi膜を形成後、上記熱処理条件下で、すなわち所定の温度で、所定の時間以上の熱処理を施すことにより、シリサイド化反応そのものに由来する接合リーク電流を低減させ、しかも、この熱処理を、所定の温度で、所定の時間以下に制限

することで、金属原子の高速拡散に起因する接合リーク電流の発生を抑止できる。

[0019] この結果、ソース及びドレインの浅い接合位置を保ちつつシリサイド化され、且つ接合リーク電流が可及的に小さい半導体装置の製造が可能となる。

[0020] 以下、シリサイド化反応そのものに由来する接合リーク電流の性質と、これを低減させる熱処理について詳しく説明する。

[0021] <Ni拡散起因熱誘起接合リーク>

前述したように、本発明者は、NiSi相のシリサイドが相転移反応を起こすはるか以前に、NiSi相が熱的に極めて不安定な挙動を示すことを発見した。まず、このことを実証する。

[0022] 本発明者は、Bの固相拡散により、様々な深さのpn接合を形成したSi基板を用意し、この上にNi、或いは、Ptを5atomic%含有したNiを堆積した後、窒素雰囲気中で、450℃、30秒のRTA（Rapid Thermal Annealing）処理を行い、NiSi、あるいはPtを含有したNiSi（以下、Pt含有NiSiともいう）を約30nmの厚さに形成した。その後、500℃、或いは550℃の熱処理を加えた。

[0023] 図1（a）は、NiSiを形成後、熱処理を加え、観測された接合リーク電流密度（右縦軸目盛り）を、pn接合深さの関数として、また、裏面SIMS法を用いて求めた夫々の試料のSi基板中に含まれるNiの濃度（左縦軸目盛り）の深さ分布を、対応する形で、合わせて示す図であり、図1（b）は、Ptを含有したNiSiを形成後、熱処理を加え、観測された接合リーク電流密度（右縦軸目盛り）を、pn接合深さの関数として、また、裏面SIMS法を用いて求めた夫々の試料のSi基板中に含まれるNiの濃度（左縦軸目盛り）の深さ分布を、対応する形で、合わせて示す図である。

[0024] 接合リーク電流密度の接合深さ分布と、Niの濃度の深さ分布は、極めて良く整合し、このリーク電流の発生の起源が、熱処理とともにSi基板中に拡散侵入したNiによるものであることは、疑う余地がない。

[0025] Ptの含有によりシリサイド膜の耐熱性は向上するが、Si基板中に拡散

侵入したNiにより接合リークが発生するという物理機構自体には変わりがないことを注意しておく。

[0026] <Ptを含有したシリサイド膜の耐熱性の物理的起源>

引き続き、このような、Ptを含有したシリサイド膜による耐熱性の向上の物理的起源を探索するために、本発明者は様々な物理解析を試みた。

[0027] (結晶粒の配向)

まず、Ptを含有したNiSi膜と、これを含有しないNiSi膜の結晶粒の配向を、XRD (X-ray diffraction) を用いて測定した結果を図2に示す。まず、Ptを添加することで、生成されるシリサイドは、NiSi相の一部のNiがPtに置換された $Ni_xPt_{1-x}Si$ となるが、基本的に結晶構造は変わらないことに注意する。

[0028] 図2の上の図に示すように、Ptを含まない場合、結晶粒は、主に結晶面(020)或は(013)を垂直方向に向けている。しかし、図2の下図に示すように、Ptを5atomic%含有したNiから生成される結晶粒の配向は、主に結晶面(111)或は(102)を垂直方向に向ける、即ち(111)或は(102)に強配向するようになることがわかる。ここで、(111)或は(102)に強配向するとは、シリサイド層を形成する各結晶粒のSi基板に平行な結晶面を集計したとき、(111)面または(102)面が最も面積が大きいことを意味する。

[0029] (Ptの偏在)

さらに、Ptを含有したNiSi膜と、含有しないNiSi膜の平面HAADF (High angle annular dark field) 像を、それぞれ図3および図4に示す。この手法では、重い原子または密度の高い領域が、白いコントラストとして捉えられることに注意する。また、測定ごとにコントラストを調整するので、一つの画像内でのコントラストの相対比較はできるが、異なる測定の各HAADF像間のコントラストは直接比較できないことにも留意すべきである。

[0030] 図4に示すように、Ptを含有しないNiSiの場合、大きくいびつな結

晶粒が、暗い（即ち、密度の低い）粒界で囲まれているのがわかる。なお、散在する白点は測定時のごみである。

[0031] 一方、図3に示すように、Ptを5 atomic%添加したNiPt合金から生成されたPt含有NiSiの場合、白い網目状の構造が出現していることがわかる。しかも、極めて特徴的なことだが、この白い網目状の構造は粒界には対応しない。粒界は、極めて繊細な暗い線、即ちPtを含有しないNiSiに比して極めて緻密な線によって示されるものである。Ptを含有しないNiSiの場合のように、あからさまに、暗くて密度の低い粒界が消滅していることにも着目すべきである。

[0032] この「粒界には対応しない白い網目状の構造」の正体を突き止めるため、白い網目の節点（3重点、典型的には図3に点1と表示されるような点）、白い網目の単边上（典型的には図3に点3と表示されるような点）、白い網目の内点（典型的には図3に点2と表示されるような点）を、それぞれ5点、無作為に抽出し、その元素構成を、EDX（Energy dispersive X-ray spectrometry）によって解析した結果、検出されたPtの濃度（atomic%）を図5に示す。明らかに、白い網目の節点（点1）、単辺（点3）上で有意に高濃度のPtを検出していることから、粒界には対応しないこの白い網目状の構造の正体は、偏在したPtであることがわかる。

[0033] 特に、白い網目の内点（点2）では、高々3 atomic%（即ち、もともとのNiPt合金のPt濃度の60%以下）のPtしか存在しないのに、白い網目の節点（点1）、単辺（点3）上では、6 atomic%以上、12 atomic%以下（即ち、もともとのNiPt合金のPt濃度の120%以上、240%以下）のPtが偏在していることに着目すべきである。

[0034] さらに、シリサイド膜厚方向のPtの偏在度を調査するために断面HAADFを試みた結果を図6に示す。また、図6に、EDXによる組成分析点（点1乃至点5）と、それぞれの点において検出されたPtの濃度も合わせて示す。

[0035] 明らかに、白い網目は、シリサイド膜の中央付近に偏在しており、ここに

、もともとのNiPt合金のPt濃度以上のPtが集中していることがわかる。一方、これ以外の点（たとえば点5）には、もともとのNiPt合金のPt濃度の60%はおろか、ほとんどPtが存在せず、Pt濃度が0.7 atomic%（即ち、もともとのNiPt合金のPt濃度の14%）の領域が存在することが判明した。

[0036] これらの結果、Ptを一様に添加したNiPt合金から生成されたPt含有NiSiであっても、必ずしも一様にPtを含有しているわけではなく、粒界でも、Si基板との界面でも、シリサイド表面でもない、シリサイド結晶粒の内部に、もともとのNiPt合金のPt濃度以上（詳しくは、もともとのNiPt合金のPt濃度の120%以上、240%以下）にPtが集積した、網目状の領域が、生成されていることが突き止められた。さらに、これの網目構造以外のシリサイド結晶粒の内部にはPt濃度が、NiPt合金のPt濃度を大きく下回る（詳しくは、もともとのNiPt合金のPt濃度の14%以上、60%以下）領域が存在していることがわかった。

[0037] （配向変化、Pt偏在、耐熱性向上の起源）

このような、Pt添加による結晶粒の配向変化、Ptの特異的網目状の偏在、及び耐熱性の向上の起源は以下のように考えられる。

[0038] NiをSi上に形成し、これに熱処理を加えた場合、いきなりNiSi相が出現するのではない。中間的にNi₂SiのようなNiが豊富な相が生成され、これが速やかにNiSi相へと相転移することになる。

[0039] Ptを一様に添加したNiPt合金をSi上に形成し、これに熱処理を加えた場合でも、中間的にNi₂SiのようなNiが豊富な相が生成されることはいうまでない。しかし、この段階で、PtはNi₂SiのようなNiが豊富な相の結晶粒内部から、粒界へと排出され、中間相の粒界に偏在するようになると考えられる。NiSi相ではNiを置換することで結晶粒内にも存在できるPtであっても、結晶構造の違いから中間相の結晶粒内には存在しにくいと推測される。

[0040] やがて、熱処理の進行に従って、これらの中間相も最終的にはNiSi相

に相転移することになる。このとき、シリサイドの膜厚も増加することは言うまでもない。もちろん、このような体積膨張を伴うNiSi結晶粒の生成成長の結果、NiSi結晶粒の最終的配置は、中間相の結晶粒の配置とは異なるものとなる。ただし、前述のように、PtはNiSi相ではNiを置換することで結晶粒内にも存在できるので、中間相の粒界に偏在していた名残を留めながら、NiSi結晶粒内に残置し、取り込まれる。この結果、粒界でも、Si基板との界面でも、シリサイド表面でもない、NiSi相結晶粒の内部に、NiPt合金のPt濃度以上にPtが集積した、網目状の領域が生成される。

[0041] さらに、中間相の粒界に偏在するPtの存在は、中間相の配向そのもの、及びこれに引き続き進行するNiSi相への相転移を変調する。例えば、相転移速度を減少させ、中間相の配向の影響を残存させながらNiSiに変化するようになる。これが、最終的に、Pt含有NiSi相の配向を変化させ、(111)或は(102)に強配向させると考えられる。

[0042] このように、Si上で、(111)或は(102)に強配向したNiSi結晶粒は、Siとの間で、より安定な界面構造を構成すると考えられる。Ptは界面に特異的に集積するわけでないので、Pt添加による耐熱性の向上の起源は、このような、NiSi結晶粒の配向の変化による、安定な、即ちNiがSi基板へ浸潤しにくい界面構造の出現にあると推定される。

[0043] 以上の議論を模式的に図7示す。

[0044] 上記は、Ptを5atomic%、一様に添加したNiPt合金から生成されたPt含有NiSi相について述べてきたが、Ptを10atomic%、一様に添加したNiPt合金の場合にも同様に当てはまることを付言する。

[0045] 従って、Ptを5atomic%以上、10atomic%以下添加したNiPt合金から生成されたPt含有NiSi相には、最低でも、0.7atomic%以上のPtが含有されることになる。また、高濃度領域には、Ptを5atomic%、一様に添加した場合ときの最大値(12atomic%)の2倍である最大24atomic%程度のPtが存在することになる。

[0046] さらに、N i S i 相には、高濃度 P t 領域と、低濃度 P t 領域が形成され、高濃度 P t 領域内のある点の P t 濃度は、低濃度 P t 領域内のある点の P t 濃度の 2 倍を越えることになる。

[0047] <シリサイド化反応起因初期接合リーク電流>

更に、本発明者は、詳細な調査の結果、シリサイドに起因する接合リーク電流には、前述した、シリサイド形成後の熱処理に伴う、シリサイドを形成する金属原子の高速拡散が引き起こす接合リーク電流以外に、これとは、全く物理的起源の異なる、シリサイド化反応そのものに由来する接合リーク電流が存在することを発見した。

[0048] 実際、図 8 (a)、8 (b) に、上記接合に、シリサイド化後、熱処理を施さなかった場合に観測された接合リーク電流密度（右縦軸目盛り）を、p n 接合深さの関数として、また、裏面 S I M S 法を用いて求めた夫々の試料の S i 基板中に含まれる N i の濃度（左縦軸目盛り）の深さ分布を、対応する形で、合わせて示す。図 8 (a) は N i S i のデータ、図 8 (b) は P t 含有 N i S i データを示す。

[0049] 図 8 (a)、8 (b) からわかるように、接合リーク電流密度の接合深さ分布と、N i の濃度の深さ分布は、整合せず、このリーク電流発生の起源が、熱処理とともに S i 基板中に拡散侵入した N i によるものではないことが明らかとなった。また、P t の含有の有無にかかわらず、この初期リーク電流は発生していることから、P t 原子の関与も否定されることは言うまでもない。

[0050] シリサイド化反応にかかわる金属原子の関与が否定されているのであるから、この初期リーク電流の発生には、シリサイド化反応にかかわり放出される金属原子以外の因子が与っていることになる。シリサイド化反応にかかわり放出される金属原子以外の因子として考えられるのは、格子間 S i、或いは S i 空孔といった S i 自体の欠陥 (self-defects, primary defects) である。シリサイド化反応に伴って、表面の S i は結晶格子位置から大きく移動することになるので、このような S i 自体の欠陥が大量に発生し、S i 基板

の深部に放出されることになるのである。

[0051] <シリサイド化反応起因初期接合リークの物理的起源>

加えて、この初期リークは、高濃度B層を含む p^+/n 接合（ p^+ 層と n 層との接合）で特異的に発生することも明らかとなった。実際、図9に、 As の固相拡散により形成した n^+/p 接合（ n^+ 層と p 層との接合）に $NiSi$ を形成後、熱処理を施さなかった場合に観測された接合リーク電流密度（右縦軸目盛り）を、 pn 接合深さの関数として、また、裏面SIMS法を用いて求めた夫々の試料の Si 基板中に含まれる Ni の濃度（左縦軸目盛り）の深さ分布を、対応する形で、合わせて示す。

[0052] 図9からわかるように、接合リーク電流密度の接合深さ分布と Ni の濃度の深さ分布は、極めて良く整合し、 Ni 浸潤のない Si 基板深部での異常な接合リークの発生はないことがわかる。即ち、この初期リークは、高濃度B層を含む p^+/n 接合で特異的に発生することも明らかとなった。

[0053] 初期リーク電流の発生には、Bが特異的に関与しているのだから、初期リーク電流の物理的起源は、 Si 自体の欠陥と、Bの複合欠陥ということになる。 Si 自体の欠陥とBの複合欠陥として安定な構造を持つのは、ボロン格子間クラスタ（以下、 BIC , {Boron Interstitial Cluster}ともいう）と呼ばれるものである。

[0054] 従って、初期リークの物理的起源は、シリサイド化反応によって誘起された Si 自体の欠陥とBが複合した BIC であると考えられる。

[0055] <シリサイド化反応起因初期接合リークの熱的性質>

その上、本発明者は、詳細な調査の結果、このシリサイド化反応そのものに由来する初期接合リーク電流が、ある種の熱処理により消滅することを見した。

[0056] 実際、図10に、 Pt 含有 $NiSi$ 膜を形成した接合に、 $500^{\circ}C$ の熱処理を施した場合の接合リーク電流密度（右縦軸目盛り）と、シリサイド化後に熱処理を施さなかった場合に観測された接合リーク電流密度と、を pn 接合深さの関数として示す。

[0057] 図10からわかるように、シリサイド化反応そのものに由来する初期接合リーク電流は、500℃の熱処理によって速やかに低減している。一方、この熱処理では、Ptの含有により耐熱性が向上したNiSi膜からのNi原子の拡散は抑制されており、接合リークの低減を可能としていることもわかる。即ち、シリサイド化反応そのものに由来する初期接合リーク電流を、金属原子の高速拡散を引き起こさずに低減させることができる熱処理条件の存在が例示的に証明されたことになる。

[0058] 図11に、初期リーク電流に起因したリーク電流の深さ（＝リーク電流密度が $1 \times 10^{-7} \text{ cm}^{-2} \text{ A}$ となるシリサイド下面からの距離）の2乗を500℃の熱処理時間の関数として示す。上記リーク電流の深さ（以下、リーク深さともいう）の2乗は、上記熱処理とともに、ある所定値（極限值）まで、指数関数的に減衰していることがわかる。この極限值は、シリサイド化に付随した金属原子の基板への初期浸潤深さ（即ち限界的接合深さ）に相当する。

[0059] 図12に、500℃、及び550℃の熱処理による初期リーク電流の低減速度の対数を絶対温度の逆数として示す。この図12に示す特性直線の傾きから、初期リーク電流源の熱的消滅反応に関わる反応定数の活性化エネルギー E_a が、0.599 eVであることが判明した。

[0060] 通常、BICは500℃程度の熱処理で分解することはないが、その内部構造を変化させ、エネルギー準位の位置が変化することは可能である。リーク電流源の観点からすれば、シリコンのバンドギャップ（約1.1 eV）の中央に位置した準位が、バンド端に移動すれば、リーク電流発生能を失うことになる。すなわち、実効的にリーク電流源が熱的に消滅することになる。上記に得られた、シリコンのバンドギャップの半分程度の活性化エネルギー E_a は、このような事情を反映しているものと考えられる。

[0061] 以上をまとめると、シリサイド化反応そのものに由来する初期接合リーク電流のリーク深さ D_1 (nm) は、
熱処理温度を T_a (K: 絶対温度)、

熱処理時間を τ_a (min)

の熱処理によりを施すと、

以下のように指数関数的に減少することがわかる。

$$[0062] \quad D_1 \text{ (nm)} = F_1 (\tau_1)$$

$$F_1 (\tau_1) = (A_1 \times \exp(-\alpha \tau_1) + A_0)^{1/2} \quad (A1)$$

ここに、

$$A_1 = 956.6,$$

$$A_0 = 499.9,$$

$$\alpha = 0.4175$$

であり、図11に示す点線で示す関数に対応する。

[0063] また、 τ_1 は、以下のように定義される実効熱処理時間である。

$$[0064] \quad \tau_1 = G_1 (T_a, \tau_a)$$

$$G_1 (T_a, \tau_a) = \tau_a \times \exp \{ e \times E_{a1} (1 / (k T_1) - 1 / (k T_a)) \} \quad (A2)$$

$$T_1 = 773 (= 500 + 273) \text{ (K)}$$

$$E_{a1} = 0.599 \text{ (eV)}$$

$$k = 1.38 \times 10^{-23} \text{ (J/K)} \quad : \text{ボルツマン定数}$$

$$e = 1.60 \times 10^{-19} \text{ (C)} \quad : \text{電気素量}$$

ただし、反応定数の活性化エネルギー E_{a1} が 0.599 eV であることを利用した (図12参照)。

[0065] ここで、上記実効熱処理時間について少しコメントしておく。

[0066] 一般的に活性化型の温度依存性を持つ物理量 $P(T)$ は、ある温度での値 $P(T_1)$ がわかれば、他の温度 T_a での値は、活性化エネルギー E_a を用いて、

$$P(T_a) = P(T_1) \times \exp \{ e \times E_a (1 / (k T_1) - 1 / (k T_a)) \}$$

と表すことができることに注意する。

[0067] P が物理現象の進行にかかわる物理量 (例えば、反応速度、拡散係数等)

の場合、

温度 T_a で、時間 τ_a の間に進行する物理現象の進行度は、温度 T_1 で、時間 τ_1 の間に進行する物理現象の進行度と、

$$\tau_a \times P(T_a) = \tau_1 \times P(T_1)$$

の関係があるときに、同等となる。換言すれば、

温度 T_a での時間 τ_a は、温度 T_1 での時間 τ_1

$$\begin{aligned} \tau_1 &= \tau_a \times P(T_a) / P(T_1) \\ &= \tau_a \times \exp \{ e \times E_a (1 / (k T_1) - 1 / (k T_a)) \} \end{aligned}$$

と実効的に等しくなることになる。

[0068] これが、上記実効熱処理時間、即ち、基準温度 T_1 での同等の熱処理時間である。

[0069] 上記式 (A 2) はこのように、基準温度 $T_1 = 500^\circ\text{C} = 773\text{ K}$ での物理挙動を表す式 (A 1) から、活性化エネルギー E_a を用いて、一般の熱処理温度 T_a での物理挙動を導くための手続きである。同様の手続きは、以下においても用いるので、留意されたい。

[0070] また、上記の議論には、Pt は直接関与していないのだから、Pt を 5 atomic% 以上一様に添加した Ni-Pt 合金から生成された Pt 含有 Ni-Si 相の場合にも、上記の結論は当然に当てはまることを付言する。

[0071] <全接合リークの低減が図れる熱処理条件>

シリサイド化反応そのものに由来する初期接合リーク電流のリーク深さは、熱処理により低減することが可能であることはわかった。しかし、過剰な熱処理を行えば、金属原子の高速拡散が引き起こす接合リーク電流が発生してしまい、逆に接合リーク電流が増加してしまうことになる。

[0072] 従って、全接合リーク電流の低減が図れる熱処理条件は、ある一定の範囲に限定されることになる。この事情を、図 13 に模式的に示す。

[0073] 以下、この範囲について詳しく説明する。

[0074] [p⁺/n 接合上]

p⁺/n 接合上では、Pt の含有によりシリサイド膜の耐熱性が向上するこ

とを、図 1 (a)、1 (b) に示した。従って、Pt の含有 Ni Si 膜を利用することにより、シリサイド化反応そのものに由来する接合リーク電流を、金属原子の高速拡散を引き起こさずに低減させることができる。

[0075] Pt を 5 atomic% 乃至 10 atomic% 含有した Ni を堆積した後、窒素雰囲気中で RTA 処理を行い、Pt 含有 Ni Si を約 30 nm の厚さに形成した後、550°C、650°C、及び 700°C の熱処理を行った時のリーク深さの 2 乗を熱処理時間の関数として図 14 (a) 乃至図 14 (c) にそれぞれ示す。Pt の含有量が、5 atomic% 乃至 10 atomic% の試料間に全く差異はなかった。

[0076] 図 14 (a) 乃至図 14 (c) における直線的な時間依存性は、リーク源 (Ni 原子) のシリコン基板への浸潤の動力学が、初期バースト量 (熱処理時間 0 でのグラフのオフセットに相当) と、拡散過程 (グラフの線形部分) によって定式化できることを示している。

[0077] Pt 含有 Ni Si および Pt を含有しない Ni Si に対して、初期バースト量と、実効的拡散係数 (グラフの線形部分の傾き) とを熱処理温度の関数として、図 15 (a)、15 (b) にそれぞれ示す。

[0078] 図 15 (b) からわかるように 650°C 以下の初期バースト量は 22.73 nm であり、図 15 (a) からわかるように、550°C の実効的拡散定数は $7.067 \text{ nm}^2/\text{min}$ である。実効的拡散定数の活性化エネルギー E_a 、すなわち図 15 (a) に示す直線の傾きは、2.19 eV となった。

[0079] 以上をまとめると、Pt を 5 atomic% 以上含有した Ni から生成された、 p^+/n 接合上の Pt 含有 Ni Si 膜には十分な耐熱性が発現し、Pt 含有 Ni Si 膜からの Ni 原子の高速拡散に由来する接合リーク電流のリーク深さは、

熱処理温度を T_a (K: 絶対温度)、

熱処理時間を τ_a (min) とすると、

以下に定める D_2 以下となることがわかる。

[0080] $D_2 \text{ (nm)} = F_2 (\tau_2)$

$$F_2(\tau_2) = (B_1 \times \tau_2 + B_0)^{1/2} \quad (B1)$$

ここに、

$$B_1 = 7.067,$$

$$B_0 = 516.7$$

であり、図15(a), (b)から求められる。

[0081] また、 τ_2 は、以下のように定義される実効熱処理時間である。

$$[0082] \quad \tau_2 = G_2(T_a, \tau_a)$$

$$G_2(T_a, \tau_a) = \tau_a \times \exp \left\{ e \times E_{a2} \left(\frac{1}{kT_2} - \frac{1}{kT_a} \right) \right\} \quad (B2)$$

$$T_2 = 823 (= 550 + 273) \text{ (K)}$$

$$E_{a2} = 2.19 \text{ (eV)}$$

$$k = 1.38 \times 10^{-23} \text{ (J/K)} : \text{ボルツマン定数}$$

$$e = 1.60 \times 10^{-19} \text{ (C)} : \text{電気素量}$$

ただし、実効的拡散定数の活性化エネルギー E_{a2} が、2.19 eVであることを利用した。

[0083] ここで、Ptを5atomic%以上、10atomic%以下添加したNiPt合金から生成されたPt含有NiSi相には、最低でも、0.7atomic%以上のPtが含有され、高濃度領域には、最大24atomic%程度のPtが存在することになる事に注意する。

[0084] [p⁺/n接合上及びn⁺/p接合上]

一方、n⁺/p接合上では、Fの含有によりシリサイド膜の耐熱性が向上することが知られている。例えば、文献(M.Tsuchiaki et. al., Jap. J. Appl. Phys. Vol. 44, p. 1678 (2005))を参照。

[0085] 図16に、n⁺/p接合上に、NiSiの形成に先立ち、Fを注入量 $1.0 \times 10^{14} \text{ cm}^{-2}$ 、加速エネルギー2 keVの条件でイオン注入した後、NiSiを形成し、これに500℃の熱処理を施した時のリーク深さの2乗を熱処理時間の関数として示す。図16からわかるように、熱処理初期は、やはり初期バーストと、その後の拡散過程によって近似できるが、Fのゲッターリ

ング効果等により、実効的拡散定数は時間とともに低減する。実効的拡散定数の時間依存性を一次まで考慮すると、以下のようになる。

[0086] n^+/p 接合上に、NiSi形成に先立ち、Fを $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上注入後、NiSiを形成すれば、十分な耐熱性が発現し、F含有NiSi膜からのNi原子の高速拡散に由来する接合リーク電流のリーク深さ D_3 は、熱処理温度を T_a (K: 絶対温度)、熱処理時間を τ_a (min) とすると、以下のよう表される。

[0087] $D_3 \text{ (nm)} = F_3 \text{ (}\tau_3\text{)}$

$$F_3 \text{ (}\tau_3\text{)} = (C_2 \times \tau_3^2 + C_1 \times \tau_3 + C_0)^{1/2} \quad (\text{C1})$$

ここに、

$$C_2 = -1.7879、$$

$$C_1 = 113.44、$$

$$C_0 = 211.78、$$

であり、図16に点線で示す関数に対応する。

[0088] また、 τ_3 は、以下のように定義される実効熱処理時間である。

[0089] $\tau_3 = G_3(T_a, \tau_a)$

$$G_3(T_a, \tau_a) = \tau_a \times \exp \{ e \times E_{a3} (1 / (k T_3) - 1 / (k T_a)) \} \quad (\text{C2})$$

$$T_3 = 773 (= 500 + 273) \text{ (K)}$$

$$E_{a3} = 2.03 \text{ (eV)}$$

$$k = 1.38 \times 10^{-23} \text{ (J/K)} : \text{ボルツマン定数}$$

$$e = 1.60 \times 10^{-19} \text{ (C)} : \text{電気素量}$$

ここで、NiのSi基板内での実効的拡散定数の活性化エネルギー E_{a3} が、 2.03 eV であることを利用した(図15(a)参照)。

[0090] FによるNi拡散の変調は、Fによる一種のゲッタリング効果と考えられるので、Niの移動、拡散の進行をつかさどる活性化エネルギー自体は、本来の活性化エネルギーと同等のものと考えられるからである。

[0091] Fの含有によりシリサイド膜の耐熱性が向上することは、本発明者が既に

、特開2005-259956号公報において明らかとしているが、その後、さらに詳細な調査を行った結果、より厳密な上記の特性を得ることに成功したことを付言する。

[0092] [リーク低減条件]

以上をまとめると、シリサイド層の下面から接合までの深さが、
 $D_0 = 38.1 (= (A_0 + A_1)^{1/2}) \text{ nm}$ 以下、
 $D_\infty = 22.4 (= A_0^{1/2}) \text{ nm}$ 以上、
 の接合に対しては、全接合リーク電流の低減を図れる熱処理条件を定義できることになる。 D_∞ 以下の接合に関しては、シリサイド化そのものによるNiの拡散浸潤により、接合リーク電流の低減は図れないと考えられる。

[0093] (1) p^+/n 接合上にNiSi膜を形成した場合

Ptを5atomic%以上、一様に添加したNiPt合金からPt含有NiSi相を形成することで、金属原子の高速拡散を引き起こさずに十分全接合リークを低減させることができる。

[0094] シリサイド形成後に施される各種熱処理（昇温工程）を符号 i ($1 \leq i \leq n$) で表記し、その熱処理条件を各々、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min] としたとき、総実効熱処理時間 τ_{2e} を、

[数2]

$$\tau_{2e} = \sum_{i=1}^n G_2(T_{ai}, \tau_{ai})$$

で定義したとき、

$$\tau_{2e} \leq \tau = F_2^{-1}(D_0)$$

であるような熱負荷を与えれば、熱負荷を与えない時に比べて、接合リークは低減することになる。ただし、ここに、 F_2^{-1} は、式(B1)に示す関数 F_2 の逆関数を示している。

[0095] (2) p^+/n 接合上、及び n^+/p 接合にNiSi膜を形成した場合

金属原子の高速拡散に由来するリークの発生は、 p^+/n 接合上に比して、 n^+/p 接合上で顕著であり、金属原子の高速拡散を引き起こさずに全接合リ

ーク電流を低減させることができる範囲は、 n^+ / p 接合上のリーク電流如何によってきまる。

[0096] このとき、F含有NiSi膜を形成すれば、金属原子の高速拡散を引き起こさずに十分、 n^+ / p 接合上の全接合リークを低減させることができる。

[0097] シリサイド形成後に施される各種熱処理（昇温工程）を符号 i ($1 \leq i \leq n$) で表記し、その熱処理条件を各々、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min] としたとき、総実効熱処理時間 τ_{3e} を

[数3]

$$\tau_{3e} = \sum_{i=1}^n G_3(T_{ai}, \tau_{ai})$$

で定義したとき、

$$\tau_{3e} \leq \tau = F_3^{-1}(D_0)$$

であるような熱負荷を与えれば、熱負荷を与えない時に比べて、接合リークは低減することになる。ただし、ここに、 F_3^{-1} は、式(C1)に示す関数 F_3 の逆関数を示している。

[0098] <好適熱処理条件の確定>

上記の結論をさらに詳細に言いかえると、シリサイド層下面から接合までの深さ D が D_0 以下、 D_∞ 以上の接合に対して、シリサイド形成後に施される各種熱処理（昇温工程）の下限及び上限を、接合深さ D の関数として定義できるということになる。

[0099] 即ち、シリサイド形成後に施される各種熱処理（昇温工程）を符号 i ($1 \leq i \leq n$) で表記し、その熱処理条件を各々、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min] としたとき、

(I) 熱処理下限

p^+ / n 接合上にNiSiを含む膜を形成した場合、
第一種実効熱処理時間 τ_{1e} を、

[数4]

$$\tau_{1e} = \sum_{i=1}^n G_1(T_{ai}, \tau_{ai}) \quad (\text{第一種実効熱処理時間})$$

と定義したとき、

$$F_1^{-1}(D) \leq \tau_{1e} \quad (\text{第一種条件})$$

となるように熱処理を加えれば、シリサイド化反応そのものに由来する初期接合リーク電流を解消できる。

[0100] ただし、ここに、 F_1^{-1} は、式(A 1)に示す関数 F_1 の逆関数を示している。図1 7に、参考のため、逆関数 F_1^{-1} をDの関数として示しておく。

[0101] (I I) 熱処理上限 1

p^+/n 接合上にNiSiを含む膜を形成した場合、Ptを5atomic%以上、一様に添加したNiPt合金から生成されたPt含有NiSi相を形成することで、第二種実効熱処理時間 τ_{2e} を

[数5]

$$\tau_{2e} = \sum_{i=1}^n G_2(T_{ai}, \tau_{ai}) \quad (\text{第二種実効熱処理時間})$$

と定義したとき、

$$\tau_{2e} \leq F_2^{-1}(D) \quad (\text{第二種条件})$$

となるように熱処理を加えれば、 p^+/n 接合上のNi原子の高速拡散に由来する接合リーク電流を回避できる。

[0102] 図1 8に、参考のため、逆関数 F_2^{-1} をDの関数として示しておく。

[0103] (I I I) 熱処理上限 2

p^+/n 接合上及び n^+/p 接合上にNiSiを含む膜を形成した場合、シリサイド層下面から n^+/p 接合までの深さ（或いは、 p^+/n 接合及び n^+/p 接合のうちシリサイド層下面からの浅いほうの深さ）をDとしたとき、NiSiの形成に先立ち、Fを注入量 $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上でイオン注入した後、シリサイド化し、F含有NiSi膜を形成すれば、第三種実効熱処理時間 τ_{3e} を

[数6]

$$\tau_{3e} = \sum_{i=1}^n G_3(T_{ai}, \tau_{ai}) \quad (\text{第三種実効熱処理時間})$$

と定義したとき、

$$\tau_{3e} \leq F_3^{-1}(D) \quad (\text{第三種条件})$$

となるように熱処理を加えれば、 p^+/n 接合上及び n^+/p 接合上の Ni 原子の高速拡散に由来する接合リーク電流を回避できる。図 19 に参考のため、逆関数 F_3^{-1} を D の関数として示しておく。

以上、説明したように、MOSFET のソース及びド레인領域上に $NiSi$ を主剤とするシリサイド層を形成後、シリサイド化反応そのものに由来する接合リーク電流を低減させ、しかも、金属原子の高速拡散に起因する接合リーク電流の発生を抑止でき、全接合リーク電流の低減が図れる熱処理条件の範囲を確定できた。

[0104] この結果、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が可及的に小さい半導体装置の製造が可能となる。

[0105] 次に、これらの熱処理条件を用いた本発明の実施形態による半導体装置の製造方法を説明する。

[0106] (第 1 実施形態)

本発明の第 1 実施形態による半導体装置の製造方法を、図 20 (a) 乃至図 23 を参照して説明する。本実施形態は、 Ni 原子の基板への拡散を抑制し、且つ、シリサイド化反応そのものに由来する接合リーク電流を低減させ、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が可及的に小さい、P-MOSFET 構造の簡略な製造方法を具現する。

[0107] 図 20 (a) に示すように、 n 型シリコン半導体基板（または半導体層）10 を用意し、素子が形成される素子領域を分離するために、まずリソグラフィ技術および RIE (Reactive Ion Etching) を用いて半導体基板 10 の

表面に浅い溝を形成する。続いて、例えばCVD (Chemical Vapor Deposition) 法を用いて上記溝を基板表面まで絶縁物質、例えばシリコン酸化膜で埋め込み、例えばCMP (Chemical Mechanical Polishing) 法を用いて平坦化することにより素子分離領域となるSTI (Shallow Trench Isolation) 12を形成する。

[0108] 次に図20 (b) に示すように、基板10上に、ゲート絶縁膜14として、例えば熱酸化法などの公知の技術を用いて、例えば膜厚が5 nmの熱酸化膜を形成する。これに引き続き、ゲート電極16として、例えばCVD法などの公知の技術を用いて、例えば膜厚が200 nmのポリシリコン膜を堆積する。この後、ゲート電極16上にフォトレジスト (図示せず) を塗布し、リソグラフィ技術を用いて、フォトレジストからなるマスクを形成する。このマスクを用いて、例えばRIE法により、ゲート電極16およびゲート絶縁膜14をゲート形状に加工する。続いて、ゲート電極16の左右の基板10に、ソース及びドレインのエクステンション領域となるp型の導電性を有した接合深さの浅い拡散層20a、20bを、Bをイオン注入することによって形成する。

[0109] 次に、図20 (c) に示すように、例えばCVD法により、例えばシリコン窒化膜を20 nm一面に堆積し、しかる後、RIE工程等の異方性エッチングを加え、ゲート電極16の側面に、シリコン窒化膜を選択的に残存させ、ゲート側壁22を形成する。この後、ゲート電極16の左右の基板10に、p型の導電性を有した接合深さの深い拡散層21a、21bを、Bをイオン注入することで、それぞれ形成する。拡散層20a、21aがソース領域18aとなり、拡散層20b、21bがドレイン領域18bとなる。このとき、電極16にもBが注入される。その後、急速昇降温熱処理を施すことで、ソース及びドレイン領域18a、18bの不純物を活性化しておく。拡散層21a、21bは、シリコン半導体基板10の表面より、例えば47 nmの深さまで形成される。

[0110] 次に、図21 (a) に示すように、Ptを5 atomic%以上10 atomic%以

下含有するNi膜24を、公知の技術、例えばスパッタ法などを用いて、例えば12nmの膜厚で、全面に堆積する。必要に応じて、この上に更に、図示しないキャップ層となる金属層、例えばTi層、またはTiN層のような層を形成しても良い。

[0111] 次いで、この半導体基板を、例えば450°C、30secの条件で、窒素中で急速熱処理し、Ni膜24と直接接しているシリコンとの間でシリサイド化反応を選択的に進行させる。未反応のNiは、王水溶液に浸すことで選択的に除去する。さらに、第二の急速熱処理を例えば550°Cで、30sec間、窒素中で行うことで、Pt含有NiSi膜24a、24bが拡散層21a、21b上に、また、Pt含有NiSi膜24cがゲート電極16上に形成される（図21（b）参照）。

[0112] この時、シリコン半導体基板10の表面のシリコンが22nm程度消費され、Pt含有NiSi膜24a、24bの膜厚は28nmとなる。したがって、シリサイド膜24a、24bの下面から接合までの深さDは、約25nm（=47nm-22nm）となる。この深さに対応する熱処理の下限及び上限を示す逆関数 F_1^{-1} 、 F_2^{-1} の値はそれぞれ4.78min、15.32minとなる。

[0113] 当然、生成されたPt含有NiSi相には、最低でも、0.7atomic%以上のPtが含有されることになる。また、高濃度領域には、最大24atomic%程度のPtが存在することになる。

[0114] 次に、図21（c）に示すように、Pt含有NiSi膜24a、24b、24cを覆うように、シリコン窒化層26を、例えば20nmの厚さで、基板の表面に一様に堆積させる。低温でのシリコン窒化層の一様な堆積は、 Si_2Cl_6 と NH_3 とを供給ガスとした化学気相成長法（CVD（Chemical Vapor Deposition））、或いは SiH_2Cl_4 と NH_3 とを用いた原子層堆積法（ALD（Atomic Layer Deposition））によって実現できる。このときの熱処理を例えば、400°C、10minとすれば、この工程による、第一種実効熱処理時間 τ_1 。及び第二種実効熱処理時間 τ_2 。への寄与は、それぞれ、2.

6 min、 1.0×10^{-2} minとなる。

[0115] このシリコン窒化層26は、その後の層間絶縁膜の形成、この層間絶縁膜を貫くコンタクトホール形成時に、バリア層およびエッチングストップ層、即ちライナー層として機能することになる。このようなライナー層を、素子分離領域を含む基板の表面に一様に設けることで、コンタクトホール形成は必ずしもNiSi領域と精密に位置整合せずに行うことができる。すなわち、ボーダーレスコンタクトの形成を行うことができる。このため、素子製造工程を簡略化でき、製造コストの低減化が図れることになる。

[0116] 次に、図22(a)に示すように、シリコン窒化層26上に層間絶縁膜28としてシリコン酸化膜を堆積する。低温で、表面平坦性を示すシリコン酸化膜は、例えば、400℃で O_3 、 $Si(OC_2H_5)_4$ (TEOS)ガスを供給することで実現することが可能である。また、SOG(Spin on Glass、珪素化合物 $R_nSi(OH)_{4-n}$ 、R：有機分子及び添加材)のような流動性を示すシリコン酸化膜の材料物質を含む材質を、例えばスピナーを用いて回転塗布し、この後、例えば窒素雰囲気中で、例えば300℃、10分で熱処理することで、シリコン酸化膜の材料物質以外の成分を除去し、シリコン酸化膜28を形成してもよい。この工程による、第一種実効熱処理時間 τ_1 、及び第二種実効熱処理時間 τ_2 への寄与は、それぞれ 4.3×10^{-1} min、 1.4×10^{-5} minとなる。

[0117] この後、公知の手法、例えばリソグラフィ技術及びRIE法等を用いて、シリコン酸化膜28を穿ち、Pt含有NiSi膜24a、24bに至るコンタクトホール29a、29bを形成する。この時、RIEは2段階に分けて行うのが好ましい。まず、シリコン窒化層26に対して選択性のある酸化膜エッチングを行い、シリコン窒化層26をRIEのエッチングストップパーとして利用する。引き続き、コンタクトホールの底部に残存する薄いシリコン窒化層26を短時間のエッチング処理にて除去する。エッチングが短時間で完了できるので、下地のNiSi膜24a、24bに対するプラズマダメージ等を軽減でき、コンタクトホールの底部が一部、素子分離領域12と重な

った場合でもこの部分での、コンタクトホール29の素子分離領域12内への突貫を防ぐことが可能となる。この工程による、第一種実効熱処理時間 τ_1 。及び第二種実効熱処理時間 τ_2 。への寄与は無視できる。

- [0118] 次に、図22(b)に示すように、コンタクトホール29の底部に露出したPt含有NiSi膜24a、24bを、例えばNF₃含むプラズマに短時間暴露して、この表面を洗浄する。続いて、半導体基板10の全面にバリア性を持つ金属膜30、例えばTi膜を例えば5nmの厚さで、例えばスパッタ法により形成する。すると、コンタクトホール29a、29bの底面及び側面にTi膜30が形成されるとともに層間絶縁膜28の上面にもTi膜（図示せず）が形成される。この工程による、第一種実効熱処理時間 τ_1 。及び第二種実効熱処理時間 τ_2 。への寄与も無視できる。その後、層間絶縁膜28の上面に形成されたTi膜を、CMP法を用いて除去する。続いて、バリア性を持つ金属膜30と、Pt含有NiSi膜24a、24bとの電氣的接触を良好にするために、例えば、500℃、30min、窒素雰囲気中で熱処理を行う。この熱処理で、Pt含有NiSi膜24a、24b上に形成された薄い酸化物がTiによって還元除去され、良好な電氣的接触が確保される。この工程による、第一種実効熱処理時間 τ_1 。及び第二種実効熱処理時間 τ_2 。への寄与は、それぞれ30min、4.1minとなる。

- [0119] この熱処理後、図23に示すように、配線金属膜32として、例えばAl膜をコンタクトホール29a、29bに充填する。さらに、層間絶縁膜34としてシリコン酸化膜を堆積する。続いて、層間絶縁膜34にリソグラフィ技術及びRIE等の公知の手法を用いて、配線金属膜32に通じる溝35a、35bを形成する。この溝35a、35bの中に金属膜36、例えばCu膜をダマシン法により形成する。引き続き、金属膜36の上部を覆うように、さらに絶縁膜38として、例えばシリコン酸化膜を堆積する。

- [0120] 更に、必要ならば多層の配線を構築し、また実装工程などを経て、半導体装置を完成させる。

- [0121] 上記の配線、実装工程を通じて、処理温度を200℃未満に保てば、第一

種実効熱処理時間 τ_1 。及び第二種実効熱処理時間 τ_2 。への寄与は無視できる。逆に、シリサイド形成後に施される各種熱処理（昇温工程）としては、200°C以上に昇温される工程を考慮すれば十分ということになる。

[0122] この結果、

$$F_1^{-1} (= 4.78 \text{ min}) \leq \tau_1. (= 33.0 = 2.6 + 0.43 + 3.0 \text{ (min)})$$

となり、第一種条件を満たす。

[0123] また、

$$\tau_2. (= 4.11 = 1.0 \times 10^{-2} + 1.4 \times 10^{-5} + 4.1 \text{ (min)}) \leq F_2^{-1} (= 15.32 \text{ min})$$

となり、第二種条件も満たす。

[0124] したがって、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が小さい、P-MOSFETの製造が可能となった。

[0125] (第2実施形態)

次に、本発明の第2実施形態による半導体装置の製造方法を、図24(a)乃至図26を参照して説明する。本実施形態は、Ni原子の基板への拡散を抑制し、且つシリサイド化反応そのものに由来する接合リーク電流を低減させ、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が可及的に小さい、相補型MOSFET構造の簡略な製造方法を具現する。

[0126] 図24(a)に示すように、n型シリコン半導体基板10を用意し、素子が形成される素子領域を分離するために、まずリソグラフィ技術およびRIE (Reactive Ion Etching) を用いて半導体基板100の表面に浅い溝を形成する。続いて、例えばCVD (Chemical Vapor Deposition) 法を用いて上記溝を基板表面まで絶縁物質、例えばシリコン酸化膜で埋め込み、例えばCMP (Chemical Mechanical Polishing) 法を用いて平坦化することにより素子分離領域となるSTI (Shallow Trench Isolation) 12を形成する。こ

これらの素子分離領域 1 2 によって分離された素子領域に p 型不純物、n 型不純物をイオン注入し、p ウェル領域（p 型半導体層）1 3 a、n ウェル領域（n 型半導体層）1 3 b をそれぞれ形成する。

[0127] 次に、基板 1 0 上に、ゲート絶縁膜として、例えば熱酸化法などの公知の技術を用いて、例えば膜厚が 5 nm の熱酸化膜を形成する。これに引き続き、ゲート電極として、例えば CVD 法などの公知の技術を用いて、例えば膜厚が 200 nm のポリシリコン膜を堆積する。この後、ゲート電極上にフォトレジスト（図示せず）を塗布し、リソグラフィ技術を用いて、フォトレジストからなるマスクを形成する。このマスクを用いて、例えば RIE 法により、ゲート電極およびゲート絶縁膜をゲート形状に加工する。これにより、図 2 4（b）に示すように、p ウェル領域 1 3 a 上にはゲート絶縁膜 1 4 a およびゲート電極 1 6 a の積層構造を有するゲートが形成され、n ウェル領域 1 3 b 上にはゲート絶縁膜 1 4 b およびゲート電極 1 6 b の積層構造を有するゲートが形成される。

[0128] 続いて、ゲート電極 1 6 a の左右の p ウェル領域 1 3 a に、ソース及びドレインのエクステンション領域となる n 型の導電性を有した接合深さの浅い拡散層 2 0 A a、2 0 A b を、例えば As をイオン注入することによって形成する。このとき、n ウェル領域 1 3 b は、例えばフォトレジスト等で形成した図示しないマスクによって覆われている。また、ゲート電極 1 6 b の左右の n ウェル領域 1 3 b に、ソース及びドレインのエクステンション領域となる p 型の導電性を有した接合深さの浅い拡散層 2 0 B a、2 0 B b を、例えば B をイオン注入することによって形成する。このとき、p ウェル領域 1 3 a は、例えばフォトレジスト等で形成した図示しないマスクによって覆われている。

[0129] 次いで、図 2 4（c）に示すように、例えば CVD 法により、例えばシリコン窒化膜を 20 nm 一面に堆積し、しかる後、RIE 工程等の異方性エッチングを加え、ゲート電極 1 6 a、1 6 b のそれぞれの側面に、シリコン窒化膜を選択的に残存させ、ゲート側壁 2 2 a、2 2 b を形成する。この後、

ゲート電極 16 a の左右の p ウェル領域 13 a に、n 型の導電性を有した接合深さの深い拡散層 21 A a、21 A b を、As をイオン注入することで、それぞれ形成する。拡散層 20 A a、21 A a がソース領域 18 A a となり、拡散層 20 A b、21 A b がドレイン領域 18 A b となる。このとき、電極 16 a にも As が注入される。このとき、n ウェル領域 13 b 側は、例えばフォトリソ等で形成した図示しないマスクによって覆われている。また、ゲート電極 16 b の左右の n ウェル領域 13 b に、p 型の導電性を有した接合深さの深い拡散層 21 B a、21 B b を、B をイオン注入することで、それぞれ形成する。拡散層 20 B a、21 B a がソース領域 18 B a となり、拡散層 20 B b、21 B b がドレイン領域 18 B b となる。このとき、電極 16 b にも B が注入される。その後、急速昇降温熱処理を施すことで、n 型ソース及びドレイン領域 18 A a、18 A b と、p 型ソース及びドレイン領域 18 B a、18 B b との不純物を活性化しておく。拡散層 21 A a、21 A b、21 B a、21 B b は、シリコン半導体基板 10 の表面より、例えば 50 nm の深さまで形成される。

[0130] 次に、図 25 (a) に示すように、F 原子を加速エネルギー 2 keV、注入量 $1 \times 10^{14} \text{ cm}^{-2}$ でイオン注入する。このとき、シリコン基板 10 に注入される F 原子の飛程は 10 nm 以下にとどまる。この飛程は、この後に形成されるシリサイド化反応で消費される Si の膜厚以下にとどめることが望ましい。この結果、拡散層 21 A a、21 A b、21 B a、21 B b 上及びゲート電極 16 a、16 b 上に、10 nm 程度の薄さの F 含有領域 23 A a、23 A b、23 B a、23 B b、17 a、17 b がそれぞれ形成される。

[0131] 次に、図 25 (b) に示すように、Ni 膜を、公知の技術、例えばスパッタ法などを用いて、例えば 12 nm の膜厚で、全面に堆積する。必要に応じて、この上に更に、図示しないキャップ層となる金属層、例えば Ti 層、または TiN 層のような層を形成しても良い。

[0132] 次いで、この半導体基板を、例えば 450°C、30 sec の条件で、窒素中で急速熱処理し、Ni 膜と直接接しているシリコンとの間でシリサイド化

反応を選択的に進行させる。未反応のNiは、硫酸と過酸化水素水の混合液に浸すことで選択的に除去する。この結果、NiSi膜25Aa、25Ab、25Ba、25Bbが拡散層21Aa、21Ab、21Ba、21Bb上にそれぞれ形成され、また、NiSi膜25Ac、25Bcがゲート電極16a、16b上にそれぞれ形成される（図25（b）参照）。

[0133] このシリサイド化に伴い、F含有領域23Aa、23Ab、23Ba、23Bb、17a、17bのFは一部、NiSi膜中及びNiSi/Siとの界面に取り込まれる。この場合のNiSi膜中のF面密度は $3.7 \times 10^{13} \text{ cm}^{-2}$ 、Fの最大濃度はNiSi/Siとの界面で観測され、その濃度は $1.0 \times 10^{19} \text{ cm}^{-3}$ となる。

[0134] この時、シリコン半導体基板10の表面のシリコンが22nm程度消費され、F含有NiSi膜25Aa、25Ab、25Ba、25Bbの膜厚は28nmとなる。

[0135] したがって、シリサイド膜25Aa、25Ab、25Ba、25Bbの下面から接合までの深さDは、約28nm（ $=50\text{nm} - 22\text{nm}$ ）となる。この深さに対応する熱処理の下限及び上限を示す逆関数 F_1^{-1} 、 F_3^{-1} の値はそれぞれ2.91min、5.53minとなる。

[0136] 次に、図25（c）に示すように、F含有NiSi領域25Aa、25Ab、25Ac、25Ba、25Bb、25Bcを覆うように、シリコン窒化層26を、例えば20nmの厚さで、基板10の表面に一様に堆積させる。低温でのシリコン窒化層の一様な堆積は、 Si_2Cl_6 と NH_3 とを供給ガスとしたCVD法、或いは SiH_2Cl_4 と NH_3 とを用いたALD法によって実現できる。このときの熱処理を例えば、 350°C 、10minとすれば、この工程による、第一種実効熱処理時間 τ_1 、及び第三種実効熱処理時間 τ_3 への寄与は、それぞれ1.1min、 $6.5 \times 10^{-3}\text{min}$ となる。

[0137] このシリコン窒化層26は、その後の層間絶縁膜の形成、この層間絶縁膜を貫くコンタクトホール形成時に、バリア層、エッチングストップ層、即ち、ライナー層として機能することになる。このようなライナー層を、素子分

離領域 12 を含む基板 10 の表面に様に設けることで、コンタクトホール
の形成は必ずしも NiSi 領域と精密に位置整合せずに行うことができる。
すなわちボーダーレスコンタクトの形成を行うことができる。このため、素
子製造工程を簡略化でき、製造コストの低減化が図れることになる。

[0138] 次に、図 25 (c) に示すように、シリコン窒化層 26 上に層間絶縁膜 28
としてシリコン酸化膜を堆積する。低温で、表面平坦性を示すシリコン酸
化膜は、例えば、400℃でO₃、Si(OC₂H₅)₄(TEOS)ガスを供
給することで実現することが可能である。また、SOGのような流動性を示
すシリコン酸化膜の材料物質を含む材質を、例えばスピナーを用いて回転
塗布し、この後、例えば窒素雰囲気中で、例えば300℃、10分で熱処理
することで、シリコン酸化膜の材料物質以外の成分を除去し、シリコン酸
化膜 28 を形成してもよい。この工程による、第一種実効熱処理時間 τ_1 、及び
第三種実効熱処理時間 τ_3 への寄与は、それぞれ $4.3 \times 10^{-1} \text{min}$ 、 $2.4 \times 10^{-4} \text{min}$ となる。

[0139] この後、公知の手法、例えばリソグラフィ技術、RIE法等を用いて、シ
リコン酸化膜 28 を穿ち、NiSi 領域 25Aa、25Ab、25Ba、25Bb に至るコンタクトホール 29Aa、29Ab、29Ba、29Bb を
形成する。この時、RIEは2段階に分けて行うのが好ましい。まず、シリ
コン窒化層 26 に対して選択性のある酸化膜エッチングを行い、シリコン窒
化層 26 をRIEのエッチングストッパーとして利用する。引き続き、コン
タクトホールの底部に残存する薄いシリコン窒化層 26 を短時間のエッチン
グ処理にて除去する。エッチングが短時間で完了できるので、下地のNiSi
領域に対するプラズマダメージ等を軽減でき、コンタクトホールの底部が
一部、素子分離領域に重なった場合でもこの部分での、コンタクトホールの
素子分離領域 12 内への突貫を防ぐことが可能となる。

[0140] 次に、図 25 (c) に示すように、コンタクトホールの底部に露出した Ni
Si 領域 25Aa、25Ab、25Ba、25Bb を、例えばNF₃含むプ
ラズマに短時間暴露して、この表面を洗浄し、続いて、半導体基板 10 の全

面にバリア性を持つ金属膜 30、例えば Ti 膜を例えば 5 nm の厚さで、例えばスパッタ法により形成する。すると、コンタクトホール 29 A a、29 A b、29 B a、29 B b の底面および側面に Ti 膜 30 が形成されるとともに、層間絶縁膜 28 の上面にも Ti 膜（図示せず）が形成される。これらの工程による第一種実効熱処理時間 τ_1 、及び第三種実効熱処理時間 τ_3 への寄与は無視できる。その後、層間絶縁膜 28 の上面に形成された Ti 膜を、CMP 法を用いて除去する。続いて、バリア性を持つ金属膜 30 と、NiSi 領域 25 A a、25 A b、25 B a、25 B b との電氣的接触を良好にするために、例えば 500°C、3 min、窒素雰囲気中で熱処理を行う。この工程による、第一種実効熱処理時間 τ_1 、及び第三種実効熱処理時間 τ_3 への寄与は、ともに 3.0 min となる。

[0141] この熱処理後、図 26 に示すように、配線金属膜 32 として、例えば Al 膜をコンタクトホール 29 A a、29 A b、29 B a、29 B b に充填する。さらに、層間絶縁膜 34 としてシリコン酸化膜を堆積する。続いて、層間絶縁膜 34 にリソグラフィ技術及び RIE 法等の公知の手法を用いて、配線金属膜 32 に通じる溝 35 a、35 b を形成する。これらの溝 35 a、35 b の中に金属膜 36、例えば Cu 膜をダマシン法により形成する。引き続き、金属膜 36 の上部を覆うように、さらに絶縁膜 38 として、例えばシリコン酸化膜を堆積する。

[0142] さらに、必要ならば、多層の配線を構築し、また実装工程などを経て、半導体装置を完成させる。上記の配線、実装工程を通じて、処理温度を 200°C 未満に保てば、第一種実効熱処理時間 τ_1 、及び第三種実効熱処理時間 τ_3 への寄与は無視できる。逆に、シリサイド形成後に施される各種熱処理（昇温工程）としては、200°C 以上に昇温される工程を考慮すれば十分ということになる。

[0143] この結果、

$$F_1^{-1} (= 2.91 \text{ min}) \leq \tau_1. (= 4.53 = 1.1 + 0.43 + 3.0 \text{ (min)})$$

となり、第一種条件を満たす。

[0144] また、

$$\tau_3。(=3.01=6.5 \times 10^{-3} + 2.4 \times 10^{-4} + 3(\text{min})) \leq F_3^{-1}(=5.53 \text{ min})$$

となり、第三種条件も満たす。

[0145] 従って、ソースおよびドレインの浅い接合位置を保ちつつシリサイド化され、且つ接合リーク電流が小さい、N-MOSFETの製造が可能となった。

[0146] P-MOSFETのリークはN-MOSFETのリークよりも小さいので、当然、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が小さいC-MOSFETの製造が可能となった。

[0147] 以上、詳述してきた様に、

(1) P-MOSFETのソース及びドレイン領域上にNiSiを主剤とするシリサイド層を形成後、これに施される各種熱処理（昇温工程）を、シリサイド層の下面から接合までの深さDに応じて、上述した第一種条件を満たすように行ことで、シリサイド化反応そのものに由来する初期接合リーク電流を解消することができる。

[0148] (2) P-MOSFETのソース及びドレイン領域上に、Ptを5atomic %以上添加したNiPt合金から生成されたPt含有NiSi相を主剤とするシリサイド層を形成後、これに施される各種熱処理（昇温工程）を、シリサイド層の下面から接合までの深さDに応じて、上述した第二種条件を満たすように制限することで、p⁺/n接合上のNi原子の高速拡散に由来する接合リーク電流を回避することができる。

[0149] (3) 相補型MOSFETのソース及びドレイン領域上にFを含有するNiSiを主剤とするシリサイド層を形成後、これに施される各種熱処理（昇温工程）を、シリサイド層の下面からソース及びドレイン領域のpn接合までの深さの最小値Dに応じて、上述した第三種条件を満たすように制限することで、p⁺/n及びn⁺/p接合上のNi原子の高速拡散に由来する接合リ

ーク電流を回避することができる。

[0150] この結果、(1) 且つ (2) を満たすように、N i S i を主剤とするシリサイド層の形成後に熱処理を施すことにより、シリサイド化反応そのものに由来する接合リーク電流を低減させることができるとともに、金属原子の高速拡散に起因する接合リーク電流の発生を抑止することができ、全接合リーク電流の低減を図ることが可能となる。また、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が可及的に小さいP-MOSFETを製造することが可能となる。

[0151] また、(1) 且つ (3) を満たすように、N i S i を主剤とするシリサイド層の形成後に熱処理を施すことにより、シリサイド化反応そのものに由来する接合リーク電流を低減させることができるとともに、金属原子の高速拡散に起因する接合リーク電流の発生を抑止することができ、全接合リーク電流の低減を図ることが可能となる。また、ソース及びドレインの浅い接合位置を保ちつつ、シリサイド化され、且つ接合リーク電流が可及的に小さい、相補型MOSFETを製造することが可能となる。

請求の範囲

- [請求項1] シリコン半導体層と、
前記シリコン半導体層に離間して設けられたソース領域およびドレイン領域と、
前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ソース領域および前記ドレイン領域上にそれぞれ設けられPtを含有したNiSi相を有し、結晶粒が(111)または(102)に強配向しているシリサイド層と、
を備えていることを特徴とする半導体装置。
- [請求項2] 前記シリサイド層には、0.7 atomic%以上、2.4 atomic%以下のPtが存在することを特徴とする請求項1記載の半導体装置。
- [請求項3] 前記シリサイド層の単一の結晶粒中に、Pt濃度の互いに異なる第1、第2の領域を有し、第1領域のPt濃度(atomic%)は、第2領域のPt濃度(atomic%)の2倍以上であることを特徴とする請求項1記載の半導体装置。
- [請求項4] 前記第1領域は、前記シリサイド層の層厚方向のほぼ中央に位置していることを特徴とする請求項3記載の半導体装置。
- [請求項5] 前記第1領域は、単一の前記結晶粒内において網目状に存在していることを特徴とする請求項3記載の半導体装置。
- [請求項6] n型シリコン半導体層と、
前記シリコン半導体層に離間して設けられたBを含有するp型のソース領域およびドレイン領域と、
前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ソース領域および前記ドレイン領域上に、それぞれNiSi相

を有するシリサイド層と、

を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さDが22.4 nm乃至38.1 nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、 n (≥ 1) 回行われる熱処理を伴う工程と、

を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程の i 回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min] で行い、かつ E_{a1} を0.599 (eV)、 T_1 を773 [K]、 k をボルツマン定数、 e を電気素量、 $G_1(T_{ai}, \tau_{ai})$ を、

$$G_1(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a1} (1 / (k T_1) - 1 / (k T_a)) \}$$

とし、

$A_1 = 956.6$ 、 $A_0 = 499.9$ 、 $\alpha = 0.4175$ 、 D を

$$D = F_1(\tau_1) = (A_1 \times \exp(-\alpha \tau_1) + A_0)^{1/2}$$

とし、 τ_{1e} を、

[数1]

$$\tau_{1e} = \sum_{i=1}^n G_1(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_1 \leq \tau_{1e}$$

を満たすように行うことを特徴とする半導体装置の製造方法。

[請求項7]

n 型シリコン半導体層と、

前記シリコン半導体層に離間して設けられたBを含有する p 型のソース領域およびドレイン領域と、

前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と、

前記ソース領域および前記ドレイン領域上に、それぞれP tを0.7 atomic%以上、2.4 atomic%以下含有したN i S i相を有するシリサイド層と、

を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さDが22.4 nm乃至38.1 nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、n (≥ 1) 回行われる熱処理を伴う工程と、

を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程のi回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min]で行い、かつ E_{a2} を2.19 (eV)、 T_2 を823 (K)、kをボルツマン定数、eを電気素量、 $G_2(T_{ai}, \tau_{ai})$ を、

$$G_2(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a2} (1 / (k T_2) - 1 / (k T_a)) \}$$

とし、

$$B_1 = 7.067, B_0 = 516.7, D \text{ を}$$

$$D = F_2(\tau_2) = (B_1 \times \tau_2 + B_0)^{1/2}$$

とし、 τ_{2e} を、

[数2]

$$\tau_{2e} = \sum_{i=1}^n G_2(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_{2e} \leq \tau_2$$

を満たすように行うことを特徴とする半導体装置の製造方法。

[請求項8]

半導体基板に設けられたn型の第1シリコン半導体層と、

前記第1シリコン半導体層に離間して設けられたp型の第1ソース領域及びドレイン領域と、

前記第1ソース領域及び前記第1ドレイン領域との間の前記第1シリコン半導体層上に設けられた第1ゲート絶縁膜と、

前記第1ゲート絶縁膜上に設けられた第1ゲート電極と、

前記半導体基板に設けられたp型の第2シリコン半導体層と、

前記第2シリコン半導体層に離間して設けられたn型の第2ソース領域及びドレイン領域と、

前記第2ソース領域及び前記第2ドレイン領域との間の前記第2シリコン半導体層上に設けられた第2ゲート絶縁膜と、

前記第2ゲート絶縁膜上に設けられた第2ゲート電極と、

前記第1ソースおよびドレイン領域と、前記第2ソース及びドレイン領域上に、それぞれFを含有したNiSi相を有するシリサイド層と、

を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さの最小値Dが22.4nm乃至38.1nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、n(≥1)回行われる熱処理を伴う工程と、

を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程のi回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min]で行い、かつ E_{a2} を2.03 (eV)、 T_3 を773 (K)、kをボルツマン定数、eを電気素量、 $G_3(T_{ai}, \tau_{ai})$ を、

$$G_2(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a2} (1 / (k T_3)) -$$

$$1 / (k T_a) \} \\$$

とし、

$$C_2 = -1.7879, C_1 = 113.44, C_0 = 211.78,$$

Dを

$$D = F_3(\tau_3) = (C_2 \times \tau_3^2 + C_1 \times \tau_3 + C_0)^{1/2}$$

とし、 τ_{3e} を、

[数3]

$$\tau_{3e} = \sum_{i=1}^n G_3(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_{3e} \leq \tau_3$$

を満たすように行うことを特徴とする半導体装置の製造方法。

[請求項9]

前記Fを含有するN i S i相を有するシリサイドを形成する工程は

、

第1および第2半導体層の表面に $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上のF原子をイオン注入する工程と、

熱処理を加えることなくN i膜を堆積する工程と、

Fを含有するN i S i相のシリサイドを形成するための熱処理を行う工程と、

を備えていることを特徴とする請求項8記載の半導体装置の製造方法

。

補正された請求の範囲
[2010年6月17日(17.06.2010)国際事務局受理]

- [請求項1] (補正後) シリコン半導体層と、
前記シリコン半導体層に離間して設けられたソース領域およびドレイン領域と、
前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、
前記ゲート絶縁膜上に設けられたゲート電極と、
前記ソース領域および前記ドレイン領域上にそれぞれ設けられPtを含有したNiSi相を有するシリサイド層であって、前記シリサイドの単一の結晶粒中に、Pt濃度の互いに異なる第1、第2の領域を有し、第1領域のPt濃度(atomic%)は、第2領域のPt濃度(atomic%)の2倍以上であるシリサイド層と、
を備えていることを特徴とする半導体装置。
- [請求項2] (補正後) 前記第1領域は、前記シリサイド層の層厚方向のほぼ中央に位置していることを特徴とする請求項1記載の半導体装置。
- [請求項3] (補正後) 前記第1領域は、単一の前記結晶粒内において網目状に存在していることを特徴とする請求項1記載の半導体装置。
- [請求項4] (補正後) 前記シリサイド層の結晶粒が(111)または(102)に強配向していることを特徴とする請求項1記載の半導体装置。
- [請求項5] (補正後) 前記シリサイド層には、0.7atomic%以上、24atomic%以下のPtが存在することを特徴とする請求項1記載の半導体装置。
- [請求項6] n型シリコン半導体層と、
前記シリコン半導体層に離間して設けられたBを含有する

p型のソース領域およびドレイン領域と、

前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と、

前記ソース領域および前記ドレイン領域上に、それぞれN i S i相を有するシリサイド層と、

を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さDが22.4 nm乃至38.1 nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、n (≧1) 回行われる熱処理を伴う工程と、

を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程のi回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min]で行い、かつ E_{a1} を0.599 (eV)、 T_1 を773 [K]、 k をボルツマン定数、 e を電気素量、 $G_1(T_{ai}, \tau_{ai})$ を、

$$G_1(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a1} (1 / (k T_1) - 1 / (k T_a)) \}$$

とし、

$$A_1 = 956.6, A_0 = 499.9, \alpha = 0.4175,$$

Dを

$$D = F_1(\tau_1) = (A_1 \times \exp(-\alpha \tau_1) + A_0)^{1/2}$$

とし、 τ_{10} を、

[数 1]

$$\tau_{10} = \sum_{i=1}^n G_1(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_1 \leq \tau_{10}$$

を満たすように行うことを特徴とする半導体装置の製造方法

。

[請求項7]

n 型シリコン半導体層と、

前記シリコン半導体層に離間して設けられたBを含有するp 型のソース領域およびドレイン領域と、

前記ソース領域および前記ドレイン領域との間の前記シリコン半導体層上に設けられたゲート絶縁膜と、

前記ゲート絶縁膜上に設けられたゲート電極と、

前記ソース領域および前記ドレイン領域上に、それぞれPtを0.7 atomic%以上、2.4 atomic%以下含有したNiSi相を有するシリサイド層と、

を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さDが22.4 nm乃至38.1 nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、n (≧ 1) 回行われる熱処理を伴う工程と、

を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程のi 回目の熱処理は、絶対温度 T_{ai} [K]、熱処理時間 τ_{ai} [min]で行い、かつ E_{a2} を2.19 (eV)、 T_2 を823 (K)、kをボルツマン定数、eを電気素量、 $G_2(T_{ai})$

, τ_{ai}) を、

$$G_2(T_{ai}, \tau_{ai}) = \tau_{ai} \times \exp \{ e \times E_{a2} (1 / (k T_2) - 1 / (k T_a)) \}$$

とし、

$$B_1 = 7.067, B_0 = 516.7, D \text{ を}$$

$$D = F_2(\tau_2) = (B_1 \times \tau_2 + B_0)^{1/2}$$

とし、 τ_{2o} を、

[数 2]

$$\tau_{2o} = \sum_{i=1}^n G_2(T_{ai}, \tau_{ai})$$

としたとき、

$$\tau_{2o} \leq \tau_2$$

を満たすように行うことを特徴とする半導体装置の製造方法。

[請求項 8]

半導体基板に設けられた n 型の第 1 シリコン半導体層と、
前記第 1 シリコン半導体層に離間して設けられた p 型の第 1 ソース領域及びドレイン領域と、

前記第 1 ソース領域及び前記第 1 ドレイン領域との間の前記第 1 シリコン半導体層上に設けられた第 1 ゲート絶縁膜と

、

前記第 1 ゲート絶縁膜上に設けられた第 1 ゲート電極と、
前記半導体基板に設けられた p 型の第 2 シリコン半導体層と、

前記第 2 シリコン半導体層に離間して設けられた n 型の第 2 ソース領域及びドレイン領域と、

前記第 2 ソース領域及び前記第 2 ドレイン領域との間の前記第 2 シリコン半導体層上に設けられた第 2 ゲート絶縁膜と

、

前記第2ゲート絶縁膜上に設けられた第2ゲート電極と、
 前記第1ソースおよびドレイン領域と、前記第2ソース及びドレイン領域上に、それぞれFを含有したN i S i相を有するシリサイド層と、
 を備えている半導体装置の製造方法であって、

前記シリサイド層の下面から、前記ソース及びドレイン領域が前記半導体層と形成する接合面までの深さの最小値Dが22.4 nm乃至38.1 nmとなるようにシリサイド層を形成する工程と、

前記シリサイド層形成後に、 n (≥ 1) 回行われる熱処理を伴う工程と、
 を備え、

前記シリサイド層形成後に行われる熱処理を伴う工程の i 回目の熱処理は、絶対温度 $T_{a,i}$ [K]、熱処理時間 $\tau_{a,i}$ [min] で行い、かつ $E_{a,2}$ を2.03 (eV)、 T_3 を773 (K)、 k をボルツマン定数、 e を電気素量、 $G_3(T_{a,i}, \tau_{a,i})$ を、

$$G_2(T_{a,i}, \tau_{a,i}) = \tau_{a,i} \times \exp \{ e \times E_{a,2} (1 / (k T_3) - 1 / (k T_a)) \}$$

とし、

$$C_2 = -1.7879, C_1 = 113.44, C_0 = 211$$

78、Dを

$$D = F_3(\tau_3) = (C_2 \times \tau_3^2 + C_1 \times \tau_3 + C_0)^{1/2}$$

とし、 $\tau_{3,0}$ を、

[数3]

$$\tau_{3,0} = \sum_{i=1}^n G_3(T_{a,i}, \tau_{a,i})$$

としたとき、

$$\tau_{30} \leq \tau_3$$

を満たすように行うことを特徴とする半導体装置の製造方法

。

[請求項9]

前記Fを含有するNiSi相を有するシリサイドを形成する工程は、

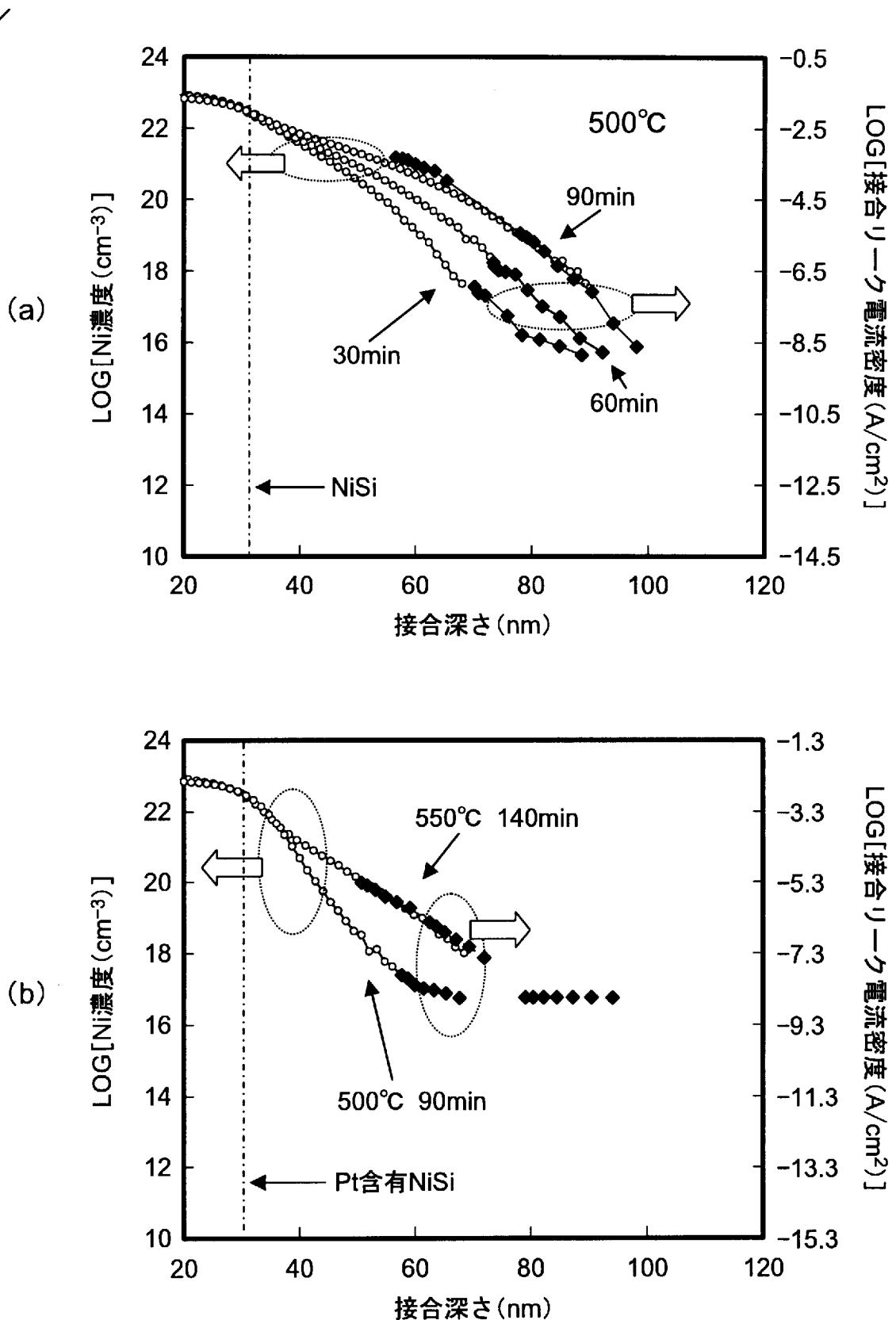
第1および第2半導体層の表面に $1.0 \times 10^{14} \text{ cm}^{-2}$ 以上のF原子をイオン注入する工程と、

熱処理を加えることなくNi膜を堆積する工程と、

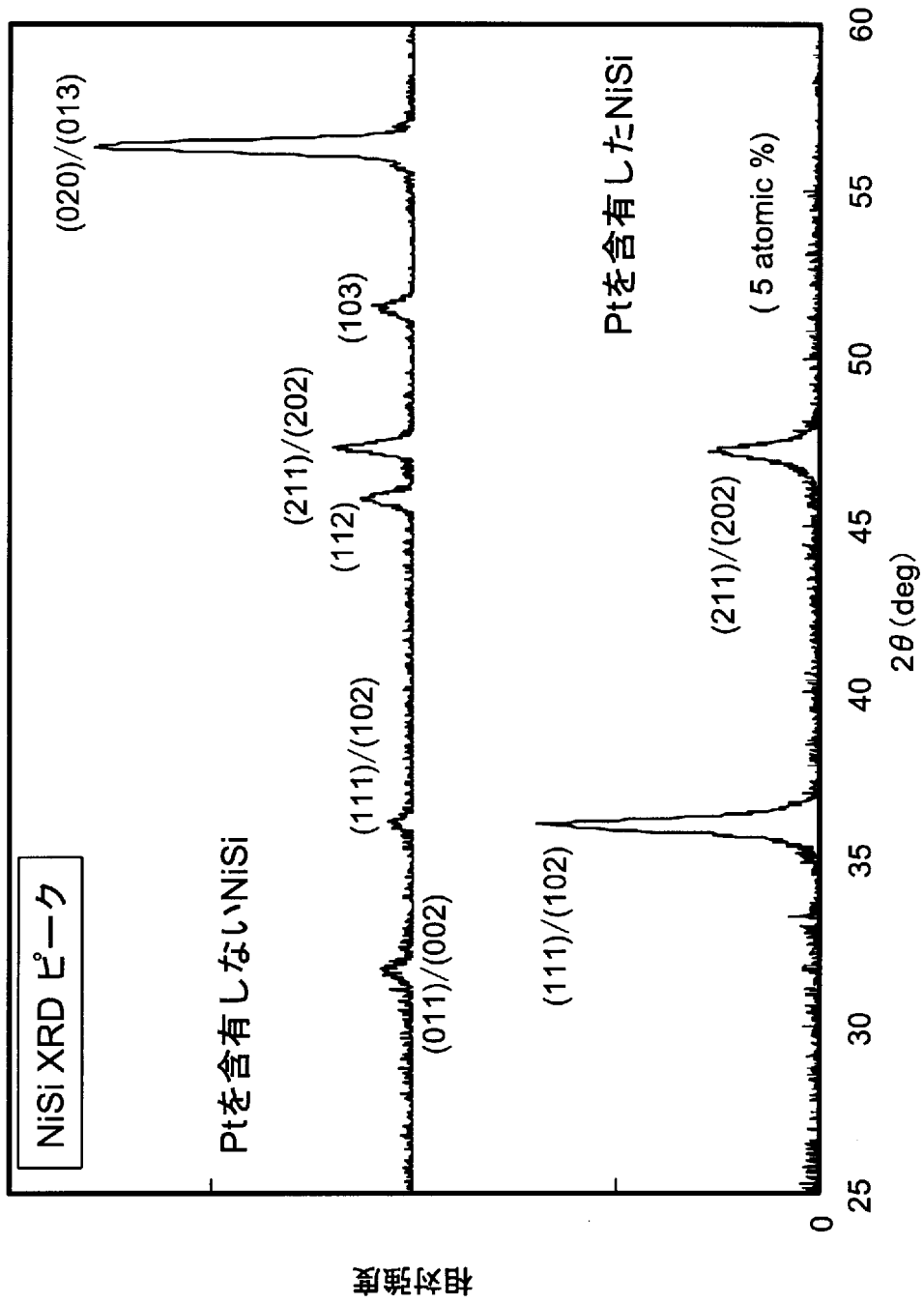
Fを含有するNiSi相のシリサイドを形成するための熱処理を行う工程と、

を備えていることを特徴とする請求項8記載の半導体装置の製造方法。

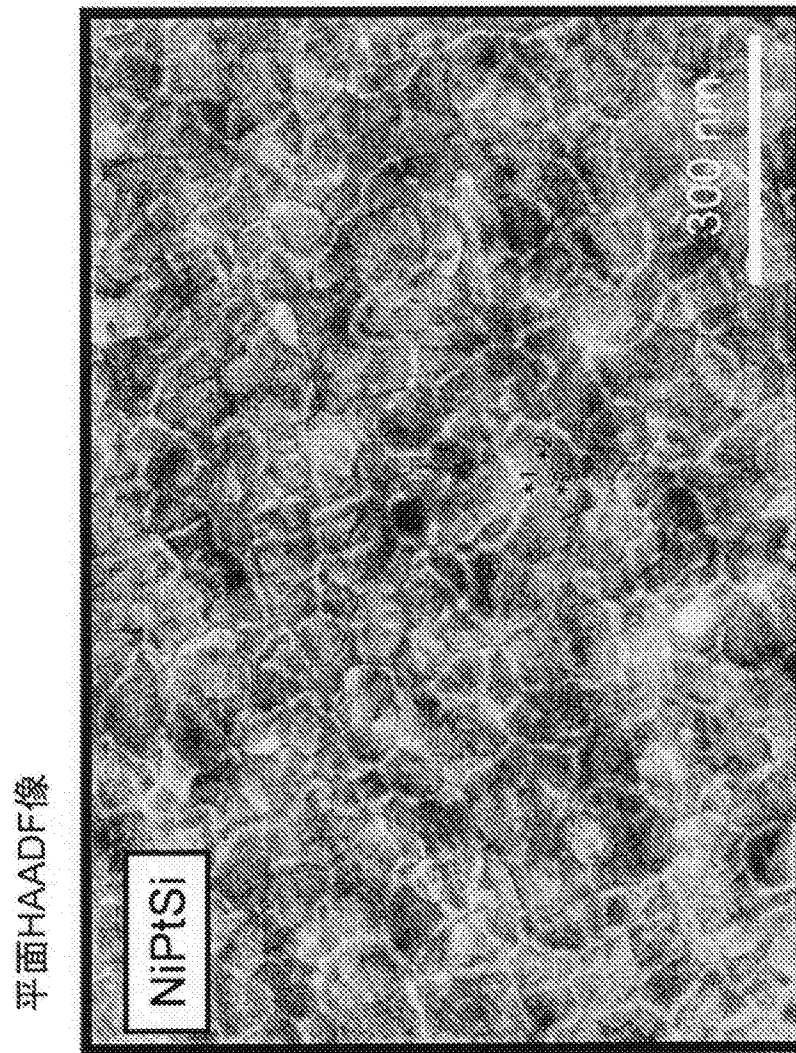
[図1]



[図2]

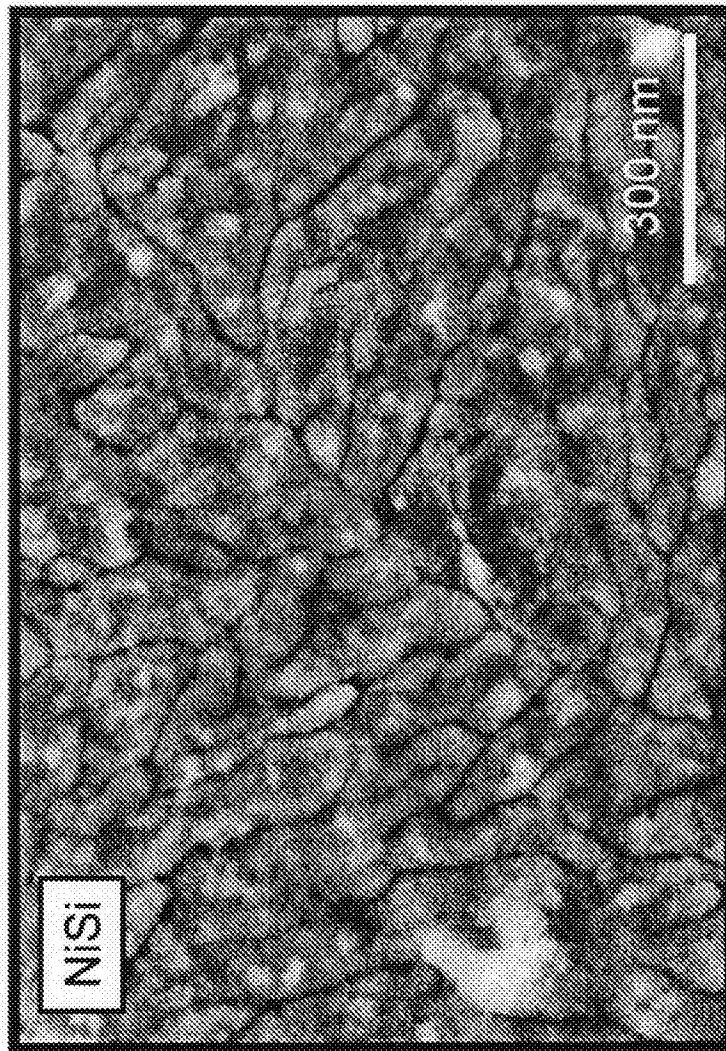


[図3]



[図4]

平面HAADF像

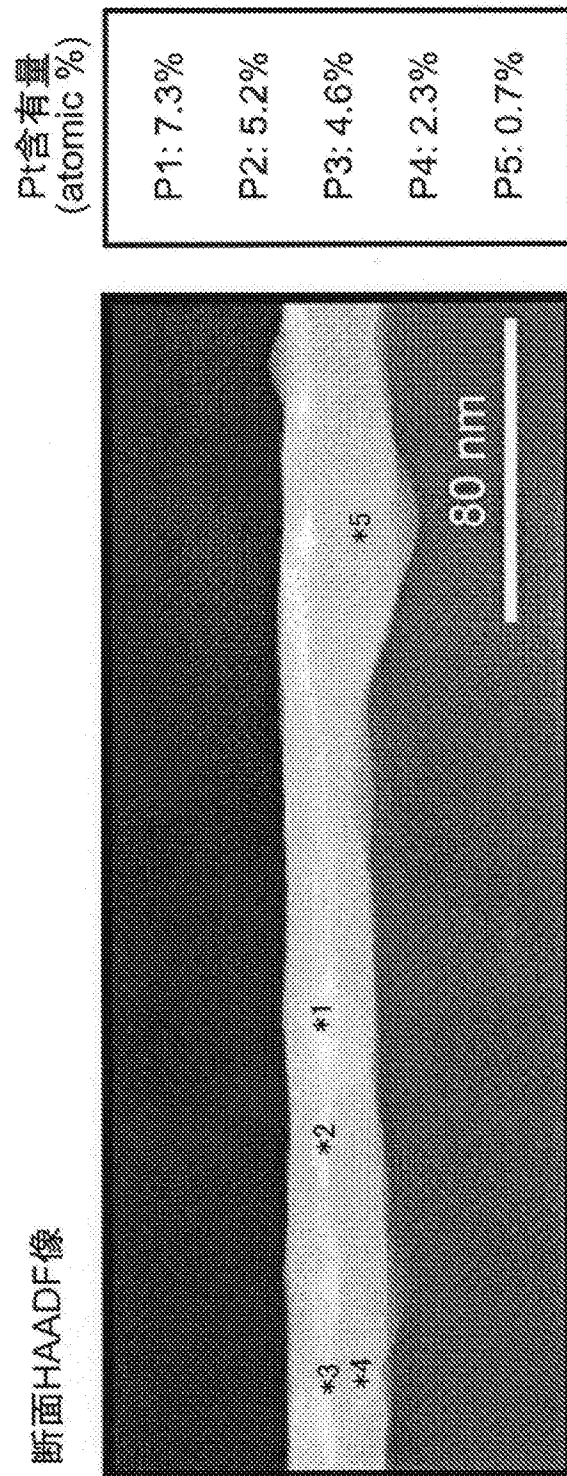


[図5]

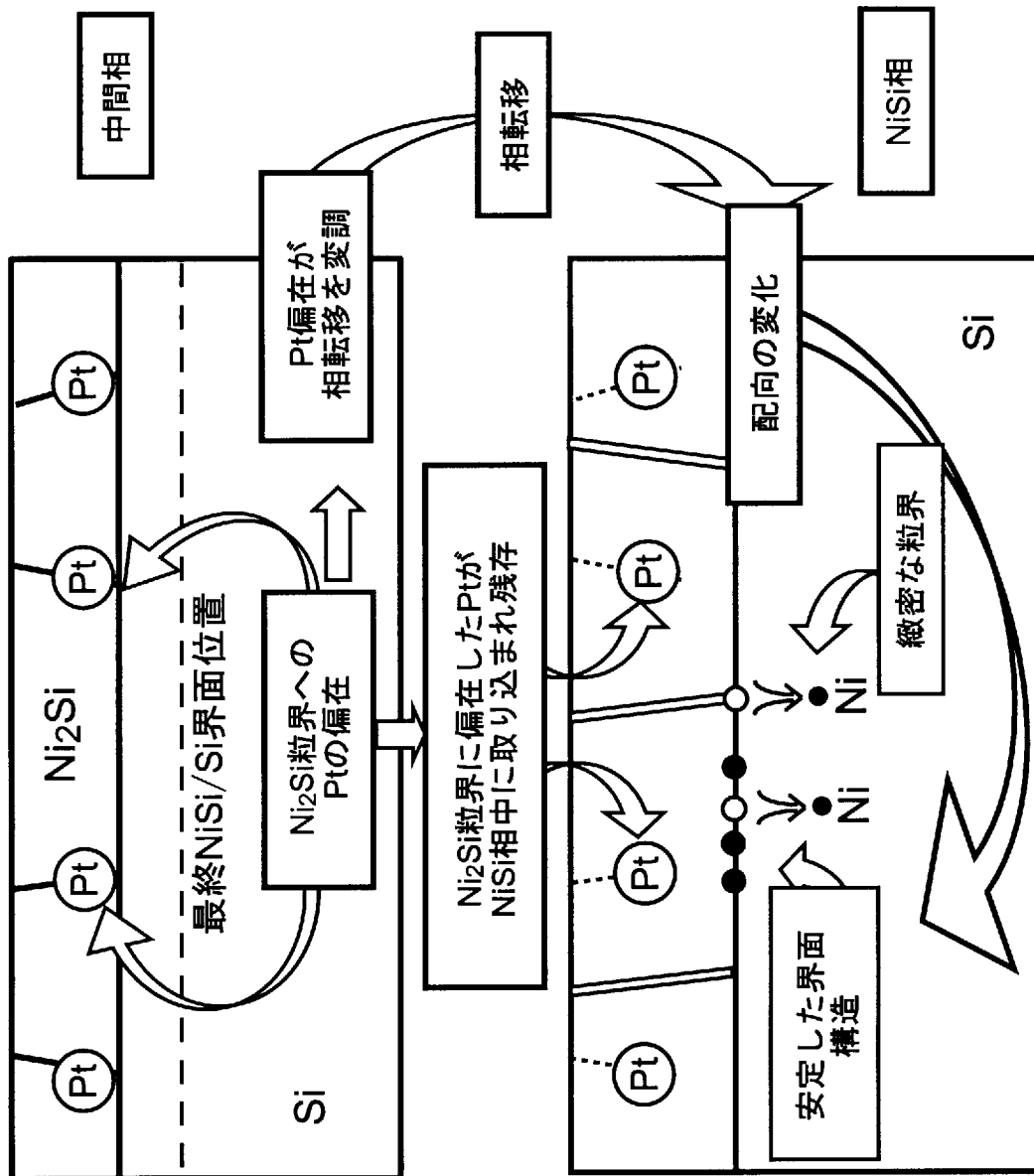
Pt含有量 (atomic %)

	三重点 (点 1)	单边上 (点 3)	内点 (点 2)
地点 A	10.9%	6.7 %	2.0 %
地点 B	8.0%	6.3 %	1.8 %
地点 C	10.9%	11.7 %	3.0 %
地点 D	8.6%	6.1 %	1.1 %
地点 E	9.2%	9.9 %	2.0 %
平均	9.5%	8.1%	2.0 %

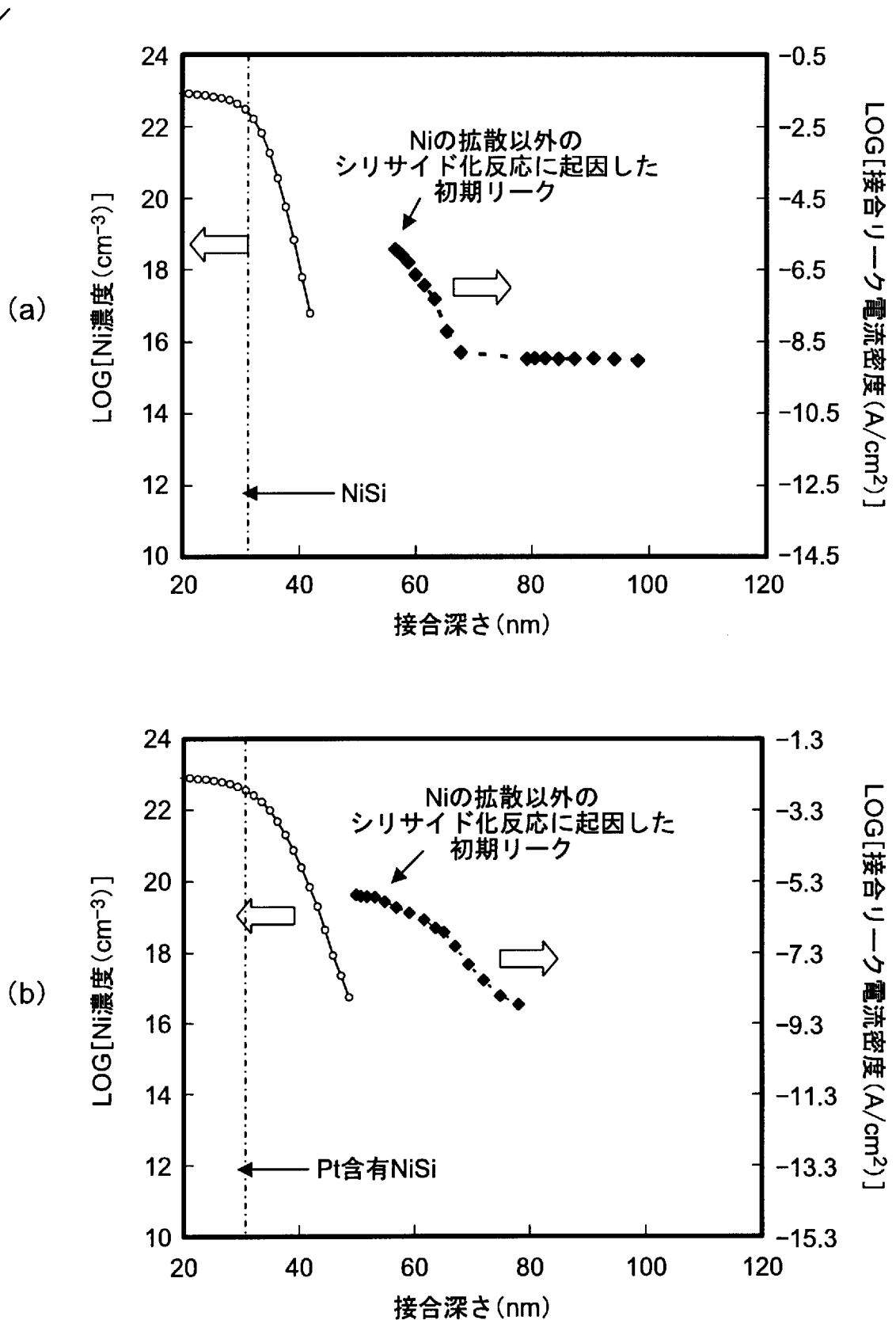
[図6]



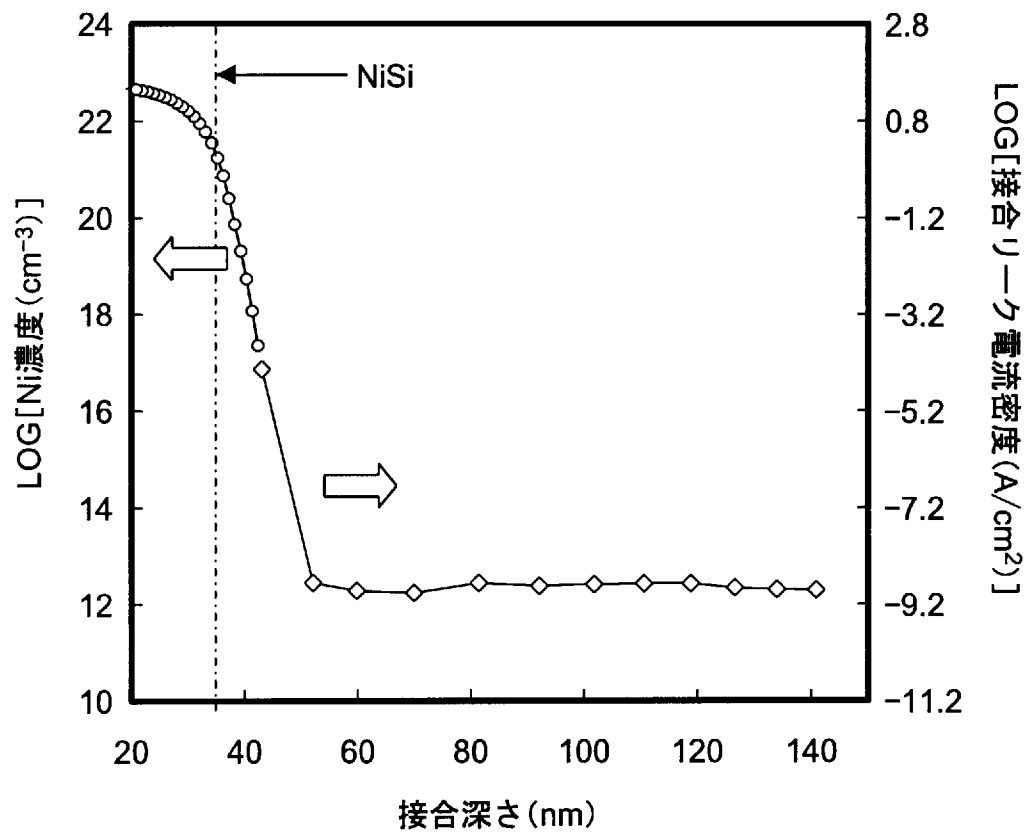
[図7]



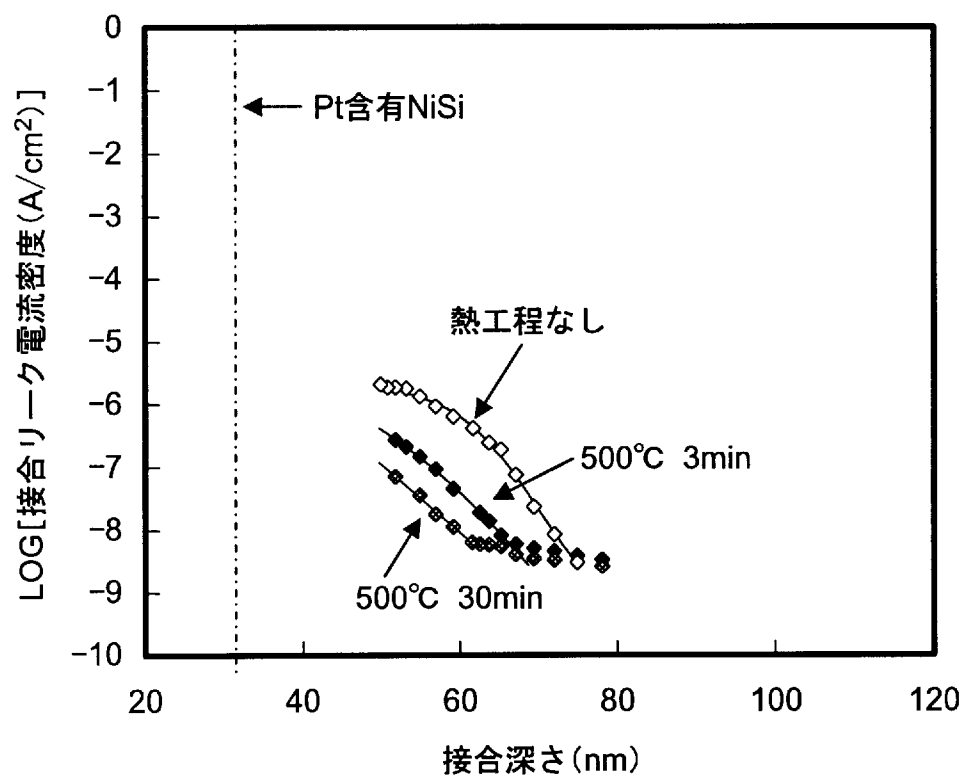
[図8]



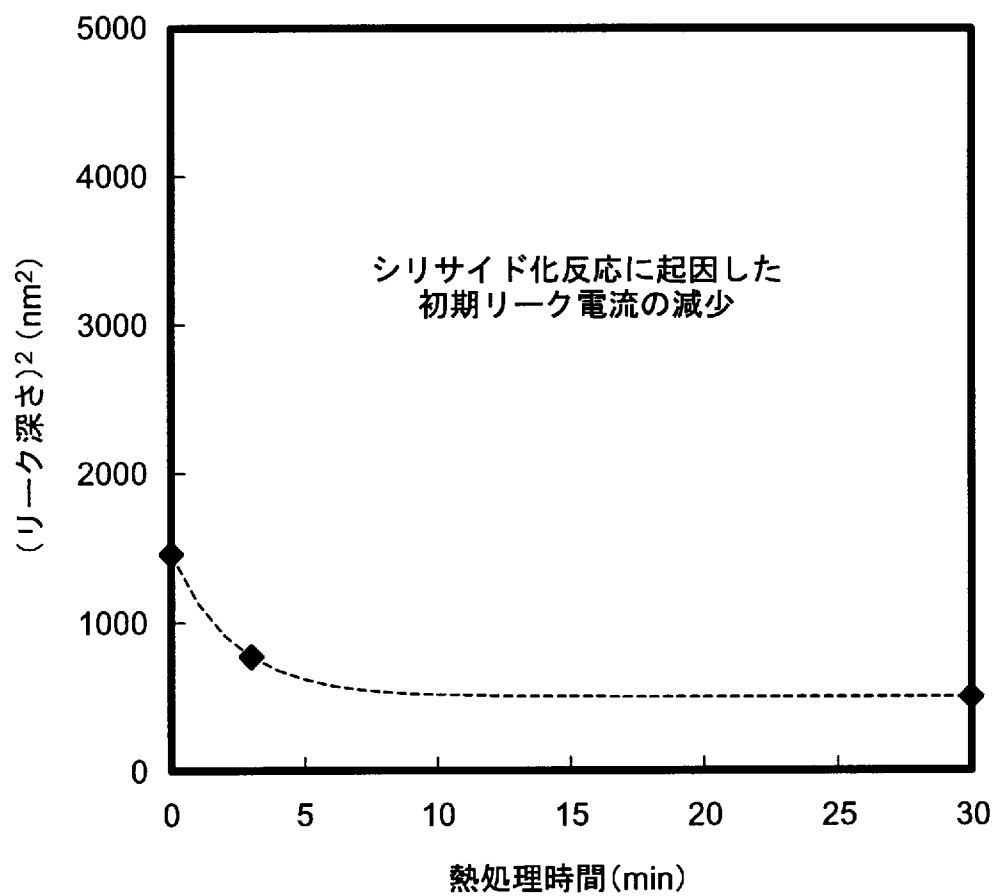
[図9]



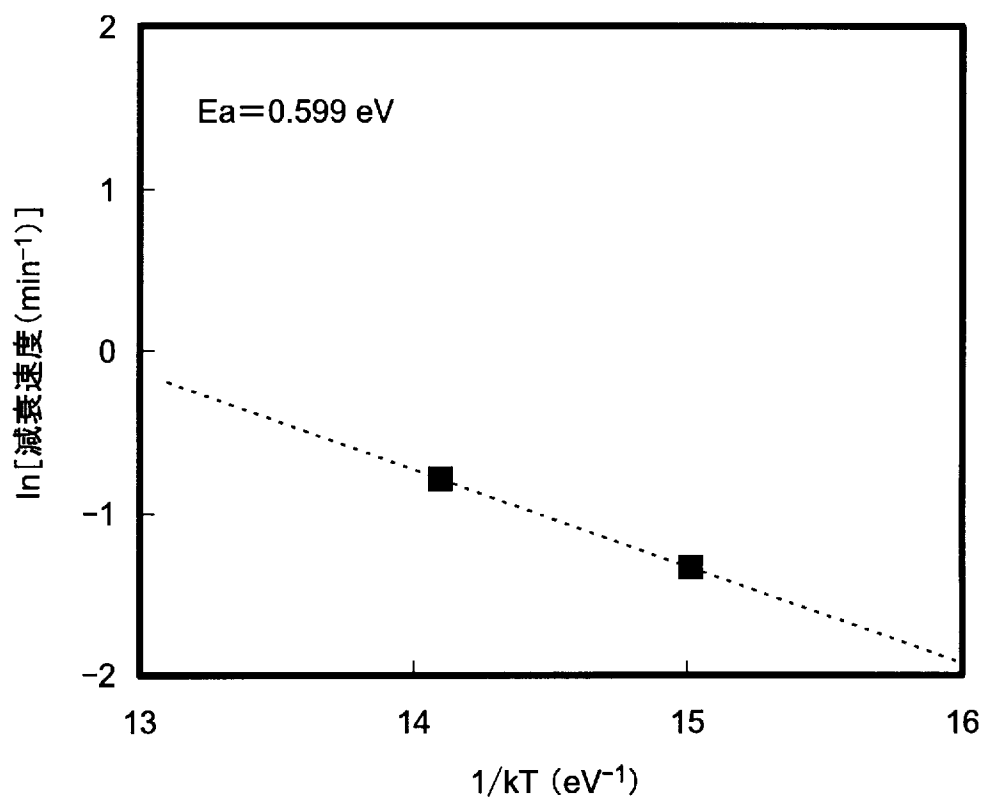
[図10]



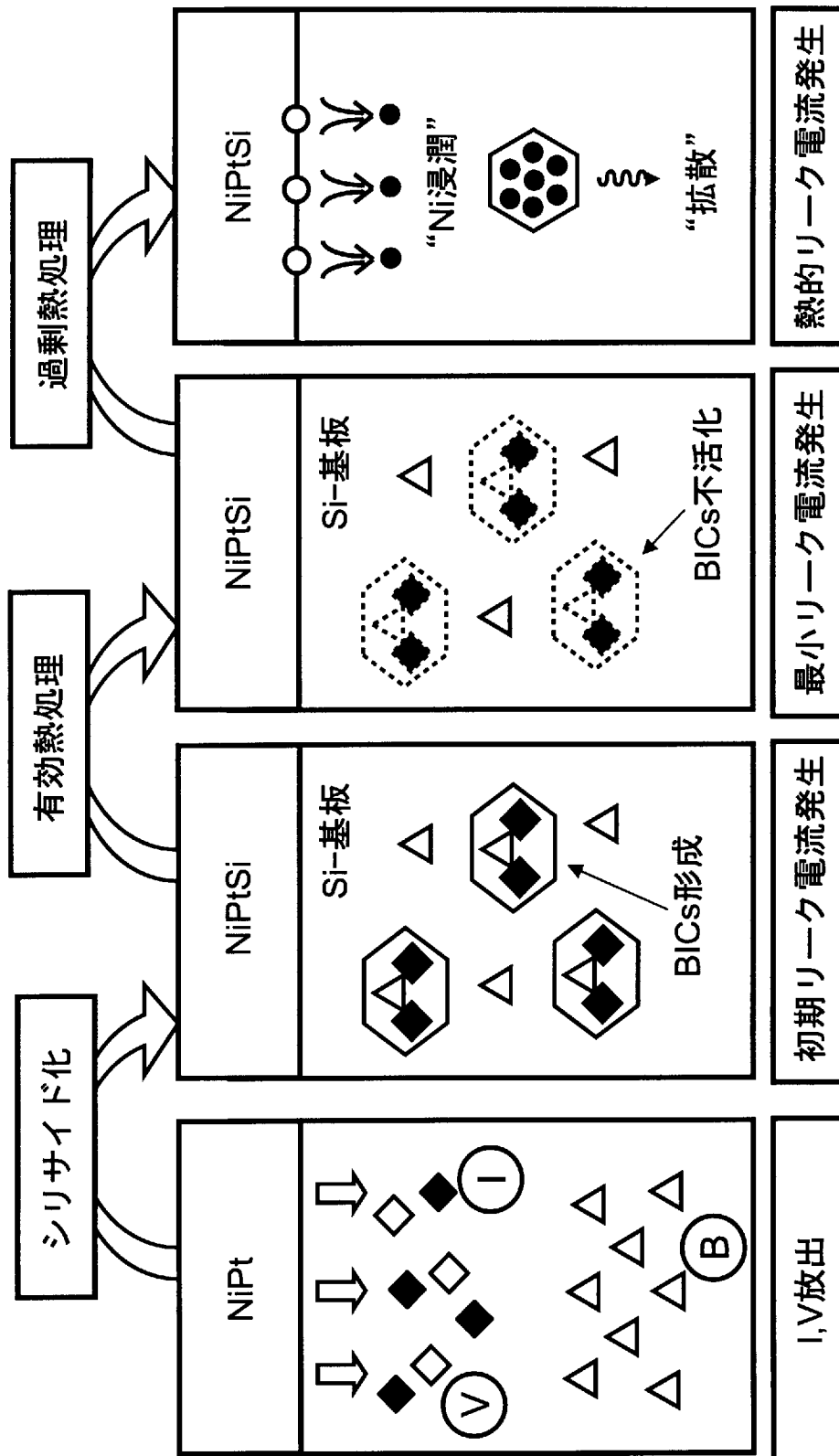
[図11]



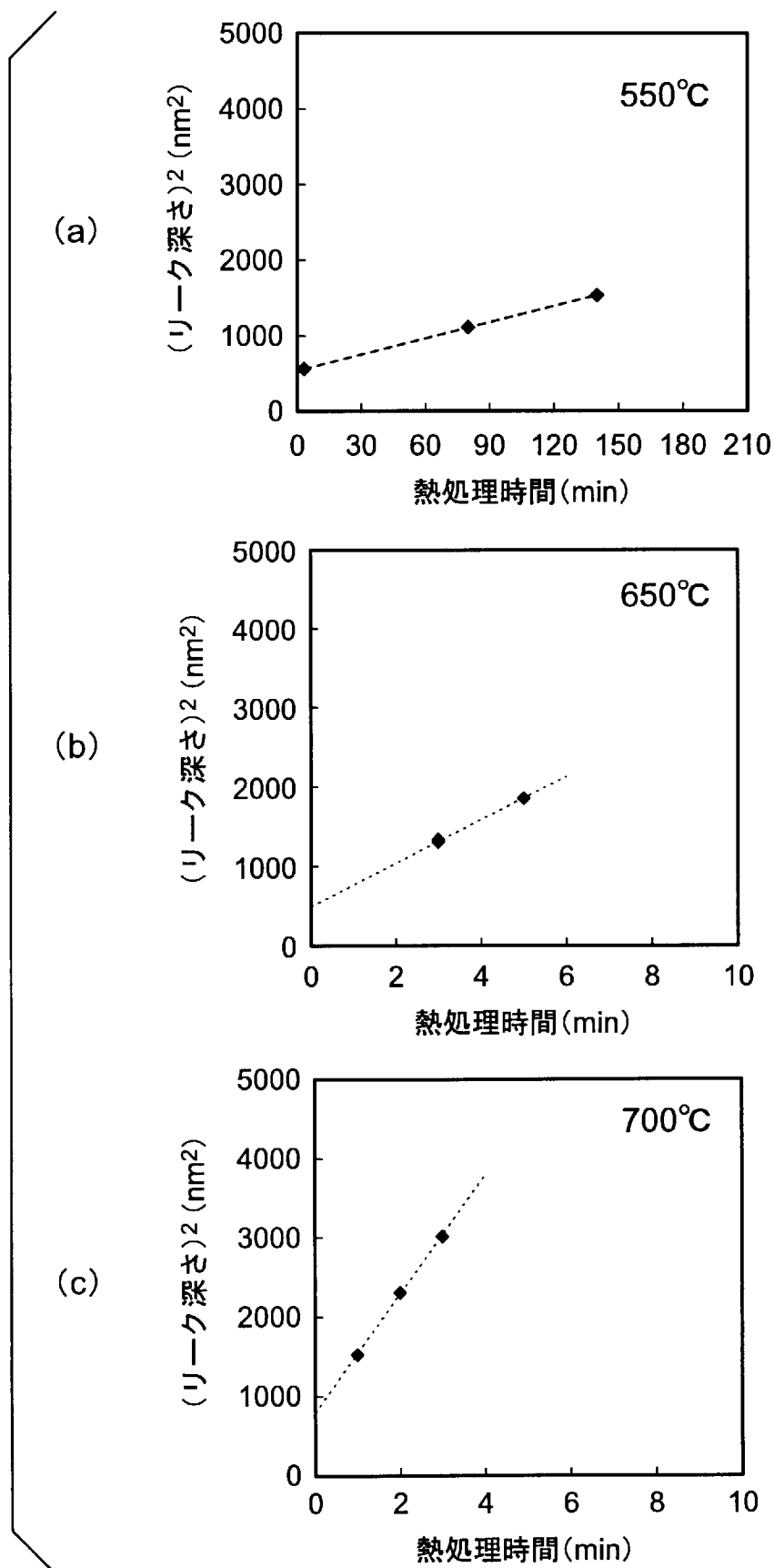
[図12]



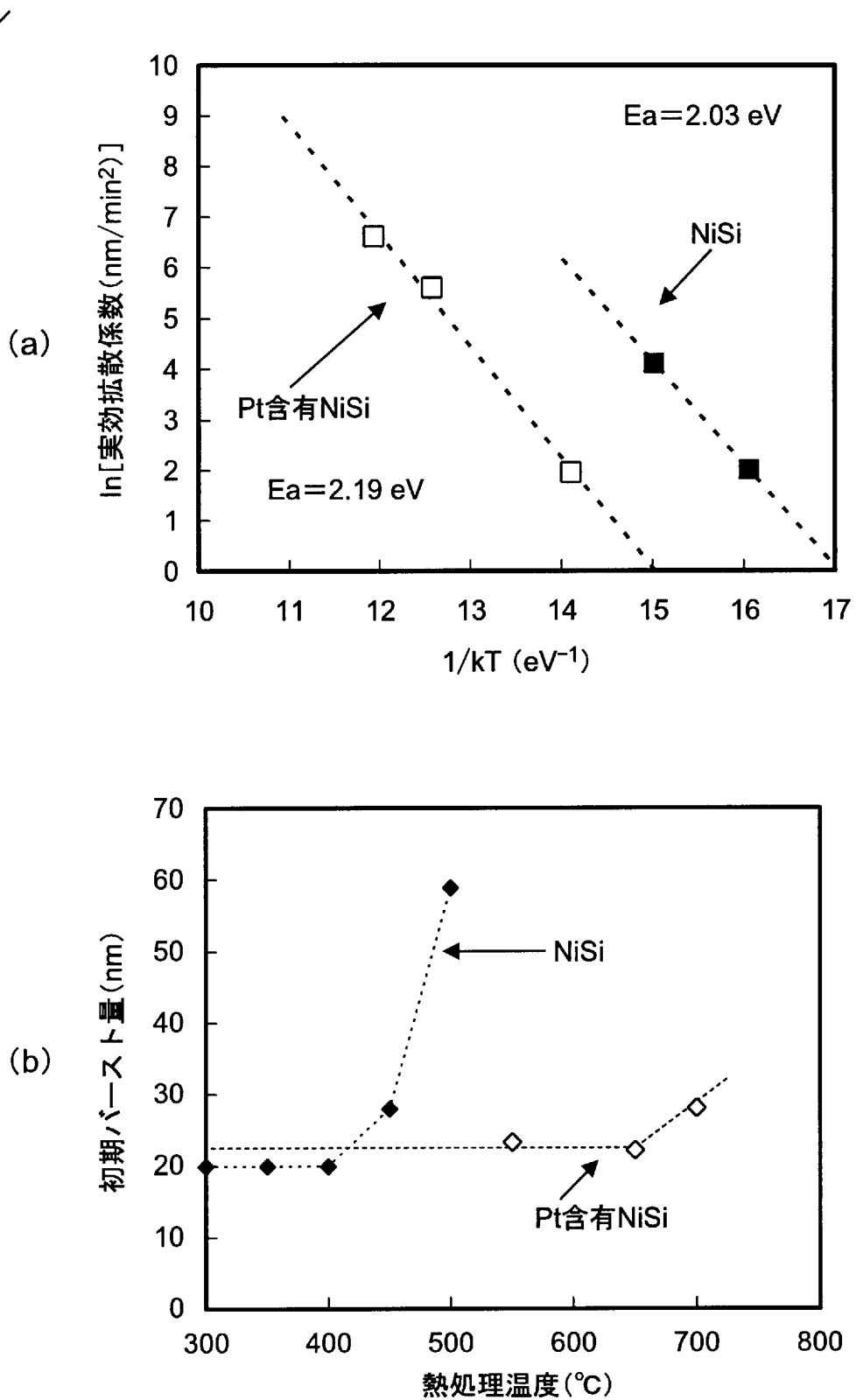
[図13]



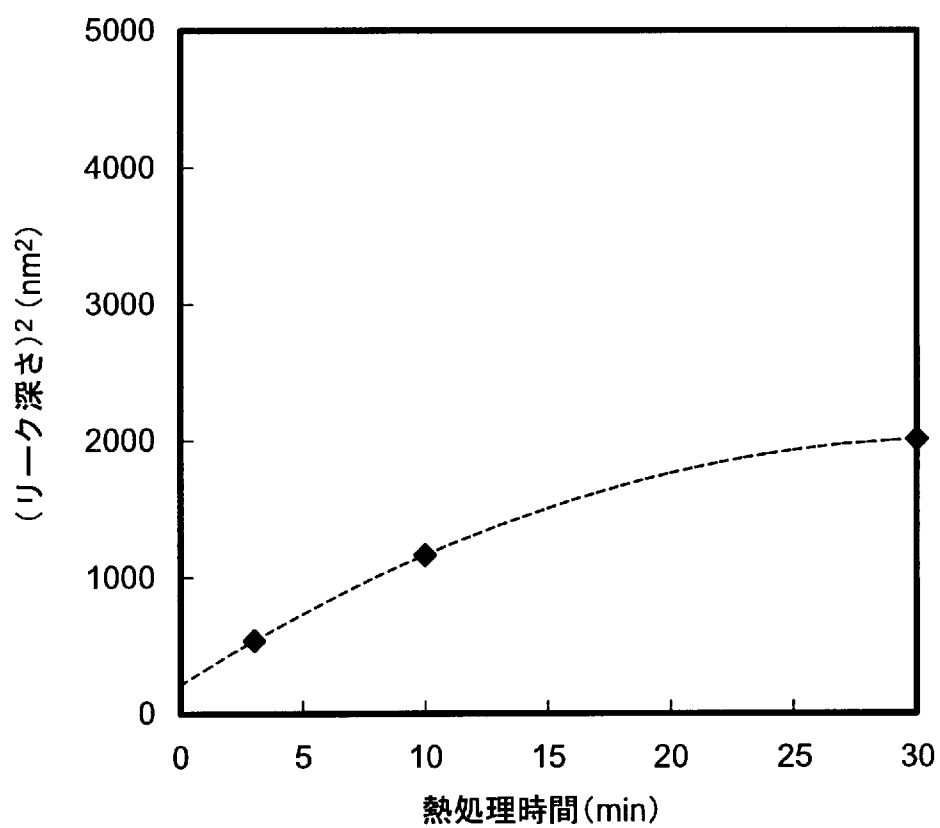
[図14]



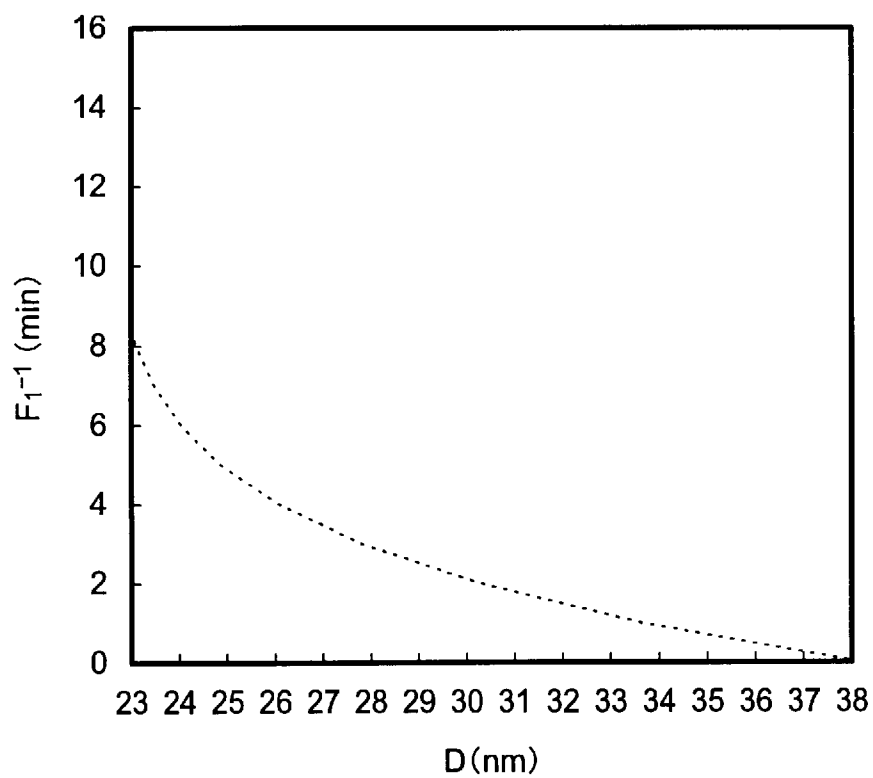
[図15]



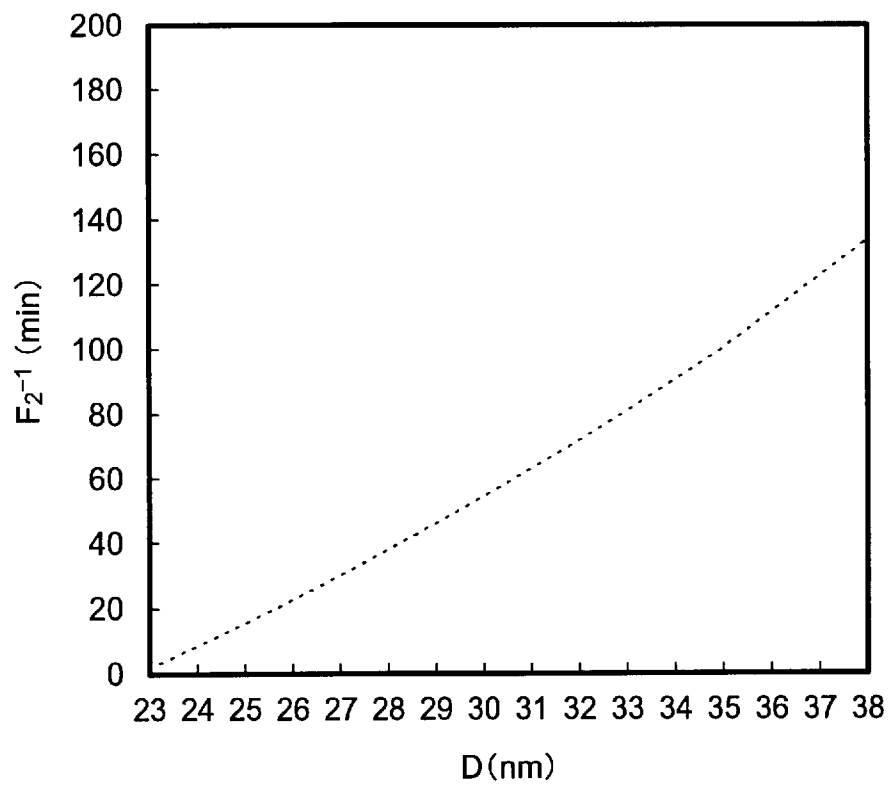
[図16]



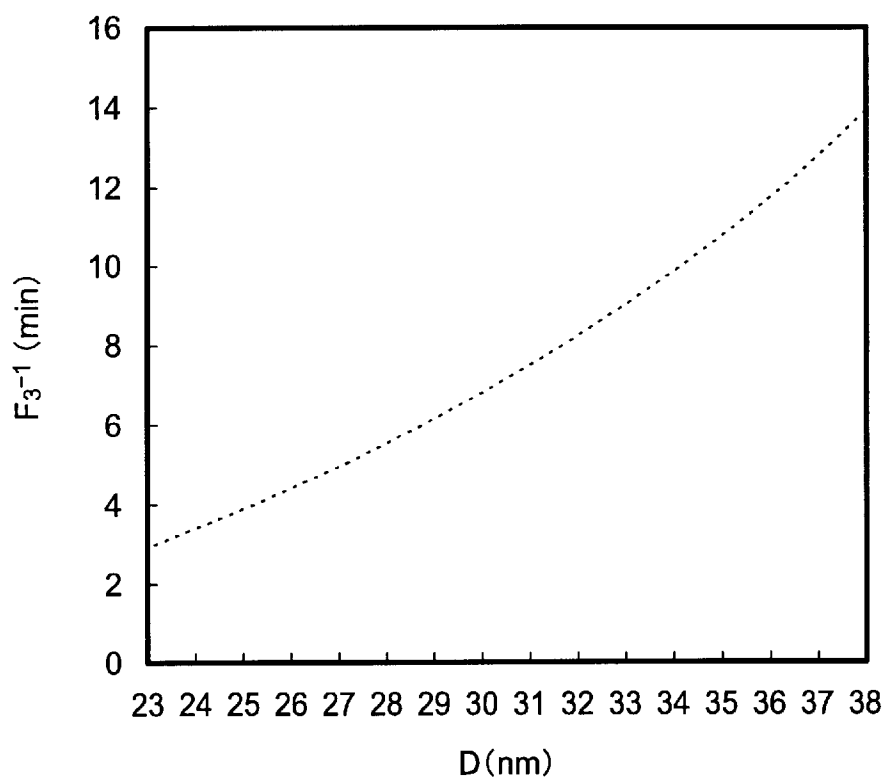
[図17]



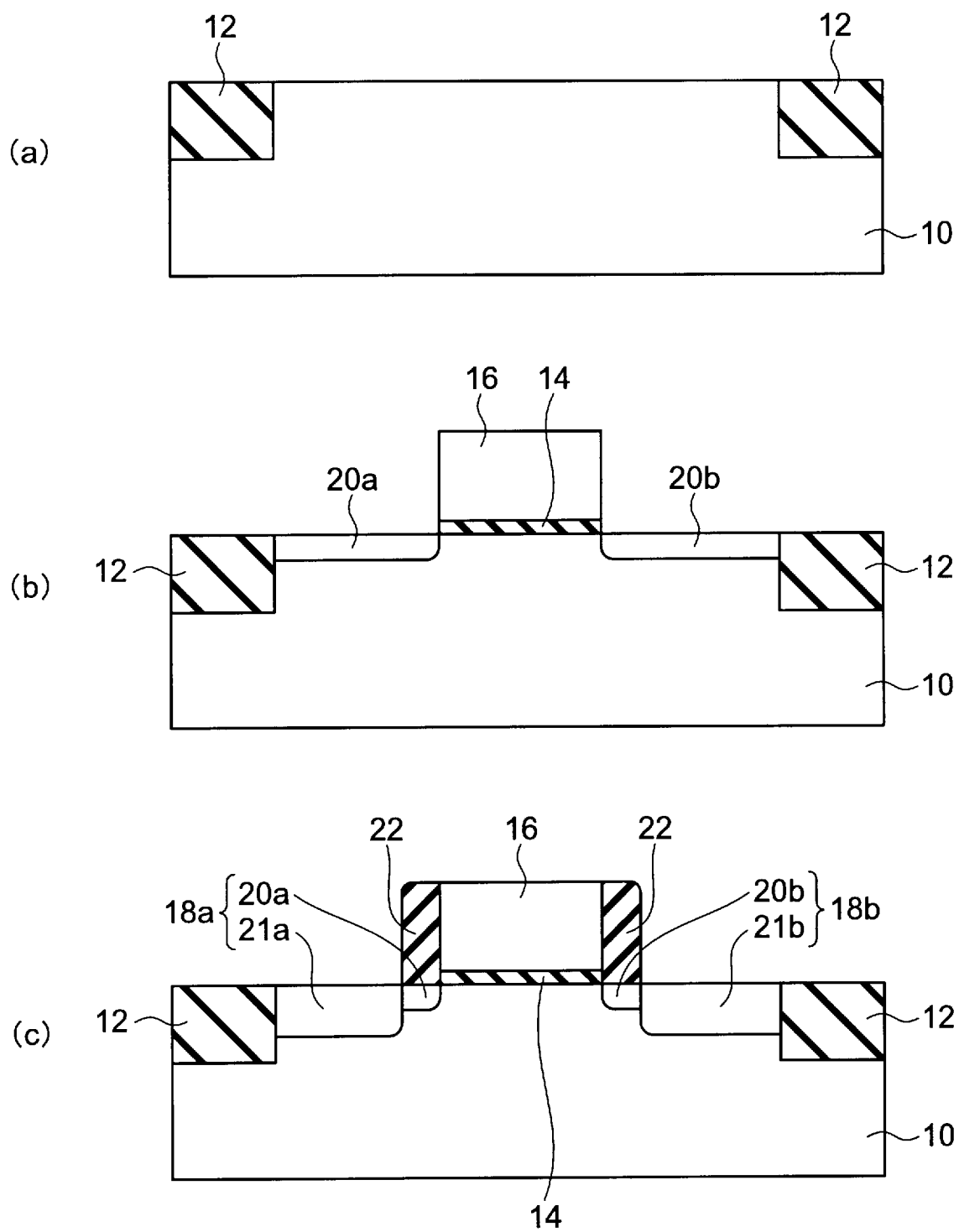
[図18]



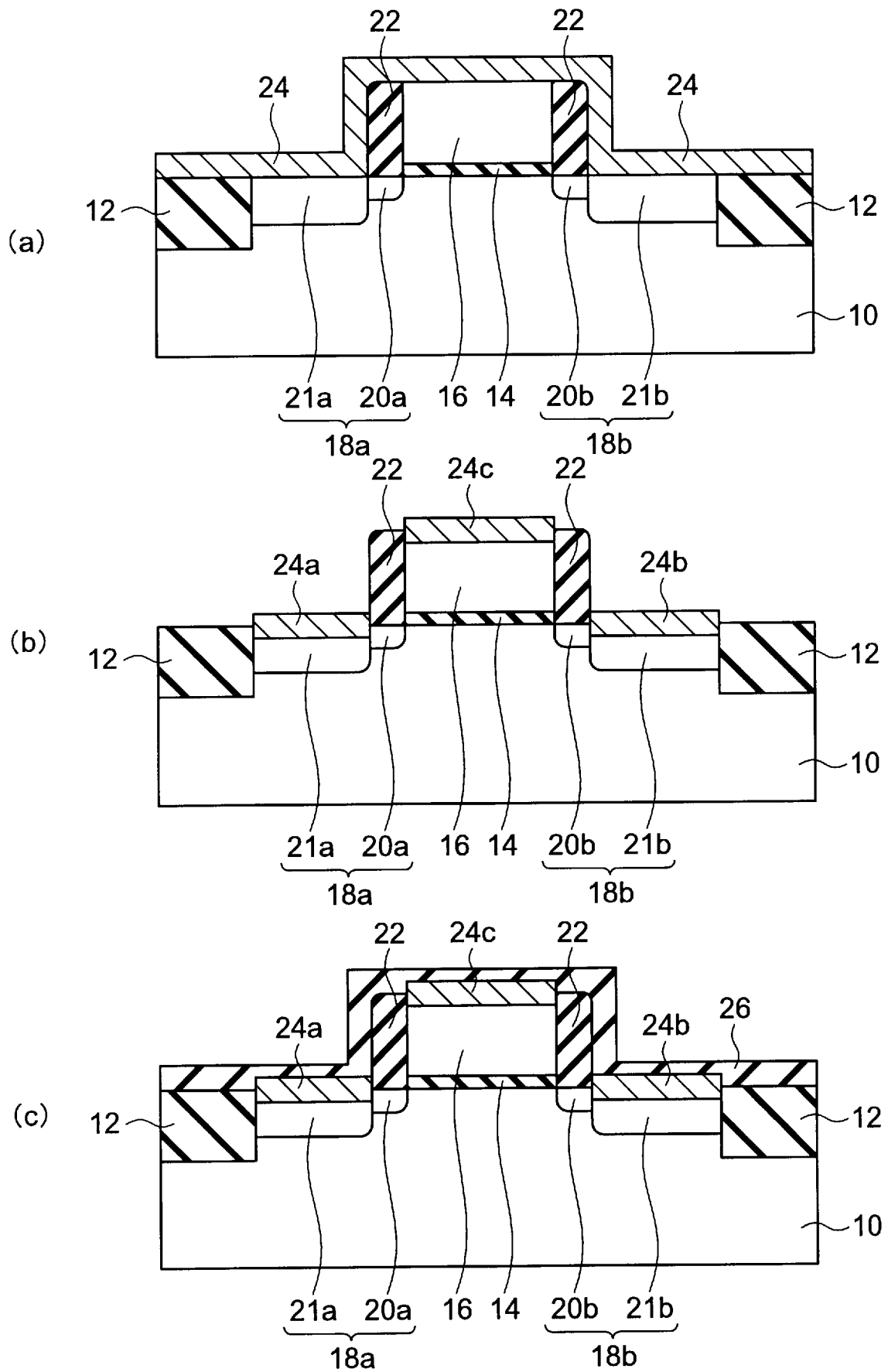
[図19]



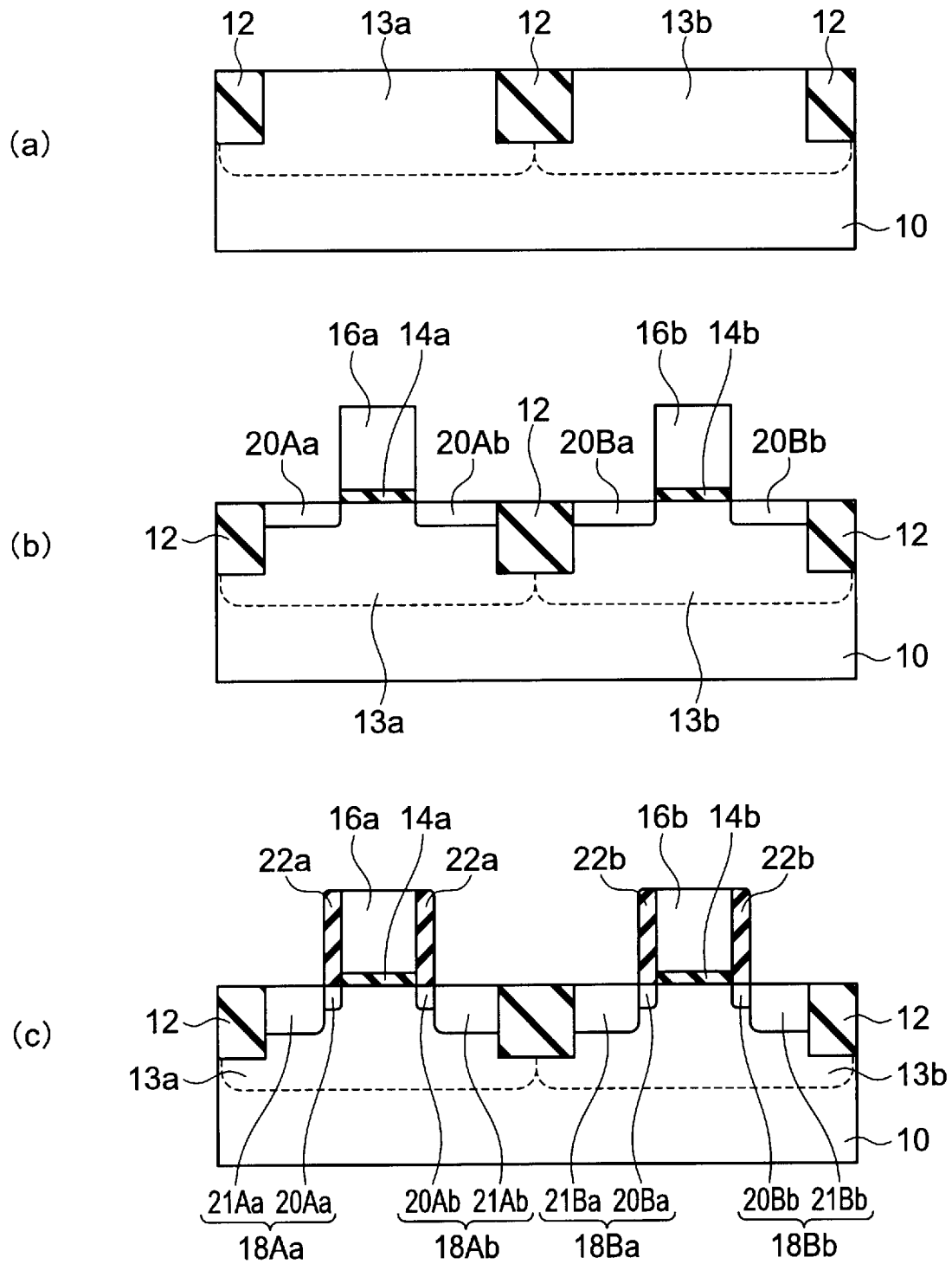
[図20]



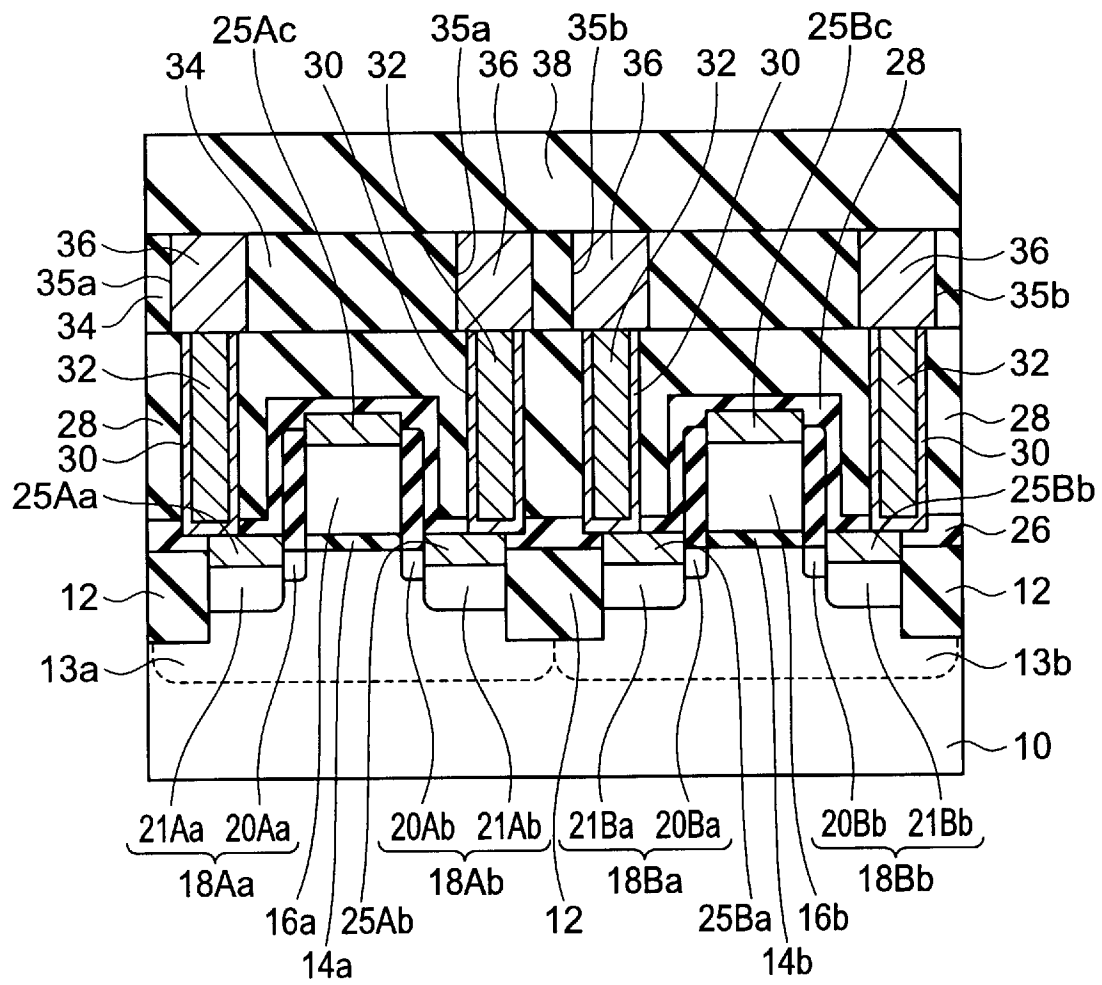
[図21]



[図24]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058641

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/336, H01L21/28, H01L21/8238, H01L27/092, H01L29/417, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-311490 A (Fujitsu Microelectronics Ltd.), 25 December, 2008 (25.12.08), Par. Nos. [0086] to [0090], [0148] to [0165]; Figs. 9, 19 to 21 (Family: none)	1,2
A	D.Mangelinck et al., Enhancement of thermal stability of NiSi films on (100)Si and (111)Si by Pt addition, APPLIED PHYSICS LETTERS, 1999.09.20, VOLUME 75, NUMBER 12, pp.1736-1738	1,2
A	C.Detavernier et al., Influence of Pt addition on the texture of NiSi on Si(001), APPLIED PHYSICS LETTERS, 2004.05.03, VOLUME 84, NUMBER 18, pp.3549-3551	1,2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2009 (15.07.09)

Date of mailing of the international search report
28 July, 2009 (28.07.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058641

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

As described in (Extra Sheet), five inventions classified as [1,2], [3-5], [6], [7], [8,9] are considered to be described in the claims of this international application.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:
1, 2

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/058641

Continuation of Box No.III of continuation of first sheet (2)

In order that a group of inventions claimed might comply with the requirement of unity of invention, the group of inventions should have a special technical feature which links them so as to form a single general inventive concept. A group of inventions described in claims 1-9 are considered to be linked to each other by the matter stated in claim 1.

However, this matter cannot be regarded as a special technical feature since it is described in prior art document, JP 2008-311490 A (Fujitsu Microelectronics Ltd.), 25 December, 2008 (25.12.08), [0086]-[0090], [0148]-[0165], Figs. 9. 19-21.

In view of this, there is no special technical feature, among the group of inventions described in claims 1-9, which links them so as to form a single general inventive concept. Because of this, it is obvious that the inventions described in claims 1-9 do not comply with the requirement of unity of invention.

Next, an investigation is made on the number of groups of inventions which are described in the claims of this international application and are linked so as to form a general inventive concept, that is, the number of inventions.

The matter stated in claim 1 cannot be regarded as a special technical feature since it is disclosed in the above prior art document, and therefore, five inventions classified as [1,2], [3-5], [6], [7], [8,9] are described in claims 1-9.

Accordingly, five inventions classified as [1,2], [3-5], [6], [7], [8,9] are considered to be described in the claims of this international application.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/336(2006.01)i, H01L21/28(2006.01)i, H01L21/8238(2006.01)i, H01L27/092(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/336, H01L21/28, H01L21/8238, H01L27/092, H01L29/417, H01L29/78			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 日本国公開実用新案公報 日本国実用新案登録公報 日本国登録実用新案公報 1 9 2 2 - 1 9 9 6 年 1 9 7 1 - 2 0 0 9 年 1 9 9 6 - 2 0 0 9 年 1 9 9 4 - 2 0 0 9 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X	JP 2008-311490 A（富士通マイクロエレクトロニクス株式会社） 2008.12.25, 【0086】 - 【0090】, 【0148】 - 【0165】, 図9, 19-21 （ファミリーなし）	1, 2	
A	D.Mangelinck et al., Enhancement of thermal stability of NiSi films on (100)Si and (111)Si by Pt addition, APPLIED PHYSICS LETTERS, 1999.09.20, VOLUME 75, NUMBER 12, pp.1736-1738	1, 2	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 1 5 . 0 7 . 2 0 0 9		国際調査報告の発送日 2 8 . 0 7 . 2 0 0 9	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 松嶋 秀忠 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2	4 M 9 8 3 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	C.Detavernier et al., Influence of Pt addition on the texture of NiSi on Si (001), APPLIED PHYSICS LETTERS, 2004.05.03, VOLUME 84, NUMBER 18, pp.3549-3551	1,2

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。

（特別ページ）に記載したように、この国際出願の請求の範囲には、[1, 2]、[3-5]、[6]、[7]、[8, 9]に区分される5個の発明が記載されていると認められる。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☒ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

請求項 1, 2

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲に記載されている一群の発明が単一性の要件を満たすためには、その一群の発明を単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴の存在が必要であるところ、請求項 1-9 に記載されている一群の発明は、請求項 1 に記載された点で連関していると認められる。

しかしながら、この事項は先行技術文献、JP 2008-311490 A（富士通マイクロエレクトロニクス株式会社）2008.12.25, 【0086】 - 【0090】 , 【0148】 - 【0165】 , 図 9, 19-21 に記載されているため、特別な技術的特徴とはなり得ない。

そうすると、請求項 1-9 に記載されている一群の発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存しないこととなる。そのため、請求項 1-9 に記載されている一群の発明が発明の単一性の要件を満たしていないことは明らかである。

次に、この国際出願の請求の範囲に記載されている、一般的発明概念を形成するように連関している発明の群の数、すなわち、発明の数につき検討する。

請求項 1 に記載された事項は、上記先行技術文献に開示されているため特別な技術的特徴とはなり得ないので、請求項 1-9 には、[1, 2]、[3-5]、[6]、[7]、[8, 9]に区分される 5 個の発明が記載されている。

したがって、この国際出願の請求の範囲には、[1, 2]、[3-5]、[6]、[7]、[8, 9]に区分される 5 個の発明が記載されていると認められる。