

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 4 月 4 日(04.04.2013)



(10) 国際公開番号

WO 2013/047533 A1

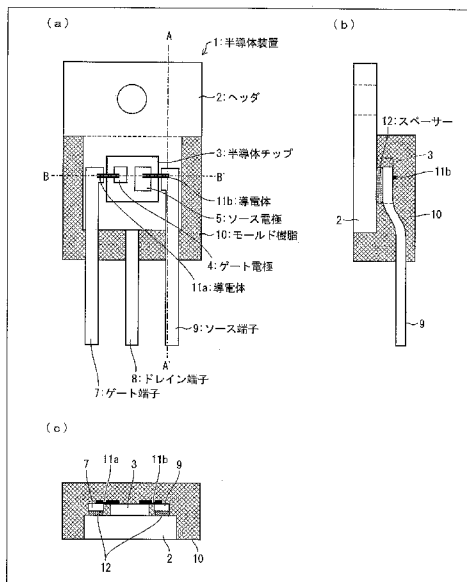
- (51) 国際特許分類:
H01L 23/48 (2006.01)
- (21) 国際出願番号: PCT/JP2012/074593 (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (22) 国際出願日: 2012 年 9 月 25 日(25.09.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-215473 2011 年 9 月 29 日(29.09.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: および
- (71) 出願人 (米国についてのみ): 瀬戸 剛(SETO, Tsuyoshi).
- (74) 代理人: 特許業務法人原謙三国際特許事務所
(HARAKENZO WORLD PATENT & TRADEMARK);

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図1]



1 Semiconductor device
2 Header
3 Semiconductor chip
4 Gate electrode
5 Source electrode
6 Drain terminal
7 Gate terminal
8 Drain terminal
9 Source terminal
10 Molding resin
11a, 11b Conductor
12 Spacer

(57) Abstract: A gate electrode (4) and a source electrode (5) of a semiconductor chip (3) are each connected by a conductor (11a, 11b) to a gate terminal (7) and a source terminal (9). The connection portion of the gate terminal (7) that connects with the conductor (11a) is disposed in such a manner as to be close to the gate electrode (4), and the connection portion of the source terminal (9) that connects with the conductor (11b) is disposed in such a manner as to be close to the source electrode (5).

(57) 要約: 半導体チップ (3) のゲート電極 (4) ・ソース電極 (5) は、ゲート端子 (7) ・ソース端子 (9) と導電体 (11a・11b) によってそれぞれ接続され、ゲート端子 (7) の導電体 (11a) との接合部分は、ゲート電極 (4) と近接するように配置され、ソース端子 (9) の導電体 (11b) との接合部分は、ソース電極 (5) と近接するように配置されている。

WO 2013/047533 A1



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、パワートランジスタなどを搭載する半導体装置に関するものであり、特に、抵抗およびインダクタンスを減少させる技術に関する。

背景技術

[0002] 従来、主に電源回路に用いられる電源用トランジスタは、家庭で使用される電化製品をはじめ様々な電気製品に搭載されており、用途に応じて、様々なパッケージやモジュールが提案されている。そして、昨今の環境問題の影響から、電源用トランジスタを搭載したパワーデバイスやパワーモジュールは、電気自動車や、太陽・風力発電装置等の新たな用途でも注目されているため、高耐圧化や大電流化、小型化、軽量化が要求されている。

[0003] また、上記要求に加えて、パワーデバイスやパワーモジュールは、スイッチング速度の向上も要求されている。このことから、パッケージ内部の配線による抵抗およびインダクタンスのみならず、外部接続端子を含む抵抗およびインダクタンスの減少が、特に必要になってきている。

[0004] ここで一般に、上記のパワーデバイスなどは、規格で定められたパッケージ（TO-220やTO-3Pなど）で実現されている。そして、従来においては抵抗およびインダクタンスを考慮する必要が無かったため、外部接続端子としてのリード端子と、半導体チップとのパッケージ内での接続には、ワイヤボンディング接続が採用され、細いワイヤ（金やアルミニウム等）が用いられていた。

[0005] しかし、細く長いワイヤであれば、抵抗やインダクタンスが大きいため、現在要求されている抵抗およびインダクタンスの減少を実現することは困難である。

[0006] そこで、細いワイヤを使用せずに、リード端子と半導体チップとを直接接続する方法が提案されている。例えば、特許文献1および2には、半導体チ

ップの電極に特殊なバンプを形成し、この半導体チップをリードフレームに搭載した後、半導体チップのバンプと接続できる形状に加工されたリード端子を配置し、バンプと接続する方法が記載されている。この方法によれば、リード端子と半導体チップとを、小さい抵抗およびインダクタンスで電氣的に接続することが可能となっている。

先行技術文献

特許文献

[0007] 特許文献1：日本国公開特許公報「特開2004-260205号公報（2004年9月16日公開）」

特許文献2：日本国公開特許公報「特開2007-251218号公報（2007年9月27日公開）」

発明の概要

発明が解決しようとする課題

[0008] しかしながら、上記特許文献1および2に記載の方法では、半導体チップの電極に特殊なバンプを形成する加工工程が必要になるなど、従来の細いワイヤを用いたワイヤボンディング接続に比べると、使用できる半導体チップに制限が生じる。このため、汎用的ではないという問題がある。

[0009] それゆえ、使用できる半導体チップを制限せず、簡易な接続構成でもって、抵抗およびインダクタンスの減少を実現することが要望されている。

[0010] 本発明は、上記の問題を解決するためになされたものであって、その目的は、汎用的かつ簡易な接続構成を用いて、パッケージ全体としての抵抗およびインダクタンスを減少させることができる半導体装置を提供することにある。

課題を解決するための手段

[0011] 本発明に係る半導体装置は、上記の課題を解決するために、

金属板と、上記金属板に設置された1つの半導体素子と、上記半導体素子に電氣的に接続された少なくとも3つのリード端子とを備える半導体装置で

あって、

上記半導体素子は、該半導体素子の第1面に少なくとも1つの電極を有するとともに、上記第1面の反対側にある第2面が上記金属板と対向するように、上記金属板に設置され、

上記リード端子は、上記半導体素子と重ならないように配置され、

上記半導体素子の第1面にある各電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子と、導電体によってそれぞれ接続され、

上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴としている。

[0012] 上記の構成によれば、導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されているので、リード端子と電極とを接続する導電体を短くすることが可能となり、導電体の抵抗およびインダクタンスを減少させることが可能となる。

[0013] また、上記導電体は、従来のように円弧状にループさせて設置する必要がないので、より大きな断面積を持つ形状のものをを用いることが可能となる。よって、導電体の抵抗およびインダクタンスの減少をさらに図ることも可能となる。

[0014] さらに、導電体を用いた接続は、従来の接続工程（例えば、ワイヤボンディング工程）とほぼ同等の工程であり、工程の増加を招くことがない。また、通常の電極を備える半導体素子に適用可能である。

[0015] したがって、半導体装置では、汎用的かつ簡易な接続構成を用いて、半導体装置のパッケージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

[0016] 本発明に係る半導体装置は、上記の課題を解決するために、

金属板と、上記金属板に設置された複数の半導体素子と、上記複数の半導体素子に電氣的に接続された少なくとも3つのリード端子とを備える半導体装置であって、

上記複数の半導体素子のそれぞれは、該半導体素子の第1面に少なくとも1つの電極を有するとともに、上記第1面の反対側にある第2面が上記金属板と対向するように、上記金属板に設置され、

上記リード端子は、上記複数の半導体素子と重ならないように配置され、

上記複数の半導体素子の各第1面にある全ての電極のうち少なくとも1つの電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子と、導電体によってそれぞれ接続され、

上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴としている。

[0017] 上記の構成によれば、導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されているので、リード端子と電極とを接続する導電体を短くすることが可能となり、導電体の抵抗およびインダクタンスを減少させることが可能となる。

[0018] また、上記導電体は、従来のように円弧状にループさせて設置する必要がないので、より大きな断面積を持つ形状のものをを用いることが可能となる。よって、導電体の抵抗およびインダクタンスの減少をさらに図ることも可能となる。

[0019] さらに、導電体を用いた接続は、従来の接続工程（例えば、ワイヤボンディング工程）とほぼ同等の工程であり、工程の増加を招くことがない。また、通常の電極を備える半導体素子に適用可能である。

[0020] したがって、複数の半導体素子を備えることで接続部分が多くなっている構成においても、汎用的かつ簡易な接続構成を用いて、半導体装置のパッケージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

発明の効果

[0021] 以上のように、本発明に係る半導体装置は、上記半導体素子の第1面にある各電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子

と、導電体によってそれぞれ接続され、上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されている。それゆえ、汎用的かつ簡易な接続構成を用いて、半導体装置のパッケージ全体としての抵抗およびインダクタンスを減少させることができるという効果を奏する。

図面の簡単な説明

[0022] [図1]本発明の一実施形態に係る半導体装置の概略構成を示す図であり、図1の(a)は平面視を示し、図1の(b)は図1の(a)に示されるA-A'線断面視を示し、図1の(c)は図1の(a)に示されるB-B'線断面視を示す。

[図2]図2の(a)～図2の(d)は、上記半導体装置の他の構成例を示す図である。

[図3]図3は、本発明の他の実施形態に係る半導体装置の概略構成を示す図である。

発明を実施するための形態

[0023] 以下の各実施の形態では、MOSFETなどのパワートランジスタについて説明する。このパワートランジスタのような半導体装置は、規格で定められたパッケージを有している。ここでは、一例として、TO-220の規格品に適合するパッケージ形態を持つ半導体装置について説明するが、パッケージ形態はこれに限るものではない。

[0024] [実施の形態1]

本発明の一実施形態について図面に基づいて説明すれば、以下の通りである。

[0025] (半導体装置の概略構成)

図1は、本実施の形態の半導体装置1の一構成例を示す図であり、図1の(a)は平面視を示し、図1の(b)は図1の(a)に示されるA-A'線断面視を示し、図1の(c)は(a)に示されるB-B'線断面視を示す。なお、図1の(a)は、モールド樹脂10を部分的に透過して図示している

。

[0026] 図1に示すように、半導体装置1は、ヘッダ（金属板）2、半導体チップ（半導体素子）3、ゲート端子（第3リード端子）7、ドレイン端子（第1リード端子）8、ソース端子（第2リード端子）9、モールド樹脂（封止樹脂）10、およびスペーサー12を備えている。半導体装置1は、T O-220の規格品に対応している。

[0027] ヘッダ2は、金属（銅やアルミニウムなど）からなる板状の台座である。ヘッダ2の一方の面（以下、上面とする）には、半導体チップ3、ゲート端子7、ドレイン端子8、ソース端子9、モールド樹脂10、およびスペーサー12が設けられている。ヘッダ2の一方の面と反対側の面（以下、下面とする）は、露出している。

[0028] 半導体チップ3は、ゲート電極4、ソース電極5、およびドレイン電極を有するパワーデバイス（例えばM O S F E Tなど）が形成された半導体素子である。ゲート電極4およびソース電極5は、半導体チップ3の一方の面（第1面：以下、上面とする）に形成され、ドレイン電極は、半導体チップ3の一方の面と反対側の面（第2面：以下、下面とする）に形成されている。

。

[0029] 半導体チップ3は、下面がヘッダ2に対向するように、ヘッダ2に設置されており、例えば、ダイボンディングなどによってヘッダ2に固定されている。これにより、半導体チップ3のドレイン電極は、ヘッダ2と電氣的に接続されている。

[0030] ゲート端子7、ドレイン端子8およびソース端子9は、金属（銅やアルミニウムなど）からなるリード端子である。ゲート端子7、ドレイン端子8およびソース端子9は、図1の（a）に示すように平面視において、互いに平行となるように並べられている。ゲート端子7は、半導体チップ3のゲート電極4と電氣的に接続されている。ドレイン端子8は、ヘッダ2、すなわち半導体チップ3のドレイン電極と電氣的に接続されている。ソース端子9は、半導体チップ3のソース電極5と電氣的に接続されている。ゲート端子7

、ドレイン端子 8 およびソース端子 9 のパッケージ内の接続構造については、詳細に後述する。

[0031] スペーサー 12 は、ゲート端子 7 とヘッダ 2 との間と、ソース端子 9 とヘッダ 2 との間との、計 2 箇所 に設けられている。スペーサー 12 は、ゲート端子 7 およびソース端子 9 の支え（接合時の強度確保）として機能している。スペーサー 12 は、例えば、熱硬化性のエポキシ樹脂からなるが、これに限らず、支えとして十分な強度を確保でき、なおかつ絶縁性の固体材料であれば特に限定されない。

[0032] モールド樹脂 10 は、ヘッダ 2 の一部分、半導体チップ 3、ゲート端子 7 の一部分、ドレイン端子 8 の一部分、ソース端子 9 の一部分、およびスペーサー 12 を絶縁性樹脂（例えば、黒色）により封止している。ゲート端子 7、ドレイン端子 8、およびソース端子 9 は、モールド樹脂 10 の同一側面から突出しており、外部と接続可能な端子（外部接続端子）として機能することができる。

[0033] （リード端子の接続構造）

次に、ゲート端子 7、ドレイン端子 8 およびソース端子 9 のパッケージ内の接続構造について詳細に説明する。なお、以下では、図 1 の（b）の上下方向および図 1 の（c）の左右方向を「平面方向」とし、図 1 の（b）の左右方向および図 1 の（c）の上下方向を「高さ方向」とする。

[0034] 3つのリード端子（ゲート端子 7、ドレイン端子 8 およびソース端子 9）のモールド樹脂 10 外に位置する部分は、その配置（平面方向および高さ方向の配置）が予め決められている。例えば、平面方向においては、3つのリード端子のモールド樹脂 10 外に位置する部分は、規格に対応した所定の間隔で配置されている。また、高さ方向においては、ヘッダ 2 の下面を基準とすると、3つのリード端子のモールド樹脂 10 外に位置する部分は、ヘッダ 2 の上面および半導体チップ 3 の上面よりもヘッダ 2 の下面から離れた場所、すなわちヘッダ 2 の上面および半導体チップ 3 の上面よりも高い場所に位置している。

- [0035] このため、上記3つのリード端子は、ヘッダ2または半導体チップ3の各電極と最適に接続できるように、モールド樹脂10内において、その配置・形状が工夫されたり、部品（スペーサー12）が追加されている。
- [0036] ドレイン端子8は、半田などによってヘッダ2に直接接合されている。このため、ドレイン端子8は、ドレイン端子8のヘッダ2との接合部分（端子の一方の端）と、ヘッダ2の上面とが同じ高さとなるように、モールド樹脂10の内部で曲折されている。
- [0037] ゲート端子7およびソース端子9は、導電体11a・11bを用いた同等の接続構造を有している。つまりは、ゲート端子7は、導電体11aを介して、半導体チップ3のゲート電極4に接続され、ソース端子9は、導電体11bを介して、半導体チップ3のソース電極5に接続されている。
- [0038] 導電体11a・11bとしては、金属ワイヤが用いられる。なお、導電体11a・11bを実現する金属ワイヤとは、従来のワイヤボンディングで用いられる細くて長い金属ワイヤとは異なり、太くて短い金属ワイヤである。ゆえに、導電体11a・11bの断面は、従来と比較して面積が大きい、円形や楕円形の形状を有している。但し、導電体11a・11bとしては、上記のような比較的柔軟性を持つ金属ワイヤに限らず、太くて短い、断面多角形の板状の金属体を用いてもよい。また、導電体11a・11bの材質は、従来一般的な幅広い材質を使用することができる。なお、抵抗値や製造コストの点を考慮すると、断面形状は円形や、楕円形、四角形、材質は銅やアルミニウムが好ましい。
- [0039] 導電体11a・11bとして金属ワイヤを用いる場合は、超音波ボンディングによって接合が行われる。導電体11a・11bとして板状の金属体を用いる場合は、接着ペースト（主に半田ペースト）によって接合が行われる。
- [0040] よって、導電体11a・11bを用いる半導体装置1においては、接続のために、半導体チップ3に従来のような特別な加工工程を必要としない。ゆえに、汎用品として生産されている半導体チップをそのまま使用できるなど

、従来のパッケージと同じ工程で半導体装置 1 を製造することができ、幅広い用途への対応が可能となっている。

[0041] また、平面視において、ゲート端子 7 の一方の端である導電体 11a との接合部分は、半導体チップ 3 と重ならず、かつ、半導体チップ 3 のゲート電極 4 と近接するように配置されている。また、平面視において、ソース端子 9 の一方の端である導電体 11b との接合部分は、半導体チップ 3 と重ならず、かつ、半導体チップ 3 のソース電極 5 と近接するように配置されている。これにより、導電体 11a・11b の長さ（平面方向の長さ）を小さくすることが可能となる。

[0042] つまりは、ゲート端子 7 は、導電体 11a の長さが最小となるように、半導体チップ 3 のゲート電極 4 の近くまで延設されている。また、ソース端子 9 は、導電体 11b の長さが最小となるように、半導体チップ 3 のソース電極 5 の近くまで延設されている。但し、半導体チップ 3 と、半導体チップ 3 に近接して配置されたゲート端子 7 およびソース端子 9 との間は、接触するのではなく、隙間が設けられている。この理由は、以下のとおりである。

[0043] 半導体装置 1 の製造工程は、ヘッダ 2 に半導体チップ 3 をボンディングする実装工程、半導体チップ 3 と 3 つのリード端子とを接続する接続工程、モールド樹脂 10 を形成して半導体チップ 3 などを封止する封止工程、を含んでいる。そして、上記実装工程よりも前段階において、3 つのリード端子は、一体形成されたリードフレームの形態となっており、上記実装工程では、このリードフレームが置かれたヘッダ 2 に、半導体チップ 3 を実装している。

[0044] そのため、リード端子の位置は、半導体チップ 3 の搭載ずれを考慮して、半導体チップ 3 と干渉しないように設定されている（リード端子は、半導体チップ 3 の搭載時に妨げにならないような形状となっている）。上記半導体チップ 3 の搭載ずれは、半導体チップ 3 をヘッダ 2 に搭載する装置（ダイボンダー）の精度や、半導体チップ 3 をピックアップする治具（コレット）の形状などに依存する。なお、上記リードフレームは、上記封止工程後に切断

されて、３つのリード端子として提供される。

[0045] これにより、導電体１１aによって接続されるゲート電極４およびゲート端子７の、平面方向の両者の配置距離は、半導体チップ３の搭載ずれを考慮して定められた最小距離となっている。また、導電体１１bによって接続されるソース電極５およびソース端子９の、平面方向の両者の配置距離は、半導体チップ３の搭載ずれを考慮して定められた最小距離となっている。

[0046] 一方、高さ方向において、導電体１１aと接合される、ゲート端子７の接合部分と、半導体チップ３のゲート電極４の接合部分（半導体チップ３の上面）とは、同じ高さとなっている。つまりは、ゲート端子７は、ゲート端子７の導電体１１aとの接合部分と、半導体チップ３のゲート電極４の接合部分とが同じ高さとなるように、モールド樹脂１０の内部で曲折されている。

[0047] また、高さ方向において、導電体１１bと接合される、ソース端子９の接合部分と、半導体チップ３のソース電極５の接合部分（半導体チップ３の上面）とは、同じ高さとなっている。つまりは、ソース端子９は、ソース端子９の導電体１１bとの接合部分と、半導体チップ３のソース電極５の接合部分とが同じ高さとなるように、モールド樹脂１０の内部で曲折されている（図１の（b）参照）。

[0048] このように、半導体チップ３のゲート電極４の導電体１１aとの接合面と、ゲート端子７の導電体１１aとの接合面とが同じ高さであり、半導体チップ３のソース電極５の導電体１１bとの接合面と、ソース端子９の導電体１１bとの接合面とが同じ高さであることによって、導電体１１a・１１bを単純な形状、特に直線状に作成することが可能となり（直線状のものを採用することが可能となり）、結果、導電体１１a・１１bを最小限の長さとする事が可能となる。

[0049] なお、ゲート端子７およびソース端子９は、上述のとおり、スペーサー１２を介してヘッダ２に支えられている。各スペーサー１２は、ゲート端子７の導電体１１aとの接合部分の下方と、ソース端子９の導電体１１bとの接合部分との下方に、それぞれ配置されている。よって、スペーサー１２を、

ゲート端子7およびソース端子9の高さ調整に寄与させることもできる。

[0050] また、大きな断面面積を持つ導電体11a・11bで半導体チップ3の電極とリード端子とを接続する際に、例えば電気抵抗の低い銅を材料としたことでリード端子の強度が不足する場合でも、スペーサー12およびヘッダ2によりリード端子を支える（強度を確保する）ことができるので、リード端子の高さを保ったまま、接続を行うことが可能となっている。

[0051] 以上のことから、半導体装置1においては、導電体11a・11bの長さを最小にすることが可能となり、導電体11a・11bの抵抗およびインダクタンスを最小限に抑制することが可能となる。

[0052] さらに、導電体11a・11bを用いた接続は、従来の接続工程（例えば、ワイヤボンディング工程）とほぼ同等の工程であり、工程の増加を招くことがない。また、通常の電極を備える半導体チップに適用可能である。したがって、半導体装置1では、汎用的かつ簡易な接続構成を用いて、パッケージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

[0053] なお、上記の半導体装置1では、ゲート電極4の導電体11aとの接合面と、ゲート端子7の導電体11aとの接合面とを同じ高さとし、ソース電極5の導電体11bとの接合面と、ソース端子9の導電体11bとの接合面とを同じ高さとしているが、ここでいう「同じ高さ」とは、厳密に同じ高さであることに加えて、同じ高さとみなせる範囲（「ほぼ同じ高さ」）も含んでいる。また、直線状に導電体11a・11bを作成できる点において、ここでいう「直線状」とは、厳密に直線状であることに加えて、直線状とみなせる範囲（「ほぼ直線状」）も含んでいる。

[0054] 但し、同じ高さとすることが好ましいが、必ずしも同じ高さとする必要はない。つまりは、上述のようにリード端子を近接配置することによって、本実施形態による導電体は、従来用いられていた細く長いワイヤよりも短くなることは明らかであり、抵抗およびインダクタンスを減少させることが可能となる。また、本実施形態による導電体は、従来のように円弧状にループさ

せて設置する必要がないので、より大きな断面積を持つ形状のものを用いることが可能となる。よって、抵抗およびインダクタンスの減少をさらに図ることも可能となる。

[0055] なお、半導体装置 1 では、スペーサー 1 2 を備えているが、半導体チップ 3 の電極（ゲート電極 4 ・ソース電極 5）とリード端子（ゲート端子 7 ・ソース端子 9）とを導電体（導電体 1 1 a ・ 1 1 b）で接続する際の強度を、リード端子自身のみで確保できる場合は、スペーサー 1 2 を除いてもよい。

[0056] （変形例）

図 2 の（a）～図 2 の（d）は、半導体装置 1 の変形例である半導体装置 1 a ～ 1 d の概略構成を示す図である。

[0057] 図 2 の（a）～図 2 の（c）に示すように、半導体装置 1 a ～ 1 c は、半導体装置 1 の構成のうち、半導体チップ 3 に代えて半導体チップ 3 a を備えたものである。半導体チップ 3 a は、上面にゲート電極 4 a およびソース電極 5 a を有しており、ゲート電極 4 a およびソース電極 5 a は、隣接する 3 側面から等距離に配置されている。ゆえに、ゲート端子 7 およびソース端子 9 の配置には、3 つの配置パターンが存在する。

[0058] 図 2 の（a）は、ゲート端子 7 およびソース端子 9 を、半導体チップ 3 a を両側から挟むように配置する構成を示す。この配置構成は、最も基本的な形状となる。

[0059] 図 2 の（b）は、ゲート端子 7 およびソース端子 9 を、モールド樹脂 1 0 内にて半導体チップ 3 a の手前で折り曲げて、半導体チップ 3 a の同一側面側（半導体チップ 3 a の手前側）に配置する構成を示す。折り曲げる角度は、45 度程度が好ましい。

[0060] 図 2 の（c）は、ゲート端子 7 およびソース端子 9 を、モールド樹脂 1 0 内にて半導体チップ 3 a を回り込むように折り曲げて、半導体チップ 3 a の同一側面側（半導体チップ 3 a の向こう側）に配置する構成を示す。

[0061] 図 2 の（d）に示すように、半導体装置 1 d は、半導体装置 1 の構成のうち、半導体チップ 3 に代えて半導体チップ 3 b を備えたものである。半導体

チップ 3 b は、上面にゲート電極 4 b およびソース電極 5 b を有しており、ゲート電極 4 b およびソース電極 5 b は、隣接する 3 側面から等距離に配置されている。但し、半導体チップ 3 b は、半導体チップ 3・3 a と比較して大きい。

[0062] このような構成では、ゲート端子 7 およびソース端子 9 で半導体チップ 3 b を両側から挟むスペースが不足しているので、ゲート端子 7 およびソース端子 9 を、そのまま直進させて、半導体チップ 3 b の手前の同一側面側に配置することが好ましい。

[0063] 上記半導体装置 1 a ~ 1 d によれば、パッケージ全体としての抵抗およびインダクタンスの減少という点に着目すると、半導体装置 1 d の配置が、最もパッケージ内の導体（リード端子など）の長さが短いため、良好な位置関係となっている。その次に好ましいのは、半導体装置 1 a・1 b の配置である。なお、半導体装置 1 c の配置は、半導体チップを 1 つだけ搭載したパッケージでは採用されにくい（複数の半導体チップを備える形態については後述する）。

[0064] よって、導電体 11 a・11 b の長さが最小になる配置パターンが複数存在する場合は、「リード端子の延設方向」、「各リード端子の間隔」、「半導体チップの形状および配置」、および「半導体チップの電極の形成位置」等から、「リード端子もできるだけ短くする（抵抗・インダクタンスの増加を防ぐ）」点、および／または、「できるだけ折り曲げの少ない形状とする（インダクタンスの増加を防ぐ）」点を考慮して、採用する配置パターンを決めることが好ましい。特に、「半導体チップの形状（大きさ）」および「半導体チップの電極の形成位置」が重要な要素となる。

[0065] [実施の形態 2]

前記実施の形態 1 の半導体装置 1 は、1 パッケージに 1 つの半導体チップ 3 を搭載したものであったが、これに限らず、1 パッケージに複数の半導体チップを搭載してもよい。本実施の形態では、一例として、1 パッケージに、電氣的に接続された 2 つの半導体チップを搭載する形態について説明する

。

[0066] なお、本実施の形態において説明すること以外の構成は、前記実施の形態 1 と同じである。また、説明の便宜上、前記実施の形態 1 の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を適宜省略する。

[0067] 図 3 は、本実施の形態の半導体装置 20 の一構成例を示す図である。なお、図 3 は、モールド樹脂 10 を部分的に透過して図示している。

[0068] 図 3 に示すように、半導体装置 20 は、ヘッダ 2、半導体チップ（第 1 半導体素子・第 2 半導体素子）21・25、ゲート端子（第 3 リード端子）31、ドレイン端子（第 1 リード端子）32、ソース端子（第 2 リード端子）33、モールド樹脂 10、およびスペーサ 12（図示せず）を備えている。半導体装置 20 は、TO-220 の規格品に対応しており、前記実施の形態 1 の半導体装置 1 と外観は同じである。

[0069] 半導体チップ 21 は、ゲート電極 22、ソース電極 23、およびドレイン電極 24 を有する N チャネル型のパワートランジスタ（例えば、GaN）が形成された半導体素子である。ゲート電極 22、ソース電極 23、およびドレイン電極 24 は、半導体チップ 21 の一方の面（第 1 面：以下、上面とする）に形成されている。

[0070] 半導体チップ 25 は、ゲート電極 26、ソース電極、およびドレイン電極 27 を有する N チャネル型のパワートランジスタ（例えば、MOSFET）が形成された半導体素子である。ゲート電極 26 およびドレイン電極 27 は、半導体チップ 25 の一方の面（第 1 面：以下、上面とする）に形成され、ソース電極は、半導体チップ 25 の一方の面と反対側の面（第 2 面：以下、下面とする）に形成されている。

[0071] 半導体チップ 21・25 は、下面がヘッダ 2 に対向するように、ヘッダ 2 にそれぞれ設置されており、例えば、導電性ペースト（半田ペーストなど）や絶縁シートなどによってヘッダ 2 に固定されている。これにより、半導体チップ 25 のソース電極は、ヘッダ 2 と電氣的に接続されている。

[0072] ゲート端子31、ドレイン端子32およびソース端子33は、金属（銅やアルミニウムなど）からなるリード端子である。ゲート端子31、ドレイン端子32およびソース端子33は、図3に示すように平面視において、互いに平行となるように並べられている。ゲート端子31、ドレイン端子32およびソース端子33は、半導体チップ21・25と電氣的に接続されている。

[0073] ここで、半導体チップ21・25は、カスコード接続されている。具体的には、半導体チップ21は、ドレイン電極24がドレイン端子32に電氣的に接続され、ソース電極23が半導体チップ25のドレイン電極27に電氣的に接続され、ゲート電極22がソース端子33に電氣的に接続されている。半導体チップ25は、ソース電極がヘッダ2に電氣的に接続され、ゲート電極26がゲート端子31に接続されている。

[0074] また、ゲート端子31、ドレイン端子32およびソース端子33と、半導体チップ21・25の各電極との間の電氣的接続は、前記実施の形態1の半導体装置1のゲート端子7およびソース端子9の接続構造と同等の接続構造が適用されている。つまりは、ゲート端子31は、導電体11cを介して、半導体チップ25のゲート電極26と接続されている。ドレイン端子32は、導電体11gを介して、半導体チップ21のドレイン電極24と接続されている。ソース端子33は、導電体11fを介して、半導体チップ21のゲート電極22と接続されている。

[0075] ゲート端子31、ドレイン端子32およびソース端子33の形状および配置は、導電体11c・11g・11fが最小長さとなるように、上述したように平面方向および高さ方向の位置が設定されて、決められている。なお、ゲート端子31、ドレイン端子32およびソース端子33の下方には、スペーサー12が設けられているが、必要に応じて省略することもできる。

[0076] また、半導体チップ21のソース電極23と、半導体チップ25のドレイン電極27とは、導電体11dを介して接続されている。さらに、ソース端子33は、導電体11eを介してヘッダ2に接続されている。これにより、

ソース端子 33 は、半導体チップ 25 のソース電極と電氣的に接続されている。なお、ソース端子 33－ヘッダ 2 間の電氣的接続は、導電体 11e を用いずに、半田によって接続してもよい。

[0077] 導電体 11c～11g は、前記実施の形態 1 の導電体 11a・11b と同等の構成（材質，形状）を有している。

[0078] 通常、2つの半導体チップ 21・25 を備える構成においては、接続部分が多くなり、その分だけ抵抗値が大きくなる。

[0079] これに対し、上記の構成を有する半導体装置 20 によれば、抵抗およびインダクタンスを極力減少させるような接続構造を採用しているので、高機能のパワーデバイスを実現しつつ、パッケージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

[0080] また、上記のような導電体を用いた接続構造は、1パッケージに3つ以上の半導体チップを搭載する場合でも同様に適用することができ、同様の効果を奏することができる。

[0081] なお、上述の各実施形態においては、ゲート・ドレイン・ソースにそれぞれ対応する3つのリード端子を備える構成について説明したが、リード端子の数は3に限るものではない。つまりは、パワートランジスタのパッケージは多種存在しており、パッケージの形やリード端子の数は多様である。それゆえ、パッケージなどに応じて、リード端子は4つ以上備えていてもよい。すなわち、ゲート・ドレイン・ソースにそれぞれ対応する、少なくとも3つのリード端子を備えていればよい。

[0082] 本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

[0083] [まとめ]

以上のように、本発明に係る半導体装置は、
金属板と、上記金属板に設置された1つの半導体素子と、上記半導体素子

に電氣的に接続された少なくとも3つのリード端子とを備える半導体装置であって、

上記半導体素子は、該半導体素子の第1面に少なくとも1つの電極を有するとともに、上記第1面の反対側にある第2面が上記金属板と対向するように、上記金属板に設置され、

上記リード端子は、上記半導体素子と重ならないように配置され、

上記半導体素子の第1面にある各電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子と、導電体によってそれぞれ接続され、

上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴としている。

[0084] 上記の構成によれば、導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されているので、リード端子と電極とを接続する導電体を短くすることが可能となり、導電体の抵抗およびインダクタンスを減少させることが可能となる。

[0085] また、上記導電体は、従来のように円弧状にループさせて設置する必要がないので、より大きな断面積を持つ形状のものをを用いることが可能となる。よって、導電体の抵抗およびインダクタンスの減少をさらに図ることも可能となる。

[0086] さらに、導電体を用いた接続は、従来の接続工程（例えば、ワイヤボンディング工程）とほぼ同等の工程であり、工程の増加を招くことがない。また、通常の電極を備える半導体素子に適用可能である。

[0087] したがって、半導体装置では、汎用的かつ簡易な接続構成を用いて、半導体装置のパッケージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

[0088] また、本発明に係る半導体装置では、上記導電体によって接続される電極およびリード端子は、該電極の該導電体との接合部分と、該リード端子の該導電体との接合部分とが同じ高さに位置していることが好ましい。

- [0089] 上記の構成によれば、導電体を直線状に設けることが可能となる。よって、導電体の長さを最小にすることが可能となり、導電体の抵抗およびインダクタンスを最小限に抑制することが可能となる。
- [0090] また、本発明に係る半導体装置では、上記導電体は、直線状の形状を有している構成とすることもできる。
- [0091] また、本発明に係る半導体装置では、上記導電体によって接続される電極およびリード端子の両者の配置距離は、上記半導体素子の搭載ずれを考慮して定められた最小距離である構成とすることもできる。
- [0092] また、本発明に係る半導体装置では、上記半導体素子は、上記第2面に少なくとも1つの電極をさらに有している構成とすることもできる。
- [0093] また、本発明に係る半導体装置では、上記導電体に接続されるリード端子は、外部と接続可能な端子として機能する構成とすることもできる。
- [0094] また、本発明に係る半導体装置では、絶縁性のスペーサーをさらに備え、上記導電体に接続されるリード端子は、上記スペーサーを介して上記金属板に支えられていることが好ましい。
- [0095] 上記の構成によれば、導電体を用いて半導体チップの電極とリード端子とを接続する際に、リード端子の強度が不足する場合でも、スペーサーおよび金属板によりリード端子を支えることができるので、リード端子の高さを保ったまま、接続を行うことが可能となる。
- [0096] また、本発明に係る半導体装置では、少なくとも上記半導体素子を封止する封止樹脂をさらに備え、上記導電体に接続されるリード端子は、該導電体との接合部分を含む一部分が上記封止樹脂内に配置され、該一部分以外の部分が上記封止樹脂外に配置されている構成とすることもできる。
- [0097] また、本発明に係る半導体装置では、上記半導体素子には、ドレイン電極、ソース電極およびゲート電極を有するパワートランジスタが形成されており、上記リード端子として、上記ドレイン電極に電氣的に接続される第1リード端子と、上記ソース電極に電氣的に接続される第2リード端子と、上記ゲート電極に電氣的に接続される第3リード端子とを備えている構成とする

こともできる。

[0098] 本発明に係る半導体装置は、

金属板と、上記金属板に設置された複数の半導体素子と、上記複数の半導体素子に電氣的に接続された少なくとも3つのリード端子とを備える半導体装置であって、

上記複数の半導体素子のそれぞれは、該半導体素子の第1面に少なくとも1つの電極を有するとともに、上記第1面の反対側にある第2面が上記金属板と対向するように、上記金属板に設置され、

上記リード端子は、上記複数の半導体素子と重ならないように配置され、

上記複数の半導体素子の各第1面にある全ての電極のうち少なくとも1つの電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子と、導電体によってそれぞれ接続され、

上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴としている。

[0099] 上記の構成によれば、導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されているので、リード端子と電極とを接続する導電体を短くすることが可能となり、導電体の抵抗およびインダクタンスを減少させることが可能となる。

[0100] また、上記導電体は、従来のように円弧状にループさせて設置する必要がないので、より大きな断面積を持つ形状のものをを用いることが可能となる。よって、導電体の抵抗およびインダクタンスの減少をさらに図ることも可能となる。

[0101] さらに、導電体を用いた接続は、従来の接続工程（例えば、ワイヤボンディング工程）とほぼ同等の工程であり、工程の増加を招くことがない。また、通常の電極を備える半導体素子に適用可能である。

[0102] したがって、複数の半導体素子を備えることで接続部分が多くなっている構成においても、汎用的かつ簡易な接続構成を用いて、半導体装置のパッケージ

ージ全体としての抵抗およびインダクタンスを減少させることが可能となる。

[0103] また、本発明に係る半導体装置では、上記導電体によって接続される電極およびリード端子は、該電極の該導電体との接合部分と、該リード端子の該導電体との接合部分とが同じ高さに位置していることが好ましい。

[0104] 上記の構成によれば、導電体を直線状に設けることが可能となる。よって、導電体の長さを最小にすることが可能となり、導電体の抵抗およびインダクタンスを最小限に抑制することが可能となる。

[0105] また、本発明に係る半導体装置では、上記導電体は、直線状の形状を有している構成とすることもできる。

[0106] また、本発明に係る半導体装置では、上記導電体によって接続される電極およびリード端子の両者の配置距離は、該電極を有する半導体素子の搭載ずれを考慮して定められた最小距離である構成とすることもできる。

[0107] また、本発明に係る半導体装置では、上記複数の半導体素子のうち少なくとも1つの半導体素子は、上記第2面に少なくとも1つの電極をさらに有している構成とすることもできる。

[0108] また、本発明に係る半導体装置では、上記導電体に接続されるリード端子は、外部と接続可能な端子として機能する構成とすることもできる。

[0109] また、本発明に係る半導体装置では、絶縁性のスペーサーをさらに備え、上記導電体に接続されるリード端子は、上記スペーサーを介して上記金属板に支えられていることが好ましい。

[0110] 上記の構成によれば、導電体を用いて半導体チップの電極とリード端子とを接続する際に、リード端子の強度が不足する場合でも、スペーサーおよび金属板によりリード端子を支えることができるので、リード端子の高さを保ったまま、接続を行うことが可能となる。

[0111] また、本発明に係る半導体装置では、少なくとも上記複数の半導体素子を封止する封止樹脂をさらに備え、上記導電体に接続されるリード端子は、該導電体との接合部分を含む一部分が上記封止樹脂内に配置され、該一部分以

外の部分が上記封止樹脂外に配置されている構成とすることもできる。

[0112] また、本発明に係る半導体装置では、上記複数の半導体素子として、第1半導体素子および第2半導体素子を備え、上記リード端子として、第1リード端子、第2リード端子および第3リード端子を備え、上記第1半導体素子および上記第2半導体素子にはそれぞれ、ドレイン電極、ソース電極およびゲート電極を有するNチャネル型のパワートランジスタが形成されており、上記第1半導体素子のドレイン電極は、上記第1リード端子に電氣的に接続され、上記第1半導体素子のソース電極は、上記第2半導体素子のドレイン電極に電氣的に接続され、上記第1半導体素子のゲート電極は、上記第2半導体素子のソース電極に電氣的に接続され、上記第2半導体素子のソース電極は、上記第2リード端子に電氣的に接続され、上記第2半導体素子のゲート電極は、上記第3リード端子に電氣的に接続されている構成とすることもできる。

産業上の利用可能性

[0113] 本発明の半導体装置は、パワートランジスタを実装したデバイスに適用できる。

符号の説明

[0114] 1, 1 a, 1 b, 1 c, 1 d 半導体装置
2 ヘッダ（金属板）
3, 3 a, 3 b 半導体チップ（半導体素子）
4, 4 a, 4 b ゲート電極（電極）
5, 5 a, 5 b ソース電極（電極）
7, 3 1 ゲート端子（リード端子、第3リード端子）
8, 3 2 ドレイン端子（リード端子、第1リード端子）
9, 3 3 ソース端子（リード端子、第2リード端子）

1 0	モールド樹脂（封止樹脂）
1 1 a, 1 1 b, 1 1 c, 1 1 d, 1 1 e, 1 1 f, 1 1 g	導電体
1 2	スペーサー
2 0	半導体装置
2 1	半導体チップ（半導体素子、第 1 半導体素子）
2 2, 2 6	ゲート電極（電極）
2 3	ソース電極（電極）
2 4, 2 7	ドレイン電極（電極）
2 5	半導体チップ（半導体素子、第 2 半導体素子）

請求の範囲

- [請求項1] 金属板と、上記金属板に設置された1つの半導体素子と、上記半導体素子に電氣的に接続された少なくとも3つのリード端子とを備える半導体装置であって、
- 上記半導体素子は、該半導体素子の第1面に少なくとも1つの電極を有するとともに、上記第1面の反対側にある第2面が上記金属板と対向するように、上記金属板に設置され、
- 上記リード端子は、上記半導体素子と重ならないように配置され、
- 上記半導体素子の第1面にある各電極は、上記リード端子のうち互いに異なるいずれか1つのリード端子と、導電体によってそれぞれ接続され、
- 上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴とする半導体装置。
- [請求項2] 上記導電体によって接続される電極およびリード端子は、該電極の該導電体との接合部分と、該リード端子の該導電体との接合部分とが同じ高さに位置していることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 上記導電体は、直線状の形状を有していることを特徴とする請求項1または2に記載の半導体装置。
- [請求項4] 上記導電体によって接続される電極およびリード端子の両者の配置距離は、上記半導体素子の搭載ずれを考慮して定められた最小距離であることを特徴とする請求項1から3のいずれか1項に記載の半導体装置。
- [請求項5] 上記半導体素子は、上記第2面に少なくとも1つの電極をさらに有していることを特徴とする請求項1から4のいずれか1項に記載の半導体装置。
- [請求項6] 上記導電体に接続されるリード端子は、外部と接続可能な端子とし

て機能することを特徴とする請求項 1 から 5 のいずれか 1 項に記載の半導体装置。

[請求項7] 絶縁性のスペーサーをさらに備え、
上記導電体に接続されるリード端子は、上記スペーサーを介して上記金属板に支えられていることを特徴とする請求項 1 から 6 のいずれか 1 項に記載の半導体装置。

[請求項8] 少なくとも上記半導体素子を封止する封止樹脂をさらに備え、
上記導電体に接続されるリード端子は、該導電体との接合部分を含む一部分が上記封止樹脂内に配置され、該一部分以外の部分が上記封止樹脂外に配置されていることを特徴とする請求項 1 から 7 のいずれか 1 項に記載の半導体装置。

[請求項9] 上記半導体素子には、ドレイン電極、ソース電極およびゲート電極を有するパワートランジスタが形成されており、
上記リード端子として、上記ドレイン電極に電氣的に接続される第 1 リード端子と、上記ソース電極に電氣的に接続される第 2 リード端子と、上記ゲート電極に電氣的に接続される第 3 リード端子とを備えていることを特徴とする請求項 1 から 8 のいずれか 1 項に記載の半導体装置。

[請求項10] 金属板と、上記金属板に設置された複数の半導体素子と、上記複数の半導体素子に電氣的に接続された少なくとも 3 つのリード端子とを備える半導体装置であって、

上記複数の半導体素子のそれぞれは、該半導体素子の第 1 面に少なくとも 1 つの電極を有するとともに、上記第 1 面の反対側にある第 2 面が上記金属板と対向するように、上記金属板に設置され、

上記リード端子は、上記複数の半導体素子と重ならないように配置され、

上記複数の半導体素子の各第 1 面にある全ての電極のうち少なくとも 1 つの電極は、上記リード端子のうち互いに異なるいずれか 1 つの

リード端子と、導電体によってそれぞれ接続され、

上記導電体に接続されるリード端子の該導電体との接合部分は、該導電体を介して接続される電極と近接するように配置されていることを特徴とする半導体装置。

[請求項11] 上記導電体によって接続される電極およびリード端子は、該電極の該導電体との接合部分と、該リード端子の該導電体との接合部分とが同じ高さに位置していることを特徴とする請求項10に記載の半導体装置。

[請求項12] 上記導電体は、直線状の形状を有していることを特徴とする請求項10または11に記載の半導体装置。

[請求項13] 上記導電体によって接続される電極およびリード端子の両者の配置距離は、該電極を有する半導体素子の搭載ずれを考慮して定められた最小距離であることを特徴とする請求項10から12のいずれか1項に記載の半導体装置。

[請求項14] 上記複数の半導体素子のうち少なくとも1つの半導体素子は、上記第2面に少なくとも1つの電極をさらに有していることを特徴とする請求項10から13のいずれか1項に記載の半導体装置。

[請求項15] 上記導電体に接続されるリード端子は、外部と接続可能な端子として機能することを特徴とする請求項10から14のいずれか1項に記載の半導体装置。

[請求項16] 絶縁性のスペーサーをさらに備え、
上記導電体に接続されるリード端子は、上記スペーサーを介して上記金属板に支えられていることを特徴とする請求項10から15のいずれか1項に記載の半導体装置。

[請求項17] 少なくとも上記複数の半導体素子を封止する封止樹脂をさらに備え、
上記導電体に接続されるリード端子は、該導電体との接合部分を含む一部分が上記封止樹脂内に配置され、該一部分以外の部分が上記封

止樹脂外に配置されていることを特徴とする請求項 10 から 16 のいずれか 1 項に記載の半導体装置。

[請求項18]

上記複数の半導体素子として、第 1 半導体素子および第 2 半導体素子を備え、

上記リード端子として、第 1 リード端子、第 2 リード端子および第 3 リード端子を備え、

上記第 1 半導体素子および上記第 2 半導体素子にはそれぞれ、ドレイン電極、ソース電極およびゲート電極を有する N チャネル型のパワートランジスタが形成されており、

上記第 1 半導体素子のドレイン電極は、上記第 1 リード端子に電氣的に接続され、

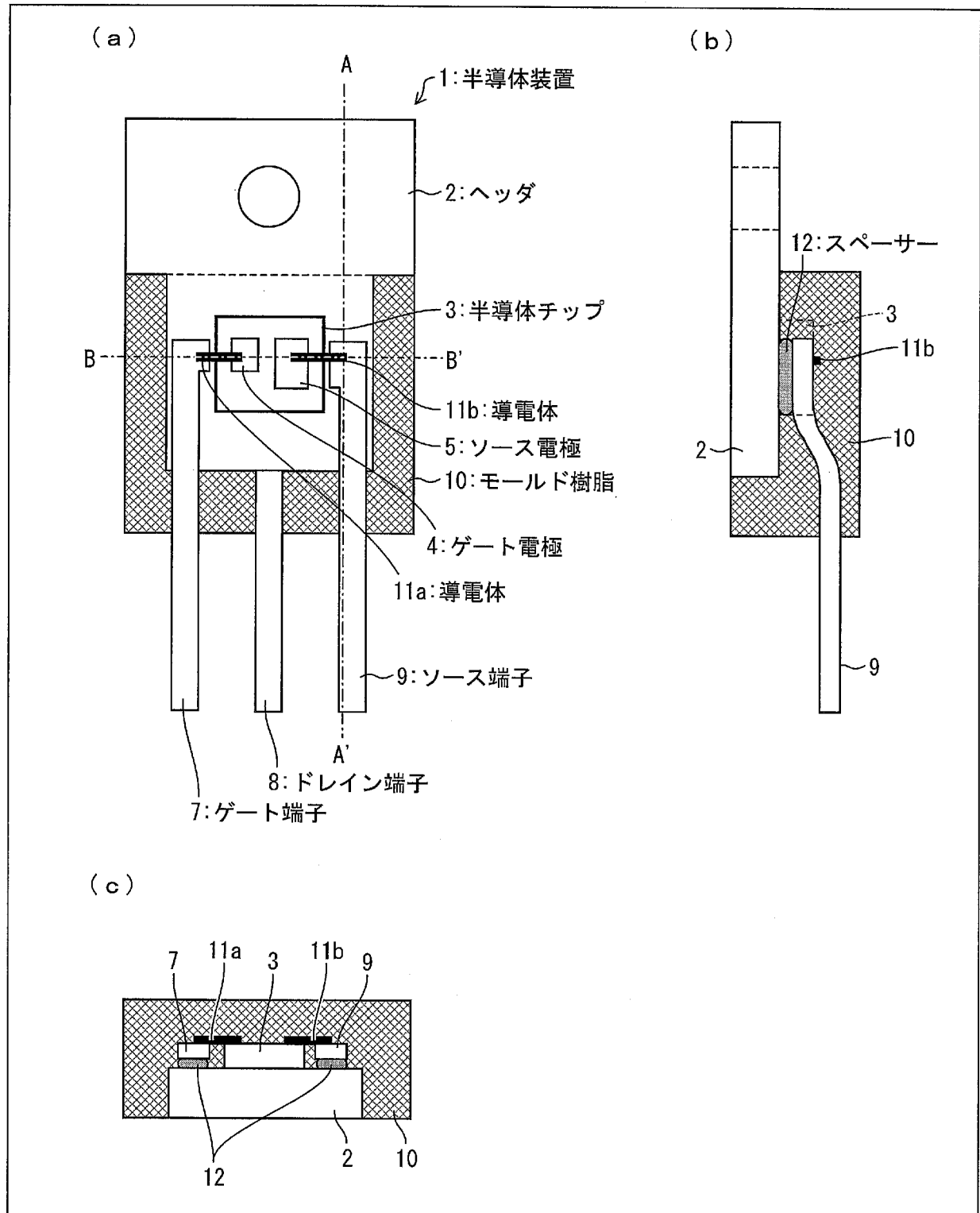
上記第 1 半導体素子のソース電極は、上記第 2 半導体素子のドレイン電極に電氣的に接続され、

上記第 1 半導体素子のゲート電極は、上記第 2 半導体素子のソース電極に電氣的に接続され、

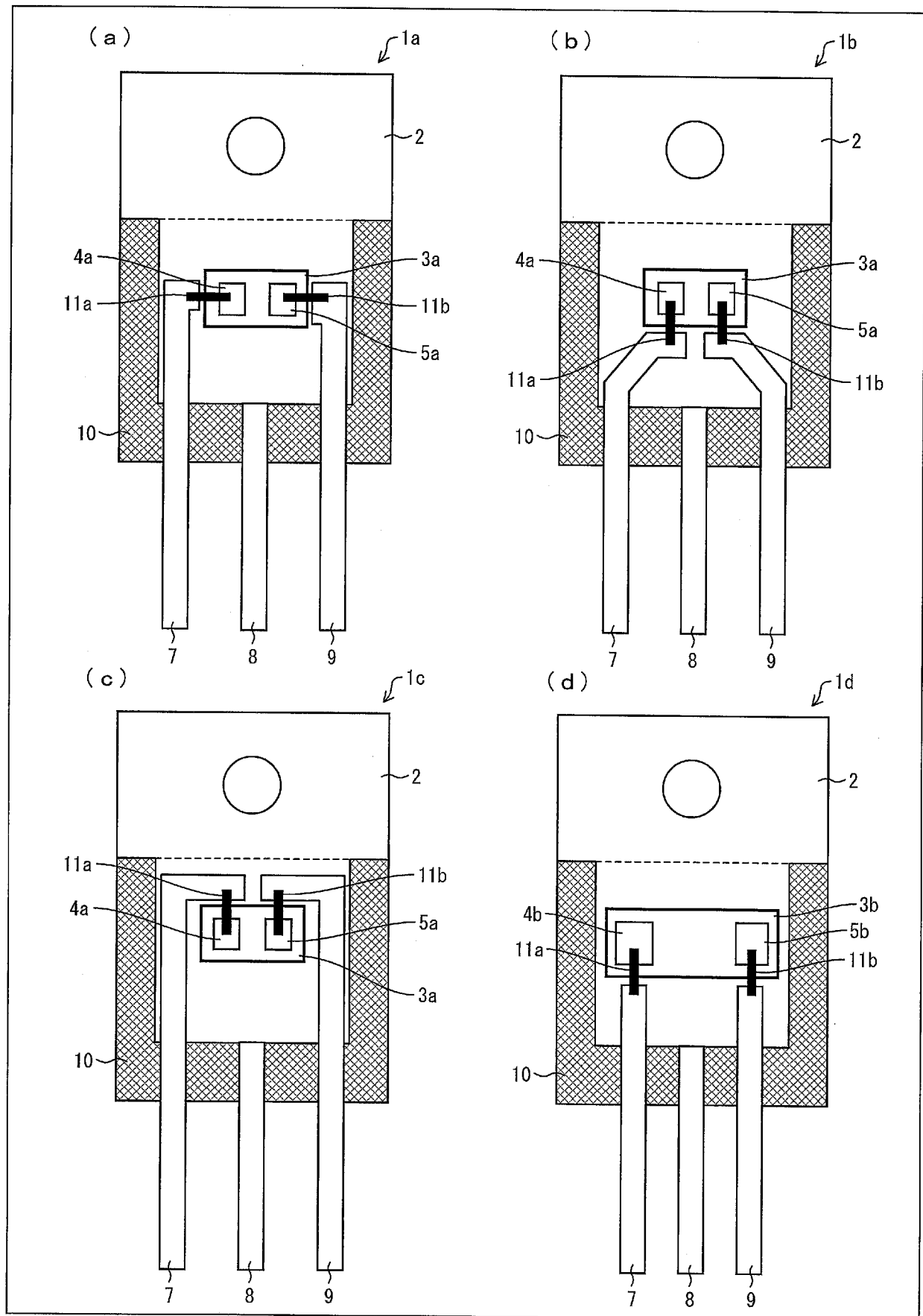
上記第 2 半導体素子のソース電極は、上記第 2 リード端子に電氣的に接続され、

上記第 2 半導体素子のゲート電極は、上記第 3 リード端子に電氣的に接続されていることを特徴とする請求項 10 から 17 のいずれか 1 項に記載の半導体装置。

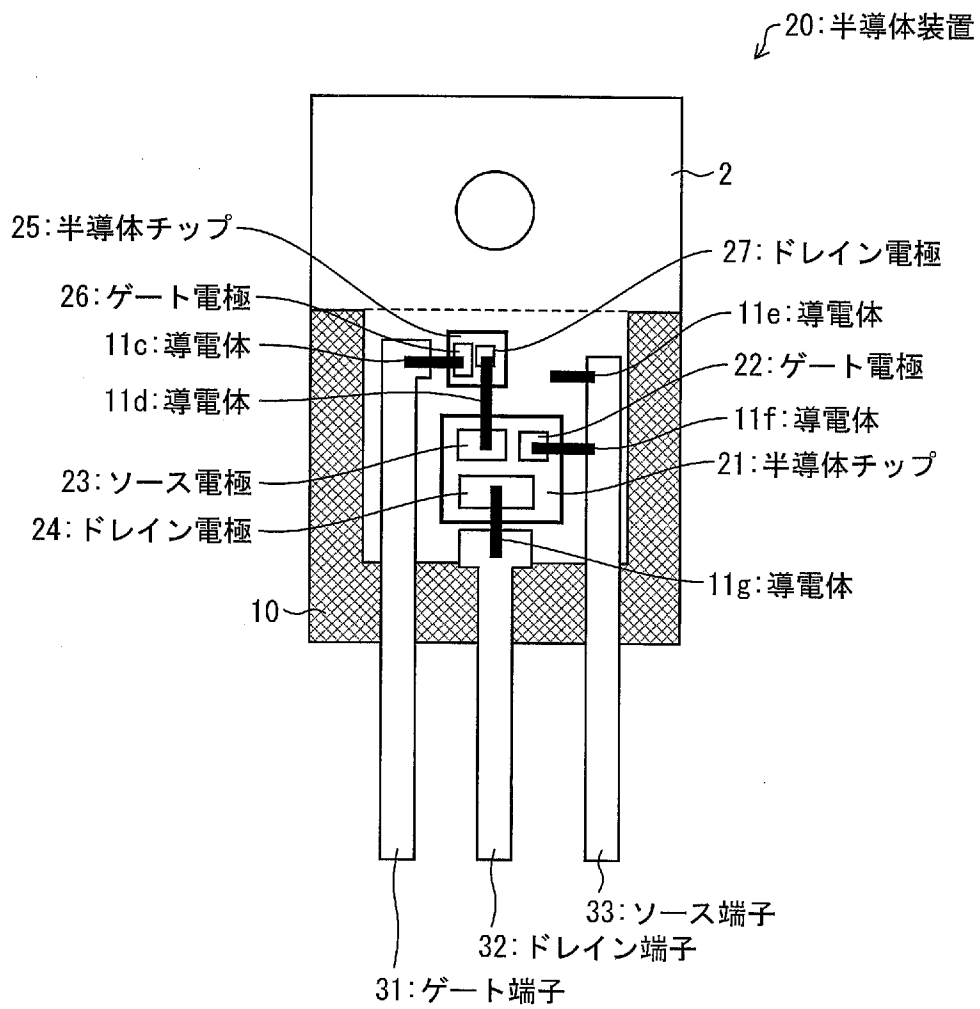
[図1]



[図2]



[図3]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074593

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/48 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-158673 A (Kyocera Corp.), 16 July 2009 (16.07.2009), paragraphs [0011] to [0066]; fig. 3 to 4 (Family: none)	1, 7 2-6, 8-18
X Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 89766/1981 (Laid-open No. 201840/1982) (New Nippon Electric Co., Ltd.), 22 December 1982 (22.12.1982), page 2, line 14 to page 5, line 5 (Family: none)	1, 8 2-6, 8-18



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

01 November, 2012 (01.11.12)

Date of mailing of the international search report

13 November, 2012 (13.11.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/074593

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-108886 A (Fuji Electric Device Technology Co., Ltd.), 08 May 2008 (08.05.2008), fig. 1 (Family: none)	2-6, 8-18
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 160445/1987 (Laid-open No. 170961/1988) (Fuji Electric Co., Ltd.), 07 November 1988 (07.11.1988), fig. 4 (Family: none)	2-6, 8-18

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L23/48 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L23/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-158673 A (京セラ株式会社) 2009.07.16, 段落【0011】 - 【0066】, 図 3-図 4 (ファミリーなし)	1, 7 2-6, 8-18
X Y	日本国実用新案登録出願 56-89766 号 (日本国実用新案登録出願公開 57-201840 号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (新日本電気株式会社) 1982.12.22, 第 2 頁第 14 行 - 第 5 頁第 5 行 (ファミリーなし)	1, 8 2-6, 8-18

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 1 . 2 0 1 2

国際調査報告の発送日

1 3 . 1 1 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山本 雄一

4 R

3 1 2 3

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-108886 A (富士電機デバイステクノロジー株式会社) 2008.05.08, 図1 (ファミリーなし)	2-6, 8-18
Y	日本国実用新案登録出願62-160445号(日本国実用新案登録出願公開 63-170961号)の願書に添付した明細書及び図面の内容を撮影したマ イクロフィルム(富士電機株式会社)1988.11.07, 第4図(ファミ リーなし)	2-6, 8-18