



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97122208.8

[45] 授权公告日 2004 年 5 月 12 日

[11] 授权公告号 CN 1149737C

[22] 申请日 1997. 11. 5 [21] 申请号 97122208. 8

[30] 优先权

[32] 1997. 3. 19 [33] JP [31] 66973/1997

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 牧野博之 铃木弘明

审查员 张 璇

[74] 专利代理机构 中国专利代理(香港)有限公司

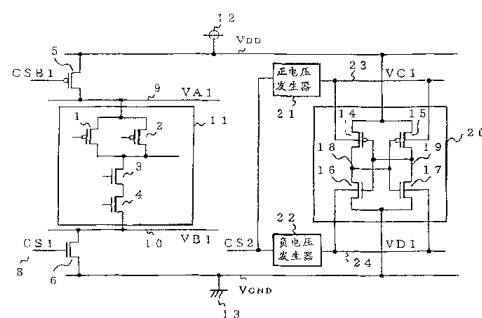
代理人 姜郭厚 叶恺东

权利要求书 2 页 说明书 12 页 附图 7 页

[54] 发明名称 半导体集成电路

[57] 摘要

在半导体集成电路中, 虽然组合电路正常地工作, 但是, 存在着顺序电路由于保持数据的消失而发生误动作的问题。由于构成了控制单元可以使顺序电路所包含的场效应晶体管的阈值电压可变, 所以, 在动作时可以降低晶体管的阈值电压, 向存储保持节点高速地进行数据的写入和读出, 在不动作时提高晶体管的阈值电压、减小漏电流, 这样, 便可使存储保持节点的数据不会破坏和消失, 从而可以实现低功耗化。



1. 一种半导体集成电路，其特征在于具有：

电源电压线；

接地线；

- 5 开关单元，分别与所述电源电压线和接地线连接；
与该开关单元连接的组合电路；

顺序电路，与所述电源电压线和接地线连接并包括至少一个以上具有背栅极的P-沟道场效应晶体管和至少一个以上具有背栅极的N-沟道场效应晶体管；和

- 10 控制单元，由通过上述背栅极使上述顺序电路内的所述P-沟道场效应晶体管的阈值电压可变的正电压发生器和通过上述背栅极使上述顺序电路内的所述N-沟道场效应晶体管的阈值电压可变的负电压发生器构成。

2. 按照权利要求1所述的半导体集成电路，其特征在于：在所述组合电路包括有至少一个以上的组合电路用P-沟道场效应晶体管和至少一个以上的组合电路用N-沟道场效应晶体管，在开关单元中包括有开关用P-沟道场效应晶体管和开关用N-沟道场效应晶体管，并且上述开关用P-沟道场效应晶体管的阈值电压的绝对值比上述组合电路用P-沟道场效应晶体管的阈值电压的绝对值高，上述
20 开关用N-沟道场效应晶体管的阈值电压的绝对值比上述组合电路用N-沟道场效应晶体管的阈值电压的绝对值高。

3. 按照权利要求1所述的半导体集成电路，其特征在于：在所述组合电路包括有至少一个以上的组合电路用P-沟道场效应晶体管和至少一个以上的组合电路用N-沟道场效应晶体管，在开关单元中包括有开关用P-沟道场效应晶体管和开关用N-沟道场效应晶体管，并且上述组合电路用P-沟道场效应晶体管的阈值电压的绝对值与上述开关用P-沟道场效应晶体管的阈值电压的绝对值相等，上述组合电路用N-沟道场效应晶体管的阈值电压的绝对值与上述开关用N-沟道场效应晶体管的阈值电压的绝对值相等，在上述组合电
25 路处于截止状态时，输入到上述开关用P-沟道场效应晶体管的栅极的控制信号高于电源电压，并且输入到上述开关用N-沟道场效应晶体管的栅极的控制信号低于接地电压。
30

4. 按照权利要求 1 所述的半导体集成电路, 其特征在于: 具有通过多个开关单元与上述电源电压线和所述接地线分别连接的多个上述组合电路, 与上述电源电压线和所述接地线分别连接的多个上述顺序电路和分别与上述各个顺序电路连接的控制单元;

5 上述各个开关单元和各个控制单元还具有产生比电源电压高的电压的一个共同的第 1 升压器、产生比接地电位低的电压的一个共同的第 1 降压器, 上述各开关单元还具有与上述第 1 升压器连接的反相单元和与上述第 1 降压器连接的非反相单元。

10 5. 按照权利要求 4 所述的半导体集成电路, 其特征在于: 上述第 1 升压器与正电压发生器连接, 上述第 1 降压器与负电压发生器连接, 上述正电压发生器和上述负电压发生器分别包含 1 个多路转换器。

15 6. 按照权利要求 4 所述的半导体集成电路, 其特征在于: 将上述多个组合电路和上述多个顺序电路形成作为 1 个逻辑电路, 并将上述 1 个逻辑电路、上述第 1 升压器、上述第 1 降压器形成在同一集成电路内;

使用上述第 1 升压器和上述第 1 降压器, 通过上述电源电压线和上述接地线, 驱动与上述组合电路连接的各个上述开关单元, 并且控制构成上述顺序电路的上述场效应晶体管的工作。

20 7. 按照权利要求 6 所述的半导体集成电路, 其特征在于: 具有上述升压器和降压器的集成电路由动态随机存取存储器构成。

半导体集成电路

5 发明领域

本发明涉及一种半导体集成电路，尤其是低功耗的半导体集成电路，用于延长便携式电子仪器等的电池寿命。

背景技术

近年来，随着便携式仪器的进步和发展，为了使内装电池可以使用
10 更长时间，便要求使半导体集成电路（LSI）实现低功耗化。作为实现低功耗化的有效的方法，例如有降低工作电压的方法等。即，由于电功率等于电压和电流的乘积，所以，通过降低工作电压，便可将电压和电流都降低，这样，通常具有平方的效果。

但是，构成 LSI 的 MOSFET（MOS 场效应晶体管）具有当电源电压降低时动作劣化速度变慢的性质。该性质起因于即使降低电源电压也不能不加考虑地降低阈值电压。因为，如果降低阈值电压，MOSFET
15 截止时的漏电流将增大，反而增加功耗。为了解决这一问题，以往是采用如下方法。

图 7 是例如特开平 7—212218 号公报所公开的现有的所谓 MT-CMOS（Multi-threshold CMOS）的低电压工作电路。图中，1、2 和 5
20 是 p 沟道 MOSFET，3、4 和 6 是 n 沟道 MOSFET。将 p 沟道 MOSFET1、2 的阈值电压的绝对值设定得低于 p 沟道 MOSFET5 的阈值电压的绝对值，同时，将 n 沟道 MOSFET3、4 的阈值电压的绝对值设定得低于 n 沟道 MOSFET6 的阈值的绝对值（以后，假定「阈值电压」是指其绝对值）。并且，这些 MOSFET1~4 构成两输入“与非”门的组合电路
25 11。另外，p 沟道 MOSFET5 连接在电源电压 12 和假想的电源线 9 之间，控制信号 CSB1 输入到其栅极，n 沟道 MOSFET6 连接在假想的地线 10 和地 13 之间，控制信号 CS1 输入到其栅极。

下面，说明其动作。

30 使该两输入“与非”门的组合电路 11 动作时，使控制信号 CS1 成为高电平，同时，使其反相信号即控制信号 CSB1 成为低电平。因此，p 沟道 MOSFET5 和 n 沟道 MOSFET6 都成为导通状态，假想的电源线

9 上升到电源电压 12 的电压电平 V_{DD} ，另一方面，假想的地线 10 降低到地 13 的电压电平 V_{GND} 。结果，该组合电路 11 进行通常的“与非”动作。这时，由于将 MOSFET1~4 的阈值电压（绝对值）设定得低，所以，在电源电压 12 的电压 V_{DD} 为低电压时也可以高速动作。

5 组合电路 11 不工作时，使控制信号 CS1 成为低电平，使其反相信号即控制信号 CSB1 成为高电平。这时，p 沟道 MOSFET5 和 n 沟道 MOSFET6 都截止，假想的电源线 9 和假想的地线 10 分别断开电源电压 12 和地 13。这时，由于将 p 沟道 MOSFET5 和 n 沟道 MOSFET6 的阈值电压（绝对值）都设定得高于 MOSFET1~4，所以，可以将漏电流抑制得很小。

通常，在 MOSFET 的栅极·源极间的电压小于阈值电压的区域，源极·漏极间的漏电流随栅极电压按指数函数增加。因此，组合电路 11 不工作时，通过使 MOSFET1~4 和 MOSFET5、6 的阈值电压有电压差，便可大幅度地减小漏电流。作为一例，图 7 示出了组合电路 11 15 为两输入“与非”门的情况，但是，不论在构成 LSI 的什么样的种类和规模的电路中，同样的讨论都成立。

由于现有的低电压动作式的半导体集成电路是按上述方式构成的，所以，如两输入“与非”门那样，在通过输出与输入组合而决定的组合电路的情况下，可以正常地工作，但是，在具有存储保持以前的状态的功能的顺序电路的情况下，存在发生误动作等问题。

作为该顺序电路的一例，在图 8 中示出了 2 个反相器的输入和输出相互交叉地连接而成的所谓的锁存电路的图。图中，14、15 是 p 沟道 MOSFET，16、17 是 n 沟道 MOSFET，它们都具有低的阈值电压（绝对值）。5 是 p 沟道 MOSFET，6 是 n 沟道 MOSFET，它们的阈值电压（绝对值）都高。由这些 MOSFET14~17 构成顺序电路 20，节点 18、19 形成一对存储保持节点，一个节点为高电平时，另一个节点成为低电平，从而可以保持输入的值。

下面，说明其动作。

在 CS1 为高电平、同时 CSB1 成为低电平的状态下顺序电路 20 30 动作时，使写入的数据的值正常地保持，而且由于 p 沟道 MOSFET14、15 和 n 沟道 MOSFET16、17 的阈值电压都低，所以，可以向节点 18、19 高速地进行写入和读出。

但是，在不动作时，CS1 为低电平、而且 CSB1 成为高电平，漏电流减小，这时，由于 MOSFET14~17 截止时的漏电流大于 MOSFET5、6 截止时的漏电流，所以，将不能保持节点 18、19 的数据。因为，例如假定节点 18 为高电平、节点 19 为低电平，则 MOSFET14~17 中的 p 沟道 MOSFET15 和 n 沟道 MOSFET16 为截止，而其他 2 个为导通，但是，由于流过 p 沟道 MOSFET15 和 n 沟道 MOSFET16 的漏电流的影响，高电平的节点 18 的电平将降低，低电平的节点 19 的电平将上升。这一过程将持续到节点 18、19 的电平相等为止，其结果，将失去所保持的数据。这样，在现有的低电压动作式的半导体集成电路中，存在丢失顺序电路的数据的问题。

发明内容

本发明就是为了解决上述问题而提案的，目的在于提供可以不破坏顺序电路的保持数据、利用不动作的电路的漏电流的减小而实现低功耗化的半导体集成电路。

根据本发明的第一方面，提供了一种半导体集成电路，其特征在于具有：电源电压线；接地线；开关单元，分别与所述电源电压线和接地线连接；与该开关单元连接的组合电路；顺序电路，与所述电源电压线和接地线连接并包括至少一个以上具有背栅极的 P-沟道场效应晶体管和至少一个以上具有背栅极的 N-沟道场效应晶体管；和控制单元，由通过上述背栅极使上述顺序电路内的所述 P-沟道场效应晶体管的阈值电压可变的正电压发生器和通过上述背栅极使上述顺序电路内的所述 N-沟道场效应晶体管的阈值电压可变的负电压发生器构成。

优选地，在所述组合电路中包括有至少一个以上的组合电路用 P-沟道场效应晶体管和至少一个以上的组合电路用 N-沟道场效应晶体管，在开关单元中包括有开关用 P-沟道场效应晶体管和开关用 N-沟道场效应晶体管，并且上述开关用 P-沟道场效应晶体管的阈值电压的绝对值比上述组合电路用 P-沟道场效应晶体管的阈值电压的绝对值高，上述开关用 N-沟道场效应晶体管的阈值电压的绝对值比上述组合电路用 N-沟道场效应晶体管的阈值电压的绝对值高。

或者，在所述组合电路中包括有至少一个以上的组合电路用 P-沟道场效应晶体管和至少一个以上的组合电路用 N-沟道场效应晶体管，在开关单元中包括有开关用 P-沟道场效应晶体管和开关用 N-沟

道场效应晶体管,并且上述组合电路用P-沟道场效应晶体管的阈值电压的绝对值与上述开关用P-沟道场效应晶体管的阈值电压的绝对值相等,上述组合电路用N-沟道场效应晶体管的阈值电压的绝对值与上述开关用N-沟道场效应晶体管的阈值电压的绝对值相等,在上述组合电路处于截止状态时,输入到上述开关用P-沟道场效应晶体管的栅极的控制信号高于电源电压,并且输入到上述开关用N-沟道场效应晶体管的栅极的控制信号低于接地电压。

优选地,所述的半导体集成电路包括通过多个开关单元与上述电源电压线和所述接地线分别连接的多个上述组合电路,与上述电源电压线和所述接地线分别连接的多个上述顺序电路和分别与上述各个顺序电路连接的控制单元;上述各个开关单元和各个控制单元还具有产生比电源电压高的电压的一个共同的第1升压器、产生比接地电位低的电压的一个共同的第1降压器,上述各开关单元还具有与上述第1升压器连接的反相单元和与上述第1降压器连接的非反相单元。

其中,上述第1升压器与正电压发生器连接,上述第1降压器与负电压发生器连接,上述正电压发生器和上述负电压发生器分别包含1个多路转换器。

在所述的半导体集成电路中,将上述多个组合电路和上述多个顺序电路形成作为1个逻辑电路,并将上述1个逻辑电路、上述第1升压器、上述第1降压器形成在同一集成电路内;使用上述第1升压器和上述第1降压器,通过上述电源电压线和上述接地线,驱动与上述组合电路连接的各个上述开关单元,并且控制构成上述顺序电路的上述场效应晶体管的工作。

其中,具有上述升压器和降压器的集成电路由动态随机存取存储器构成。

附图说明

图1是本发明实施例1的半导体集成电路的电路结构图。

图2是本发明实施例2的半导体集成电路的电路结构图。

图3是本发明实施例3的半导体集成电路的电路结构图。

图4是本发明实施例4的半导体集成电路的电路结构图。

图5是本发明实施例5的半导体集成电路的电路结构图。

图6是本发明实施例6的半导体集成电路的电路结构图。

图 7 是现有的 MT-CMOS 的低电压动作电路的电路结构图。

图 8 是现有的锁存电路的电路结构图。

具体实施方式

下面, 说明本发明的实施例。

5 实施例 1.

图 1 是表示本发明实施例 1 的低电压动作式的半导体集成电路的图, 图中, 1、2 是 p 沟道 MOSFET, 5 是 p 沟道 MOSFET, 3、4 是 n 沟道 MOSFET, 6 是 n 沟道 MOSFET, 23、24 是背栅极用节点。这里, p 沟道 MOSFET1、2 的阈值电压的绝对值设定得低于 p 沟道 MOSFET5 得阈值电压的绝对值, 同时, n 沟道 MOSFET3、4 的阈值电压的绝对值设定得低于 n 沟道 MOSFET6 的阈值电压的绝对值(以后, 假定「阈值电压」是指其绝对值)。并且, 这些 MOSFET1~4 构成例如两输入“与非”门那样的组合电路 11, MOSFET5、6 构成开关单元。这时, p 沟道 MOSFET5 连接在电源电压 12 和假想的电源线 9 之间, 控制信号 CSB1 输入到其栅极。另外, n 沟道 MOSFET6 连接在假想的地线 10 和地 13 之间, 控制信号 CS1 输入到其栅极。

另一方面, 14、15 是 p 沟道 MOSFET, 16、17 是 n 沟道 MOSFET, 它们构成顺序电路 20。另外, 正电压发生器 21、负电压发生器 22 和 MOSFET14~17 的背栅极用节点 23、24 构成控制单元。这些 MOSFET14~17 由阈值电压的绝对值低的晶体管构成, 节点 18、19 形成一对存储保持节点。这时, 将 p 沟道 MOSFET14、15 的背栅极电位 VC1 与正电压发生器 21 的输出连接, 将 n 沟道 MOSFET16、17 的背栅极电位 VD1 与负电压发生器 22 的输出连接。

下面, 说明其动作。

25 使组合电路 11 动作时, 使控制信号 CS1 成为高电平, 同时, 使其反相信号即控制信号 CSB1 成为低电平。这样, p 沟道 MOSFET5 和 n 沟道 MOSFET6 都成为导通状态, 假想的电源线 9 上升到电源电压 12 的电位电平 V_{DD} , 另一方面, 假想的地线 10 降低到地 13 的电平 V_{GND} 。结果, 这样的两输入“与非”门的组合电路 11 就进行通常的“与非”动作。这时, 由于 MOSFET1~4 的阈值电压(绝对值)设定得低, 所以, 在电源电压 12 的电压即使为低电压时也可以以低功耗进行高速的动作。

在使组合电路 11 不动作时，使控制信号 CS1 成为低电平，使其反相信号即控制信号 CSB1 成为高电平。这时，p 沟道 MOSFET5 和 n 沟道 MOSFET6 都截止，假想的电源线 9 和假想的地线 10 分别断开电源电压 12 和地 13。这里，由于将 p 沟道 MOSFET5 和 n 沟道 MOSFET6 的阈值电压（绝对值）设定得都高于 MOSFET1~4，所以，可以将漏电流抑制得很小。

另一方面，对于顺序电路 20，在动作时输入控制单元的控制信号 CS2 成为高电平，由于正电压发生器 21 的作用，p 沟道 MOSFET14、15 的背栅极电位 VC1 成为电源电压电平 V_{DD} ，同时，由于负电压发生器 22 的作用，n 沟道 MOSFET16、17 的背栅极电位 VD1 成为地电位电平 V_{GND} 。因此，这时，顺序电路 20 可以进行通常的存储保持动作。这时，由于构成顺序电路 20 的 p 沟道 MOSFET14、15 和 n 沟道 MOSFET16、17 的阈值电压的绝对值都低，所以，可以向节点 18、19 高速地进行数据的写入和读出。另外，在顺序电路 20 不动作时，CS2 成为低电平，正电压发生器 21 的输出 VC1 也高于电源电压 V_{DD} ，负电压发生器 22 的输出 VD1 低于地电位 V_{GND} 值。结果，由于 p 沟道 MOSFET14、15 的背栅极电位 VC1 高于电源电压 12，所以，其阈值电压升高，另外，由于 n 沟道 MOSFET16、17 的背栅极的背栅极电位 VD1 低于电源电压 12，所以，阈值电压仍然升高。因此，可以减小从顺序电路 20 的电源电压 12 向地 13 流动的漏电流。

如上所述，按照本实施例 1，在使顺序电路 20 不动作时，通过改变低阈值 MOSFET 的背栅极电位从而提高其阈值电压，便可获得减小漏电流、不破坏存储保持节点的数据和减小功耗的效果。此外，由于在组合电路 11 和顺序电路 20 中使用的 MOSFET 的阈值低，所以，具有在动作时也可以高速并且低功耗地进行写入和读出的效果。在本实施例 1 中，是将控制信号 CS1 和 CSB1 作为不同的信号进行说明的，但是，即使两者是同一信号也可以实现同样的动作，从而可以获得同样的效果。

实施例 2.

图 2 是表示本发明实施例 2 的低电压动作式的半导体集成电路的图，图中，由于顺序电路 20 的结构和动作与实施例 1 相同，所以，对相同部分标以相同的符号，并省略重复说明。在实施例 2 中，将组合电

路 11 不动作时的漏电流减小用的 MOSFET5、6 的阈值电压设定为与其他 MOSFET1~4 同样低的阈值电压。

下面, 说明其动作。

在本实施例 2 中, 在使组合电路 11 不动作时, 是通过使控制信号 CS1 成为比地电平 V_{GND} 低的电位、同时使 CSB1 成为比电源电压 V_{DD} 高的电位来实现减小漏电流的。否则, 由于构成开关单元的 MOSFET 的阈值与构成组合电路的 MOSFET 的阈值为同量级, 所以, 那样将在电源和地之间发生漏电流, 从而将增大整个电路的功耗。因此, 如果按照上述方式构成, 不仅不使用具有多种阈值电压的 MOSFET 就可以获得和实施例 1 相同的效果, 而且包括开关单元所使用的 MOSFET5、6 在内可以使全部阈值降低。因此, 在制造半导体集成电路时, 可以减少掩模数, 由于可以减少制造工序数, 所以, 可以降低制造成本。

实施例 3.

图 3 是表示本发明实施例 3 的将分别由多个组合电路和顺序电路构成的电路块应用于大规模集成电路 (LSI) 时的框图, 图中, $11_1 \sim 11_m$ 是组合电路的块, 分别具备输入控制信号 $CSB1_1 \sim CSB1_m$ 的 p 沟道 MOSFET5₁~5_m 和输入控制信号 $CS1_1 \sim CS1_m$ 的 n 沟道 MOSFET6₁~6_m。另一方面, $20_1 \sim 20_n$ 是顺序电路的块, 分别具备输入 $CS2_1 \sim CS2_n$ 的正电压发生器 21₁~21_n、负电压发生器 22₁~22_n、背栅极用节点 (控制单元) 23₁~23_n 和 24₁~24_n。其他结构由于与上述图 2 所示的实施例 2 相同, 所以, 对相同的部分标以相同的符号, 并省略重复说明。

在组合电路的块 $11_1 \sim 11_m$ 中, p 沟道 MOSFET5₁~5_m 具有低的阈值, 根据控制信号 $CSB1_1 \sim CSB1_m$ 进行与实施例 2 的 p 沟道 MOSFET5 相同的动作, 另外, n 沟道 MOSFET6₁~6_m 也是低阈值, 根据控制信号 $CS1_1 \sim CS1_m$ 进行与实施例 2 的 n 沟道 MOSFET6 相同的动作。另外, 正电压发生器 21₁~21_n 进行与实施例 1 的正电压发生器 21 相同的动作, 分别根据控制信号 $CS2_1 \sim CS2_n$ 控制顺序电路 $20_1 \sim 20_n$ 的 p 沟道 MOSFET 的背栅极用节点 23₁~23_n。另一方面, 在顺序电路的块 $20_1 \sim 20_n$ 中, 负电压发生器 22₁~22_n 也进行与实施例 1 的负电压发生器 22 相同的动作, 分别根据控制信号 $CS2_1 \sim CS2_n$ 控制顺序电路 $20_1 \sim 20_n$ 的 n 沟道 MOSFET 的背栅极用节点 23₁~23_n。控制信号 $CSB1_1 \sim CSB1_m$ 、 $CS1_1 \sim CS1_m$ 和控制信号 $CS2_1 \sim CS2_n$ 都可以独立地起作用。

下面, 说明其动作。

通过将控制信号 $CSB1_1 \sim CSB1_m$ 、 $CS1_1 \sim CS1_m$ 分别独立地输入组合电路的块 $11_1 \sim 11_m$, 组合电路的块 $11_1 \sim 11_m$ 分别独立地动作, 另一方面, 同样通过将控制信号 $CS2_1 \sim CS2_n$ 也分别独立地输入顺序电路的块 $20_1 \sim 20_n$, 使顺序电路的块 $20_1 \sim 20_n$ 分别独立地动作。

如上所述, 按照本实施例 3, 由于可以对各顺序电路的块独立地控制不动作时的顺序电路的动作, 所以, 可以个别地控制减小漏电流以使不会破坏由各个存储保持节点所保持的数据, 而且由于不使用具有多种阈值的 MOSFET, 所以, 可以减少掩模数等从而可以减少制造工序数。因此, 可以获得降低制造成本和减小成品化的半导体集成电路在备用时等不工作部分的漏电流从而可以抑制电力消耗量的效果。这里, 是以图 2 的半导体集成电路为基础进行说明的, 但是, 也可以以图 1 的半导体集成电路为基础。

实施例 4.

图 4 是表示本发明实施例 4 的半导体集成电路的电路结构的图, 是使用升压器和降压器发生控制信号 $CSB1_1 \sim CSB1_m$ 和 $CS1_1 \sim CS1_m$ 的情况。图中, 48 是产生比电源电压高的电压的升压器 (第 1 升压器), 49 是产生比接地电位低的电压的降压器 (第 1 降压器), $50_1 \sim 50_m$ 是具有控制信号 $BE_1 \sim BE_m$ 的反相功能的缓冲电路, $51_1 \sim 51_m$ 是具有控制信号 $BE_1 \sim BE_m$ 的非反相功能的缓冲电路, 缓冲电路 $50_1 \sim 50_m$ 和非反相缓冲电路 $51_1 \sim 51_m$ 分别构成反相单元和非反相单元。 V_H 、 V_L 分别是具有比电源电压 V_{DD} 高的电位的升压器 48 的输出和具有比地电位 V_{GND} 低的电位的降压器 49 的输出。另外, 反相缓冲电路 $50_1 \sim 50_m$ 分别将电源和地与节点 $ND1_1$ 和节点 $ND2_1$ 、...、节点 $ND1_m$ 和节点 $ND2_m$ 连接, 非反相缓冲电路 $51_1 \sim 51_m$ 分别将电源和地与节点 $ND3_1$ 和节点 $ND4_1$ 、...、节点 $ND3_m$ 和节点 $ND4_m$ 连接。控制信号 $BE_1 \sim BE_m$ 是用于控制向组合电路输入的控制信号即 $CSB1_1 \sim$ 和 $CS1_1$ 、...、 $CSB1_m$ 和 $CS1_m$ 的信号。其他结构和上述图 3 所示的实施例 3 相同, 所以, 对相同的部分标以相同的符号, 并省略重复说明。

下面, 说明其动作。

以图 3 所示的 m 个组合电路块中的 1 个组合电路 11_1 为例, 在动作时控制信号 BE_1 成为高电平。这时, 在缓冲电路 50_1 和 51_1 中, $CSB1_1$

和 $CS1_1$ 分别成为地电平 V_{GND} 和电源电压电平 V_{DD} , 进行在实施例 3 中说明的动作。不动作时控制信号 BE_1 成为低电平, 这时, $CSB1_1$ 通过反相缓冲电路 50_1 进行反相, 成为具有比电源电压 V_{DD} 高的电位的节点 $ND1_1$ 的电位 V_H , 另外, $CS1_1$ 通过非反相缓冲电路 51_1 不进行反相, 成为具有比地电平低的电位的节点 $ND4_1$ 的电位 V_L 。这样, 便和在实施例 3 中说明的一样, 可以减小组合电路块 11_1 的漏电流。同样, 对于缓冲电路 50_m 、 51_m , 也根据控制信号 BE_m 进行上述动作。

如上所述, 按照本实施例 4, 仅在反相缓冲电路和非反相缓冲电路中附加了升压器和降压器等简单的电路, 就可以进一步减小组合电路不工作时的漏电流, 所以, 具有可以进一步降低半导体集成电路不工作部分的漏电流引起的电力消耗。实施例 4 也可以将上述升压和降压电路设置在和由实施例 3 所示的组合电路及顺序电路构成的电路相同的芯片内, 这样, 就可以缩小承载半导体集成电路的芯片的尺寸。

实施例 5.

图 5 是表示本发明实施例 5 的半导体集成电路的电路结构的图, 图中, $58_1 \sim 58_n$ 分别是构成正电压发生器 $21_1 \sim 21_n$ 的多路转换电路 (MUX), $59_1 \sim 59_n$ 分别是构成负电压发生器 $22_1 \sim 22_n$ 的多路转换电路 (MUX)。其他结构和实施例 4 相同, 所以, 对相同的部分标以相同的符号, 并省略重复说明。

下面, 说明其动作。

例如, 在图 3 的顺序电路 20_1 动作时控制信号 $CS2_1$ 成为高电平, 在多路转换电路 58_1 中, 选择电源电压 V_{DD} 向背栅极用节点 23_1 输出, 在多路转换电路 59_1 中, 地电位 V_{GND} 向背栅极用节点 24_1 输出。不动作时控制信号 $CS2_1$ 成为低电平, 在多路转换电路 58_1 中, 选择比电源电压高的电位 V_H 向背栅极用节点 23_1 输出, 在多路转换电路 59_1 中, 选择比地电位低的电位 V_L 向背栅极用节点 24_1 输出。这样, 便可实现和实施例 3 相同的动作。

如上所述, 按照本实施例 5, 由于将简单而廉价的多路转换电路应用于正、负电压发生器, 所以, 即使在顺序电路不工作时也可以减小漏电流, 从而不会破坏顺序电路的保持数据。因此, 具有以低制造成本降低半导体集成电路不动作部分的电力消耗的效果。

在实施例 5 中, 是假定升压器 (由简单的多路转换电路构成的升压

器) 48 和降压器 (由简单的多路转换电路构成的降压器) 49 与实施例 4 的相同而进行说明的, 但是, 如果假定它们不同并且可以单独地设定输出电压, 还可以实现更精细地减小漏电流。此外, 也可以将本实施例 5 所示的由正、负电压发生器构成的电路设置在与实施例 3 所示的由组合电路和顺序电路构成的电路相同的芯片内, 这样, 便可缩小承载半导体集成电路的芯片的尺寸。

实施例 6.

图 6 是表示本发明实施例 6 的半导体集成电路的电路结构的图, 图中, 62 是例如以闪速存储器、动态随机存取存储器 (DRAM) 为代表的存储信息需要刷新的高集成 MOSRAM, 63 是逻辑电路, 并且是存储部和逻辑部混合型的所谓的混合型半导体集成电路。逻辑电路的结构和实施例 3 的由组合电路和顺序电路构成的逻辑电路相同。在高集成 MOSRAM 中, 进行必须刷新动作使电路良好地动作, 所以, 通常在内部设置升压器 48 和降压器 49, 如果将它们的输出 V_H 、 V_L 应用于逻辑电路 63, 将可以像实施例 3 那样动作。

如上所述, 按照本实施例 6, 由于可以有效地利用设置在 DRAM 内部的升压器和降压器, 所以, 可以缩小附加电路占有的面积, 因此, 可以抑制硬件的零部件数的增加。结果, 不仅可以减小半导体集成电路中不工作部分的漏电流从而可以降低电力消耗, 而且还可以缩小制成的半导体集成电路装置的芯片尺寸, 从而可以降低制造成本。

如上所述, 按照本发明, 由于具有控制单元使顺序电路使用的第 1 场效应晶体管的阈值电压可变, 所以, 在顺序电路动作时可以使第 1 场效应晶体管的阈值电压降低、从而可以向在该顺序电路中形成的存储保持节点以低功耗高速地进行数据的写入和读出, 加上在顺序电路不动作时通过提高第 1 场效应晶体管的阈值电压, 可以减小漏电流, 这样, 便具有使存储保持节点所保持的数据不会破坏和消失的效果。

另外, 开关单元构成的在组合电路不动作时可以使其与其他电路部分断开, 所以, 可以减小组合电路的漏电流。

根据本发明, 构成顺序电路的第 1 场效应晶体管具有背栅极, 所以, 顺序电路不工作时控制单元通过背栅极控制其电位, 提高第 1 场效应晶体管的阈值, 从而可以减小漏电流, 这样, 便可防止存储保持节点所保持的数据破坏和消失, 并且可以实现低功耗化。

按照本发明,与顺序电路连接的控制单元包括正电压发生器和负电压发生器,所以,利用输入与背栅极连接的正电压发生器和负电压发生器的控制信号是高电平还是低电平,可以使构成顺序电路的p沟道和n沟道的第1场效应晶体管的阈值可变。因此,顺序电路动作时以低的阈值使晶体管动作,所以,可以进行高速存取而且可以降低电力消耗,另一方面,在顺序电路不动作时,由于可以使p沟道的晶体管的阈值高于电源电压,同时使n沟道的晶体管的阈值低于地电位,所以,可以减小从顺序电路的电源向地流通的漏电流,这样,便具有使存储保持节点所保持的数据不消失的效果。

10 此外,如果使用具有上述背栅极的晶体管构成顺序电路,使用阈值小的晶体管就可以构成,所以,伴随掩模数减少,可以减少工序数,从而可以降低制造成本,而且,由于可以缩小制成的半导体集成电路装置的芯片尺寸,所以,可以提高产品合格率。

按照本发明,组合电路使用的第2场效应晶体管的阈值电压比开关单元使用的第3场效应晶体管的阈值电压小,所以,仅抑制输入到组合电路的栅极上的控制信号的电平,就可以以低功耗而高速地进行逻辑动作。

按照本发明,组合电路使用的第2场效应晶体管的阈值电压与开关单元使用的第3场效应晶体管的阈值电压大致相等,第3场效应晶体管处于截止状态时,在电源电压一侧的晶体管和地一侧的晶体管中,使其栅极·源极间电压反向偏置,所以,上述开关单元使用的晶体管也可以应用组合电路使用的晶体管以及阈值小的晶体管。因此,由于在1个半导体集成电路中不混合存在具有多种阈值的晶体管,所以,可以减少掩膜数,使制造工序简易,从而可以降低制造成本。

25 按照本发明,由于构成为多个组合电路构成组合电路块,多个顺序电路构成顺序电路块,开关单元与各个电路块分别连接,使所顺序电路的第1场效应晶体管的阈值电压可变的控制单元与各电路块分别连接,所以,可以考虑半导体集成电路的功耗和存取速度等诸多条件更精细地抑制漏电流,从而可以使顺序电路的存储保持数据不消失。

30 按照本发明,由于控制信号经过反相单元和非反相单元时,在电源一侧和地一侧,第1升压器和降压器可以分别控制开关单元所具有的第3场效应晶体管的栅极·源极间的电位,所以,可以成为相互反向偏置。

这样，通过附加简单的电路便可减小组合电路的漏电流，所以，可以降低功耗。

按照本发明，与顺序电路连接的控制单元具备与由简单的多路转换电路构成的正电压发生器连接的升压器和与由简单的多路转换电路构成的负电压发生器连接的降压器，正电压发生器和负电压发生器，所以，可以设定顺序电路不工作时经过多路转换电路的控制信号，通过背栅极后在升压器一侧和降压器一侧可以有效地减小顺序电路的漏电流。因此，只单纯地附加廉价的电路就可以进一步降低电路的功耗而使存储保持数据不消失。

按照本发明，控制单元所包含的升压器和降压器与开关单元所包含的升压器和降压器独立地构成，所以，可以个别地设定输出电压，从而可以更精细地减小漏电流，这样，便可实现制成的半导体集成电路装置整体的低功耗化。

按照本发明，将包括升压器和降压器的电路与包括组合电路和顺序电路的逻辑电路结合，所以，如果将集成电路的升压器和降压器利用于该逻辑电路，就可以省略附加电路的设定，所以，可以缩小半导体集成电路装置整体的芯片尺寸。而且，由于芯片尺寸减小，每1个圆片的制造成本也降低。

按照本发明，具备升压器和降压器的集成电路由动态随机存取存储器（DRAM）构成，所以，可以作成逻辑电路和DRAM的混合电路，通常，DRAM具备为了进行刷新动作等而具有升压器和降压器，所以，可以设计为将它们使用于逻辑电路的动作中。因此，可以不引起零部件数增加而缩小整个混合电路占有的面积。

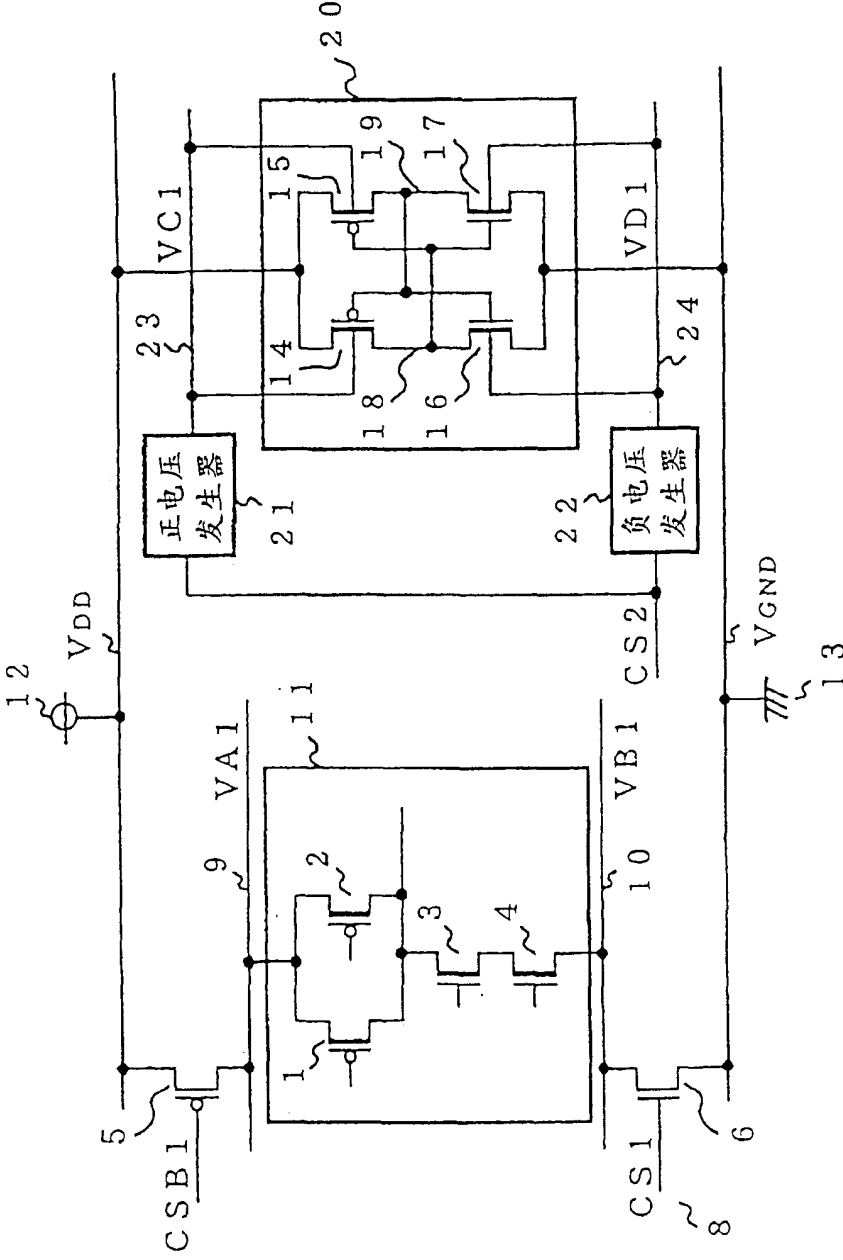


图1

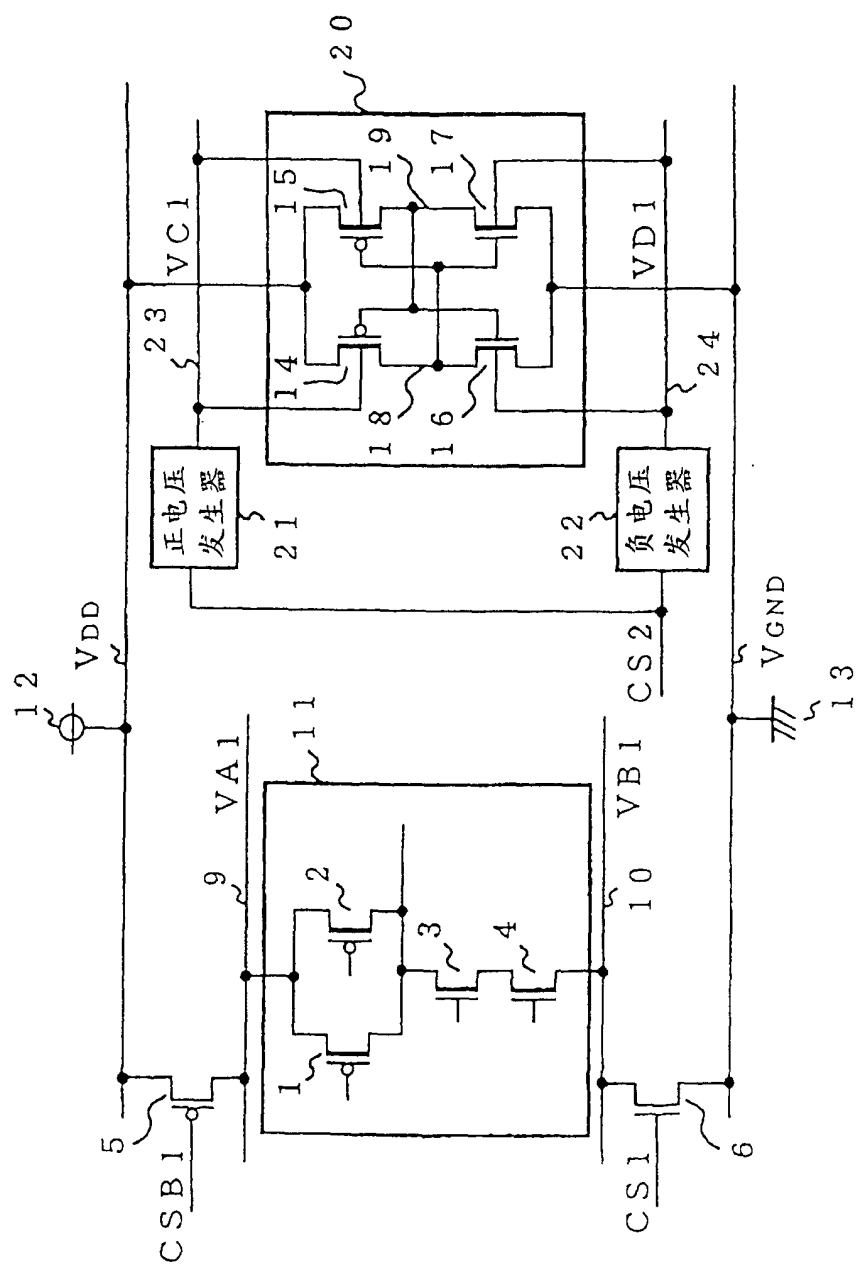


图 2

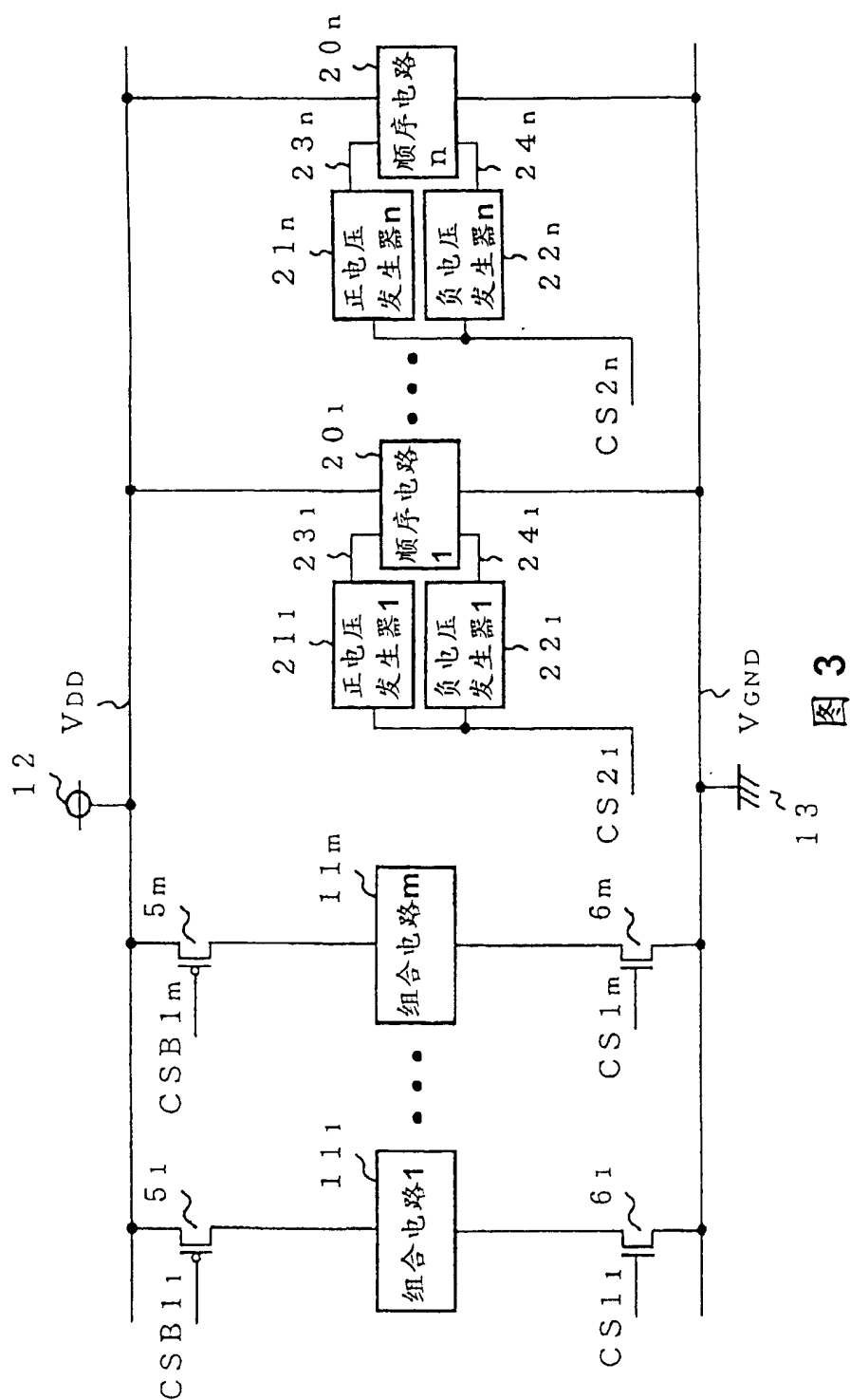


图3

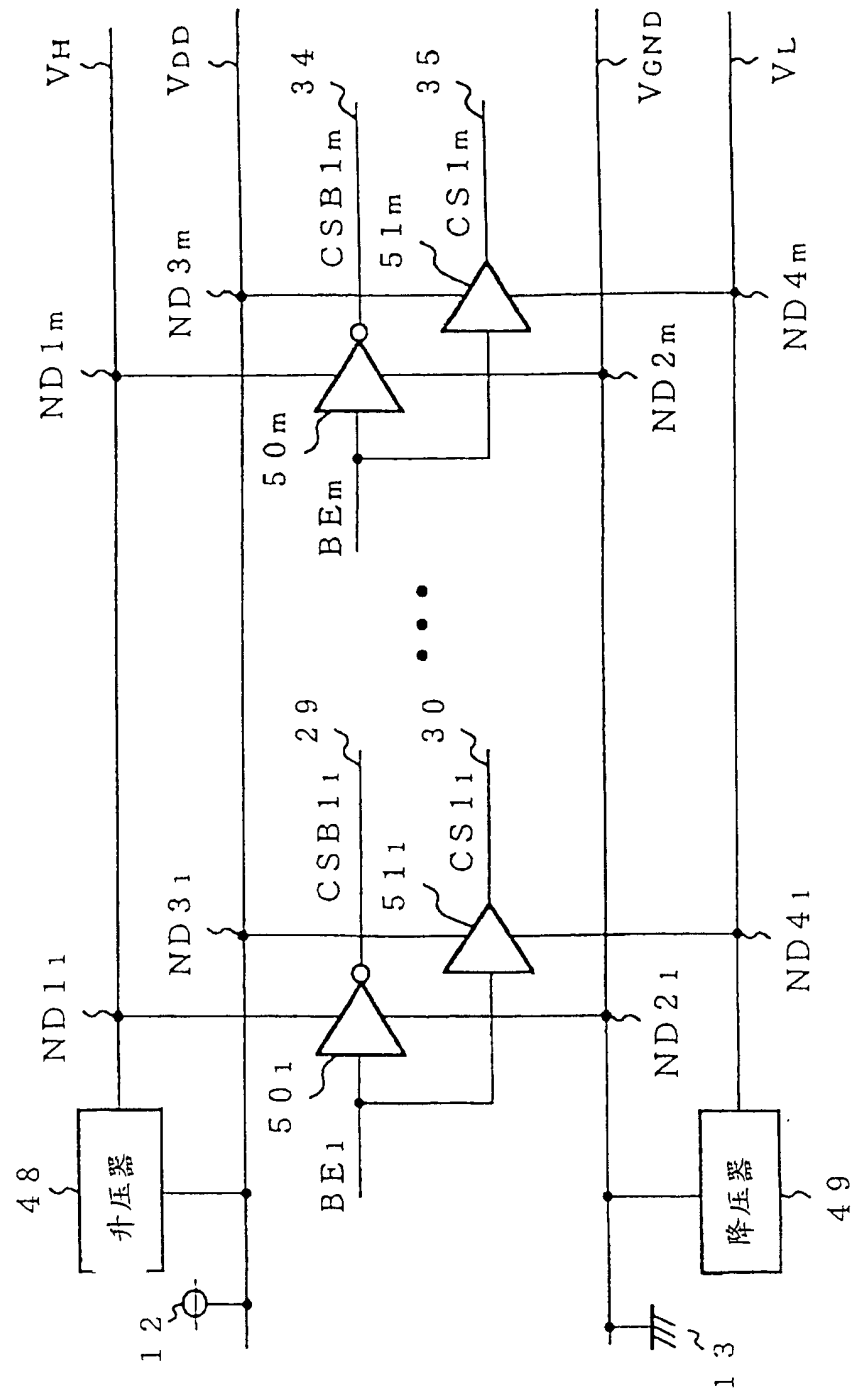


图 4

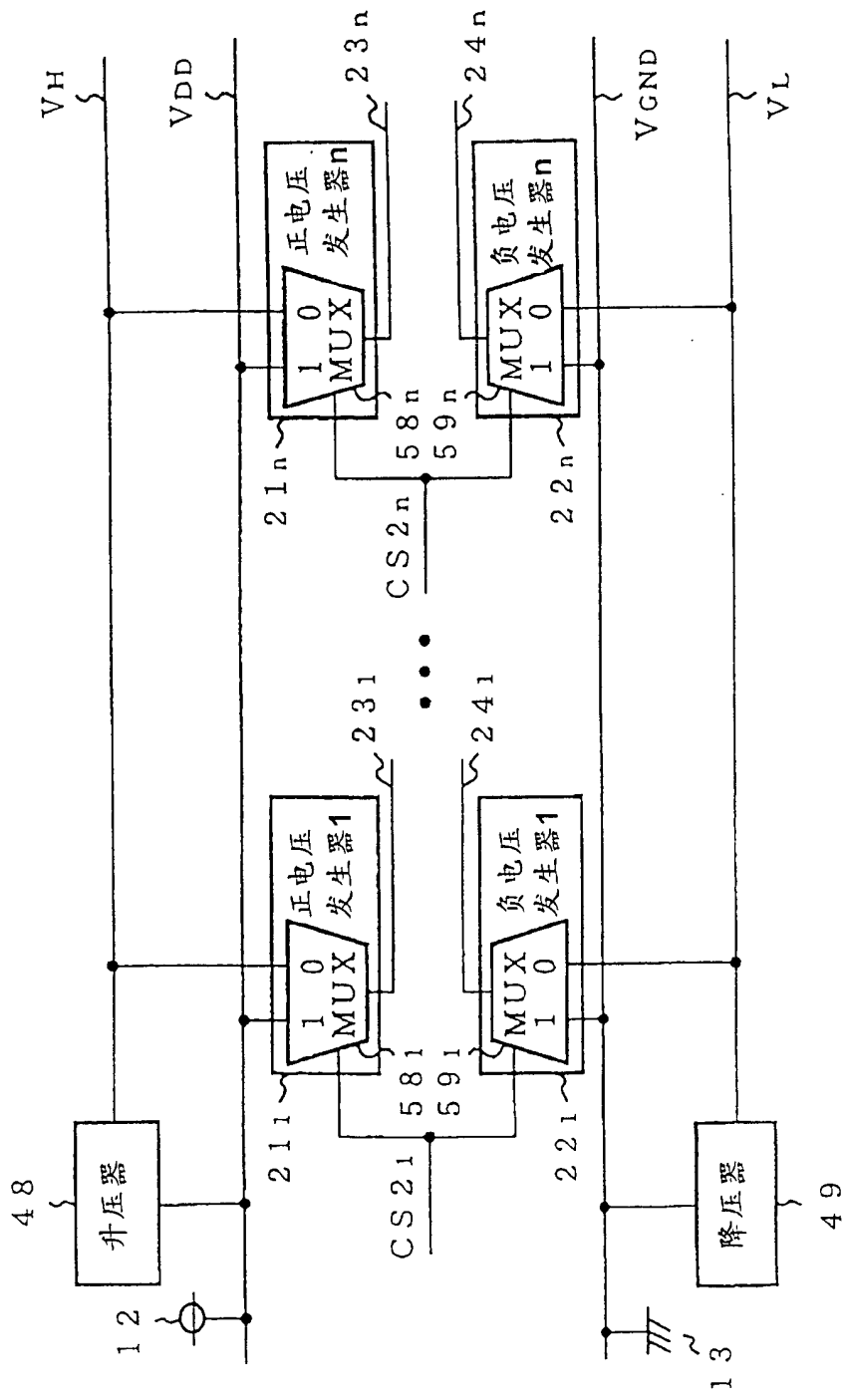


图 5

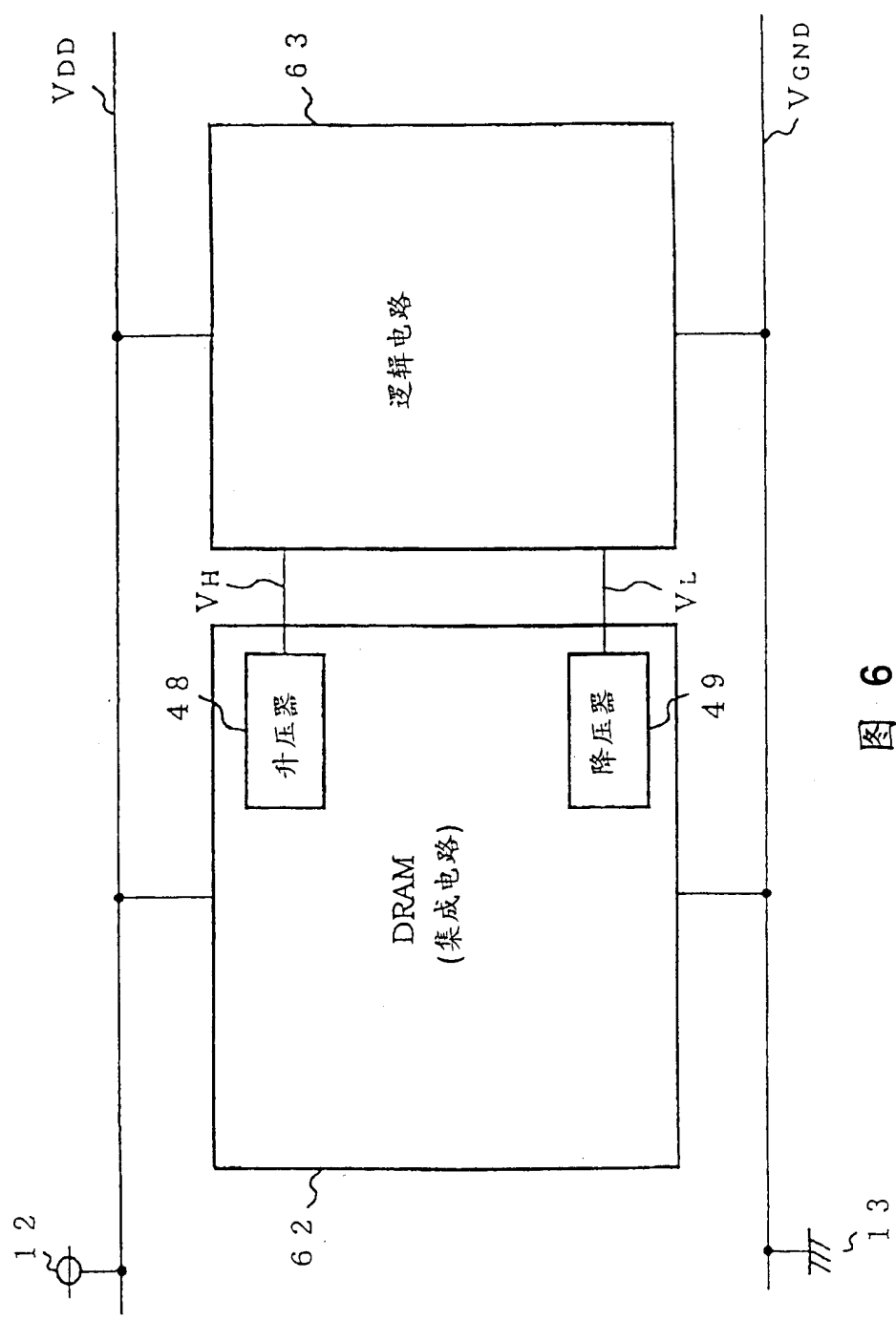


图 6

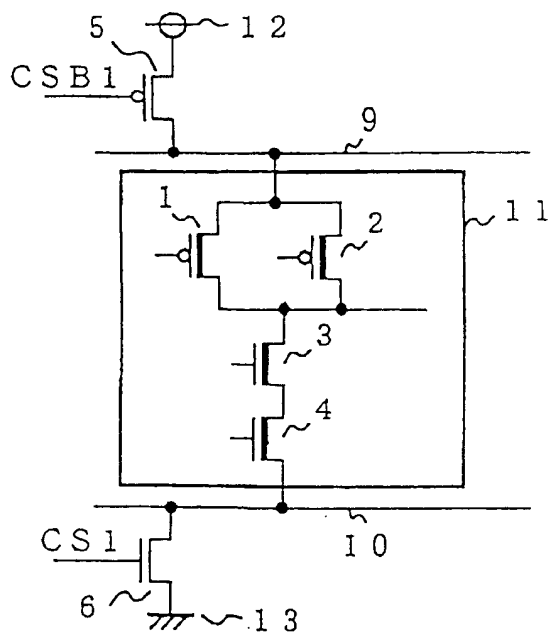


图 7

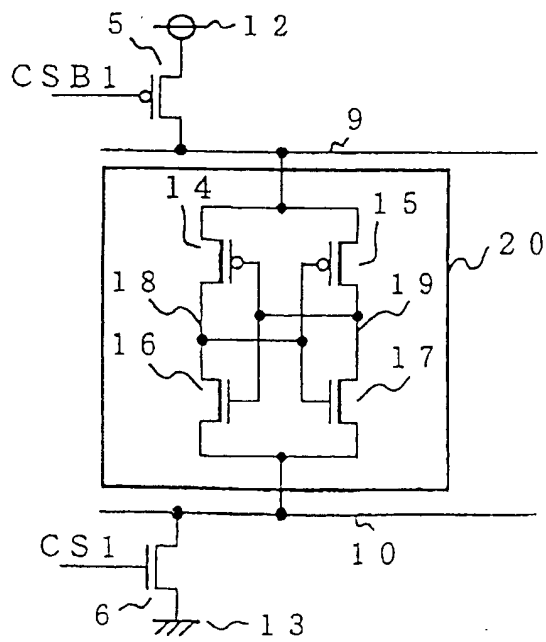


图 8