

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶

H03K 21/00

(45) 공고일자 1999년03월20일

(11) 등록번호 특0165127

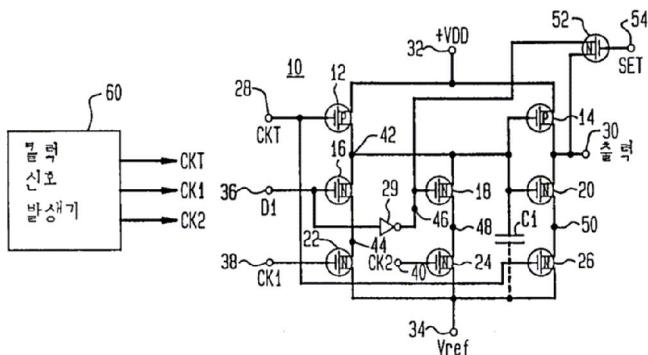
(24) 등록일자 1998년09월16일

(21) 출원번호	특 1992-701747	(65) 공개번호	특 1992-704427
(22) 출원일자	1992년07월23일	(43) 공개일자	1992년12월19일
번역문제출일자	1992년07월23일		
(86) 국제출원번호	PCT/US 90/06991	(87) 국제공개번호	W0 91/11860
(86) 국제출원일자	1990년12월05일	(87) 국제공개일자	1991년08월08일
(81) 지정국	EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 독일 덴마크 스페인 프랑스 영국 이탈리아 룩셈부르크 네덜란드 스웨덴 국내특허 : 일본 대한민국		
(30) 우선권주장	7/470273 1990년01월25일 미국(US)		
(73) 특허권자	데이비드 사노프 리씨치 센터 인코포레이티드 월리엄 제이 버크 미합중국 뉴저지 프린스톤 워싱톤 로우드 201		
(72) 발명자	세네리		
(74) 대리인	미합중국 뉴저지 08648 머서 로렌스빌 제이미 브룩스 레인 1224 황주명, 남상선		

심사관 : 김재욱**(54) 고속 주파수 분할기 회로****요약**

주파수 분할기는 제1주파수신호와 제1주파수의 약수인 적어도 하나의 클럭신호를 수신한다. 제1주파수신호는 각 제1주파수 싸이클에 한번씩 저장터미날을 충전하고, 약수 주파수신호는 각 약수 주파수 싸이클에 한번씩 저장터미날을 방전한다. 방전된 저장터미날은 저장터미날이 방전될 때 제1주파수신호에 의해 리세트되는 주파수 분할기 출력을 세트한다.

약수 주파수 클럭신호는 분할기의 동작 주파수를 증가시키기 위하여 출력으로부터 피드백 경로대신에 저장터미날을 제어하기 위해 사용된다.

대표도**명세서**

[발명의 명칭]

고속 주파수 분할기 회로

본 발명은 공군본부에 의해 부여된 계약번호 F33615-88-C-1825하의 정부지원을 받아 완성된 것이다.

[발명의 분야]

본 발명은 논리회로에 관한 것으로서, 특히 개선된 속도특성을 가지는 주파수 분할기 및 카운터 회로에 관한 것이다.

[발명의 배경]

여러가지 형태의 주파수 분할기 회로가 공지되어 있다. 일반적으로 이러한 회로들은 주파수 분할을 수행하기 위한 신호처리 경로와 출력상태를 피드백 시키기 위하여 출력으로부터 입력까지의 경로를 포함한다.

일본국 특허 59-122128(1984. 7. 14 등록)는 분할기 회로의 출력의 상태가 입력 저장 터미날의 상태를 제어하도록 피드백되는 주파수 분할기로서 사용되어 질 수도 있는 다이나믹 CMOS 카운터를 공개하고 있다. 주파수 분할기의 동작속도는 회로를 지나는 신호전파지연에 의해 결정되어 진다. 분할기가 동작할 수 있는 가장 높은 주파수는 대부분 피드백 경로를 통한 지연에 의하여 제한된다.

피드백 경로 지연을 피하는 개선된 주파수 분리기를 포함하여 보다 빠른 동작속도와 보다 높은 동작 주파수를 갖는 것이 바람직하다.

[본 발명의 요약]

본 발명은 출력에서 그의 약수(sub-multiple)로 신호를 형성하기 위하여 미리 결정된 주파수의 신호에 응답하여 동작하는 주파수 분할기에 관한 것이다. 주파수 분할기는 미리 결정된 주파수의 각 사이클 동안에 미리 결정된 주파수 신호에 의해 세트(Set)조건에 한번 삽입 되고, 약수 주파수(sub multiple frequency)의 매 사이클마다 약수 주파수 클럭신호에 의해 리셋조건으로 삽입되는 저장수단을 포함한다. 주파수 분할기의 출력은 리셋 조건내에 있는 저장 터미날에 응답하는 하나의 논리상태로 세트되고, 저장 터미날이 리셋 조건내에 있을때 미리 결정된 주파수 신호에 의한 제2논리상태로 세트된다.

본 발명의 한 특성에 따르면 제1주파수신호는 제1 및 제2부분을 가지고, 약수 주파수 클럭은 제1주파수 신호의 다른 모든 제1부분과 일치하는 제1부분을 가지고 있다. 저장 터미날은 제1주파수 신호의 제2부분에 응답하여 세트조건에 충전되고, 약수 주파수 클럭신호의 제1부분에 응답하여 리셋조건에서 방전된다. 저장 터미날이 방전조건 내에 있을때 출력은 하나의 논리상태에 충전되고, 저장 터미날이 충전상태에 있을때 제1주파수신호의 제1부분에 의해 방전된다.

본 발명의 한 측면에 따르면, 약수 클럭신호는 다수의 서로 다른 상의 약수 클럭신호들을 포함한다. 서로 다른상의 약수 클럭신호들 가운데 하나는 주파수 분할기 출력 신호를 제어하기 위해 선택되어진다.

본 발명의 다른 측면에 따르면, 약수의 클럭주파수는 미리 예정된 주파수의 $\frac{1}{2}$ 이다.

본 발명의 또 다른 측면에 따르면, 주파수 분할기는 각기 입력 및 출력과 함께 제1 및 제2시프트 레지스터들을 가진 주파수 분할기 출력신호로부터 주파수 신호의 $\frac{1}{2}$ 를 형성하기 위한 회로를 추가로 포함한다. 제1상태신호는 초기에 제1시프트 레지스터로 저장되고, 제2상태신호는 제2시프트 레지스터내에 초기에 저장된다. 제1시프트 레지스터의 출력은 제2시프트 레지스터의 입력에 연결되고 제2시프트 레지스터의 출력은 제1시프트 레지스터의 입력에 연결된다. 주파수 분할기의 약수 주파수 출력은 시프트 레지스터 연결을 제어함으로써 제1 및 제2 상태신호들이 제1시프트 레지스터들 사이에 연결된다.

상기 한 본 발명의 다른 측면에 따르면, 본 발명은 저장수단과 제1주파수 신호를 수용하기 위한 수단과 제1주파수의 약수인 주파수를 가지는 적어도 하나의 클럭신호를 수용하기 위한 수단을 포함하는 주파수 분할기에 관한 것이다. 주파수 분할기의 출력은 제1 및 제2논리 상태로 세트되어지도록 채택된다. 또한 주파수 분할기에는 제1주파수 신호에 응답하는 수단과 세트조건에 저장수단을 배치하기 위하여 제1주파수 신호에 응답하는 수단을 포함하는 출력에서 약수의 주파수 신호를 발생시키기 위한 적어도 하나의 약수의 주파수 클럭신호와, 리셋조건에 저장수단을 배치하기 위하여 적어도 하나의 약수의 주파수 신호에 응답하는 수단과, 제1논리 상태에 출력을 세트하기 위하여 리세트조건이 되도록 저장수단에 응답하는 수단과, 제2논리 상태에 출력을 리세트하기 위한 제1주파수 신호와 세트조건내에 있게되는 저장수단에 함께 응답하는 수단을 포함한다.

본 발명은 첨부한 도면 및 청구범위를 참조하여 이하의 상세한 설명으로부터 더욱 잘 이해될 수 있을 것이다.

[도면의 간단한 설명]

제1도는 본발명에 따르는 주파수 분할기의 제1단계의 개략 블럭도이고,

제2도는 본 발명에 따르는 다른 실시예를 구성한 개략 블럭도이고,

제3도는 제2도에 도시한 실시예에 채택된 전달 게이트의 개략도이고,

제4도는 제1도에 도시한 실시예의 동작을 도시한 타이밍도이고,

제5도는 제2도에 도시한 실시예의 동작을 도시한 타이밍도이다.

[발명의 상세한 설명]

제1도를 참조하면, 본 발명에 따르는 주파수 분할기 회로(10)을 구성하는 개략 블럭도가 도시되어 있다. 주파수 분할기 회로(10)에는 p-채널 전계효과 트랜지스터(12)(14)와 n-채널 전계효과 트랜지스터(16)(18)(20)(22)(24)(26)(52)와 인버터(29), 콘덴서C1(파선으로 표시) 및 클럭신호 발생기(60)를 포함한다. 각 트랜지스터들은 게이트, 드레인 및 소스를 포함하고 전형적으로는 MOS 전계효과 트랜지스터(FET) MOSFET이다. 선택된 실시예에서, 각 트랜지스터들은 액정 디스플레이의 유리상에 형성된 박막 MOSFET이다. 주파수 분할기 회로(10)는 입력신호의 주파수의 $\frac{1}{2}$ 를 가지는 출력터미널(30)에서 발생되어 지는 출력신호를 야기하는 주파수 분할기 회로(10)의 입력터미널(28)에 가해지는 주어진

주파수를 가지는 신호와 고속동작이 가능하다.

트랜지스터(12)(26)의 게이트들은 입력터미널(28)과 클럭신호발생기(60)의 제1클럭터미널(CKT)에 연결된다. 트랜지스터(16)의 게이트와 인버터(29)의 입력은 제어신호D1과 터미널(36)에 연결된다. 트랜지스터(22)의 게이트는 클럭신호발생기(60)의 출력(CK1)에 연결된 제1클럭 터미널(38)에 연결된다. 트랜지스터(24)의 게이트는 클럭신호발생기(60)의 출력(CK2)에 연결된 제2클럭신호터미널(40)에 연결된다. 트랜지스터(52)의 게이트는 터미널(54)과 초기화 세트신호(SET)에 연결된다. 트랜지스터(12)(14)의 소스들은 터미널(32)과 출력 전압(+VDD)을 가지는 전원에 연결된다. 트랜지스터(22)(24)(26)의 소스들은 터미널(34)과 Vref(접지)의 전압을 가지는 기준전원에 연결된다. 트랜지스터(12)(16)(18)의 드레인들은 트랜지스터(14)(20)의 게이트와 콘덴서(C1)의 제1터미널과 터미널(42)에 연결된다. 콘덴서C1은 스토리지 또는 저장수단으로 표시될 수 있고, 터미널(42)에 연관된 무급전 커패시턴스(Paracitic capacitance)이고 트랜지스터들이 거기에 연결된다. 콘덴서(C1)의 제2터미널은 터미널(34)에 연결된다. 트랜지스터(16)의 소스는 트랜지스터(22)의 드레인과 터미널(44)에 연결된다. 인버터(29)의 출력은 트랜지스터(18)의 게이트와 트랜지스터(52)의 드레인과 터미널(46)에 연결된다. 트랜지스터(18)의 소스는 트랜지스터(24)의 드레인과 터미널(48)에 연결된다. 트랜지스터(14)(20)의 드레인들과 트랜지스터(52)의 소스는 출력터미널(30)에 연결된다. 트랜지스터(20)의 소스는 트랜지스터(26)의 드레인과 터미널(50)에 연결된다.

제4도를 참조하면, 제1도의 주파수 분할기 회로(10)의 다양한 터미널들의 전압V(볼트) 대 시간T(나노초)의 파형이 도시되어 있다. 도시한 모든 파형들은 동작에 본질적인 것이 아니지만 본질적으로 동일한 진폭을 가지며, 본질적으로 동일한 고저 논리수준을 가진다. 초기에 초기화 세트신호(SET)(제4도에 도시하지 않음)는 정상 0에서 1로 펄스되고, 그때 0으로 재펄스된다. CKT, CK1 및 CK2는 모두 동시에 0이된다.

제어신호 D1은 1 또는 0이 될 수 있다. 만일 D1=1이면, 출력터미널(30)이 초기에 0으로 세트된다. 반대로, 만일 D1=0이면, 출력터미널(30)은 초기에 1로 세트된다. 파형(401)은 클럭신호 발생기(60)내에서 발생되고 입력터미널(28)에 가해지는 입력클럭신호(CKT)를 도시한다. 파형(405)(410)들은 터미널(38)(40)에 각기 가해진 클럭신호(CK1)(CK2)를 도시한다. 파형(415)(420)들은 터미널(36)에 가해진 제어신호(01)는 제로(0) 볼트전위에 있을때 터미널(42)와 출력터미널(30)에서의 신호들을 각기 나타낸다. 파형(425)(430)은 터미널(36)에 가해진 신호가 1(고전압) 볼트전위에 있을때 터미널(42)와 출력터미널(30)에서의 신호들을 각기 나타낸다.

제1도의 주파수 분할기 회로(10)은 입력터미널(28)에 가해지는 터미널(CKT)상에서 클럭신호에 응답하여 출력터미널(30)에서의 파형(420) 또는 파형(430)으로 도시한 신호를 산출하도록 선택된다. 터미널(CKT)상의 신호는 미리 예정된 주파수를 가지는 신호(사각파)이다. CKT가 구형파인 곳에서 주파수 분할기 회로(10)는 두가지 형태의 카운터에 의해 분할기로서 동작한다. 파형(420)(430)은 터미널(CKT)에 가해진 입력신호의 주파수의 $\frac{1}{2}$ 을 가지는 서로다른 상의 사각파들이다. 터미널(CK1)(CK2)상의 클럭신호들은 터미널CKT상의 신호의 약수(예 $\frac{1}{2}$ 주파수)에서 발생하는 파형(405)(410)에 도시한 전위 펄스들이다. 공지의 펄스 발생 회로들은 클럭신호발생기(60)로서 다양하게 사용되어질 수 있다.

시간 T=t0에서 파형(425)(420)에 도시한 바와같이, 출력터미널(30)이 1이 고 출력터미널(42)이 0으로 나타내려고 가정한다면, 출력터미널(36)은 0으로 고정된다. N-채널 트랜지스터(16)은 터미널(36)으로부터 게이트에 가해진 0에 의해 디스에이블된다. N-채널 트랜지스터(18)는 인버터(29)의 출력으로부터의 게이트에서의 1에 응답가능하다. 입력 클럭 CKT(파형 401)는 T-to과 t1사이의 0이다.

시간 T=t0와 t1사이의 타임간격에서, p-채널 트랜지스터(12)는 입력터미널(28)로부터 게이트에서의 0에 응답가능하다. 트랜지스터(22)(24)는 클럭신호(CK1)(CK2)(파형 (405)(410))이 시간 T=t0와 t1사이에서 0이기 때문에 디스에이블된다. 이 에이블된 트랜지스터(12)는 파형(415)로 도시 한 바와같이 터미널(42)를 1(즉 +VDD)로 충전한다. 트랜지스터(26)는 입력터미널(28)로부터 게이트에서 0에 의해 디스에이블되어 출력터미널(30)은 1로 남는다. 터미널(42)에 연관된 무급전 커패시턴스 C1(파선 커패시터로 도시)이 전하를 저장하고 저장수단으로 표시될 수 있는 논리조건 저장으로 기능한다.

시간 T=t1에서 t2사이에, 터미널 CKT(파형 401)상의 신호의 1은 n-채널 트랜지스터(26) 인에이블시키고, 출력터미널(30)(파형 420)은 0으로 방전된다. 트랜지스터(16)는 게이트에서 0으로 디스에이블된다. 트랜지스터(24)의 게이트에 가해진 클럭신호 CK2(파형 410)은 시간 T=t2과 t2사이에 0이고, 따라서 트랜지스터(24)는 디스에이블된다. 터미널(42)(파형 415)은 트랜지스터(24)가 1신호 CK2에 의해 인에이블될때 시간 T=t3까지 시간 T=t1과 t2사이에서 1로 유지된다. 시간 T=t3과 t4사이에서, n-채널 트랜지스터(18)의 게이트는 인버터(29)의 출력의 1로 되고, n-채널 트랜지스터(24)의 게이트는 터미널CK2상의 클럭신호의 1이다. 그리하여 트랜지스터(18)(24)는 둘다 인에이블되고, 터미널(42)은 이들 트랜지스터들을 통하여 0으로 방전된다. p채널 트랜지스터(14)는 게이트(터미널 42)에 가해진 0에 의해 인에이블된다. 출력터미널(30)(파형 420)은 시간 T=t3직후에 트랜지스터(14)를 통하여 +VDD의 1레벨로 충전된다.

T=t4와 15사이의 간격동안에 입력신호 CLK가 0이다. 터미널 CLK2 상에서 0에 의해 트랜지스터(12)는 인에이블되고 트랜지스터(24)는 디스에이블된다. 전류는 트랜지스터(12)를 통해 흐르고, 터미널(42)는 T=t4(파형 415)후에 1로 충전된다. 출력터미널(30)은 트랜지스터(26)이 입력터미널(28)로부터 게이트에서 1에 의해 인에이블될때까지 1로 유지된다. T=t5와 t6사이에서, 출력터미널(30)은 트랜지스터(20)(26)을 통하여 방전된다. T=t0와 t6사이에 기술된 동작들은 다음 시간 간격동안 반복된다. 결과적으로 터미널(30)에서의 신호는 약수 즉, 신호 CLK의 미리 예정된 주파수의 $\frac{1}{2}$ 에서 발생한다.

제어터미널(36)이 1로 세트된다면, 트랜지스터(16)은 인에이블되지만 트랜지스터(18)는 인버터(29)의 출력으로부터 게이트에서 0에 의해 디스에이블된다. 그러면 터미널(36)에서 클럭신호 CK1(파형 405)은 터미널(42)의 방전을 제어한다. 주파수 분할기 회로(10)의 동작은 1에서 제어터미널(36)과 함께 파형(425)(430)으로 도시되어 있다. 파형(425)에서 도시된 바와같이 T=t0에서 터미널(42)이 1이고 출력터미널(30)이 파형(430)에 도시한 바와같이 T=t0에서 0으로 되는 것을 가정해본다. 터미널(42)은 T=t1과 t2사이에 트랜지스터(22)의 게이트에서 터미널 CK1(파형 405)에 가해진 클럭신호의 1과 트랜지스터(16)

의 게이트에서 제어신호1에 의해 트랜지스터(16)(22)를 통하여 방전된다.

T=t1과 t2사이에서, 터미날(42)의 0은 트랜지스터(14)를 인에이블하고 트랜지스터(20)를 디스에이블한다. 트랜지스터(14)를 통하는 전류는 출력터미날(30)(파형 430)을 1로 충전한다. 터미날(42)은 T=t2와 t3사이에서 입력터미날(28)에서의 신호 CKT의 0에 응답하여 트랜지스터(12)를 통한 전류에 의해 1로 충전된다. T=t3와 t4사이 간격에서, 트랜지스터(20)은 터미날(42)(파형 425)로부터의 게이트에서 1로 인에이블되고, 트랜지스터(26)은 터미날(28)(파형 401)에서 입력신호 CKT의 1에 의해 인에이블(턴온, 또는 바이어스온)된다. 출력터미날(30)(파형 430)은 T=t3직후 직렬연결된 트랜지스터(20)(26)을 통하여 0으로 방전된다.

터미날 CK1에 가해진 클럭신호가 T=t5와 t6(파형 405)사이에서 다시 1로 될때, 트랜지스터(22)는 터미날(42)이 트랜지스터(16)(23)를 0으로 방전하도록 온(on)된다. 터미날(42)에서의 0은 트랜지스터(14)를 인에이블하고 T=t5와 t6사이에서 트랜지스터(20)을 디스에이블한다. 출력터미날(30)은 트랜지스터(14)의 소스전류를 1로 충전된다. 제4도에 이미 도시한 바와같이 출력터미날(30)에서의 신호는 입력터미날(28)에 가해진 신호의 미리 결정된 주파수의 $\frac{1}{2}$ 이다. CKT가 사각형파 인곳에 주파수 분할기 회로(10)은 2형태의 카운타에 의해 분할하도록 동작한다. 제어신호(D)는 출력터미날(30)에서 신호의 상을 결정한다. 제어신호(D)가 0일때 획득된 파형(420)과 제어신호(D)가 1일때 획득된 파형(430)은 상이 서로 반대이다.

상기한 일본특허 59-122128에 기재된 종래 기술의 주파수 분할기와 대비하면, 본 발명의 주파수 분할기 회로는 저장터미날(42)을 방전시키기 위한 피드백 통로가 없다. 오히려 클럭신호 CK1과 CK2는 피드백 통로없이 출력터미날(30)의 상태에 관하여 필요한 정보를 공급한다. 1클럭싸이클내에서 1로부터 0까지 출력터미날(30)을 스위치하기 위해서는 입력터미날(28)에서의 신호가 0이고 그때 입력터미날(28)에서 신호가 1이 된후 트랜지스터(20)(26)를 통하여 출력터미날(30)을 방전할때 트랜지스터(12)를 통하여 터미날(42)을 충전하기만 하면된다. 출력 터미날(30)을 0에서 1로 스위치하기 위해서는 클럭 CK1 또는 CK2와 입력터미날(28)에서의 신호가 1일때 터미날(42)이 트랜지스터(16)과 (22) 또는(18)과 (24)를 통해 방전하기만 하면된다. 바람직하게도, 출력터미날(30)으로부터 주파수 분할기로 알려진 트랜지스터(22) 또는 트랜지스터(24)의 게이트까지와 같은 피드백 경로지연은 피할 수 있다. 결과적으로 동작 주파수는 훨씬더 상승될 수 있다.

제2도를 참조하면, 본 발명에 따르는 또다른 주파수 분할기 회로(100)이 도시되어 있다. 선택된 실시예에서, 주파수 분할기 회로(100)는 제1스테이지로 기능하던 제1도에서의 2스테이지 주파수 분할기 회로(10)의 제2스테이지로 동작한다. 주파수 분할기 회로(10)의 출력터미날(30)과 같이 주파수 분할기 회로(100)의 입력터미날에 연결된다. 주파수 분할기 회로(100)은 시프트레지스터(132)(134)(둘다 파선으로 도시한 별도치 4각형으로 도시)와 인버터(102)(104)(106)(116) 및(172)를 포함한다. 시프트레지스터(132)는 전달게이트(118)(120)(TG118과 120으로 표시)와 인버터(108)(110) 및 n-채널 전계효과트랜지스터(FET)(160)(162)(168)를 포함한다. 시프트 레지스터(134)는 전달게이트(122)(124)(TG122와 124로 표시)와 인버터(112)(114) 및 n-채널 FET(164)(166) 및 (170)를 포함한다. 각 인버터들은 입력 및 출력을 갖는다; 각 트랜지스터들은 게이트와 드레인 및 소스를 가진다; 각 전달게이트들은 제1 및 제2 입력/출력, 클럭 입력 및 인버트된 클럭 입력을 가진다. 각 트랜지스터들은 게이트, 드레인 및 전형적으로 MOS전계효과 트랜지스터(FET) MOSFET인 소스를 가진다. 선택된 실시예에서, 각 트랜지스터들은 액정 디스플레이의 유리상에 형성된 박막 MOSFET이다. 전달게이트(TG)의 전형적인 실시예는 제3도에 도시되어 있고 이하에 기술한다.

제1도의 주파수 분할기 회로(10)의 출력터미날(30)은 제2도의 주파수 분할기 회로(100)의 인버터(102)(106)의 입력에 연결된다. 인버터(104)의 출력은 전달게이트(120)(124)의 클럭 입력과 전달게이트(118)(122)의 인버트된 클럭 입력과 트랜지스터(168)(170)의 게이트 및 터미날(131)에 연결된다. 인버터(106)의 출력은 터미날(130), 전달게이트(118)(122)의 클럭 입력 및 전달게이트(120)(124)의 인버트된 클럭 입력에 연결된다.

시프트레지스터(132)에서, 전달게이트(118)의 출력은 인버터(108)의 입력, 트랜지스터(168)의 소스 및 터미날(136)에 연결된다. 인버터(108)의 출력은 전달게이트(120)의 입력 및 터미날(138)에 연결된다.

전달게이트(120)의 출력은 인버터(110)의 입력과 트랜지스터(162)의 소스 및 터미날(140)에 연결된다. 인버터(110)의 출력은 시프트 레지스터(134)의 전달게이트(122)와 시프트레지스터(132)의 출력 및 시프트 레지스터(134)의 입력으로서 작용하는 터미날(142)에 연결된다. 전달게이트(122)의 출력은 인버터(112)의 입력과 트랜지스터(170)의 소스 및 터미날(144)에 연결된다. 인버터(112)의 출력은 전달게이트(124)의 입력 및 터미날(146)에 연결된다. 전달게이트(124)의 출력은 인버터(114)의 입력, 트랜지스터(166)의 소스 및 터미날(148)에 연결된다. 인버터(114)의 출력은 레지스터(134)의 출력, 시프트 레지스터(132)의 전달게이트(118) 및 터미날(150)에 연결된다. 인버터(116)의 출력은 주파수 분할기 회로(100)의 출력터미날 및 터미날(152)에 연결된다.

트랜지스터(162)(164)의 드레인은 제어 신호 D2, 인버터(172)의 입력 및 터미날(180)에 연결된다. 트랜지스터(160)(166)의 드레인들은 인버터(172)의 출력 및 터미날(176)에 연결된다. 트랜지스터(160)(166)의 드레인들은 인버터(172)의 출력 및 터미날(176)에 연결된다. 트랜지스터(160)(162)(164)(166)의 게이트들은 세트터미날(54) 및 초기화 세트신호 SET에 연결된다. 트랜지스터(160)의 소스는 트랜지스터(168)의 드레인 및 터미날(167)에 연결된다. 트랜지스터(168)의 소스는 터미날(136)에 연결된다. 트랜지스터(162)의 소스는 터미날(140)에 연결된다. 트랜지스터(164)의 소스는 트랜지스터(170)의 드레인과 터미날(169)에 연결된다. 트랜지스터(170)의 소스는 터미날(144)에 연결된다. 트랜지스터(166)의 소스는 터미날(148)에 연결된다.

제5도를 참조하면, 제2도의 주파수 분할기 회로(100)의 여러가지 터미날들의 시간대 전압파형이 도시되어 있다. 동작은 본질적으로 같지 않지만 도시한 모든 파형들의 진폭은 본질적으로 0과 1로서 같다. 파형(501)은 터미날(131)의 전압 V(볼트)(인버터(104)의 출력 대 시간 T(나노초))를 도시한 것이다.

파형(505)은 터미날(130)의 전압 V(볼트)(인버터(106)의 출력 대 시간 T(마이크로초))를 도시한 것이다. 터미날(136, 138, 140, 142, 144, 146, 148, 150 및 152)에서 주파수 분할기 회로(100)의 파형(510, 515, 520, 525, 530, 535, 545 및 550)들은 각 파형들에 대하여 전압 V(볼트) 대 시간 T(나노초)를 각기 도시한다.

인버터(104)의 출력(터미날 131)으로부터의 클럭신호는 전달게이트(118)(122)에서의 p-채널 트랜지스터(제3도에만 도시)의 게이트 및 n-채널 트랜지스터(제3도에만 도시)의 게이트들에 가해 진다. 인버터(106)의 출력터미날(130)으로부터의 역 클럭신호(즉, 터미날 131상의 클럭신호)는 전달게이트(118)(122)내의 n-채널 트랜지스터의 게이트(제3도에만 도시) 및 전달게이트(120)(124)내의 p-채널 트랜지스터의 게이트(제3도에만 도시)에 가해진다. 결과적으로, 인버터(104)(터미날 131)이 1이고 인버터(106)(터미날 130)의 출력으로부터의 역클럭신호가 0일 때 즉 $T=t_0$ 에서 t_1 사이의 간격에서, 전달게이트(118)(122)는 개방되고(본질적으로 개방회로 또는 고임피던스) 전달게이트(120)(124)는 폐쇄(본질적으로 단락 또는 저임피던스)된다. 인버터(104)로부터의 클럭신호는 0이고 인버터(106)으로부터의 역클럭신호가 1인 때 즉 $T=t_1$ 에서 t_2 사이에서 전달게이트(118)(122)는 폐쇄되고 전달게이트(120)(124)는 개방된다.

시프트레지스터(132)(134)의 초기 상태들은 터미날(180)에 가해진 제어 신호 D2에 의해 결정된다. 제1도의 주파수 분할기 회로(10)에 대하여 상술한 바와같이, 제어신호 D1은 터미날(30)에서 회로(10) 출력신호의 상을 설정한다. 신호 D2가 1일 때, 초기상태 즉 시프트 레지스터(132)(134)의 터미날(142)(150)의 전압은 각기 0과 1로 세트된다.

제어신호 D2가 1이라고 터미날(54)에 가해진 초기화 세트신호 SET가 1이라고 가정한다. 트랜지스터(162)(164)의 드레인은 1이고, 트랜지스터(160)(166)의 드레인은 인버터(172)의 출력터미날(76)으로부터 0을 받는다. 트랜지스터(160)(162)(164) 및(166)은 그들의 게이트에서 신호 SET로부터 1로서 인에이블된다. 초기화 세트신호 SET(제5도에 도시 않함)은 트랜지스터(160)(162)(164) 및(166)을 선택적으로 인에이블하고 마찬가지로 디스에이블하는데 사용되어지는 비교적 짧은 지속펄스이다. 트랜지스터(160)(166)의 소스(각기 터미날 167, 148)는 트랜지스터(162)(164)의 소스(각기 터미날 140 및 169)가 1로 되는 반면 0으로된다. 트랜지스터(168)(170)들은 인버터(104)의 출력이 1 일 때 인에이블된다.

제어 신호 D2=1이고, 각 시간간격 동안 인버터(104)의 출력에서 클럭 신호가 0이고 인버터(106)의 출력에서 클럭신호가 1일 때 TG(118)(122)가 폐쇄되고, TG(120)(124)가 개방되고 트랜지스터(168)(170)는 디스에이블된다. 그러므로 터미날(140)은 1이다. 트랜지스터(168)(170)의 게이트상의 0은 두개의 트랜지스터를 디스에이블한다. 따라서 터미날(142)은 터미날(144)에서 TG(122)를 폐쇄하므로 전달되는 0이된다. 인버터(112)는 터미날(144)에서 0을 인버트하고 터미날(146)에서 1을 발생한다. 인에이블된 트랜지스터(166)은 TG(124)가 동시에 개방되기 때문에 터미날(148)에서 0을 발생한다. 인버터(114)는 입력에서 0을 인버트하고 터미날(150)에서 1을 발생한다. 인버터(116)는 입력에서 1을 인버트하고 터미날(152)에서 0을 발생한다.

터미날(150)에서의 1은 TG(118)을 통과하고, 터미날(136)이 1이 되게 한다. 인버터(108)는 입력에서 1을 인버트하고 터미날(138)에서 0을 발생한다.

각 인터벌동안 제어 신호 D2=1일 때, 인버터(104)의 출력에서 클럭신호가 1이고, 인버터(106)의 출력에서 클럭신호가 0일 때 TG(118)(122)는 개방되고, TG(120)(124)는 폐쇄된다. 트랜지스터(168)(170)은 인에이블된다. 그러므로 터미날(136)은 0으로 세트되고 터미날(144)은 1로 세트된다. 터미날(136)상의 0은 인버터(120)에 의하여 인버트되고 터미날(138)에서 1이된다. 터미날(138)상의 1은 TG(120)을 통하여 전달되고 그리하여 터미날(140)은 1로 세트된다. 인버터(110)는 입력에서 1을 인버트하고 터미날(142)에서 0을 발생한다. 터미날(144)상의 1은 인버터(112)에 의해 인버트되고 폐쇄된 TG(124)를 통하여 전달된 터미날(146)상에서 0으로되고, 터미날(148)이 0으로 세트되게 한다. 트랜지스터(166)은 터미날(148)을 0으로 세트하여 0레벨로 유지된다. 인버터(114)는 그의 입력에서 0으로 인버트하고 터미날(150)상에서 1을 발생한다. 인버터(116)은 그의 입력에서 1을 인버트하고 터미날(152)에서 0을 발생한다.

이제, 제어 신호 D2(터미날 180에서)가 0이고, 터미날(54)상에 가해진 초기화 세트신호 SET가 1이라고 가정한다. 트랜지스터(160)(166)의 드레인은 인버터(172)의 출력(터미날 176)이 1이기 때문에 1이 된다. 트랜지스터(162)(164)의 드레인은 0으로된다. 트랜지스터(160, 162, 164, 166)은 1신호 SET에 의해 인에이블된다. 트랜지스터(162)(164)의 소스들은 트랜지스터(160)(166)의 소스가 1인동안 0으로된다. 트랜지스터(168)(170)은 그들의 게이트에 가해진 인버터(104)로부터의 클럭신호가 1일 때 인에이블된다. 따라서 터미날(131)이 1로 세트될 때 터미날(136)(148)은 1로 세트되고 터미날(140)(144)은 0으로 세트된다.

각 인터벌동안 D2=0일 때, 인버터(104)의 출력에서 클럭신호가 0이고 인버터(106)의 출력에서 클럭신호가 1일 때 TG(118)(122)는 폐쇄되고 TG(120)(124)는 개방된다.

4)는 개방된다. 트랜지스터(168)(170)는 디스에이블되어 터미날(136)(144)는 각기 터미날(167)(169)로부터 효과적으로 고립되어진다. 터미날(140)은 0으로 세트되고, 터미날(148)은 1로 세트된다. 터미날(148)상의 1은 인버터(114)에 의해 인버트되고 터미날(150)에서 0으로 된다. 터미날(150)에서의 0은 인버터(116)에 의해 인버트되고 터미날(152)에서 1로 된다. 그것은 또한 TG(118)을 통해 전달되고 터미날(136)이 0으로 세트되게 한다. 터미날(136)상의 0은 인버터(108)에 의해 인버트되고 터미날(138)상에서 1로 된다.

D2=0이고, 각 인터벌동안 인버터(104)의 출력에서의 클럭신호가 1이고 인버터(106)의 출력에서의 클럭신호가 0일 때 TG(118)(122)는 개방되고 TG(120)(124)는 폐쇄된다. 트랜지스터(168)(170)은 인에이블되어 터미날(136)(144)는 1과 0으로 각기 세트된다. 트랜지스터(162)(166)은 또한 인에이블되어 터미날(140)(148)은 0과 1로 각기 세트된다. 인버터(108)은 터미날(136)상의 1을 인버트하고 터미날(138)상에 0을 발생한다. 폐쇄된 TG(120)은 터미날(138)상에서 터미날(140)으로 0을 전송한다. 인버터(110)은 터미날(140)상의 0을 인버트하고 터미날(142)상에 1을 발생한다. 인버터(112)는

터미날(144)상의 0을 인버트하고 터미날(146)상에 1을 발생한다. 폐쇄된 (114)는 터미날(148)상의 1을 인버트하고 터미날(150)상에 0을 발생한다.

인버터(116)은 터미날(150)상의 0을 인버트하고 터미날(152)상에 1을 발생한다.

설명목적으로 제어신호 D2가 0이 되어 터미날(142)가 1로 세트되고 터미날(150)이 0으로 세트된다고 가정한다. T=t0과 t1사이에서, 인버터(104)의 출력(터미날 131)에서 클럭신호(파형 501)는 1이고, 인버터(106)의 출력(터미날 130)에서 클럭신호(파형 505)는 0이다. 파형(510)에 도시한 인버터(108)의 입력은 1이고 파형(515)에 도시한 인버터(108)의 출력은 0이다. 전달게이트(120)은 폐쇄된다. 그러므로 파형(520)에 도시한 인버터(110)의 입력은 또한 0이고 파형(525)에 도시한 출력은 1이다. 전달게이트(122)가 개방되어 파형(530)에 도시한 인버터(112)의 입력은 0이고 파형(535)에 도시한 인버터(112)의 출력은 1이다. 전달게이트(124)가 폐쇄됨에 따라 파형(540)에 도시한 인버터(114)로의 입력은 1이고 파형(545)에 도시한 출력은 0이다. 파형(550)에 도시한 바와같이 인버터(116)의 출력(터미날 116)은 1이다.

T=t1과 t2사이에, 전달게이트(118)(122)는 폐쇄되고 전달게이트(120)(124)는 인버터(104)(파형 501)로부터 0클럭신호 및 인버터(106)(파형 505)으로부터 1클럭신호에 응답하여 개방된다. 전달게이트(118)는 시프트레지스터(132)(파형 510)의 인버터(108)의 입력에 대하여 시프트레지스터(134)(파형 545)의 인버터(114)의 출력에 0을 연결하고, 전달게이트(122)는 시프트레지스터(134)(파형 530)내의 인버터(112)의 입력에 대하여 시프트 레지스터(132)(파형 525)내의 인버터(110)의 출력에 1을 연결한다.

T=t2에서 t3까지 전달게이트(118)(122)는 전달게이트(120)(124)가 폐쇄되는동안 개방된다. 전달게이트(120)은 인버터(110)(파형 520)의 입력에 대하여 인버터(108)(파형 515)의 출력 1에 연결되고, 전달게이트(124)는 인버터(112)의 출력(파형 535)로부터 인버터(114)의 입력(파형 540)까지 0을 연결한다. T=t3에서 t4사이에서, 전달게이트(118)(122)는 폐쇄되고 전달게이트(120)(124)는 개방되어 인버터(114)의 출력(파형 545)로부터의 1이 인버터(108)의 입력에 가해지고 인버터(110)의 출력(파형 525)은 인버터(112)(파형 530)의 입력에 전달된다.

T=t4에서, 인버터(104)의 클럭 출력(터미날 131)은 인버터(106)의 클럭출력(130)이 0으로되는동안 1로 된다. 전달게이트(120)(122)는 폐쇄되고 전달게이트(118)(122)는 개방되므로서 인버터(108)의 출력 0(파형 515)은 인버터(110)(파형 520)의 입력에 전달되고 인버터(112)(파형 535)의 출력 1은 인버터(114)(파형 540)의 입력에 전달된다. T=t0에서 t4까지의 인터벌동안에, 주파수 분할기의 터미날(30)에서 제1도의 회로(10)의 출력신호의 2싸이클이 일어난다. 동일한 인터벌에서, 인버터(116)(파형 530)에서 제2도의 회로(100)의 출력은 T=t0와 t2사이에서 0이고, T=t2와 t4사이에서 1이며, T=t4에서 0으로 반전된다. 결과적으로, 주파수 분할기 회로(100)은 터미날(30)에서 입력의 주파수를 2로 나누도록 동작한다. 상술한 동작들은 T=t4와 t8 및 T=t8과 t12사이에서 반복된다.

제1도에서 주파수 분할기 회로(10)에 관하여 설명한 바와같이, 공지의 주파수카운터는 추가의 딜레이를 야기 하는 장치를 포함하는 피드백 경로를 요구한다. 제2도의 주파수 분할기 회로(100)에서, 입력신호는 직렬 연결된 시프트 레지스터(132)(134)를 클럭 하는데 사용되어 피드백 경로에서 장치가 필요 없다. 특히 그러한 피드백 경로 디바이스를 제거 하면 동작 주파수를 증가시킨다. 제2스테이지(100)의 초기화는 제1도의 회로(10)에 가해진 제어신호의 선택된 상에 해당하는 2개의 초기상태중의 하나에 시프트 레지스터 스테이지들을 리세트함으로써 완성된다.

제3도를 참조하면, 제2도의 주파수 분할기 회로(100)의 전달게이트(118)(120)(122) 및(124)에 사용되어 질 수 있는 전달게이트(200)의 개략도가 도시되어 있다. 전달게이트(200)은 p-채널 전계효과트랜지스터(202)와 n-채널 전계효과 트랜지스터(204)를 포함한다. 각 트랜지스터들은 게이트, 드레인 및 소스를 포함한다. 트랜지스터(202)의 소스는 트랜지스터(204)의 드레인과 제1입력 /출력터미날(206)에 연결된다. 트랜지스터(202)의 드레인은 트랜지스터(204)의 소스와 제2입력 /출력 터미날(208)에 연결된다. 트랜지스터(202)의 게이트는 터미날(210)과 연결되고, 트랜지스터(204)의 게이트는 터미날(212)에 연결된다. 터미날(212)는 직접 클럭 입력으로서 표시될 수도 있고, 터미날(210)은 인버트된 클럭입력으로서 표시될 수도 있다. 터미날(206)은 입력으로서 표시될 수도 있고, 터미날(208)은 출력으로 표시될 수도 있다.

동작에 있어서, 터미날(210)(212)에 가해진 클럭신호들은 상보형 사각파신호이다. 클럭 인버터 터미날(210)은 클럭 터미날(212)가 논리 제로(0)를 받는동안 논리 1을 받는다. 클럭 터미날(210)이 0을 받을때 클럭터미날(212)는 1을 받는다. 트랜지스터(202)(204)는 트랜지스터(202)의 게이트에 연결된 클럭신호가 0이고 트랜지스터(204)의 게이트에 연결된 클럭신호가 1일때 인에이블된다. 이렇게하여 양방향 전류경로는 양 트랜지스터(202)(204)가 인에이블되기 때문에 터미날(212)상의 1과 터미날(210)상의 0에 응답하여 터미날(206)(208)사이에 설정되어진다. 터미날(210)상의 1과 터미날(212)상의 0은 트랜지스터(202)(204)를 디스에이블하므로써 터미날(206)(208)사이에 결과적으로 개방(고임피던스)회로가 된다.

여기 기술된 특별한 실시에는 단지 본 발명의 취지와 범위를 설명하기 위한것 일뿐임을 알 수 있을 것이다. 본 발명의 기술분야에 숙련된자들은 본 발명의 원리에 따르는 수정예를 용이하게 생각할 수 있을 것이다. 한예로, 약수클럭신호 CK1과 CK2는 신호 CLK의 주파수의 1/2외의 다른 것으로 설정할 수도 있다. 제1도 및 제2도의 회로에 사용된 디바이스는 박막 트랜지스터를 포함할 수도 있다. 더우기 트랜지스터(160)(162)(164)(166)(168)(170) 및 제2도의 주파수 분할기 회로(100)의 인버터(172)는 전달게이트와 같은 여러가지 다양한 회로로 대체할 수도 있고, 필요로하는 기능을 수행할 수도 있다. 더우기, 트랜지스터(52)는 전달게이트와 같은 다양한 회로에 의하여 대체될 수도 있고 필요로하는 기술을 수행할 수도 있다.

(57) 청구의 범위

청구항 1

주파수 분할기에 있어서, 저장 수단을 포함하고; 제1주파수신호를 수용하기위한 수단을 포함하고; 제1주파수의 약수인 주파수를 가지는 적어도 하나의 클럭신호로 수용하기위한 수단을 포함하고; 제1 및 제2는 리상태로 세트되도록 채택된 출력을 포함하고; 제1주파수신호와 출력에서 약수 주파수신호를 발생하기위한 적어도 하나의 약수 주파수 클럭신호에 응답하는 수단이 세트조건에서 저장수단을 배치하기 위한 제1주파수신호에 응답하는 수단을 포함하고; 리세트조건에서 저장수단을 배치하기 위한 적어도 하나의 약수 주파수신호에 응답하는 수단을 포함하고; 제1논리상태로 출력을 세트하기위한 리세트조건내에 있는 저장수단에 응답하는 수단을 포함하고; 세트조건내에 있는 저장수단과 제2논리상태에 출력을 리세트하기 위한 제1주파수신호에 결합하여 응답하는 수단을 포함하는 주파수 분할기.

청구항 2

제1항에 있어서, 저장수단이 전하를 저장하기 위한 터미널을 포함하고; 약수 주파수는 제1주파수의 $\frac{1}{2}$ 이고; 제1주파수 신호는 짹수 및 홀수사이클을 가지며 각 사이클은 제1 및 제2부분을 포함하고; $\frac{1}{2}$ 주파수 클럭신호는 각 절반 주파수 사이클내에서 제1 및 제2부분을 가지는 제1 및 제2위상(phase) 절반 주파수 클럭신호를 포함하고」 제1위상 절반 주파수 클럭신호의 제1부분은 모든 짹수 제1주파수 사이클의 제1부분과 일치하게되고, 제2위상 절반 주파수 클럭신호의 제1부분이 모든 홀수 제1주파수 클럭신호의 제1부분과 일치하고; 세트조건내에 저장수단을 배치하기 위한 수단을 저장수단을 충전하기 위하여 매 사이클내의 제1주파수신호의 제2부분에 응답하는 수단을 포함하고; 리세트조건내에 저장수단을 배치하기 위한 수단이 저장터미널을 방전하기위해 매 사이클에서 제1 및 제2절반 주파수 클럭신호중 하나의 제1부분에 응답하는 수단을 포함하는 주파수 분할기.

청구항 3

제2항에 있어서, 제1논리상태로 출력을 세트하기위한 수단이 주파수 분할기 출력을 충전하기 위해 충전되는 저장터미널에 응답하는 수단을 포함하고; 제2논리상태로 출력을 리세트하기 위한 수단이 방전되는 저장터미널과 주파수 분할기 출력을 방전하기위한 제1주파수신호의 제1부분에 응답하는 수단을 포함하는 주파수 분할기.

청구항 4

제3항에 있어서, 저장터미널을 방전하기 위한 수단이 제1 및 제2위상 절반 주파수 클럭신호중의 하나를 선택하기 위한 수단을 포함하고 저장터미널을 방전하기 위하여 제1 및 제2위상 절반 주파수 클럭신호중 선택된 하나에 응답하는 수단을 포함하는 주파수 분할기.

청구항 5

제2항에 있어서, 제1 및 제2논리상태중 미리 선택된 하나로 출력을 초기에 세트하기 위한 수단을 포함하는 주파수 분할기.

청구항 6

주파수 분할기에 있어서, 저장수단을 포함하는 제1스테이지를 포함하고; 제1주파수신호를 수용하기위한 수단을 포함하고; 제1주파수의 약수인 주파수를 가지는 적어도 하나의 클럭신호를 수용하기위한 수단을 포함하고; 제1 및 제2논리상태를 선택적으로 세트되도록 채택되는 출력을 포함하고; 제1주파수신호와 출력에서 약수 주파수신호를 발생하기 위하여 적어도 하나의 약수 주파수 클럭신호에 응답하는 수단이 세트 조건에 저장수단을 배치하기 위하여 제1주파수신호에 응답하는 수단을 포함하고; 세트조건에 저장수단을 배치하기 위하여 제1주파수신호에 응답하는 수단을 포함하고; 리세트조건에 저장수단을 배치하기 위하여 적어도 하나의 약수 주파수신호에 응답하는 수단을 포함하고; 제1논리상태에 출력을 세트하기 위하여 그 리세트조건으로 되도록 저장수단에 응답하는 수단을 포함하고; 세트조건 내에 있는 저장수단과 제2논리 상태에 출력을 리세트하기 위하여 제1주파수신호에 결합적으로 응답하는 수단을 포함하는 주파수 분할기.

청구항 7

제6항에 있어서, 약수 주파수 클럭신호는 다수의 서로다른 위상 약수 주파수 클럭신호를 포함하고; 리세트 조건에 저장수단을 배치하기 위하여 적어도 하나의 약수 주파수 신호에 응답하는 수단이 다수의 서로 다른 위상 약수 클럭신호중의 하나를 선택하기 위한 수단을 포함하고 선택된 약수 클럭신호의 위상에서의 리세트조건에 저장수단을 배치하기 위하여 선택된 위상 약수 클럭신호에 응답하는 수단을 포함하는 주파수 분할기.

청구항 8

제6항에 있어서, 저장수단이 전하를 저장하기 위한 터미널을 포함하고; 저장수단을 세트조건내에 배치하기 위한 수단이 미리 결정된 주파수의 매 사이클에 한번씩 제1규정조건에 저장터미널을 주기적으로 충전하기 위하여 제1주파수신호에 응답하는 수단을 포함하고; 저장터미널을 리세트조건에 배치하기 위한 수단이 약수 주파수의 매사이클에 한번씩 저장터미널을 방전하기 위하여 적어도 하나의 약수 주파수신호에 응답하는 수단을 포함하는 주파수 분할기.

청구항 9

제8항에 있어서, 출력을 제1논리상태로 세트하기위한 수단이 제1규정상태로 출력을 충전하기 위하여 방전되는 저장터미널에 응답하는 수단을 포함하고; 출력을 제2논리 상태로 리세트하기 위한 수단이 충전조건 내에 있는 저장터미널과 약수 주파수의 각 사이클에 한번씩 제2규정 상태로 출력을 방전하기 위한

제1주파수신호에 결합적으로 응답하는 수단을 포함하는 주파수 분할기.

청구항 10

제9항에 있어서, 제1전압을 수용하는 수단을 포함하고; 미리 결정된 주파수의 매 싸이클에 한번씩 저장터미날을 주기적으로 방전하기 위한 수단이 제1전압 수용수단과 게이팅수단을 가지는 저장수단 사이에 연결된 제1디바이스를 포함하고; 미리 결정된 주파수의 매 싸이클에 한번씩 제1디바이스를 통하여 저장터미날에 제1수용전압을 연결하기 위하여 제1디바이스의 게이팅 수단에 제1주파수신호를 가하기 위한 수단을 포함하는 주파수 분할기.

청구항 11

제10항에 있어서, 제2전압을 수용하기 위한 수단을 포함하고; 약수 주파수의 매 싸이클마다 한번씩 제2규정 조건에 저장터미날을 방전하기 위하여 적어도 하나의 약수 주파수 신호에 응답하는 수단이 제2전압 수용수단과 게이팅수단을 포함하는 저장터미날 사이에 연결된 적어도 하나의 제2디바이스를 포함하고; 약수 주파수 클럭신호의 매 싸이클에 한번씩 저장터미날에 제2수용 전압을 연결하기 위하여 게이팅수단에 약수 주파수 수용 클럭신호를 가하기 위한 수단을 포함하는 주파수 분할기.

청구항 12

제11항에 있어서, 제1디바이스가 제1전류 제2전류 및 게이트전극을 가지는 트랜지스터이고; 제1트랜지스터의 제1전극은 제1전압수용수단에 연결되고; 제1트랜지스터의 제2전극은 저장터미날에 연결되고; 제1주파수신호는 제1트랜지스터의 게이트전극에 가해지는 주파수 분할기.

청구항 13

제12항에 있어서, 제2디바이스는 제1전류, 제2전류 및 게이트전극을 가지는 제2트랜지스터이고; 제2트랜지스터의 제1전극은 제1전압 수용수단에 연결되고; 제2트랜지스터의 제2전극은 저장터미날에 연결되고; 약수 주파수 클럭신호는 제2트랜지스터의 게이트전극에 가해지는 주파수 분할기.

청구항 14

제13항에 있어서, 출력을 제1논리상태에 세트하기 위한 수단이 제1전극, 제2전극 및 게이트전극을 가지는 제3트랜지스터를 포함하고; 제3트랜지스터의 게이트전극이 저장수단에 연결되고; 제3트랜지스터의 제1전극이 제1전압 수용수단에 연결되고; 제3트랜지스터의 제2전극이 출력에 연결되는 주파수 분할기.

청구항 15

제14항에 있어서, 출력을 제2논리 상태에 리세트하기 위한 수단이 제1전극 제2전극 및 게이트전극을 가지는 제4트랜지스터를 포함하고; 제4트랜지스터의 제1전극은 제3트랜지스터의 제2전극에 연결되고; 제4트랜지스터의 게이트전극은 저장수단에 연결되고; 제1주파수의 매 싸이클마다 한번씩 제2전압 수용수단에 제4트랜지스터의 제2전극을 스위치 연결하기 위하여 제1주파수신호에 응답하는 수단을 포함하는 주파수 분할기.

청구항 16

제15항에 있어서, 제1주파수의 매 싸이클마다 한번씩 제2전압 수용수단에 제4트랜지스터의 제2전극을 스위치 연결하기 위한 수단이 제1전극, 제2전극 및 게이트전극을 가지는 제5트랜지스터를 포함하고; 제4트랜지스터의 제2전극에 연결되는 제5트랜지스터의 제1전극을 포함하고; 제2전압 수용수단에 연결된 제5트랜지스터의 제2전극을 포함하고; 제5트랜지스터의 게이트전극에 제1주파수신호를 가하기 위한 수단을 포함하는 주파수 분할기.

청구항 17

제6항에 있어서, 약수 주파수는 제1주파수의 $\frac{1}{2}$ 인 주파수 분할기.

청구항 18

제6항에 있어서, 제2스테이지가 각기 입력 및 출력을 가지는 제1 및 제2시프트레지스터를 포함하고; 제2시프트레지스터의 입력에 제1시프트레지스터의 출력을 연결하고, 또한 제1시프트레지스터의 입력에 제2시프트레지스터의 출력을 연결하기 위한 수단을 포함하고; 제1시프트레지스터로부터 제2시프트레지스터 까지의 제1상태 신호와 제1상태 출력의 약수 주파수의 $\frac{1}{2}$ 인 주파수에서 제2시프트 레지스터로부터 제1시프트 레지스터 까지 제2상태 신호를 시프트하기 위하여 제1스테이지의 출력에 응답하는 수단을 포함하는 주파수 분할기.

청구항 19

제18항에 있어서, 각 시프트 레지스터 스테이지는 각기 입력 및 출력을 가지는 제1 및 제2인버트 수단을 포함하고; 신호를 선택적으로 통과하게하기위한 제1 및 제2전달게이트 수단을 포함하고; 제1 및 제2전달게이트 수단에 제1스테이지의 출력을 가하기 위한수단을 포함하고; 시프트레지스터 입력과 제1인버터 수단의 입력 사이에 연결되는 제1게이트수단을 포함하고; 제1인버터 수단의 출력과 제2인버터 수단의 입력 사이에 연결되는 제2게이트 수단을 포함하고; 시프트 레지스터 스테이지 출력에 연결된 제2인버터 수단의 출력을 포함하는 주파수 분할기.

청구항 20

제19항에 있어서, 약수 주파수의 매 싸이클마다 제1스테이지의 출력에서의 신호가 제1논리상태의 제1부

분과 제2논리상태의 제2부분을 포함하고; 약수 주파수 출력 신호의 제1부분내의 제1시프트 레지스터의 제1인버트 수단에 제2시프트 레지스터의 제2인버트 수단을 연결하기 위한 수단을 포함하는 제1시프트 레지스터의 제1게이트수단을 포함하고; 약수 주파수 출력 신호의 제1부분내에 제2시프트레지스터의 제 1인버트 수단에 제1시프트레지스터의 제2인버트 수단을 연결하기 위한 수단을 포함하는 제2시프트레지스터의 제1게이트 수단을 포함하고; 약수 주파수 출력 신호의 제2부분내에 제 1시프트레지스터의 제2인버트 수단에 제1시프트레지스터의 제1인버트수단을 연결 하기 위한 수단을 포함하는 제1시프트 레지스터의 제2게이트 수단을 포함하고; 약수 주파수 출력신호의 제2부분내에 제2시프트 레지스터의 제2인버트 수단에 제2시프트 레지스터의 제1인버트 수단을 연결자기위한 수단을 포함하는 제2시프트 레지스터의 제2게이트 수단을 포함하므로서, 제2시프트레지스터의 출력에서의 신호가 제1스테이지 출력신호의 약수 주파수의 $\frac{1}{2}$ 인 주파수 분할기.

청구항 21

주파수 분할기 회로에 있어서, 각기 입력 및 출력을 가지는 제1, 제2, 제3, 제4, 제5 및 제6 인버터를 포함하고; 제1 및 제2 입력/출력, 제1제어터미날 및 제2제어터미날을 각기 가지는 제1, 제2, 제3 및 제4 전달 게이트를 포함하고; 제1인버터의 입력과 제1및 제3전달게이트의 제2제어터미날과 제2 및 제4전달게이트의 제1제어터미날에 연결된 회로입력터미날을 포함하고; 제1 및 제3전달게이트의 제1제어터미날과 제2 및 제4전달게이트의 제2제어터미날에 연결된 제1인버터의 출력을 포함하고; 제1 및 제3전달게이트의 제1제어터미날과 제2 및 제4전달게이트의 제2제어터미날에 연결된 제1인버터의 출력을 포함하고; 제2인버터의 입력에 연결되는 제1전달게이트의 제2입력/출력을 포함하고; 제2전달게이트의 제 1입력 /출력에 연결되는 제2인버터의 출력을 포함하고; 제3인버터의 입력에 연결되는 제2전달게이트의 제2입력/출력을 포함하고; 제4인버터의 입력에 연결되는 제3전달게이트의 제2입력/출력을 포함하고; 제4전달게이트의 제1입력 /출력에 연결되는 제4인버터의 출력을 포함하고; 제5인버터의 입력에 연결되는 제4전달게이트의 제2입력/출력을 포함하고; 제6인버터의 입력과 제1전달게이트의 제1입력/출력에 연결되는 제5인버터의 출력을 포함하고; 회로 출력터미날에 연결되는 제6인버터의 출력을 포함하고; 출력 신호레벨을 선택적으로 설정하기위한 전달게이트의 제2입력/출력에 연결된 세팅수단을 포함하는 주파수 분할기 회로.

청구항 22

제21항에 있어서, 입력 및 출력을 각기 가지는 제7 및 제8인버터를 포함하고; 회로 입력터미날에 연결되는 제7인버터의 입력과 제8인버터의 입력에 연결된 제7인버터의 출력을 포함하고; 회로 입력터미날이 제7 및 제8인버터를 통하여 제어터미날에 연결되는 제1 및 제3전달게이트의 제2제어터미날과 제2 및 제4 전달게이트의 제1제어터미날에 연결된 제8인버터의 출력을 포함하는 주파수 분할기 회로.

청구항 23

제22항에 있어서, 세팅수단이 제어터미날, 제 1, 제2출력터미날 및 입력 및 출력을 가지는 제9인버터를 각기 가지는 제1, 제2, 제3, 제4, 제5 및 제6트랜지스터를 포함하고; 제1 및 제4트랜지스터의 제1출력터미날이 제9인버터의 출력에 연결되고; 제2 및 제3트랜지스터의 제1출력터미날이 제9인버터의 입력에 연결되고; 모든 트랜지스터의 제어터미날이 세트터미날에 함께 연결되고; 제1트랜지스터의 제2출력터미날이 제5트랜지스터의 제1출력터미날에 연결되고; 제5트랜지스터의 제2출력터미날이 제1전달게이트의 제2입력/출력터미날에 연결되고; 제5트랜지스터의 제어터미날이 제1전달게이트의 제2제어터미날에 연결되고; 제2트랜지스터의 제2출력터미날이 제2전달게이트의 제2입력/출력에 연결되고; 제4트랜지스터의 제2출력터미날이 제6트랜지스터의 제1출력터미날에 연결되고; 제6트랜지스터의 제2출력터미날이 제3전달게이트의 제2입력/출력터미날에 연결되고; 제6트랜지스터의 제어터미날이 제3전달게이트의 제2제어터미날에 연결되고; 제4트랜지스터의 제2출력터미날이 제4전달게이트의 제2입력/출력터미날에 연결되는 주파수 분할기 회로.

청구항 24

제23항에 있어서, 각 트랜지스터가 게이트, 드레인 및 소스를 가지는 전계효과 트랜지스터인 주파수 분할기 회로.

청구항 25

제24항에 있어서 각 트랜지스터가 n-채널 전계효과 트랜지스터인 주파수 분할기 회로.

청구항 26

제25항에 있어서, 각 n-채널 트랜지스터가 박막 전계효과 트랜지스터인 주파수 분할기 회로.

청구항 27

주파수 분할기 회로에 있어서, 제어터미날과 제1 및 제2출력터미날을 각기 가지는 제1도전을 형식의 제1 및 제2트랜지스터를 포함하고; 제어터미날과 제1 및 제2출력터미날을 각기 가지는 제2도전을 형식의 제3, 제4, 제5, 제6, 제7 및 제8트랜지스터를 포함하고; 입력과 출력을 가지는 인버터를 포함하고; 제1 및 제8트랜지스터의 제어터미날에 연결된 제1회로 입력터미날을 포함하고; 제3트랜지스터의 제어터미날에 연결된 제2회로 입력터미날을 포함하고; 제4트랜지스터의 제어터미날에 연결된 제3회로 입력터미날을 포함하고; 제5트랜지스터의 제어터미날에 연결된 제4회로 입력터미날을 포함하고; 제5트랜지스터의 제어터미날에 연결된 인버터의 출력을 포함하고; 제2 및 제7트랜지스터의 제1출력터미날에 연결된 회로 출력터미날을 포함하고; 제2 및 제7트랜지스터의 제어터미날에 연결된 제1, 제3 및 제5트랜지스터의 제1출력터미날을 포함하고; 제1출력터미날, 제4트랜지스터에 연결된 제3트랜지스터의 제2출력터미날을 포함하고; 제6트랜지스터의 제1출력터미날에 연결된 제5트랜지스터의 제2출력터미날을 포함하고; 제8트랜지스

터의 제1출력터미날에 연결된 제7트랜지스터의 제2출력 터미날을 포함하는 주파수 분할기 회로.

청구항 28

제27항에 있어서, 세트 입력터미날에 연결된 제어터미날과 인버터의 출력에 연결된 제1출력터미날과 회로 출력터미날에 연결된 제2출력터미날을 가지는 제2도전을 형식의 제9트랜지스터를 포함하는 주파수 분할기 회로.

청구항 29

제28항에 있어서, 제1 및 제2트랜지스터의 제2출력터미날이 함께 연결되고, 제4, 제6 및 제8트랜지스터의 제2출력터미날이 함께 연결된 주파수 분할기 회로.

청구항 30

제29항에 있어서, 모든 트랜지스터가 전계효과 트랜지스터인 주파수 분할기 회로.

청구항 31

제30항에 있어서, 모든 트랜지스터가 MOS트랜지스터이고, 제 1 및 제2트랜지스터가 p-채널트랜지스터이고, 제3, 제4, 제5, 제6, 제7 및 제8트랜지스터가 n-채널 트랜지스터인 주파수 분할기 회로.

청구항 32

제31항에 있어서, 트랜지스터가 박막 트랜지스터인 주파수 분할기 회로.

청구항 33

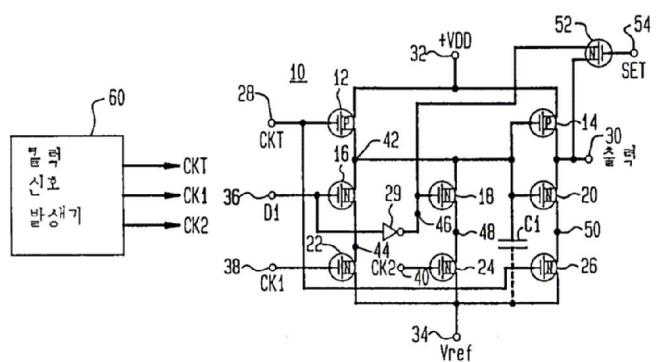
주파수 분할기 회로에 있어서, 제1스테이지가 제어터미날과 제1 및 제2출력터미날을 각기 가지는 제1도전을 형식의 제1 및 제2트랜지스터를 포함하고; 제어터미날과 제1 및 제2출력터미날을 각기 가지는 제2도전을 형식의 제3, 제4, 제5, 제6, 제7 및 제8트랜지스터를 포함하고; 입력 및 출력을 가지는 인버터를 포함하고; 제1 및 제8트랜지스터의 제어터미날에 연결된 제1회로 입력터미날을 포함하고; 제3트랜지스터의 제어터미날에 연결된 제2회로 입력터미날을 포함하고; 제4트랜지스터의 제어터미날에 연결된 제3회로 입력터미날을 포함하고; 제5트랜지스터의 제어터미날에 연결된 제4회로 입력터미날을 포함하고; 제5트랜지스터의 제어터미날에 연결된 인버터의 출력을 포함하고; 제2 및 제7트랜지스터의 제1출력터미날에 연결된 제1스테이지 회로 출력 터미날을 포함하고; 제2 및 제7트랜지스터의 제어터미날에 연결된 제 1, 제3 및 제5트랜지스터의 제1출력터미날을 포함하고; 제1출력터미날, 제4트랜지스터에 연결된 제3트랜지스터의 제2출력 터미날을 포함하고; 제6트랜지스터의 제1출력터미날에 연결된 제5트랜지스터의 제2출력 터미날을 포함하고; 제8트랜지스터의 제1출력터미날에 연결된 제7트랜지스터의 제2출력터미날을 포함하고; 제2스테이지가 입력 및 출력을 각기 가지는 제1, 제2, 제3, 제4, 제5 및 제6인버터를 포함하고; 제1 및 제2입력/ 출력, 제1제어터미날 및 제2제어터미날을 각기 가지는 제1, 제2, 제3 및 제4전달게이트를 포함하고; 제1인버터의 입력과 제1 및 제3전달게이트의 제2제어터미날과 제2 및 제4전달게이트의 제1제어터미날에 연결된 제2스테이지 회로 입력 터미날을 포함하고; 제1 및 제3전달게이트의 제1제어터미날과 제2 및 제4전달게이트의 제2제어터미날에 연결된 제1인버터의 출력을 포함하고; 제2인버터의 입력에 연결된 제1전달게이트의 제2입력/ 출력을 포함하고; 제2전달게이트의 제1입력/ 출력에 연결된 제2인버터의 출력을 포함하고; 제3인버터의 입력에 연결된 제2전달게이트의 제2입력/ 출력을 포함하고; 제3전달게이트의 입력/ 출력에 연결된 제3인버터의 출력을 포함하고; 제4인버터의 입력에 연결된 제3전달게이트의 제2입력/ 출력을 포함하고; 제4전달게이트의 제1입력/ 출력에 연결된 제4인버터의 출력을 포함하고; 제5인버터의 입력에 연결된 제4전달게이트의 제2입력/ 출력을 포함하고; 제6인버터의 입력과 제 1전달게이트의 제1입력/ 출력에 연결된 제5인버터의 출력을 포함하고; 회로 출력터미날에 연결된 제6인버터의 출력을 포함하고; 출력 신호레벨을 선택적으로 세팅하기 위해 전달게이트의 제2입력/ 출력에 연결된 세팅수단을 포함하는 주파수 분할기 회로.

청구항 34

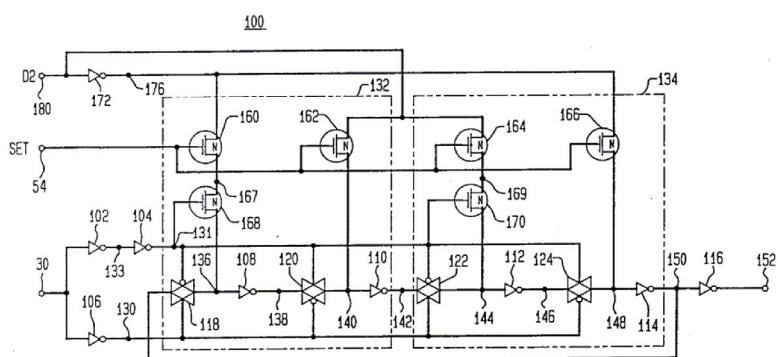
주파수 분할기 회로에 있어서, 제1스테이지가 저장수단을 포함하고; 제1주파수신호를 수신 수단을 포함하고; 제1주파수의 약수인 주파수를 가지는 적어도 하나의 클럭신호로 수신하기 위한 수단을 포함하고; 제1 및 제2논리상태로 선택적으로 세트되어지도록 채택되는 제1스테이지 출력을 포함하고; 제1스테이지 출력에서 약수 주파수신호를 발생하기 위하여 제1주파수 신호와 적어도 하나의 약수 주파수 클럭신호에 응답하는 수단이 세트조건에 저장수단을 설정하기 위하여 제1주파수신호에 응답하는 수단을 포함하고; 리세트조건에 저장수단을 설정하기 위하여 적어도 하나의 약수 주파수신호에 응답하는 수단을 포함하고; 제1논리상태로 출력을 세트하기 위해 리세트조건으로되는 저장수단에 응답하는 수단을 포함하고; 제2논리 상태로 출력을 리세트하기 위해 세트조건으로되는 저장수단과 제1주파수신호에 결합응답하는 수단을 포함하고; 제2스테이지가 입력 및 출력을 각기 가지는 제1 및 제2시프트레지스터를 포함하고; 제1스테이지의 출력터미날에 연결된 제1시프트레지스터의 제어 터미날을 포함하고; 제2시프트레지스터의 입력에 제1시프트 레지스터의 출력을 연결하고, 제1시프트 레지스터의 입력에 제2시프트 레지스터의 출력을 연결하기 위한 수단을 포함하고; 제1시프트 레지스터에 제1상태신호를 초기에 저장하고, 제2시프트 레지스터에 제2상태 신호를 초기에 저장하기 위한 수단을 포함하고; 제1스테이지 출력의 약수 주파수의 $\frac{1}{2}$ 인 주파수에서 제1시프트 레지스터로부터 제2시프트 레지스터까지 제1상태신호를 시프트하고, 제2시프트 레지스터로부터 제1시프트 레지스터까지 제2상태신호를 시프트하기 위하여 제1스테이지의 출력에 응답하는 수단을 포함하는 주파수분할기 회로.

도면

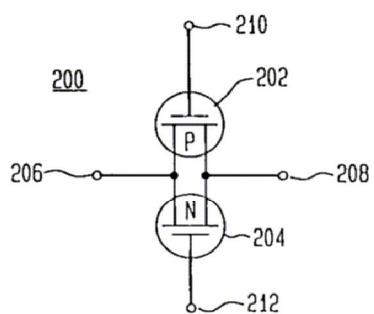
도면1



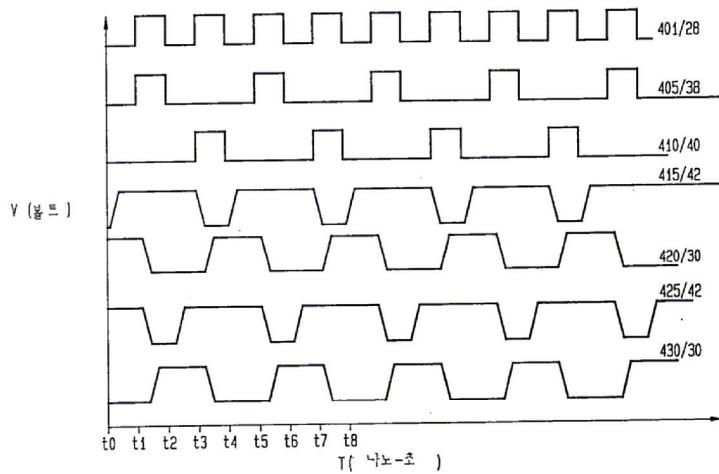
도면2



도면3



도면4



도면5

