

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月5日(05.10.2023)



(10) 国際公開番号

WO 2023/189754 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) *H01L 29/739* (2006.01)
H01L 29/06 (2006.01) *H01L 29/861* (2006.01)
H01L 29/12 (2006.01) *H01L 29/868* (2006.01)

(21) 国際出願番号: PCT/JP2023/010676

(22) 国際出願日: 2023年3月17日(17.03.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-061084 2022年3月31日(31.03.2022) JP
特願 2022-061085 2022年3月31日(31.03.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

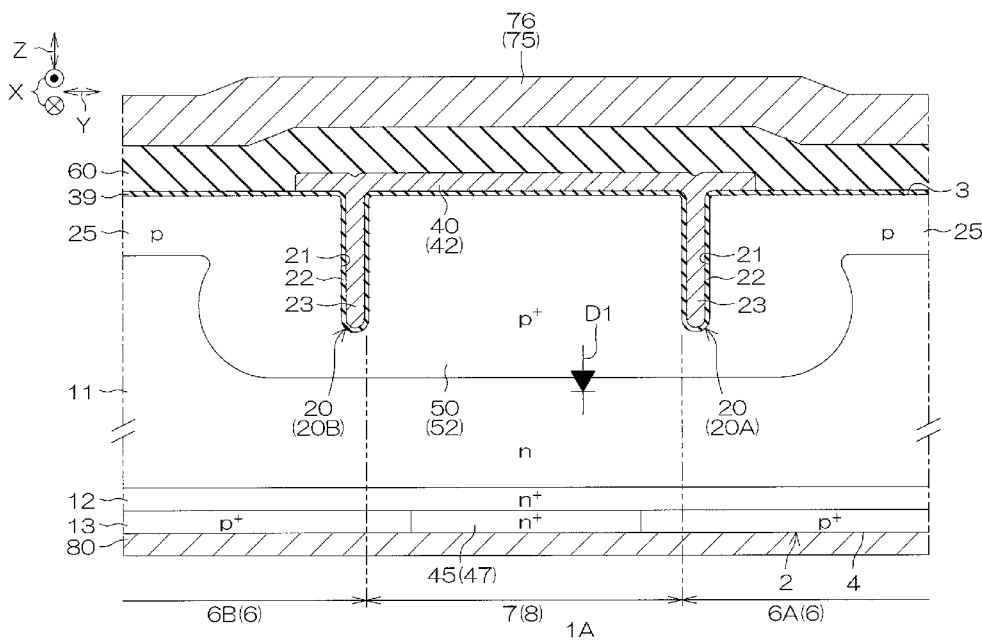
(72) 発明者: 青野 正規 (AONO, Masaki); 〒6158585
京都府京都市右京区西院溝崎町 2 1 番地 ローム
株式会社内 Kyoto (JP). 後田 敦史 (NOCHIDA,
Atsushi); 〒6158585 京都府京都市右京区西院溝
崎町 2 1 番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 弁理士法人 あい 特許事
務所 (AI ASSOCIATION OF PATENT AND
TRADEMARK ATTORNEYS); 〒5410059 大阪
府大阪市中央区博労町三丁目 2 番 8 号 岩
田東急ビル 8 階 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図6]



(57) **Abstract:** This semiconductor device comprises: a chip having a first surface on one side and a second surface on the other side; a plurality of IGBT regions provided on the chip so as to be spaced apart from each other; a boundary region provided on the chip in a region between the plurality of IGBT regions; a first electroconductive-type cathode region formed in the boundary region, in a surface layer section of the second surface; and a second electroconductive-type well region formed in the boundary region, in a surface layer section of the first surface.

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 半導体装置は、一方側の第1面および他方側の第2面を有するチップと、前記チップに間隔を空けて設けられた複数のIGBT領域と、前記チップにおいて複数の前記IGBT領域の間の領域に設けられた境界領域と、前記境界領域において前記第2面の表層部に形成された第1導電型のカソード領域と、前記境界領域において前記第1面の表層部に形成された第2導電型のウェル領域と、を含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] この出願は、2022年3月31日提出の日本国特許出願2022-061084号、および、2022年3月31日提出の日本国特許出願2022-061085号に基づく優先権を主張しており、これらの出願の全内容はここに引用により組み込まれる。本発明は、半導体装置に関する。

背景技術

[0002] 特許文献1は、RC-IGBT (Reverse Conducting - Insulating Gate Bipolar Transistor) を含む半導体装置を開示している。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2010/0090248号明細書

発明の概要

発明が解決しようとする課題

[0004] 一実施形態は、電気的特性の向上に寄与する半導体装置を提供する。

課題を解決するための手段

[0005] 一実施形態は、一方側の第1面および他方側の第2面を有するチップと、前記チップに間隔を空けて設けられた複数のIGBT領域と、前記チップにおいて複数の前記IGBT領域の間の領域に設けられた境界領域と、前記境界領域において前記第2面の表層部に形成された第1導電型のカソード領域と、前記境界領域において前記第1面の表層部に形成された第2導電型のウェル領域と、を含む、半導体装置を提供する。

[0006] 一実施形態は、一方側の第1面および他方側の第2面を有するチップと、前記チップに間隔を空けて設けられた複数のIGBT領域と、前記チップにおいて複数の前記IGBT領域の間の領域に設けられた境界領域と、前記境界領域において前記第2面の表層部に形成された第1導電型のカソード領域

と、前記境界領域において前記第1面の表層部に形成された第2導電型のウェル領域と、前記境界領域において前記第1面の上に形成された層間絶縁膜と、前記ウェル領域に電氣的に接続されるように前記層間絶縁膜に埋設されたビア電極と、前記ビア電極に電氣的に接続されるように前記層間絶縁膜の上に配置されたエミッタ電極と、を含む、半導体装置を提供する。

[0007] 一実施形態は、一方側の第1主面および他方側の第2主面を有するチップと、前記第1主面に設定された複数のIGBT領域と、前記第1主面において複数の前記IGBT領域の間に設定された境界領域と、前記第1主面において複数の前記IGBT領域の周囲に設定された外周領域と、各前記IGBT領域に形成されたIGBT構造と、前記境界領域に形成された境界ダイオードと、前記外周領域に形成された外側ダイオードと、を含む、半導体装置を提供する。

[0008] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0009] [図1]図1は、第1実施形態に係る半導体装置を示す平面図である。

[図2]図2は、複数のIGBT領域、境界領域、ゲート電極およびエミッタ電極のレイアウト例を示す平面図である。

[図3]図3は、ゲート配線、境界カソード領域、境界ウェル領域、外側ウェル領域および外側カソード領域のレイアウト例を示す平面図である。

[図4]図4は、複数のIGBT領域および境界領域のレイアウト例を示す拡大平面図である。

[図5]図5は、図4に示すV-V線に沿う断面図である。

[図6]図6は、図4に示すVI-VI線に沿う断面図である。

[図7]図7は、図4に示すVII-VII線に沿う断面図である。

[図8]図8は、IGBT領域の周縁部のレイアウト例を示す拡大平面図である。

[図9]図9は、図8に示すIX-IX線に沿う断面図である。

[図10]図10は、図8に示すX-X線に沿う断面図である。

[図11]図11は、チップの周縁部を示す断面図である。

[図12A]図12Aは、カソード領域の他のレイアウト例を示す平面図である。

[図12B]図12Bは、カソード領域の他のレイアウト例を示す平面図である。

[図12C]図12Cは、カソード領域の他のレイアウト例を示す平面図である。

[図12D]図12Dは、カソード領域の他のレイアウト例を示す平面図である。

[図12E]図12Eは、カソード領域の他のレイアウト例を示す平面図である。

[図12F]図12Fは、カソード領域の他のレイアウト例を示す平面図である。

[図12G]図12Gは、カソード領域の他のレイアウト例を示す平面図である。

[図12H]図12Hは、カソード領域の他のレイアウト例を示す平面図である。

[図12I]図12Iは、カソード領域の他のレイアウト例を示す平面図である。

[図12J]図12Jは、カソード領域の他のレイアウト例を示す平面図である。

[図12K]図12Kは、カソード領域の他のレイアウト例を示す平面図である。

[図12L]図12Lは、カソード領域の他のレイアウト例を示す平面図である。

[図12M]図12Mは、カソード領域の他のレイアウト例を示す平面図である。

[図12N]図12Nは、カソード領域の他のレイアウト例を示す平面図である。

[図13]図13は、参考例に係る半導体装置のレイアウトを示す平面図である。

。

[図14]図14は、尖頭サージ電流および順方向電圧の関係を示すグラフである。

[図15]図15は、第2実施形態に係る半導体装置を示す平面図である。

[図16]図16は、複数のIGBT領域、境界領域、ゲート電極およびエミッタ電極のレイアウト例を示す平面図である。

[図17]図17は、複数のIGBT領域および境界領域のレイアウト例を示す拡大平面図である。

[図18]図18は、図17に示すXVIII-XVIII線に沿う断面図である。

[図19]図19は、第3実施形態に係る半導体装置を示す平面図である。

[図20]図20は、複数のIGBT領域、境界領域、ゲート電極およびエミッタ電極のレイアウト例を示す平面図である。

タ電極のレイアウト例を示す平面図である。

[図21]図21は、複数のIGBT領域および境界領域のレイアウト例を示す拡大平面図である。

[図22]図22は、図21に示すXXII-XXII線に沿う断面図である。

[図23]図23は、第4実施形態に係る半導体装置を示す平面図である。

[図24]図24は、複数のIGBT領域、境界領域、ゲート電極およびエミッタ電極のレイアウト例を示す平面図である。

[図25]図25は、複数のIGBT領域および境界領域のレイアウト例を示す拡大平面図である。

[図26]図26は、第5実施形態に係る半導体装置の要部を示す断面図である。

[図27]図27は、第6実施形態に係る半導体装置の要部を示す断面図である。

[図28]図28は、前述の各実施形態に適用される変形例を示す平面図である。

[図29]図29は、前述の各実施形態に適用される変形例を示す平面図である。

[図30]図30は、前述の各実施形態に適用される変形例を示す平面図である。

発明を実施するための形態

[0010] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。

[0011] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする土

10%の範囲の数値誤差（形態誤差）も含む。実施形態では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。

[0012] 図1は、第1実施形態に係る半導体装置1Aを示す平面図である。図2は、複数のIGBT領域6、境界領域7、ゲート電極71およびエミッタ電極75のレイアウト例を示す平面図である。図3は、ゲート配線40、境界カソード領域45、境界ウェル領域50、外側カソード領域55および外側ウェル領域56のレイアウト例を示す平面図である。図4は、複数のIGBT領域6および境界領域7のレイアウト例を示す拡大平面図である。

[0013] 図5は、図4に示すV-V線に沿う断面図である。図6は、図4に示すVI-VI線に沿う断面図である。図7は、図4に示すVII-VII線に沿う断面図である。図8は、IGBT領域6の周縁部のレイアウト例を示す拡大平面図である。図9は、図8に示すIX-IX線に沿う断面図である。図10は、図8に示すX-X線に沿う断面図である。図11は、チップ2の周縁部を示す断面図である。

[0014] 図1～図11を参照して、半導体装置1Aは、IGBT（Insulated Gate Bipolar Transistor）およびダイオードを一体的に備えたRC-IGBT（Reverse Conducting - IGBT）を有するRC-IGBT半導体装置（半導体スイッチング装置）である。ダイオードは、IGBTに対する還流ダイオードである。

[0015] 半導体装置1Aは、六面体形状（具体的には直方体形状）のチップ2を含む。チップ2は、「半導体チップ」と称されてもよい。チップ2は、この形態（this embodiment）では、シリコン単結晶基板（半導体基板）からなる単層構造を有している。チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。

[0016] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視（以下、単に「平面視」という。）において四角形状に形成されている。法線方

向Zは、チップ2の厚さ方向でもある。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差（具体的には直交）する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0017] 半導体装置1Aは、チップ2に間隔を空けて設けられた複数のIGBT領域6を含む。各IGBT領域6は、IGBT構造を有する領域であり、「アクティブ領域」と称されてもよい。複数のIGBT領域6は、第1IGBT領域6Aおよび第2IGBT領域6Bを含む。

[0018] 第1IGBT領域6Aは、第1主面3の中心を第1方向Xに横切る直線に対して第1側面5A側の領域に設けられている。第2IGBT領域6Bは、第1主面3の中心を第1方向Xに横切る直線に対して第2側面5B側の領域に設けられている。複数のIGBT領域6は、この形態では、平面視において第1～第4側面5A～5Dに平行な4辺を有する多角形状にそれぞれ形成されている。

[0019] 半導体装置1Aは、複数のIGBT領域6の間の領域に設けられた境界領域7を含む。具体的には、境界領域7は、第1IGBT領域6Aおよび第2IGBT領域6Bの間の領域において、第1方向Xに延びる帯状に設けられている。境界領域7は、この形態では、第1主面3の中心を第1方向Xに横切る直線上に位置している。

[0020] 境界領域7は、第2方向Yに比較的大きい第1幅を有する第1領域8、第2方向Yに第1幅よりも小さい第2幅を有する第2領域9を含む。第1領域8は、端子電極を支持する部分として第1方向Xの一方側（第3側面5C側）の領域に設けられている。第1領域8は、「パッド領域」、「幅広領域」または「端子支持領域」と称されてもよい。

[0021] 第1領域8は、この形態では、平面視において第1主面3の中心を第1方向Xに横切る直線上に位置し、第3側面5Cの中央部近傍において四角形状に設けられている。第1領域8の第1幅は、100 μ m以上800 μ m以下であってもよい。第1幅は、200 μ m以上600 μ m以下であることが好

ましい。第1幅は、この形態では、 $350\mu\text{m}$ 以上 $450\mu\text{m}$ 以下の範囲に設定されている。

[0022] 第2領域9は、配線を支持する部分として、第1領域8に対して第1方向Xの他方側（第4側面5D側）の領域に設けられている。第2領域9は、第1主面3の中心を第1方向Xに横切る直線上に位置し、第1領域8から第4側面5Dの中央部側に向けて帯状に引き出されている。第2領域9は、「ストリート領域」、「幅狭領域」または「配線支持領域」と称されてもよい。

[0023] 第2領域9の第2幅は、 $0.1\mu\text{m}$ 以上 $500\mu\text{m}$ 以下であってもよい。第2幅は、 $100\mu\text{m}$ 以下であることが好ましい。第2幅は、 $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下、 $10\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、および、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下のいずれかの範囲に属する値に設定されてもよい。

[0024] 半導体装置1Aは、複数のIGBT領域6を一括して取り囲むようにチップ2の周縁部に設けられた外周領域10を含む。外周領域10は、第1～第4側面5A～5Dに沿って延びる環状（四角環状）に設けられている。

[0025] 半導体装置1Aは、チップ2の内部に形成されたn型（第1導電型）のドリフト領域11を含む。ドリフト領域11は、チップ2の内部の全域に形成されている。この形態では、チップ2がn型の半導体基板（n型の半導体チップ）からなり、ドリフト領域11はチップ2を利用して形成されている。

[0026] 半導体装置1Aは、第2主面4の表層部に形成されたn型のバッファ領域12を含む。バッファ領域12は、この形態では、第2主面4の全域において第2主面4に沿って延びる層状に形成されている。バッファ領域12は、ドリフト領域11よりも高いn型不純物濃度を有している。バッファ領域12の有無は任意であり、バッファ領域12を有さない形態が採用されてもよい。

[0027] 半導体装置1Aは、第2主面4の表層部に形成されたp型（第2導電型）のコレクタ領域13を含む。コレクタ領域13は、この形態では、バッファ

領域 12 の第 2 主面 4 側の表層部に形成されている。コレクタ領域 13 は、この形態では、第 2 主面 4 の全域において第 2 主面 4 に沿って延びる層状に形成されている。コレクタ領域 13 は、第 2 主面 4 および第 1 ～第 4 側面 5A ～ 5D の一部から露出している。

[0028] 半導体装置 1A は、複数の IGBT 領域 6 を区画するように第 1 主面 3 に形成された複数のトレンチ分離構造 20 を含む。複数のトレンチ分離構造 20 には、ゲート電位が印加される。トレンチ分離構造 20 は、「トレンチゲート分離構造」または「トレンチゲート接続構造」と称されてもよい。複数のトレンチ分離構造 20 は、第 1 IGBT 領域 6A を区画する第 1 トレンチ分離構造 20A、および、第 2 IGBT 領域 6B を区画する第 2 トレンチ分離構造 20B を含む。

[0029] 第 1 トレンチ分離構造 20A は、第 1 IGBT 領域 6A を取り囲み、境界領域 7 および外周領域 10 から第 1 IGBT 領域 6A を区画している。第 1 トレンチ分離構造 20A は、この形態では、平面視において第 1 ～第 4 側面 5A ～ 5D に平行な 4 辺を有する多角環状に形成されている。

[0030] 第 2 トレンチ分離構造 20B は、第 2 IGBT 領域 6B を取り囲み、境界領域 7 および外周領域 10 から第 2 IGBT 領域 6B を区画している。第 2 トレンチ分離構造 20B は、この形態では、平面視において第 1 ～第 4 側面 5A ～ 5D に平行な 4 辺を有する多角環状に形成されている。

[0031] 複数のトレンチ分離構造 20 は、平面視において境界領域 7 の第 1 領域 8 および第 2 領域 9 を区画するように屈曲した部分をそれぞれ有している。各トレンチ分離構造 20 は、境界領域 7 の第 2 領域 9 の幅未満の幅を有していることが好ましい。

[0032] 各トレンチ分離構造 20 の幅は、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下であってもよい。各トレンチ分離構造 20 の幅は、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であることが好ましい。各トレンチ分離構造 20 は、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の深さを有していてもよい。各トレンチ分離構造 20 の深さは、 $4\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。

- [0033] 以下、１つのトレンチ分離構造２０の構成が説明される。トレンチ分離構造２０は、分離トレンチ２１、分離絶縁膜２２および分離埋設電極２３を含む。分離トレンチ２１は、第１主面３から第２主面４に向けて掘り下がり、トレンチ分離構造２０の壁面を区画している。
- [0034] 分離絶縁膜２２は、分離トレンチ２１の壁面に沿って膜状に形成され、分離トレンチ２１内においてリセス空間を区画している。分離絶縁膜２２は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも１つを含んでいてもよい。分離絶縁膜２２は、単一の絶縁膜からなる単層構造を有していることが好ましい。分離絶縁膜２２は、チップ２の酸化物からなる酸化シリコン膜を含むことが特に好ましい。
- [0035] 分離埋設電極２３は、分離絶縁膜２２を挟んで分離トレンチ２１内に埋設されている。分離埋設電極２３は、この形態では、導電性ポリシリコンからなる。分離埋設電極２３には、ゲート電位が付与される。
- [0036] 以下、複数のＩＧＢＴ領域６内の構造が説明される。第２ＩＧＢＴ領域６Ｂ側の構造は、第１ＩＧＢＴ領域６Ａ側の構造とほぼ同じである。具体的には、第２ＩＧＢＴ領域６Ｂ側の構造は、第１ＩＧＢＴ領域６Ａ側の構造と境界領域７に対して線対称である。以下では、第１ＩＧＢＴ領域６Ａ側の構造が説明される。第２ＩＧＢＴ領域６Ｂ側の構造の説明については、第１ＩＧＢＴ領域６Ａ側の構造の説明が適用され、省略される。
- [0037] 半導体装置１Ａは、第１ＩＧＢＴ領域６Ａにおいて第１主面３の表層部に形成されたｐ型のベース領域２５を含む。ベース領域２５は、「ボディ領域」または「チャネル領域」と称されてもよい。ベース領域２５は、トレンチ分離構造２０よりも浅い深さ位置に形成され、トレンチ分離構造２０の底壁よりも第１主面３側に位置する底部を有している。ベース領域２５は、第１主面３に沿って層状に延び、トレンチ分離構造２０の内周壁に接続されている。
- [0038] 半導体装置１Ａは、第１ＩＧＢＴ領域６Ａにおいて第１主面３に形成された複数のトレンチ構造３０を含む。複数のトレンチ構造３０には、ゲート電

位が印加される。トレンチ構造30は、「トレンチゲート構造」と称されてもよい。複数のトレンチ構造30は、ドリフト領域11に至るようにベース領域25を貫通している。複数のトレンチ構造30は、平面視において第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数のトレンチ構造30は、第2方向Yに延びるストライプ状に配列されている。

[0039] 複数のトレンチ構造30は、長手方向（第2方向Y）に関して、境界領域7側の第1端部30Aおよび外周領域10側の第2端部30Bをそれぞれ有している。第1端部30Aおよび第2端部30Bは、トレンチ分離構造20に機械的および電氣的に接続されている。つまり、複数のトレンチ構造30は、トレンチ分離構造20と共に1つの梯子状のトレンチゲート構造を構成している。トレンチ構造30およびトレンチ分離構造20の接続部は、トレンチ分離構造20の一部とみなされてもよいし、トレンチ構造30の一部とみなされてもよい。

[0040] 複数のトレンチ構造30は、第1方向Xに $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けて配列されていてもよい。複数のトレンチ構造30の間隔は、 $1\mu\text{m}$ 以上 $3\mu\text{m}$ 以下であることが好ましい。複数のトレンチ構造30の間隔は、境界領域7の第2領域9の幅未満であることが好ましい。

[0041] 各トレンチ構造30は、 $0.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の幅を有していてもよい。各トレンチ構造30の幅は、各トレンチ構造30が延びる方向に直交する方向の幅である。各トレンチ構造30の幅は、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であることが好ましい。各トレンチ構造30の幅は、境界領域7の第2領域9の幅未満であることが好ましい。各トレンチ構造30の幅は、トレンチ分離構造20の幅とほぼ等しいことが好ましい。

[0042] 各トレンチ構造30は、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の深さを有していてもよい。各トレンチ構造30の深さは、 $4\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。各トレンチ構造30の深さは、トレンチ分離構造20の深さとほぼ等しいことが好ましい。

- [0043] 以下、1つのトレンチ構造30の構成が説明される。トレンチ構造30は、ゲートトレンチ31、ゲート絶縁膜32およびゲート埋設電極33を含む。ゲートトレンチ31は、第1主面3から第2主面4に向けて掘り下がり、トレンチ構造30の壁面を区画している。ゲートトレンチ31は、この形態では、第2方向Yの両端部（第1端部30Aおよび第2端部30B）において分離トレンチ21に連通している。具体的には、ゲートトレンチ31の側壁は分離トレンチ21の側壁に連通し、ゲートトレンチ31の底壁は分離トレンチ21の底壁に連通している。
- [0044] ゲート絶縁膜32は、ゲートトレンチ31の壁面に沿って膜状に形成され、ゲートトレンチ31内においてリセス空間を区画している。ゲート絶縁膜32は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。
- [0045] ゲート絶縁膜32は、単一の絶縁膜からなる単層構造を有していることが好ましい。ゲート絶縁膜32は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。ゲート絶縁膜32は、この形態では、分離絶縁膜22と同一の絶縁膜からなる。ゲート絶縁膜32は、分離トレンチ21およびゲートトレンチ31の連通部において分離絶縁膜22に接続されている。
- [0046] ゲート埋設電極33は、ゲート絶縁膜32を挟んでゲートトレンチ31内に埋設されている。ゲート埋設電極33は、この形態では、導電性ポリシリコンからなる。ゲート埋設電極33には、ゲート電位が付与される。ゲート埋設電極33は、分離トレンチ21およびゲートトレンチ31の連通部において分離埋設電極23に接続されている。
- [0047] 半導体装置1Aは、ベース領域25の表層部に形成されたn型の複数のエミッタ領域35を含む。複数のエミッタ領域35は、複数のトレンチ構造30の両サイドに配置され、平面視において複数のトレンチ構造30に沿って延びる帯状にそれぞれ形成されている。複数のエミッタ領域35は、ドリフト領域11よりも高いn型不純物濃度をそれぞれ有している。

- [0048] 半導体装置 1 A は、チップ 2 内においてベース領域 2 5 の直下の領域に形成された n 型の複数のキャリアストレージ領域 3 6 を含む。複数のキャリアストレージ領域 3 6 は、ベース領域 2 5 へのキャリア（正孔）の排出を抑制し、複数のトレンチ構造 3 0 の直下の領域におけるキャリア（正孔）の蓄積を促す。つまり、複数のキャリアストレージ領域 3 6 は、チップ 2 の内部から低オン抵抗化および低オン電圧化を促す。
- [0049] 複数のキャリアストレージ領域 3 6 は、複数のトレンチ構造 3 0 の両サイドに配置され、平面視において複数のトレンチ構造 3 0 に沿って延びる帯状にそれぞれ形成されている。複数のキャリアストレージ領域 3 6 は、チップ 2 の厚さ方向に関してベース領域 2 5 の底部およびトレンチ構造 3 0 の底壁の間の領域にそれぞれ形成されている。複数のキャリアストレージ領域 3 6 は、トレンチ構造 3 0 の底壁からベース領域 2 5 側に離間していることが好ましい。
- [0050] 複数のキャリアストレージ領域 3 6 の底部は、トレンチ構造 3 0 の中間部よりもトレンチ構造 3 0 の底壁側に位置していることが好ましい。複数のキャリアストレージ領域 3 6 は、ドリフト領域 1 1 よりも高い n 型不純物濃度を有している。複数のキャリアストレージ領域 3 6 の n 型不純物濃度は、エミッタ領域 3 5 よりも低いことが好ましい。キャリアストレージ領域 3 6 の有無は任意である。したがって、キャリアストレージ領域 3 6 を有さない形態が採用されてもよい。
- [0051] 半導体装置 1 A は、エミッタ領域 3 5 を露出させるように第 1 主面 3 に形成された複数のコンタクト孔 3 7 を含む。複数のコンタクト孔 3 7 は、複数のトレンチ構造 3 0 から第 1 方向 X に間隔を空けて複数のトレンチ構造 3 0 の両サイドに形成されている。複数のコンタクト孔 3 7 は、開口から底壁に向けて開口幅が狭まる先細り形状にそれぞれ形成されていてもよい。
- [0052] 複数のコンタクト孔 3 7 は、ベース領域 2 5 に至らないようにエミッタ領域 3 5 の底部から第 1 主面 3 側に離間していてもよい。むしろ、複数のコンタクト孔 3 7 は、ベース領域 2 5 に至るようにエミッタ領域 3 5 を貫通して

いてもよい。複数のコンタクト孔37は、平面視において複数のトレンチ構造30に沿って延びる帯状にそれぞれ形成されている。長手方向（第2方向Y）に関して、複数のコンタクト孔37は、複数のトレンチ構造30よりも短い。

[0053] 半導体装置1Aは、ベース領域25の表層部において複数のエミッタ領域35とは異なる領域に形成されたp型の複数のコンタクト領域38を含む。複数のコンタクト領域38は、平面視において対応するコンタクト孔37に沿って延びる帯状にそれぞれ形成されている。複数のコンタクト領域38の底部は、対応するコンタクト孔37の底壁およびベース領域25の底部の間の領域にそれぞれ形成されている。複数のコンタクト領域38は、ベース領域25よりも高いp型不純物濃度を有している。

[0054] このように、第1IGBT領域6Aは、ベース領域25、複数のトレンチ構造30、複数のエミッタ領域35、複数のキャリアストレージ領域36、複数のコンタクト孔37および複数のコンタクト領域38を含む。第2IGBT領域6Bは、第1IGBT領域6Aと同様に、ベース領域25、複数のトレンチ構造30、複数のエミッタ領域35、複数のキャリアストレージ領域36、複数のコンタクト孔37および複数のコンタクト領域38を含む。

[0055] 半導体装置1Aは、第1主面3を被覆する主面絶縁膜39を含む。主面絶縁膜39は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。主面絶縁膜39は、単一の絶縁膜からなる単層構造を有していることが好ましい。主面絶縁膜39は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。主面絶縁膜39は、この形態では、ゲート絶縁膜32と同一の絶縁膜からなる。

[0056] 主面絶縁膜39は、複数のIGBT領域6、境界領域7および外周領域10を被覆するように第1主面3に沿って膜状に延びている。主面絶縁膜39は、チップ2の周縁（第1～第4側面5A～5D）に連なってもよい。主面絶縁膜39は、複数のトレンチ分離構造20および複数のトレンチ構造

30を露出させるように第1主面3を被覆している。具体的には、主面絶縁膜39は、分離絶縁膜22およびゲート絶縁膜32に接続され、分離埋設電極23およびゲート埋設電極33を露出させている。

[0057] 半導体装置1Aは、第1主面3の上 (anywhere above) に配置されたゲート配線40を含む。具体的には、ゲート配線40は、主面絶縁膜39の上 (anywhere on) に膜状に配置されている。ゲート配線40は、この形態では、導電性ポリシリコン膜からなる。ゲート配線40は、少なくとも境界領域7に引き回されている。ゲート配線40は、この形態では、境界領域7および外周領域10に任意のレイアウトで引き回されている。

[0058] 具体的には、ゲート配線40は、パッド配線41、境界配線42、第1外側配線43および第2外側配線44を含む。パッド配線41は、境界領域7の第1領域8の上に配置され、第2方向Yに比較的大きい第1配線幅を有している。パッド配線41は、この形態では、平面視において四角形状に形成されている。パッド配線41は、第2方向Yに境界領域7の幅 (第1領域8の第1幅) よりも大きい幅を有している。パッド配線41は、境界領域7の上から第2方向Yに隣り合う複数のトレンチ分離構造20の上に引き出されている。

[0059] パッド配線41は、この形態では、複数のトレンチ構造30の第1端部30Aを被覆するように境界領域7の上から複数のIGBT領域6の上に引き出されている。これにより、パッド配線41は、分離埋設電極23および複数のゲート埋設電極33に機械的および電氣的に接続され、分離埋設電極23およびゲート埋設電極33にゲート電位を伝達する。パッド配線41は、この形態では、分離埋設電極23および複数のゲート埋設電極33と一体的に形成されている。

[0060] 境界配線42は、パッド配線41から境界領域7の第2領域9の上に引き出され、第2方向Yにパッド配線41の第1配線幅よりも小さい第2配線幅を有している。境界配線42は、第1方向Xに延びる帯状に形成されている。境界配線42は、この形態では、チップ2の中心を横切っている。境界配

線 4 2 は、第 2 方向 Y に境界領域 7 の幅（第 2 領域 9 の第 2 幅）よりも大きい幅を有している。境界配線 4 2 は、境界領域 7 の上から第 2 方向 Y に隣り合う複数のトレンチ分離構造 2 0 の上に引き出されている。

[0061] 境界配線 4 2 は、この形態では、複数のトレンチ構造 3 0 の第 1 端部 3 0 A を被覆するように境界領域 7 の上から複数の I G B T 領域 6 の上に引き出されている。これにより、境界配線 4 2 は、分離埋設電極 2 3 および複数のゲート埋設電極 3 3 に機械的および電氣的に接続され、分離埋設電極 2 3 およびゲート埋設電極 3 3 にゲート電位を伝達する。境界配線 4 2 は、この形態では、分離埋設電極 2 3 および複数のゲート埋設電極 3 3 と一体的に形成されている。

[0062] 第 1 外側配線 4 3 は、パッド配線 4 1 から外周領域 1 0 の上に引き出され、第 1 側面 5 A および第 3 側面 5 C に沿って延びる帯状に形成されている。第 1 外側配線 4 3 は、第 4 側面 5 D に沿って帯状に延びる部分を有していてもよい。第 1 外側配線 4 3 は、第 1 側面 5 A に沿って延びる部分において外周領域 1 0 の上から第 1 トレンチ分離構造 2 0 A の上に引き出された部分を有している。第 1 外側配線 4 3 は、この形態では、第 1 I G B T 領域 6 A の複数のトレンチ構造 3 0 の第 2 端部 3 0 B も被覆している。

[0063] これにより、第 1 外側配線 4 3 は、分離埋設電極 2 3 および複数のゲート埋設電極 3 3 に機械的および電氣的に接続されている。第 1 外側配線 4 3 は、この形態では、分離埋設電極 2 3 および複数のゲート埋設電極 3 3 と一体的に形成されている。第 1 外側配線 4 3 は、外周領域 1 0 側から分離埋設電極 2 3 およびゲート埋設電極 3 3 にゲート電位を伝達する。

[0064] 第 2 外側配線 4 4 は、パッド配線 4 1 から外周領域 1 0 の上に引き出され、第 2 側面 5 B および第 3 側面 5 C に沿って延びる帯状に形成されている。第 2 外側配線 4 4 は、第 4 側面 5 D に沿って帯状に延びる部分を有していてもよい。第 2 外側配線 4 4 は、第 2 側面 5 B に沿って延びる部分において外周領域 1 0 の上から第 2 トレンチ分離構造 2 0 B の上に引き出された部分を有している。第 2 外側配線 4 4 は、この形態では、第 2 I G B T 領域 6 B の

複数のトレンチ構造 30 の第 2 端部 30B も被覆している。

[0065] これにより、第 2 外側配線 44 は、分離埋設電極 23 および複数のゲート埋設電極 33 に機械的および電氣的に接続されている。第 2 外側配線 44 は、この形態では、分離埋設電極 23 および複数のゲート埋設電極 33 と一体的に形成されている。第 2 外側配線 44 は、外周領域 10 側から分離埋設電極 23 およびゲート埋設電極 33 にゲート電位を伝達する。

[0066] 図 3 および図 6 を参照して、半導体装置 1A は、境界領域 7 において第 2 主面 4 の表層部に形成された n 型の境界カソード領域 45 を含む。境界カソード領域 45 は、第 2 主面 4 に沿って延びる層状に形成されている。境界カソード領域 45 は、バッファ領域 12 に接続されるようにコレクタ領域 13 を貫通し、第 2 主面 4 から露出している。

[0067] 境界カソード領域 45 は、コレクタ領域 13 の p 型不純物濃度よりも高い n 型不純物濃度を有し、コレクタ領域 13 の一部の導電型が p 型から n 型に置換された領域からなる。境界カソード領域 45 は、ドリフト領域 11（バッファ領域 12）よりも高い n 型不純物濃度を有していることが好ましい。

[0068] 境界カソード領域 45 は、平面視において第 1 トレンチ分離構造 20A および第 2 トレンチ分離構造 20B によって挟まれた領域に形成されている。つまり、境界カソード領域 45 は、平面視において第 1 IGBT 領域 6A 側の複数のトレンチ構造 30 および第 2 IGBT 領域 6B 側の複数のトレンチ構造 30 によって挟まれた領域に形成されている。境界カソード領域 45 は、チップ 2 の厚さ方向に各 IGBT 領域 6 のベース領域 25 に対向しないように、第 2 主面 4 に沿う方向（第 2 方向 Y）に各 IGBT 領域 6 のベース領域 25 から間隔を空けて形成されていることが好ましい。

[0069] 境界カソード領域 45 は、チップ 2 の厚さ方向に複数のトレンチ構造 30 に対向しないように、第 2 主面 4 に沿う方向（第 2 方向 Y）に複数のトレンチ構造 30 から間隔を空けて形成されていることが特に好ましい。境界カソード領域 45 は、この形態では、チップ 2 の厚さ方向に複数のトレンチ分離構造 20 に対向しないように、第 2 主面 4 に沿う方向（第 2 方向 Y）に複数

のトレンチ分離構造 20 から間隔を空けて形成されている。

[0070] つまり、境界カソード領域 45 は、第 2 方向 Y に境界領域 7 の幅よりも小さい幅を有している。また、境界カソード領域 45 は、境界領域 7 のみ形成され、複数の IGBT 領域 6 に形成されていない。また、境界カソード領域 45 は、境界領域 7 内にコレクタ領域 13 の一部を残存させるように第 2 主面 4 の表層部に形成されている。つまり、半導体装置 1A は、境界領域 7 に形成されたコレクタ領域 13 を含む。

[0071] 境界カソード領域 45 は、この形態では、平面視において第 2 方向 Y にゲート配線 40（境界配線 42）の幅よりも小さい幅を有し、ゲート配線 40 の周縁部よりも内方に位置する周縁部を有している。つまり、断面視において、境界カソード領域 45 の全域がチップ 2 の厚さ方向にゲート配線 40 に対向している。むろん、境界カソード領域 45 は、平面視においてゲート配線 40 の幅よりも大きい幅を有し、ゲート配線 40 の周縁部よりも外方に位置する周縁部を有していてもよい。

[0072] 境界カソード領域 45 は、平面視において境界領域 7 に沿って延びる帯状に形成されている。つまり、境界カソード領域 45 は、複数のトレンチ構造 30 の配列方向に沿って延びている。境界カソード領域 45 は、チップ 2 の厚さ方向にゲート配線 40 に対向している。具体的には、境界カソード領域 45 は、チップ 2 の厚さ方向にパッド配線 41 および境界配線 42 に対向している。

[0073] さらに具体的には、境界カソード領域 45 は、境界領域 7 の第 1 領域 8 に形成された第 1 カソード領域 46、および、境界領域 7 の第 2 領域 9 に形成された第 2 カソード領域 47 を含む。第 1 カソード領域 46 は、第 2 方向 Y に比較的大きい第 1 カソード幅を有し、チップ 2 の厚さ方向にパッド配線 41 に対向している。第 1 カソード領域 46 は、この形態では、平面視において四角形状に形成されている。

[0074] 第 1 カソード領域 46 は、パッド配線 41 の第 1 配線幅以下（より好ましくは第 1 配線幅未満）の第 1 カソード幅を有していることが好ましい。第 1

カソード領域 4 6 は、この形態では、境界領域 7 の第 1 領域 8 の第 1 幅以下（具体的には第 1 幅未満）の第 1 カソード幅を有している。つまり、第 1 カソード領域 4 6 は、第 1 領域 8 の平面積以下（具体的には第 1 領域 8 の平面積未満）の平面積を有している。第 1 カソード領域 4 6 は、第 1 幅の $1/10$ 以上の第 1 カソード幅を有していることが好ましい。

[0075] 第 2 カソード領域 4 7 は、第 2 方向 Y に第 1 カソード領域 4 6 の第 1 カソード幅よりも小さい第 2 カソード幅を有し、第 1 カソード領域 4 6 から境界領域 7 の第 2 領域 9 に向けて帯状に引き出されている。第 2 カソード領域 4 7 は、チップ 2 の厚さ方向に境界配線 4 2 に対向している。

[0076] 第 2 カソード領域 4 7 は、この形態では、第 1 主面 3 の中心を第 1 方向 X に横切る直線上に位置している。具体的には、第 2 カソード領域 4 7 は、第 1 主面 3 の中心を第 2 方向 Y に横切る直線に対して第 1 方向 X の一方側（第 3 側面 5 C 側）の領域および他方側（第 4 側面 5 D 側）の領域に位置するように帯状に延びている。

[0077] 第 2 カソード領域 4 7 は、境界配線 4 2 の第 2 配線幅以下（より好ましくは第 2 配線幅未満）の第 2 カソード幅を有していることが好ましい。第 2 カソード領域 4 7 は、この形態では、境界領域 7 の第 2 領域 9 の第 2 幅以下（具体的には第 2 幅未満）の第 2 カソード幅を有している。つまり、第 2 カソード領域 4 7 は、第 2 領域 9 の平面積以下（具体的には第 2 領域 9 の平面積未満）の平面積を有している。第 2 カソード領域 4 7 は、第 2 幅の $1/10$ 以上の第 2 カソード幅を有していることが好ましい。

[0078] 半導体装置 1 A は、境界領域 7 において第 1 主面 3 の表層部に形成された p 型の境界ウェル領域 5 0 を含む。境界ウェル領域 5 0 は、「境界アノード領域」と称されてもよい。境界ウェル領域 5 0 は、この形態では、複数のベース領域 2 5 よりも高い p 型不純物濃度を有している。むしろ、境界ウェル領域 5 0 は、複数のベース領域 2 5 よりも低い p 型不純物濃度を有しているもよい。

[0079] 境界ウェル領域 5 0 は、第 1 主面 3 に沿って延びる層状に形成され、第 1

主面 3 から露出している。境界ウェル領域 50 は、第 1 トレンチ分離構造 20A および第 2 トレンチ分離構造 20B によって挟まれた領域に形成されている。つまり、境界ウェル領域 50 は、第 1 IGBT 領域 6A 側の複数のトレンチ構造 30 および第 2 IGBT 領域 6B 側の複数のトレンチ構造 30 によって挟まれた領域に形成されている。

[0080] 境界ウェル領域 50 は、複数のベース領域 25 よりも深く形成され、複数のトレンチ分離構造 20 に接続されている。具体的には、境界ウェル領域 50 は、複数のトレンチ分離構造 20（複数のトレンチ構造 30）よりも深く形成され、複数のトレンチ分離構造 20 の底壁を被覆する部分を有している。

[0081] 境界ウェル領域 50 は、この形態では、第 2 方向 Y に境界領域 7 の幅よりも大きい幅を有し、境界領域 7 から各 IGBT 領域 6 内に引き出されている。境界ウェル領域 50 は、第 2 方向 Y にゲート配線 40 の幅よりも大きい幅を有し、ゲート配線 40 の周縁部よりも外方（各 IGBT 領域 6 の内方部側）に張り出した周縁部を有していることが好ましい。境界ウェル領域 50 は、複数のトレンチ分離構造 20 を横切って複数のトレンチ構造 30 の底壁を被覆する部分を有している。

[0082] 境界ウェル領域 50 は、各 IGBT 領域 6 内においてトレンチ分離構造 20 の側壁および複数のトレンチ構造 30 の側壁を被覆し、第 1 主面 3 の表層部において各ベース領域 25 に接続されている。境界ウェル領域 50 は、各 IGBT 領域 6 内においてベース領域 25 およびエミッタ領域 35 に電氣的に接続されている。境界ウェル領域 50 の深さは、 $1\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下であってもよい。境界ウェル領域 50 の深さは、 $5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であることが好ましい。

[0083] 境界ウェル領域 50 は、チップ 2 の厚さ方向に境界カソード領域 45 に対向している。具体的には、境界ウェル領域 50 は、第 2 方向 Y に境界カソード領域 45 の幅よりも大きい幅を有し、チップ 2 の厚さ方向に境界カソード領域 45 に対向する部分（内方部）、および、チップ 2 の厚さ方向にコレク

タ領域 13 に対向する部分（周縁部）を有している。

[0084] 境界ウェル領域 50 は、この形態では、境界領域 7 内に位置する部分においてコレクタ領域 13 および境界カソード領域 45 に対向し、各 IGBT 領域 6 内に位置する部分においてコレクタ領域 13 に対向している。つまり、境界ウェル領域 50 は、各 IGBT 領域 6 および境界領域 7 においてコレクタ領域 13 に対向する部分を有している。境界ウェル領域 50 は、断面視において境界カソード領域 45 の全域に対向していることが好ましい。

[0085] 境界ウェル領域 50 は、平面視において境界領域 7 に沿って延びる帯状に形成されている。つまり、境界ウェル領域 50 は、複数のトレンチ構造 30 の配列方向に沿って延びている。境界ウェル領域 50 は、チップ 2 の厚さ方向にゲート配線 40 および境界カソード領域 45 に対向している。具体的には、境界ウェル領域 50 は、チップ 2 の厚さ方向にパッド配線 41 および境界配線 42 に対向し、チップ 2 の厚さ方向に第 1 カソード領域 46 および第 2 カソード領域 47 に対向している。

[0086] さらに具体的には、境界ウェル領域 50 は、境界領域 7 の第 1 領域 8 に形成された第 1 ウェル領域 51、および、境界領域 7 の第 2 領域 9 に形成された第 2 ウェル領域 52 を含む。第 1 ウェル領域 51 は、第 2 方向 Y に比較的大きい第 1 ウェル幅を有し、チップ 2 の厚さ方向にパッド配線 41 および第 1 カソード領域 46 に対向している。第 1 ウェル領域 51 は、この形態では、平面視において四角形状に形成されている。

[0087] 第 1 ウェル領域 51 は、第 1 カソード領域 46 の第 1 カソード幅以上の（より好ましくは第 1 カソード幅よりも大きい）第 1 ウェル幅を有していることが好ましい。第 1 ウェル領域 51 は、断面視においてチップ 2 の厚さ方向に第 1 カソード領域 46 の全域に対向していることが好ましい。第 1 ウェル領域 51 は、第 1 カソード領域 46 の平面積以上（より好ましくは第 1 カソード領域 46 の平面積よりも大きい）の平面積を有していることが特に好ましい。

[0088] 第 1 ウェル領域 51 は、パッド配線 41 の第 1 配線幅以上の第 1 ウェル幅

（より好ましくは第１配線幅よりも大きい第１ウェル幅）を有していることが好ましい。第１ウェル領域５１は、断面視においてチップ２の厚さ方向にパッド配線４１の全域に対向していることが好ましい。第１ウェル領域５１は、パッド配線４１の平面積以上（より好ましくはパッド配線４１の平面積よりも大きい）の平面積を有していることが特に好ましい。

[0089] 第１ウェル領域５１は、境界領域７の第１領域８の第１幅以上の（より好ましくは第１幅よりも大きい）第１ウェル幅を有していることが特に好ましい。第１ウェル領域５１は、第１領域８の平面積以上（より好ましくは第１領域８の平面積よりも大きい）の平面積を有していることが特に好ましい。第１ウェル幅は、第１幅の２倍以下（より好ましくは第１幅の１．５倍以下）であることが好ましい。

[0090] 第２ウェル領域５２は、第１ウェル領域５１から境界領域７の第２領域９に向けて帯状に引き出され、第２方向Ｙに第１ウェル領域５１の第１ウェル幅よりも小さい第２ウェル幅を有している。第２ウェル領域５２は、チップ２の厚さ方向に境界配線４２および第２カソード領域４７に対向している。

[0091] 第２ウェル領域５２は、この形態では、第１主面３の中心を第１方向Ｘに横切る直線上に位置している。具体的には、第２ウェル領域５２は、第１主面３の中心を第２方向Ｙに横切る直線に対して第１方向Ｘの一方側（第３側面５Ｃ側）の領域および他方側（第４側面５Ｄ側）の領域に位置するように帯状に延びている。

[0092] 第２ウェル領域５２は、第２カソード領域４７の第２カソード幅以上の（より好ましくは第２カソード幅よりも大きい）第２ウェル幅を有していることが好ましい。第２ウェル領域５２は、断面視においてチップ２の厚さ方向に第２カソード領域４７の全域に対向していることが好ましい。第２ウェル領域５２は、第２カソード領域４７の平面積以上（より好ましくは第２カソード領域４７の平面積よりも大きい）の平面積を有していることが特に好ましい。

[0093] 第２ウェル領域５２は、境界配線４２の第２配線幅以上の（より好ましく

は第2配線幅よりも大きい) 第2ウェル幅を有していることが好ましい。第2ウェル領域52は、断面視においてチップ2の厚さ方向に境界配線42の全域に対向していることが好ましい。第2ウェル領域52は、境界配線42の平面積以上(より好ましくは境界配線42の平面積よりも大きい)の平面積を有していることが特に好ましい。

[0094] 第2ウェル領域52は、境界領域7の第2領域9の第2幅以上の(より好ましくは第2幅よりも大きい)第2ウェル幅を有していることが特に好ましい。第2ウェル領域52は、第2領域9の平面積以上(より好ましくは第2領域9の平面積よりも大きい)の平面積を有していることが特に好ましい。第2ウェル幅は、第2幅の2倍以下(より好ましくは第2幅の1.5倍以下)であることが好ましい。

[0095] 半導体装置1Aは、外周領域10において第2主面4の表層部に形成されたn型の外側カソード領域55を含む。外側カソード領域55は、第2主面4に沿って延びる層状に形成されている。外側カソード領域55は、バッファ領域12に接続されるようにコレクタ領域13を貫通し、第2主面4から露出している。

[0096] 外側カソード領域55は、コレクタ領域13のp型不純物濃度よりも高いn型不純物濃度を有し、コレクタ領域13の一部の導電型がp型からn型に置換された領域である。外側カソード領域55は、ドリフト領域11(バッファ領域12)よりも高いn型不純物濃度を有していることが好ましい。外側カソード領域55のn型不純物濃度は、境界カソード領域45のn型不純物濃度とほぼ等しいことが好ましい。

[0097] 外側カソード領域55は、第2主面4の周縁(第1~第4側面5A~5D)から内方に間隔を空けて形成されている。外側カソード領域55は、平面視において複数のIGBT領域6に沿って延びる帯状に形成されている。外側カソード領域55は、この形態では、平面視において複数のIGBT領域6を取り囲む環状に形成されている。具体的には、外側カソード領域55は、第2主面4の周縁に平行な4辺を有する環状(四角環状)に形成されてい

る。

- [0098] 外側カソード領域 55 は、少なくともチップ 2 の厚さ方向に各 IGBT 領域 6 のベース領域 25 に対向しないように、各 IGBT 領域 6 のベース領域 25 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。外側カソード領域 55 は、チップ 2 の厚さ方向に複数のトレンチ構造 30 に対向しないように、複数のトレンチ構造 30 からチップ 2 の周縁側に間隔を空けて形成されていることが好ましい。
- [0099] 外側カソード領域 55 は、チップ 2 の厚さ方向に複数のトレンチ分離構造 20 に対向しないように、複数のトレンチ分離構造 20 からチップ 2 の周縁側に間隔を空けて形成されていることが特に好ましい。つまり、外側カソード領域 55 は、外周領域 10 のみに形成され、複数の IGBT 領域 6 に形成されていないことが好ましい。
- [0100] 外側カソード領域 55 は、境界領域 7 および外周領域 10 の接続部において境界カソード領域 45 に接続されていてもよい。外側カソード領域 55 は、チップ 2 の厚さ方向にゲート配線 40 の第 1 外側配線 43 および第 2 外側配線 44 に対向している。
- [0101] 第 2 主面 4 の平面積に対するカソード領域の平面積の割合は、0.1% 以上 10% 以下であることが好ましい。カソード領域の平面積は、境界カソード領域 45 の平面積および外側カソード領域 55 の平面積の総平面積である。カソード領域の平面積の割合は、0.1% 以上 1% 以下、1% 以上 2% 以下、2% 以上 4% 以下、4% 以上 6% 以下、6% 以上 8% 以下、および、8% 以上 10% 以下のいずれか 1 つの範囲に属していてもよい。
- [0102] 半導体装置 1A は、外周領域 10 において第 1 主面 3 の表層部に形成された p 型の外側ウェル領域 56 を含む。外側ウェル領域 56 は、「外側アノード領域」と称されてもよい。外側ウェル領域 56 は、この形態では、複数のベース領域 25 よりも高い p 型不純物濃度を有している。むしろ、境界ウェル領域 50 は、複数のベース領域 25 よりも低い p 型不純物濃度を有していてもよい。外側ウェル領域 56 の p 型不純物濃度は、境界ウェル領域 50 の

p型不純物濃度とほぼ等しいことが好ましい。

- [0103] 外側ウェル領域56は、第1主面3に沿って延びる層状に形成され、第1主面3から露出している。外側ウェル領域56は、第1主面3の周縁（第1～第4側面5A～5D）から内方に間隔を空けて形成されている。外側ウェル領域56は、平面視において複数のIGBT領域6に沿って延びる帯状に形成されている。外側ウェル領域56は、この形態では、平面視において複数のIGBT領域6を取り囲む環状に形成されている。具体的には、外側ウェル領域56は、第1主面3の周縁に平行な4辺を有する環状（四角環状）に形成されている。
- [0104] 外側ウェル領域56は、複数のベース領域25よりも深く形成されている。具体的には、外側ウェル領域56は、複数のトレンチ分離構造20（複数のトレンチ構造30）よりも深く形成されている。外側ウェル領域56は、この形態では、境界ウェル領域50とほぼ等しい深さを有している。
- [0105] 外側ウェル領域56は、複数のトレンチ分離構造20に接続されている。外側ウェル領域56は、複数のトレンチ分離構造20の底壁を被覆する部分を有している。外側ウェル領域56は、外周領域10から各IGBT領域6内に引き出されている。外側ウェル領域56は、複数のトレンチ分離構造20を横切って複数のトレンチ構造30の底壁を被覆する部分を有している。
- [0106] 外側ウェル領域56は、各IGBT領域6内においてトレンチ分離構造20の側壁および複数のトレンチ構造30の側壁を被覆し、第1主面3の表層部において複数のベース領域25に接続されている。外側ウェル領域56は、各IGBT領域6内においてベース領域25およびエミッタ領域35に電氣的に接続されている。
- [0107] 外側ウェル領域56は、チップ2の厚さ方向に外側カソード領域55に対向している。具体的には、外側ウェル領域56は、外側カソード領域55の幅よりも大きい幅を有し、チップ2の厚さ方向に外側カソード領域55に対向する部分（内方部）、および、チップ2の厚さ方向にコレクタ領域13に対向する部分（周縁部）を有している。さらに具体的には、外側ウェル領域

５６は、第１主面３の内方部側の内縁部および第１主面３の周縁部側の外縁部を有している。外側ウェル領域５６の内縁部および外縁部は、チップ２の厚さ方向にコレクタ領域１３に対向している。

[0108] 外側ウェル領域５６は、この形態では、外周領域１０内に位置する部分（内方部および外縁部）においてコレクタ領域１３および外側カソード領域５５に対向し、各ＩＧＢＴ領域６内に位置する部分（内縁部）においてコレクタ領域１３に対向している。つまり、外側ウェル領域５６は、各ＩＧＢＴ領域６および外周領域１０においてコレクタ領域１３に対向する部分を有している。境界ウェル領域５０は、境界カソード領域４５の全域に対向していることが好ましい。

[0109] 外側ウェル領域５６は、境界領域７および外周領域１０の接続部において境界ウェル領域５０に接続されている。外側カソード領域５５は、チップ２の厚さ方向にゲート配線４０の第１外側配線４３および第２外側配線４４に対向している。

[0110] 半導体装置１Ａは、外周領域１０において第１主面３の表層部に形成された少なくとも１つ（この形態では複数）のｐ型のフィールド領域５７を含む。フィールド領域５７の個数は任意であり、１個以上２０個以下（典型的には、３個以上１０個以下）であってもよい。

[0111] 複数のフィールド領域５７は、複数のベース領域２５よりも高いｐ型不純物濃度を有していてもよい。複数のフィールド領域５７は、外側ウェル領域５６よりも高いｐ型不純物濃度を有していてもよい。むしろ、複数のフィールド領域５７は、外側ウェル領域５６とほぼ等しいｐ型不純物濃度を有していてもよい。複数のフィールド領域５７は、電氣的に浮遊状態に形成されている。

[0112] 複数のフィールド領域５７は、第１主面３の周縁および外側ウェル領域５６から間隔を空けて第１主面３の周縁および外側ウェル領域５６の間の領域に形成されている。つまり、複数のフィールド領域５７は、チップ２の厚さ方向に外側カソード領域５５に対向しない位置に形成されている。複数のフ

フィールド領域 57 は、平面視において外側ウェル領域 56 に沿って延びる帯状に形成されている。複数のフィールド領域 57 は、この形態では、平面視において外側ウェル領域 56 を取り囲む環状（四角環状）に形成されている。

[0113] 複数のフィールド領域 57 は、複数のベース領域 25 よりも深く形成されていることが好ましい。複数のフィールド領域 57 は、一定の深さで形成されていることが好ましい。複数のフィールド領域 57 は、複数のフィールド領域 57 の間隔が第 1 主面 3 の周縁側に向けて漸増するように配置されていることが好ましい。複数のフィールド領域 57 は、外側ウェル領域 56 の幅よりも小さい幅をそれぞれ有していることが好ましい。複数のフィールド領域 57 のうち最外のフィールド領域 57 は、他のフィールド領域 57 よりも幅広に形成されていることが好ましい。

[0114] 各フィールド領域 57 の幅は、 $1\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下であってもよい。各フィールド領域 57 の幅は、 $1\ \mu\text{m}$ 以上 $2.5\ \mu\text{m}$ 以下、 $2.5\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $7.5\ \mu\text{m}$ 以下、 $7.5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下、 $20\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下、 $30\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下、および、 $40\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下のいずれかの範囲に属する値に設定されてもよい。各フィールド領域 57 の幅は、 $10\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であることが好ましい。

[0115] 半導体装置 1A は、外周領域 10 において複数のフィールド領域 57 から第 1 主面 3 の周縁側に間隔を空けて第 1 主面 3 の表層部に形成された n 型のチャネルストップ領域 58 を含む。チャネルストップ領域 58 は、ドリフト領域 11 よりも高い n 型不純物濃度を有している。チャネルストップ領域 58 は、第 1 ～ 第 4 側面 5A ～ 5D から露出していてもよい。

[0116] チャネルストップ領域 58 は、平面視において第 1 主面 3 の周縁に沿って延びる帯状に形成されている。チャネルストップ領域 58 は、この形態では、平面視において複数のフィールド領域 57 を取り囲む環状（四角環状）に形成されている。チャネルストップ領域 58 は、電氣的に浮遊状態に形成さ

れている。

- [0117] 半導体装置 1 A は、主面絶縁膜 39 を被覆する層間絶縁膜 60 を含む。層間絶縁膜 60 は、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも 1 つを含んでいてもよい。層間絶縁膜 60 は、酸化シリコン膜の一例としての NSG (Non-doped Silicate Glass) 膜、PSG (Phosphor Silicate Glass) 膜および BPSG (Boron Phosphor Silicate Glass) 膜のうちの少なくとも 1 つを含んでいてもよい。層間絶縁膜 60 は、単一の絶縁膜からなる単層構造、または、複数の絶縁膜を含む積層構造を有していてもよい。層間絶縁膜 60 は、主面絶縁膜 39 の厚さを超える厚さを有している。
- [0118] 層間絶縁膜 60 は、第 1 主面 3 に沿って層状に延び、チップ 2 の周縁（第 1 ～第 4 側面 5 A ～5 D）に連なっている。層間絶縁膜 60 は、複数の IGBT 領域 6、境界領域 7 および外周領域 10 を選択的に被覆している。層間絶縁膜 60 は、各 IGBT 領域 6 において主面絶縁膜 39、複数のトレンチ分離構造 20 および複数のトレンチ構造 30 を被覆している。層間絶縁膜 60 は、境界領域 7 および外周領域 10 において主面絶縁膜 39 およびゲート配線 40 を被覆している。
- [0119] 層間絶縁膜 60 は、各 IGBT 領域 6 において複数のエミッタ領域 35 を露出させる複数のコンタクト開口 61 を有している。複数のコンタクト開口 61 は、この形態では、複数のコンタクト孔 37 に対して 1 対 1 の対応関係で形成され、対応するコンタクト孔 37 にそれぞれ連通している。複数のコンタクト開口 61 は、平面視において対応するコンタクト孔 37 に沿って延びる帯状にそれぞれ形成されている。
- [0120] 層間絶縁膜 60 は、境界領域 7 および外周領域 10 においてゲート配線 40 を選択的に露出させる少なくとも 1 つ（この形態では複数）のゲート開口 62 を含む。複数のゲート開口 62 は、パッド配線 41 を選択的に露出させる少なくとも 1 つゲート開口 62、第 1 外側配線 43 を選択的に露出させる少なくとも 1 つのゲート開口 62、および、第 2 外側配線 44 を選択的に露

出させる少なくとも1つのゲート開口62を含んでいてもよい。

[0121] 層間絶縁膜60は、外周領域10において外側ウェル領域56の内縁部を選択的に露出させる少なくとも1つ（この形態では複数）の第1ウェル開口63を含む。具体的には、複数の第1ウェル開口63は、複数のトレンチ分離構造20およびゲート配線40の間の領域において、外側ウェル領域56の内縁部を露出させている。

[0122] 層間絶縁膜60は、外周領域10において外側ウェル領域56の外縁部を選択的に露出させる少なくとも1つ（この形態では1つ）の第2ウェル開口64を含む。具体的には、第2ウェル開口64は、ゲート配線40よりも第1主面3の周縁側の領域において、外側ウェル領域56の外縁部を露出させている。第2ウェル開口64は、複数のIGBT領域6に沿って延びる帯状に形成されている。第2ウェル開口64は、この形態では、複数のIGBT領域6を取り囲む環状（四角環状）に形成されている。

[0123] 層間絶縁膜60は、外周領域10において少なくとも1つ（この形態では複数）のフィールド領域57を選択的に露出させる少なくとも1つ（この形態では複数）のフィールド開口65を含む。複数のフィールド開口65は、複数のフィールド領域57を1対1対応の関係で露出させている。複数のフィールド開口65は、複数のフィールド領域57に沿って延びる帯状に形成されている。複数のフィールド開口65は、この形態では、複数のフィールド領域57に沿って延びる環状（四角環状）に形成されている。

[0124] 層間絶縁膜60は、外周領域10においてチャネルストップ領域58を露出させるチャネルストップ開口66を含む。チャネルストップ開口66は、チャネルストップ領域58に沿って延びる帯状に形成されている。チャネルストップ開口66は、この形態では、チャネルストップ領域58に沿って延びる環状（四角環状）に形成され、第1主面3の周縁に連通している。

[0125] 半導体装置1Aは、複数のエミッタ領域35に電氣的に接続されるように層間絶縁膜60に埋設された複数のビア電極70を含む。具体的には、複数のビア電極70は、層間絶縁膜60の複数のコンタクト開口61に埋設され

ている。複数のビア電極 70 は、チップ 2 に接する部分および層間絶縁膜 60 に接する部分を含む。複数のビア電極 70 は、チップ 2 に接する部分においてエミッタ領域 35 およびコンタクト領域 38 に電氣的に接続されている。

[0126] 各ビア電極 70 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。Ti 系金属は、純 Ti 膜（純度が 99% 以上の Ti 膜）および Ti 合金膜のうちの少なくとも 1 つを含んでいてもよい（以下、同じ）。Ti 合金膜は、TiN 膜であってもよい。W 系金属は、純 W 膜（純度が 99% 以上の W 膜）および W 合金膜のうちの少なくとも 1 つを含んでいてもよい（以下、同じ）。

[0127] Al 系金属は、純 Al 膜（純度が 99% 以上の Al 膜）および Al 合金膜のうちの少なくとも 1 つを含んでいてもよい（以下、同じ）。Al 合金膜は、AlCu 合金、AlSi 合金および AlSiCu 合金のうちの少なくとも 1 つを含んでいてもよい。Cu 系金属は、純 Cu 膜（純度が 99% 以上の Cu 膜）および Cu 合金膜のうちの少なくとも 1 つを含んでいてもよい（以下、同じ）。各ビア電極 70 は、Ti 系金属膜および W 系金属膜を含む積層構造を有していてもよい。

[0128] 半導体装置 1A は、ゲート配線 40 に電氣的に接続されるように層間絶縁膜 60 の上に配置されたゲート電極 71 を含む。ゲート電極 71 は、ゲート配線 40 とは異なる導電材料からなる。ゲート電極 71 は、この形態では、金属膜からなり、ゲート配線 40 よりも低い抵抗値を有している。ゲート電極 71 は、「ゲートメタル」と称されてもよい。ゲート電極 71 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。ゲート電極 71 は、Ti 系金属膜および Al 系金属膜を含む積層構造を有していてもよい。

[0129] ゲート電極 71 は、ゲート配線 40 の直上に配置され、ゲート配線 40 のレイアウトに応じて複数の IGBT 領域 6、境界領域 7 および外周領域 10 の任意の領域に任意のレイアウトで引き回され得る。ゲート電極 71 は、こ

の形態では、境界領域 7 および外周領域 10 に配置されている。具体的には、ゲート電極 71 は、ゲートパッド電極 72、第 1 ゲートフィンガー電極 73 および第 2 ゲートフィンガー電極 74 を含む。

[0130] ゲートパッド電極 72 は、ゲート配線 40 のパッド配線 41 の直上に配置されている。ゲートパッド電極 72 は、層間絶縁膜 60 の上からゲート開口 62 に入り込み、パッド配線 41 に電氣的に接続されている。ビア電極 70 と同様のビア電極がゲート開口 62 内に埋設されている場合、ゲートパッド電極 72 は当該ビア電極を介してパッド配線 41 に電氣的に接続されていてもよい。ゲートパッド電極 72 は、この形態では、平面視において四角形状に形成されている。

[0131] ゲートパッド電極 72 は、この形態では、チップ 2 の厚さ方向に境界カソード領域 45 および境界ウェル領域 50 に対向している。ゲートパッド電極 72 は、平面視において複数のトレンチ構造 30 から間隔を空けて形成されていることが好ましい。ゲートパッド電極 72 は、平面視において複数のトレンチ分離構造 20 から間隔を空けて形成されていることが好ましい。

[0132] ゲートパッド電極 72 は、境界ウェル領域 50 の平面積よりも小さい平面積を有していることが好ましい。ゲートパッド電極 72 は、パッド配線 41 の平面積よりも小さい平面積を有していることが特に好ましい。ゲートパッド電極 72 は、境界カソード領域 45 の平面積以上の平面積を有していてもよいし、境界カソード領域 45 の平面積未満の平面積を有していてもよい。むろん、ゲートパッド電極 72 は、パッド配線 41 の平面積以上の面積を有していてもよい。

[0133] 第 1 ゲートフィンガー電極 73 は、ゲートパッド電極 72 から第 1 外側配線 43 の直上に引き出されている。第 1 ゲートフィンガー電極 73 は、第 1 外側配線 43 に沿って延びる帯状に形成されている。第 1 ゲートフィンガー電極 73 は、この形態では、第 1 側面 5A および第 3 側面 5C に沿って帯状に延びている。

[0134] 第 1 ゲートフィンガー電極 73 は、層間絶縁膜 60 の上からゲート開口 6

2に入り込み、第1外側配線43に電氣的に接続されている。ビア電極70と同様のビア電極がゲート開口62内に埋設されている場合、第1ゲートフィンガー電極73は当該ビア電極を介して第1外側配線43に電氣的に接続されていてもよい。

[0135] 第1ゲートフィンガー電極73は、この形態では、チップ2の厚さ方向に外側カソード領域55および外側ウェル領域56に対向している。第1ゲートフィンガー電極73は、平面視において複数のトレンチ構造30から間隔を空けて形成されていることが好ましい。第1ゲートフィンガー電極73は、平面視において複数のトレンチ分離構造20（複数のトレンチ構造30）から間隔を空けて形成されていることが好ましい。

[0136] 第1ゲートフィンガー電極73は、断面視において外側ウェル領域56よりも幅狭に形成されていることが好ましい。第1ゲートフィンガー電極73は、第1外側配線43の平面積よりも小さい平面積を有していることが特に好ましい。第1ゲートフィンガー電極73は、断面視において外側カソード領域55よりも幅狭に形成されていてもよいし、外側カソード領域55よりも幅広に形成されていてもよい。

[0137] 第2ゲートフィンガー電極74は、ゲートパッド電極72から第2外側配線44の直上に引き出されている。第2ゲートフィンガー電極74は、第2外側配線44に沿って延びる帯状に形成されている。第2ゲートフィンガー電極74は、この形態では、第2側面5Bおよび第3側面5Cに沿って帯状に延びている。

[0138] 第2ゲートフィンガー電極74は、層間絶縁膜60の上からゲート開口62に入り込み、第2外側配線44に電氣的に接続されている。ビア電極70と同様のビア電極がゲート開口62内に埋設されている場合、第2ゲートフィンガー電極74は当該ビア電極を介して第2外側配線44に電氣的に接続されていてもよい。

[0139] 第2ゲートフィンガー電極74は、この形態では、チップ2の厚さ方向に外側カソード領域55および外側ウェル領域56に対向している。第2ゲート

トフィンガー電極 74 は、平面視において複数のトレンチ構造 30 から間隔を空けて形成されていることが好ましい。第 1 ゲートフィンガー電極 73 は、平面視において複数のトレンチ分離構造 20（複数のトレンチ構造 30）から間隔を空けて形成されていることが好ましい。

[0140] 第 2 ゲートフィンガー電極 74 は、断面視において外側ウェル領域 56 よりも幅狭に形成されていることが好ましい。第 2 ゲートフィンガー電極 74 は、第 1 外側配線 43 の平面積よりも小さい平面積を有していることが特に好ましい。第 2 ゲートフィンガー電極 74 は、断面視において外側カソード領域 55 よりも幅狭に形成されていてもよいし、外側カソード領域 55 よりも幅広に形成されていてもよい。

[0141] 半導体装置 1A は、ゲート配線 40 から間隔を空けて層間絶縁膜 60 の上に配置されたエミッタ電極 75 を含む。エミッタ電極 75 は、ゲート配線 40 とは異なる導電材料からなる。エミッタ電極 75 は、この形態では、金属膜からなる。エミッタ電極 75 は、「エミッタメタル」と称されてもよい。エミッタ電極 75 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。エミッタ電極 75 は、Ti 系金属膜および Al 系金属膜を含む積層構造を有していてもよい。

[0142] エミッタ電極 75 は、複数の IGBT 領域 6 を被覆するように層間絶縁膜 60 の上に配置されている。エミッタ電極 75 は、複数のビア電極 70 を一括して被覆し、複数のビア電極 70 を介して複数のエミッタ領域 35 に電氣的に接続されている。エミッタ電極 75 は、この形態では、層間絶縁膜 60 を挟んでゲート配線 40 の境界配線 42 を被覆する部分を有している。つまり、エミッタ電極 75 は、チップ 2 の厚さ方向にゲート配線 40（境界配線 42）、境界カソード領域 45 および境界ウェル領域 50 に対向する部分を有している。

[0143] エミッタ電極 75 は、平面視において複数の IGBT 領域 6 から外周領域 10 に引き出されている。エミッタ電極 75 は、この形態では、外周領域 10 において層間絶縁膜 60 を挟んでゲート配線 40 の第 1 外側配線 43 およ

び第2外側配線44を被覆する部分を有している。つまり、エミッタ電極75は、チップ2の厚さ方向にゲート配線40（第1外側配線43および第2外側配線44）、外側カソード領域55および外側ウェル領域56に対向する部分を有している。

[0144] エミッタ電極75は、第1ウェル開口63および第2ウェル開口64に入り込み、外側ウェル領域56に電氣的に接続されている。具体的には、エミッタ電極75は、この形態では、エミッタパッド電極76およびエミッタフィンガー電極77を含む。

[0145] エミッタパッド電極76は、複数のIGBT領域6および境界領域7を被覆するように層間絶縁膜60の上に配置されている。エミッタパッド電極76は、層間絶縁膜60を挟んでゲート配線40に対向し、複数のビア電極70を介して複数のエミッタ領域35に電氣的に接続されている。エミッタパッド電極76は、複数のIGBT領域6から外周領域10に引き出され、層間絶縁膜60の上から第1ウェル開口63内に入り込んでいる。エミッタパッド電極76は、第1ウェル開口63内において外側ウェル領域56の内縁部に電氣的に接続されている。

[0146] エミッタフィンガー電極77は、エミッタパッド電極76から外周領域10の直上に引き出されている。エミッタフィンガー電極77は、第1主面3の周縁およびゲート電極71の間の領域に引き出され、ゲート電極71に沿って帯状に延びている。エミッタフィンガー電極77は、この形態では、ゲート電極71およびエミッタパッド電極76を取り囲む環状（四角環状）に形成されている。エミッタフィンガー電極77は、層間絶縁膜60の上から第2ウェル開口64内に入り込んでいる。エミッタフィンガー電極77は、第2ウェル開口64内においての外縁部に電氣的に接続されている。

[0147] ビア電極70と同様のビア電極が第1ウェル開口63および／または第2ウェル開口64内に埋設されている場合、エミッタ電極75は当該ビア電極を介して外側ウェル領域56に電氣的に接続されていてもよい。

[0148] 半導体装置1Aは、外周領域10において層間絶縁膜60の上に形成され

た複数のフィールド電極 78 を含む。複数のフィールド電極 78 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。複数のフィールド電極 78 は、Ti 系金属膜および Al 系金属膜を含む積層構造を有していてもよい。

[0149] 複数のフィールド電極 78 は、複数のフィールド領域 57 に対して 1 対 1 対応の関係で形成されている。複数のフィールド電極 78 は、対応するフィールド領域 57 に沿って延びる帯状に形成されている。複数のフィールド電極 78 は、この形態では、対応するフィールド領域 57 に沿って延びる環状（四角環状）に形成されている。

[0150] 複数のフィールド電極 78 は、層間絶縁膜 60 の上から対応するフィールド開口 65 に入り込み、対応するフィールド領域 57 に電氣的に接続されている。フィールド電極 78 は、電氣的に浮遊状態に形成されている。最外周のフィールド電極 78 は、第 1 主面 3 の周縁側に向けて引き出された引き出し部を含み、他のフィールド電極 78 よりも幅広に形成されていてもよい。

[0151] 半導体装置 1A は、外周領域 10 において層間絶縁膜 60 の上に形成されたチャネルストップ電極 79 を含む。チャネルストップ電極 79 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。チャネルストップ電極 79 は、Ti 系金属膜および Al 系金属膜を含む積層構造を有していてもよい。チャネルストップ電極 79 は、チャネルストップ領域 58 に沿って延びる帯状に形成されている。チャネルストップ電極 79 は、この形態では、チャネルストップ領域 58 に沿って延びる環状（四角環状）に形成されている。

[0152] チャネルストップ電極 79 は、層間絶縁膜 60 の上からチャネルストップ開口 66 に入り込み、チャネルストップ領域 58 に電氣的に接続されている。チャネルストップ電極 79 は、チャネルストップ領域 58 を露出させるように第 1 主面 3 の周縁から内方（IGBT 領域 6 側）に間隔を空けて形成されていてもよい。チャネルストップ電極 79 は、電氣的に浮遊状態に形成されている。

- [0153] 半導体装置 1 A は、第 2 主面 4 を被覆するコレクタ電極 8 0 を含む。コレクタ電極 8 0 は、第 2 主面 4 から露出したコレクタ領域 1 3、境界カソード領域 4 5 および外側カソード領域 5 5 に電氣的に接続されている。コレクタ電極 8 0 は、コレクタ領域 1 3、境界カソード領域 4 5 および外側カソード領域 5 5 とオーミック接触を形成している。コレクタ電極 8 0 は、チップ 2 の周縁（第 1 ～第 4 側面 5 A ～ 5 D）に連なるように第 2 主面 4 の全域を被覆していてもよい。
- [0154] コレクタ電極 8 0 は、T i 膜、N i 膜、P d 膜、A u 膜、A g 膜および A l 膜のうちの少なくとも 1 つを含んでいてもよい。コレクタ電極 8 0 は、T i 膜、N i 膜、A u 膜、A g 膜または A l 膜を含む単膜構造を有していてもよい。コレクタ電極 8 0 は、T i 膜、N i 膜、P d 膜、A u 膜、A g 膜および A l 膜のうちの少なくとも 2 つを任意の態様で積層させた積層構造を有していてもよい。コレクタ電極 8 0 は、少なくとも第 2 主面 4 を直接被覆する T i 膜を含むことが好ましい。コレクタ電極 8 0 は、たとえば、第 2 主面 4 側からこの順に積層された T i 膜、N i 膜、P d 膜および A u 膜を含む積層構造を有していてもよい。
- [0155] このように、半導体装置 1 A は、各 I G B T 領域 6 に形成された I G B T 構造 T R 1、T R 2、境界領域 7 に形成された境界ダイオード D 1、および、外周領域 1 0 に形成された外側ダイオード D 2 を含む。各 I G B T 構造 T R 1、T R 2 は、ゲートとしてのトレンチ構造 3 0、エミッタとしてのエミッタ領域 3 5、および、コレクタとしてのコレクタ領域 1 3 を含む。
- [0156] 境界ダイオード D 1 は、アノードとしての境界ウェル領域 5 0 およびカソードとしての境界カソード領域 4 5 を含む。境界ダイオード D 1 のアノードは各 I G B T 構造 T R 1、T R 2 のエミッタに電氣的に接続され、境界ダイオード D 1 のカソードは各 I G B T 領域 6 のコレクタに電氣的に接続されている。これにより、境界ダイオード D 1 は、各 I G B T 構造 T R 1、T R 2 に係る第 1 還流ダイオードとして機能する。
- [0157] 外側ダイオード D 2 は、アノードとしての外側ウェル領域 5 6 およびカソ

ードとしての外側カソード領域55を含む。外側ダイオードD2のアノードは、各IGBT構造TR1、TR2のエミッタに電氣的に接続され、外側ダイオードD2のカソードは、各IGBT領域6のコレクタに電氣的に接続されている。これにより、外側ダイオードD2は、境界ダイオードD1に対して順方向並列接続されている。また、外側ダイオードD2は、各IGBT構造TR1、TR2に係る第2還流ダイオードとして機能する。

[0158] 図1～図11では、境界カソード領域45および外側カソード領域55の一つのレイアウト例（以下、「第1レイアウト例」という。）が示された。しかし、境界カソード領域45および外側カソード領域55のレイアウト例は、第1レイアウト例に制限されない。以下、境界カソード領域45および外側カソード領域55の他のレイアウト例が示される。図12A～図12Nは、境界カソード領域45および外側カソード領域55の第2～第15レイアウト例を示す平面図である。

[0159] 図12Aを参照して、第2レイアウト例では、境界カソード領域45が第1カソード領域46から間隔を空けて形成された第2カソード領域47を含む。第1方向Xにおける第2カソード領域47の長さは任意であり、必要に応じて調節される。

[0160] 図12Bを参照して、第3レイアウト例では、境界カソード領域45が境界領域7の第1領域8に間隔を空けて配列された複数の第1カソード領域46を含む。複数の第1カソード領域46は、第1方向Xおよび／または第2方向Yに間隔を空けて配列されていてもよい。各第1カソード領域46は、平面視において円形状、長円形状、四角形状、長方形形状または多角形状に形成されていてもよい。

[0161] 図12Cを参照して、第4レイアウト例では、境界カソード領域45が境界領域7の第2領域9に間隔を空けて配列された複数の第2カソード領域47を含む。複数の第2カソード領域47は、第1方向Xおよび／または第2方向Yに間隔を空けて配列されていてもよい。各第2カソード領域47は、平面視において円形状、長円形状、四角形状、長方形形状または多角形状に形

成されていてもよい。

[0162] 図12Dを参照して、第5レイアウト例では、境界カソード領域45が第1カソード領域46のみを含み、第2カソード領域47を含まない。図12Eを参照して、第6レイアウト例では、境界カソード領域45が第1カソード領域46を含まず、第2カソード領域47のみを含む。

[0163] 図12Fを参照して、第7レイアウト例では、外側カソード領域55が境界カソード領域45の第1カソード領域46に接続され、境界カソード領域45の第2カソード領域47から間隔を空けて形成されている。図12Gを参照して、第8レイアウト例では、外側カソード領域55が境界カソード領域45の第2カソード領域47に接続され、境界カソード領域45の第1カソード領域46から間隔を空けて形成されている。図12Hを参照して、第9レイアウト例では、外側カソード領域55が境界カソード領域45の第1カソード領域46および第2カソード領域47から間隔を空けて形成されている。

[0164] 図12Iを参照して、第10レイアウト例では、境界カソード領域45が第1カソード領域46のみを含み、第2カソード領域47を含まない。このような構造において、外側カソード領域55は、第1カソード領域46から間隔を空けて形成されている。図12Jを参照して、第11レイアウト例では、境界カソード領域45が第1カソード領域46を含まず、第2カソード領域47のみを含む。このような構造において、外側カソード領域55は、第2カソード領域47から間隔を空けて形成されている。

[0165] 図12Kを参照して、第12レイアウト例では、複数の外側カソード領域55が第1主面3の周縁（複数のIGBT領域6）に沿って間隔を空けて配列されている。複数の外側カソード領域55は、第1方向Xおよび／または第2方向Yに間隔を空けて配列されていてもよい。各外側カソード領域55は、平面視において円形状、長円形状、四角形状、長方形形状または多角形状に形成されていてもよい。

[0166] 図12Lを参照して、第13レイアウト例では、境界カソード領域45が

第1カソード領域46および第2カソード領域47を含む。一方、外側カソード領域55は形成されていない。つまり、コレクタ領域13および境界カソード領域45のみが、第2主面4から露出している。

[0167] 図12Mを参照して、第14レイアウト例では、境界カソード領域45が第1カソード領域46のみを含み、第2カソード領域47を含まない。一方、外側カソード領域55は形成されていない。つまり、コレクタ領域13および第1カソード領域46のみが、第2主面4から露出している。

[0168] 図12Nを参照して、第15レイアウト例では、境界カソード領域45が第1カソード領域46を含まず、第2カソード領域47のみを含む。一方、外側カソード領域55は形成されていない。つまり、コレクタ領域13および第2カソード領域47のみが、第2主面4から露出している。

[0169] 第1～第15レイアウト例（図1～図12N参照）は、それらの間で適宜組み合わせることができる。したがって、半導体装置1Aは、第1～第15レイアウト例のうちの少なくとも2つのレイアウト例に示された特徴（境界カソード領域45の特徴および外側カソード領域55の特徴のいずれか一方または双方）が任意の形態で組み合わせられたレイアウトを有していてもよい。

[0170] 図13は、参考例に係る半導体装置100を示す平面図である。図13を参照して、半導体装置100は、複数のIGBT構造Tr1、Tr2および外側ダイオードD2を含む一方、境界ダイオードD1（境界カソード領域45）を含まない。半導体装置100の他の構造は、半導体装置1Aと同様である。

[0171] 図14は、尖頭サージ電流IFSMおよび順方向電圧VFの関係を示すグラフである。図14において、縦軸は尖頭サージ電流IFSM[A]を示し、横軸は通常動作時の順方向電圧VF[V]を示している。尖頭サージ電流IFSMは、破壊しない範囲で許容される1サイクル以上の商用制限半波電流（50Hzまたは60Hz）のピーク値である。図14には、第1～第5参考プロット点PR1～PR5およびメインプロット点PMが示されている。

。

[0172] 第1～第5参考プロット点PR1～PR5は、参考例に係る半導体装置100の特性を示している。第1～第5参考プロット点PR1～PR5は、外周領域10において外側カソード領域55の平面積（外側カソード領域55の幅）を増減させることによって得られた特性である。外側カソード領域55の平面積は、第1参考プロット点PR1（平面積＝最大）、第2参考プロット点PR2、第3参考プロット点PR3、第4参考プロット点PR4、第5参考プロット点PR5（平面積＝最小）の順に小さくなっている。

[0173] 一方、メインプロット点PMは、半導体装置1Aの特性を示している。半導体装置1Aにおいて、境界ダイオードD1および外側ダイオードD2の総平面積は、第5参考プロット点PR5に係る外側ダイオードD2の平面積とほぼ等しい値に設定されている。

[0174] 第1～第5参考プロット点PR1～PR5を参照して、参考例に係る半導体装置100では、外側ダイオードD2の平面積を増減させたとしても尖頭サージ電流IFSMが85A程度であり、尖頭サージ電流IFSMに変化は見られなかった。一方、参考例に係る半導体装置100では、外側ダイオードD2の平面積の増減に伴って通常動作時の順方向電圧VFが増減した。具体的には、参考例に係る半導体装置100に係る順方向電圧VFは、外側ダイオードD2の平面積の増加に伴って減少し、外側ダイオードD2の平面積の減少に伴って増加した。

[0175] 第1参考プロット点PR1における順方向電圧VFは1.48V程度であり、第5参考プロット点PR5における順方向電圧VFは1.6V程度であった。つまり、参考例に係る半導体装置100に係る順方向電圧VFは、1.45Vを超えて1.6V以下であり、1.45V以下にはならなかった。このことから、参考例に係る半導体装置100の構成では、尖頭サージ電流IFSMに対する耐量が比較的低く、通常動作時の順方向電圧VFに起因する導通損失が比較的高いことが分かった。

[0176] 他方、メインプロット点PMを参照して、半導体装置1Aでは、参考例に

係る半導体装置 100 と比較して、尖頭サージ電流 I_{FSM} が増加したと同時に、通常動作時の順方向電圧 V_F が低下した。具体的には、半導体装置 1A では、90A 以上 125A 以下（具体的には 120A 以下）の尖頭サージ電流 I_{FSM} を印加可能であった。また、通常動作時の順方向電圧 V_F は 1.45V 以下であった。具体的には、順方向電圧 V_F は、1.35V 以上 1.45V 以下の範囲に収まった。

[0177] 半導体装置 1A において、境界ダイオード D1 および外側ダイオード D2 の総平面積は、第 5 参考プロット点 PR5 に係る外側ダイオード D2 の平面積とほぼ等しい値に設定されている。したがって、外側ダイオード D2 に加えて境界ダイオード D1 が形成されたとしても、半導体装置 1A に係る尖頭サージ電流 I_{FSM} および順方向電圧 V_F は第 5 参考プロット点 PR5 の場合と同等になると考えられた。

[0178] しかしながら、半導体装置 1A の尖頭サージ電流 I_{FSM} および順方向電圧 V_F は、いずれも第 5 参考プロット点 PR5 に係る尖頭サージ電流 I_{FSM} および順方向電圧 V_F よりも優れていた。つまり、半導体装置 1A に係る構成においては、参考例に係る半導体装置 100 と比較して、尖頭サージ電流 I_{FSM} に対する耐量が高くなり、順方向電圧 V_F に起因する導通損失が低くなるという想定外の結果が得られた。このことから、境界ダイオード D1 によれば、外側ダイオード D2 の平面積に起因する尖頭サージ電流 I_{FSM} の制限から切り離して、尖頭サージ電流 I_{FSM} を調節し、向上できることが分かった。

[0179] 以上、半導体装置 1A は、チップ 2、複数の IGBT 領域 6、境界領域 7、n 型の境界カソード領域 45 および p 型の境界ウェル領域 50 を含む。チップ 2 は、一方側の第 1 主面 3 および他方側の第 2 主面 4 を有している。複数の IGBT 領域 6 は、チップ 2 に間隔を空けて設けられている。境界領域 7 は、チップ 2 において複数の IGBT 領域 6 の間の領域に設けられている。境界カソード領域 45 は、境界領域 7 において第 2 主面 4 の表層部に形成されている。境界ウェル領域 50 は、境界領域 7 において第 1 主面 3 の表層

部に形成されている。

[0180] この構造によれば、複数の IGBT 領域 6 の間の境界領域 7 を利用して、境界カソード領域 45 および境界ウェル領域 50 を含む境界ダイオード D1 を形成できる。これにより、複数の IGBT 領域 6 から境界ダイオード D1 への電氣的な影響を抑制し、境界ダイオード D1 から複数の IGBT 領域 6 への電氣的な影響を抑制できる。また、境界領域 7 のサイズはチップ 2 のサイズの影響を受け難いため、種々のサイズを有するチップ 2 において安定した電氣的特性を有する境界ダイオード D1 を形成できる。よって、電氣的特性の向上に寄与する半導体装置 1A を提供できる。

[0181] 一例として、カソード領域が IGBT 領域 6 の直下に形成されている場合、IGBT 領域 6 の立ち上がり動作時において、IGBT 領域 6 を流れるキャリア（電子）がカソード領域に流入する。その結果、IGBT 領域 6 においてスイッチング遅延が生じ、IGBT 領域 6 を流れる電流（具体的にはエミッタコレクタ電流）にスナップバック波形が形成される。

[0182] これに対して、境界カソード領域 45 が境界領域 7 に形成された構造によれば、複数の IGBT 領域 6 を流れるキャリア（電子）が境界カソード領域 45 に流入することを抑制できる。これにより、スナップバック現象に起因するスイッチング特性の悪化を抑制できる。一方、境界ダイオード D1 は複数の IGBT 領域 6 からの電氣的な影響を受け難いため、境界ダイオード D1 の動作は安定する。よって、電氣的特性の向上に寄与する半導体装置 1A を提供できる。

[0183] 境界カソード領域 45 はコレクタ電位が付与されるように構成され、境界ウェル領域 50 はエミッタ電位が付与されるように構成されていることが好ましい。つまり、境界ダイオード D1 は、複数の IGBT 領域 6 に対する還流ダイオードとして形成されていることが好ましい。

[0184] 境界ウェル領域 50 は、チップ 2 の厚さ方向に境界カソード領域 45 に対向する部分を有していることが好ましい。この構造によれば、境界カソード領域 45 および境界ウェル領域 50 を結ぶ電流経路を適切に短縮できる。よ

って、安定したダイオード特性を有する境界ダイオードD 1を形成できる。

[0185] 境界カソード領域4 5は、境界領域7よりも幅狭に形成されていることが好ましい。この構造によれば、境界カソード領域4 5および境界ウェル領域5 0を結ぶ電流経路を境界領域7内に適切に制限できる。境界ウェル領域5 0は、境界カソード領域4 5よりも幅広に形成されていることが好ましい。境界ウェル領域5 0は、境界領域7よりも幅広に形成されていることが好ましい。これらの構造によれば、境界カソード領域4 5へのキャリア（電子）の流入を抑制しながら、境界領域7における電界を境界ウェル領域5 0によって緩和できる。

[0186] 半導体装置1 Aは、境界領域7において第2主面4の表層部に形成されたp型のコレクタ領域1 3を含むことが好ましい。この場合、境界ウェル領域5 0は、チップ2の厚さ方向にコレクタ領域1 3に対向する部分を有していることが好ましい。この構造によれば、境界カソード領域4 5および境界ウェル領域5 0の間を流れるダイオード電流の拡がりをコレクタ領域1 3によって抑制できる。つまり、この構造によれば、境界カソード領域4 5および境界ウェル領域5 0を結ぶ電流経路を境界領域7内に適切に制限できる。

[0187] 半導体装置1 Aは、境界領域7において第1主面3の上に配置されたゲート配線4 0を含むことが好ましい。この場合、境界カソード領域4 5は、チップ2の厚さ方向にゲート配線4 0に対向していることが好ましい。また、境界ウェル領域5 0は、チップ2の厚さ方向にゲート配線4 0に対向していることが好ましい。

[0188] これらの構造によれば、境界領域7をゲート配線4 0の配置領域として活用できると同時に、ゲート配線4 0の直下に位置する境界領域7を利用して境界ダイオードD 1を形成できる。よって、ゲート配線4 0および境界ダイオードD 1に起因するチップ2の大型化を抑制できる。

[0189] このような構造において、境界ウェル領域5 0は、ゲート配線4 0よりも幅広に形成されていることが好ましい。また、境界カソード領域4 5は、ゲート配線4 0よりも幅狭に形成されていることが好ましい。

- [0190] 半導体装置 1 A は、各 IGBT 領域 6 の第 1 主面 3 の表層部に形成された p 型のベース領域 2 5 を含むことが好ましい。この場合、境界ウェル領域 5 0 は、ベース領域 2 5 よりも深く形成されていることが好ましい。この構造によれば、境界ウェル領域 5 0 によって、境界領域 7 における電界を緩和し、耐圧を向上できる。
- [0191] 境界ウェル領域 5 0 は、ベース領域 2 5 に電氣的に接続されていることが好ましい。この構造によれば、境界ウェル領域 5 0 による電界緩和効果を適切に向上できる。境界カソード領域 4 5 は、チップ 2 の厚さ方向にベース領域 2 5 に対向していないことが好ましい。この構造によれば、境界カソード領域 4 5 へのキャリア（電子）の流入を適切に抑制できる。
- [0192] 半導体装置 1 A は、複数のトレンチ構造 3 0 を含むことが好ましい。複数のトレンチ構造 3 0 は、各 IGBT 領域 6 においてベース領域 2 5 を貫通して第 1 主面 3 に形成され、ゲート電位が印加されるように構成される。この場合、境界ウェル領域 5 0 は、各 IGBT 領域 6 のトレンチ構造 3 0 よりも深く形成されることが好ましい。この構造によれば、トレンチ構造 3 0 よりも深い境界ウェル領域 5 0 によって、境界領域 7 における電界を緩和し、耐圧を向上できる。
- [0193] 境界カソード領域 4 5 は、チップ 2 の厚さ方向に各 IGBT 領域 6 のトレンチ構造 3 0 に対向していないことが好ましい。この構造によれば、境界カソード領域 4 5 へのキャリア（電子）の流入を適切に抑制できる。境界ウェル領域 5 0 は、各 IGBT 領域 6 のトレンチ構造 3 0 に接していてもよい。
- [0194] ゲート配線 4 0 は、各 IGBT 領域 6 のトレンチ構造 3 0 に電氣的に接続されることが好ましい。各トレンチ構造 3 0 は、第 1 主面 3 に形成されたゲートトレンチ 3 1、ゲートトレンチ 3 1 の壁面を被覆するゲート絶縁膜 3 2、および、ゲート絶縁膜 3 2 を挟んでゲートトレンチ 3 1 に埋設されたゲート埋設電極 3 3 を含むことが好ましい。この場合、ゲート配線 4 0 は、ゲート埋設電極 3 3 に電氣的および機械的に接続されていることが好ましい。ゲート配線 4 0 は、ゲート埋設電極 3 3 と一体的に形成されていてもよい。

- [0195] 境界領域 7 は、比較的幅広な第 1 領域 8、および、第 1 領域 8 よりも幅狭な第 2 領域 9 を含んでいてもよい。ゲート配線 40 は、第 1 領域 8 において比較的幅広なパッド配線 41（第 1 配線）を含み、第 2 領域 9 においてパッド配線 41 よりも幅狭な境界配線 42（第 2 配線）を含んでいてもよい。
- [0196] この場合、境界ウェル領域 50 は、チップ 2 の厚さ方向にパッド配線 41 および境界配線 42 の少なくとも一方に対向していることが好ましい。また、境界カソード領域 45 は、チップ 2 の厚さ方向にパッド配線 41 および境界配線 42 の少なくとも一方に対向していることが好ましい。
- [0197] 半導体装置 1A は、第 1 主面 3 の上に形成された層間絶縁膜 60 を含むことが好ましい。この場合、半導体装置 1A は、複数の IGBT 領域 6 に電氣的に接続されるように層間絶縁膜 60 の上に配置されたエミッタ電極 75 を含むことが好ましい。エミッタ電極 75 は、層間絶縁膜 60 を挟んでゲート配線 40 に対向していてもよい。
- [0198] 別視点において、半導体装置 1A は、チップ 2、複数の IGBT 領域 6A、6B、境界領域 7、外周領域 10、複数の IGBT 構造 Tr1、Tr2、境界ダイオード D1 および外側ダイオード D2 を含む。チップ 2 は、一方側の第 1 主面 3 および他方側の第 2 主面 4 を有している。複数の IGBT 領域 6A、6B は、第 1 主面 3 に間隔を空けて設定されている。境界領域 7 は、第 1 主面 3 において複数の IGBT 領域 6A、6B の間に設定されている。外周領域 10 は、第 1 主面 3 において複数の IGBT 領域 6A、6B の周囲に設定されている。
- [0199] 複数の IGBT 構造 Tr1、Tr2 は、複数の IGBT 領域 6A、6B に形成されている。境界ダイオード D1 は、境界領域 7 に形成されている。外側ダイオード D2 は、外周領域 10 に形成されている。この構造によれば、外側ダイオード D2 のみが形成された構造（図 13 参照）と比較して、尖頭サージ電流 IFSM に対する耐量を向上し、通常動作時における順方向電圧 VF に起因する導通損失を低減できる（図 14 参照）。よって、電氣的特性の向上に寄与する半導体装置 1A を適用できる。

- [0200] 外側ダイオードD 2は、境界ダイオードD 1に順方向並列接続されていることが好ましい。境界ダイオードD 1は、I G B T構造T r 1、T r 2の第1還流ダイオードとして形成されていることが好ましい。外側ダイオードD 2は、I G B T構造T r 1、T r 2の第2還流ダイオードとして形成されていることが好ましい。
- [0201] 境界ダイオードD 1は、境界領域7の第2主面4の表層部に形成された境界カソード領域4 5、および、境界領域7の第1主面3の表層部に形成された境界ウェル領域5 0（境界アノード領域）を含むことが好ましい。外側ダイオードD 2は、外周領域1 0の第2主面4の表層部に形成された外側カソード領域5 5（外側アノード領域）、および、外周領域1 0の第1主面3の表層部に形成された外側ウェル領域5 6を含むことが好ましい。
- [0202] 境界カソード領域4 5は、平面視において各I G B T領域6 A、6 Bから間隔を空けて境界領域7に形成されていることが好ましい。境界ウェル領域5 0は、チップ2の厚さ方向に境界カソード領域4 5に対向する部分を有していることが好ましい。境界ウェル領域5 0は、境界カソード領域4 5よりも幅広に形成されていることが好ましい。
- [0203] 境界領域7は、平面視において一方方向に延びる帯状に設定されていてもよい。境界カソード領域4 5は、平面視において一方方向に延びる帯状に形成されていてもよい。境界ウェル領域5 0は、平面視において一方方向に延びる帯状に形成されていてもよい。
- [0204] 外側カソード領域5 5は、平面視において各I G B T領域6 A、6 Bから間隔を空けて外周領域1 0に形成されていることが好ましい。外側ウェル領域5 6は、チップ2の厚さ方向に外側カソード領域5 5に対向する部分を有していることが好ましい。外側ウェル領域5 6は、外側カソード領域5 5よりも幅広に形成されていることが好ましい。
- [0205] 外側カソード領域5 5は、平面視において複数のI G B T領域6 A、6 Bを取り囲んでいてもよい。外側ウェル領域5 6は、平面視において複数のI G B T領域6 A、6 Bを取り囲んでいてもよい。外側カソード領域5 5は、

境界カソード領域45に接続されていてもよい。外側ウェル領域56は、外側ウェル領域56に接続されていてもよい。

[0206] 半導体装置1Aは、各IGBT領域6A、6Bの第2主面4の表層部に形成されたコレクタ領域13を含むことが好ましい。コレクタ領域13は、境界領域7の第2主面4の表層部に位置する部分を有していることが好ましい。コレクタ領域13は、外周領域10の第2主面4の表層部に位置する部分を有していることが好ましい。

[0207] 各IGBT構造Tr1、Tr2は、各IGBT領域6A、6Bの第1主面3の表層部に形成されたベース領域25を含むことが好ましい。各IGBT構造Tr1、Tr2は、各IGBT領域6A、6Bの第1主面3においてベース領域25を貫通するように形成された複数のトレンチ構造30を含むことが好ましい。各IGBT構造Tr1、Tr2は、各IGBT領域6A、6Bの第1主面3の表層部において各トレンチ構造30に沿う領域に形成されたエミッタ領域35を含むことが好ましい。

[0208] 半導体装置1Aは、複数のIGBT領域6A、6Bを区画するように第1主面3に形成された複数のトレンチ分離構造20を含むことが好ましい。この場合、境界ダイオードD1は、境界領域7において複数のトレンチ分離構造20によって挟まれた領域に形成されていることが好ましい。

[0209] 半導体装置1Aは、境界領域7の第1主面3の上に配置された境界配線42を含んでもよい。この場合、境界ダイオードD1は、チップ2の厚さ方向に境界配線42に対向していてもよい。半導体装置1Aは、外周領域10の第1主面3の上に配置された第1外側配線43（第2外側配線44）を含んでもよい。この場合、外側ダイオードD2は、チップ2の厚さ方向に第1外側配線43（第2外側配線44）に対向していてもよい。

[0210] 図15は、第2実施形態に係る半導体装置1Bを示す平面図である。図16は、複数のIGBT領域6、境界領域7、ゲート電極71およびエミッタ電極75のレイアウトを示す平面図である。図17は、複数のIGBT領域6および境界領域7のレイアウトを示す拡大平面図である。図18は、図1

7に示すXVIII-XVIII線に沿う断面図である。

- [0211] 図15～図18を参照して、層間絶縁膜60は、この形態では、ゲート配線40の境界配線42を露出させる少なくとも1つ（この形態では2つ）の境界ゲート開口81を含む。境界ゲート開口81の個数は任意である。したがって、層間絶縁膜60は、単一の境界ゲート開口81を含んでいてもよい。
- [0212] 複数の境界ゲート開口81は、この形態では、第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて形成されている。境界ゲート開口81の平面形状は任意である。境界ゲート開口81は、平面視において円形状、楕円形状、四角形状または多角形状に形成されていてもよい。また、複数の境界ゲート開口81は、第1方向Xに間隔を空けて配列されていてもよい。
- [0213] 半導体装置1Bは、境界配線42に機械的および電氣的に接続されるように複数の境界ゲート開口81に埋設された複数のゲートビア電極82を含む。各ゲートビア電極82は、Ti系金属膜、W系金属膜、Al系金属膜およびCu系金属膜のうちの少なくとも1つを含んでいてもよい。
- [0214] 各ゲートビア電極82は、ビア電極70と同様、Ti系金属膜およびW系金属膜を含む積層構造を有していてもよい。複数のゲートビア電極82は、チップ2の厚さ方向にゲート配線40（境界配線42）、境界カソード領域45（第2カソード領域47）および境界ウェル領域50（第2ウェル領域52）に対向していることが好ましい。
- [0215] ゲート電極71は、この形態では、ゲートパッド電極72から境界配線42の直上に引き出された境界ゲートフィンガー電極83を含む。境界ゲートフィンガー電極83は、複数のゲートビア電極82を被覆するように境界配線42に沿って延びる帯状に形成されている。
- [0216] 境界ゲートフィンガー電極83は、複数のゲートビア電極82を介して境界配線42に電氣的に接続されている。つまり、境界ゲートフィンガー電極83は、境界配線42よりも低い抵抗値を有する電流経路を形成している。

境界ゲートフィンガー電極 83 は、チップ 2 の厚さ方向にゲート配線 40（境界配線 42）、境界カソード領域 45（第 2 カソード領域 47）および境界ウェル領域 50（第 2 ウェル領域 52）に対向している。

[0217] 第 2 方向 Y に関して、境界ゲートフィンガー電極 83 は、境界ウェル領域 50 の幅よりも小さい幅を有し、境界ウェル領域 50 の周縁よりも境界領域 7 側に位置する周縁を有している。具体的には、境界ゲートフィンガー電極 83 は、境界配線 42 の幅よりも小さい幅を有し、境界配線 42 の周縁よりも境界領域 7 側に位置する周縁を有している。

[0218] 境界ゲートフィンガー電極 83 は、この形態では、境界領域 7 の幅よりも小さい幅を有し、境界領域 7 の周縁よりも内方に位置する周縁を有している。つまり、境界ゲートフィンガー電極 83 は、平面視において境界領域 7 の直上のみに配置され、各 IGBT 領域 6 の上には配置されていない。

[0219] 境界ゲートフィンガー電極 83 は、平面視において第 1 IGBT 領域 6A の複数のトレンチ構造 30 および第 2 IGBT 領域 6B の複数のトレンチ構造 30 から間隔を空けて境界領域 7 の上に配置されていることが好ましい。境界ゲートフィンガー電極 83 は、平面視において第 1 トレンチ分離構造 20A および第 2 トレンチ分離構造 20B から間隔を空けて境界領域 7 の上に配置されていることが好ましい。

[0220] 境界ゲートフィンガー電極 83 の幅は、境界カソード領域 45 の幅とほぼ等しくてもよいし、境界カソード領域 45 の幅よりも大きくてもよいし、境界カソード領域 45 の幅よりも小さくてもよい。前述のゲートビア電極 82 を有さない形態が採用されてもよい。この場合、境界ゲートフィンガー電極 83 は、層間絶縁膜 60 の上から境界ゲート開口 81 内に入り込み、境界配線 42 に機械的および電氣的に接続される。

[0221] エミッタ電極 75 は、この形態では、平面視において境界ゲートフィンガー電極 83 に沿って帯状に延びる切欠き部 84 を有している。切欠き部 84 は、境界ゲートフィンガー電極 83 との間において、境界ゲートフィンガー電極 83 に沿って帯状に延びるスリット 85 を区画している。

[0222] スリット85は、平面視において境界ウェル領域50の直上に形成されている。スリット85は、平面視において境界ウェル領域50外の領域に位置していないことが好ましい。スリット85は、平面視において境界領域7の直上に形成されていることが好ましい。スリット85は、平面視において境界領域7外の領域に位置していないことが特に好ましい。

[0223] スリット85は、この形態では、第1IGBT領域6Aの複数のトレンチ構造30および第2IGBT領域6Bの複数のトレンチ構造30から間隔を空けて境界領域7の上に形成されている。また、スリット85は、平面視において第1トレンチ分離構造20Aおよび第2トレンチ分離構造20Bから間隔を空けて境界領域7の上に形成されている。スリット85は、チップ2の厚さ方向に境界カソード領域45（第2カソード領域47）および境界ウェル領域50（第2ウェル領域52）のいずれか一方または双方に対向していてもよい。

[0224] 図19は、第3実施形態に係る半導体装置1Cを示す平面図である。図20は、複数のIGBT領域6、境界領域7、ゲート電極71およびエミッタ電極75のレイアウト例を示す平面図である。図21は、複数のIGBT領域6および境界領域7のレイアウト例を示す拡大平面図である。図22は、図21に示すXXII-XXII線に沿う断面図である。

[0225] 図19～図22を参照して、ゲート配線40は、境界配線42において境界ウェル領域50に重なるように境界領域7の直上に形成された少なくとも1つ（この形態では1つ）の開口部86を有している。開口部86の個数は任意である。開口部86は、「除去部」または「分断部」と称されてもよい。

[0226] 開口部86は、この形態では、境界配線42の周縁から間隔を空けて境界配線42の内方部に形成され、主面絶縁膜39を露出させている。むろん、開口部86は、境界配線42の周縁を貫通するように形成されていてもよい。開口部86は、この形態では、平面視において境界配線42に沿って延びる帯状に形成されている。

- [0227] 開口部 86 は、平面視において境界領域 7 外の領域に位置していないことが好ましい。開口部 86 は、第 2 方向 Y に境界領域 7 の幅未満の幅を有していることが好ましい。つまり、開口部 86 は、第 1 IGBT 領域 6A の複数のトレンチ構造 30 および第 2 IGBT 領域 6B の複数のトレンチ構造 30 から間隔を空けて境界領域 7 の上に形成されていることが好ましい。また、開口部 86 は、平面視において第 1 トレンチ分離構造 20A および第 2 トレンチ分離構造 20B から間隔を空けて境界領域 7 の上に形成されていることが好ましい。
- [0228] 境界ウェル領域 50 は、この形態では、チップ 2 の厚さ方向に開口部 86 に対向するように第 1 主面 3 の表層部に形成されている。境界ウェル領域 50 は、開口部 86 の全域に対向していることが好ましい。境界カソード領域 45 は、この形態では、チップ 2 の厚さ方向に開口部 86 に対向するように第 2 主面 4 の表層部に形成されている。第 2 方向 Y に関して、境界カソード領域 45 の幅は、開口部 86 の幅以上であってもよいし、開口部 86 の幅未満であってもよい。
- [0229] 層間絶縁膜 60 は、この形態では、境界領域 7 において境界配線 42 の上から開口部 86 内に入り込むように形成され、当該開口部 86 を被覆する開口被覆部 87 を有している。開口被覆部 87 は、開口部 86 内において境界配線 42 の側壁および主面絶縁膜 39 を被覆している。
- [0230] 層間絶縁膜 60 は、この形態では、境界ウェル領域 50 を露出させる少なくとも 1 つ（この形態では複数）の境界コンタクト開口 88 を含む。複数の境界コンタクト開口 88 は、開口部 86 内を通過するように開口被覆部 87 に形成されている。複数の境界コンタクト開口 88 は、主面絶縁膜 39 を貫通し、第 1 主面 3 から第 2 主面 4 側にさらに掘り下がっていてもよい。
- [0231] 複数の境界コンタクト開口 88 は、この形態では、開口部 86 内において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて形成されている。境界コンタクト開口 88 の平面形状は任意である。境界コンタクト開口 88 は、平面視において円形状、楕円形状、四角形状または多角

形状に形成されていてもよい。また、複数の境界コンタクト開口 88 は、第 1 方向 X に間隔を空けて配列されていてもよい。

[0232] 半導体装置 1 C は、境界ウェル領域 50 に電氣的に接続されるように層間絶縁膜 60 に埋設された複数の境界ビア電極 89 を含む。各境界ビア電極 89 は、Ti 系金属膜、W 系金属膜、Al 系金属膜および Cu 系金属膜のうちの少なくとも 1 つを含んでいてもよい。各境界ビア電極 89 は、ビア電極 70 と同様、Ti 系金属膜および W 系金属膜を含む積層構造を有していてもよい。

[0233] 具体的には、複数の境界ビア電極 89 は、開口被覆部 87 において複数の境界コンタクト開口 88 にそれぞれ埋設されている。つまり、複数の境界ビア電極 89 は、開口部 86 内において第 1 方向 X に延びる帯状にそれぞれ形成され、第 2 方向 Y に間隔を空けて形成されている。むろん、複数の境界ビア電極 89 は、境界コンタクト開口 88 のレイアウトに応じて、平面視において円形状、楕円形状、四角形状または多角形状に形成されていてもよい。また、複数の境界コンタクト開口 88 は、第 1 方向 X に間隔を空けて配列されていてもよい。

[0234] 複数の境界ビア電極 89 は、開口部 86 を通過し、第 1 主面 3 の面方向に開口被覆部 87（層間絶縁膜 60）の一部を挟んでゲート配線 40（境界配線 42）に対向している。複数の境界ビア電極 89 は、複数の境界コンタクト開口 88 内において境界ウェル領域 50 に機械的および電氣的に接続されている。複数の境界ビア電極 89 は、チップ 2 の厚さ方向に境界カソード領域 45 に対向している。

[0235] エミッタ電極 75 は、この形態では、複数の境界ビア電極 89 に電氣的に接続されるように開口被覆部 87（層間絶縁膜 60）を被覆する部分を有している。具体的には、エミッタパッド電極 76 が複数の境界ビア電極 89 に機械的および電氣的に接続され、複数の境界ビア電極 89 を介して境界ウェル領域 50 に電氣的に接続されている。

[0236] 以上、半導体装置 1 C は、チップ 2、複数の IGBT 領域 6、境界領域 7

、n型の境界カソード領域45、p型の境界ウェル領域50、層間絶縁膜60、境界ビア電極89およびエミッタ電極75を含む。チップ2は、一方側の第1主面3および他方側の第2主面4を有している。複数のIGBT領域6は、チップ2に間隔を空けて設けられている。境界領域7は、チップ2において複数のIGBT領域6の間の領域に設けられている。

[0237] 境界カソード領域45は、境界領域7において第2主面4の表層部に形成されている。境界ウェル領域50は、境界領域7において第1主面3の表層部に形成されている。境界ビア電極89は、境界ウェル領域50に電氣的に接続されるように層間絶縁膜60に埋設されている。エミッタ電極75は、境界ビア電極89に電氣的に接続されるように層間絶縁膜60の上に配置されている。

[0238] この構造によれば、半導体装置1Aに係る効果と同様の効果が奏される。また、半導体装置1Cによれば、境界領域7において境界ウェル領域50を介して境界カソード領域45および境界ビア電極89を結ぶ電流経路を形成できる。これにより、境界ダイオードD1の電氣的特性を安定化させることができる。よって、電氣的特性の向上に寄与する半導体装置1Cを提供できる。

[0239] 境界ウェル領域50は、チップ2の厚さ方向に境界カソード領域45に対向する部分を有していることが好ましい。境界ビア電極89は、チップ2の厚さ方向に境界カソード領域45に対向していることが好ましい。これらの構造によれば、境界カソード領域45および境界ビア電極89を結ぶ電流経路を境界領域7に適切に形成できる。

[0240] 半導体装置1Cは、境界領域7において第1主面3の上に配置されたゲート配線40を含むことが好ましい。この場合、層間絶縁膜60は、ゲート配線40を被覆していることが好ましい。また、境界ビア電極89は、ゲート配線40から間隔を空けて層間絶縁膜60に埋設されていることが好ましい。

[0241] 境界ウェル領域50は、チップ2の厚さ方向にゲート配線40に対向する

部分を有していることが好ましい。境界カソード領域45は、前記チップの厚さ方向に前記ゲート配線に対向する部分を有していることが好ましい。これらの構造によれば、ゲート配線40の直下の境界領域7において電気的特性が安定した境界ダイオードD1を形成できる。

[0242] ゲート配線40は、境界領域7に重なる位置に形成された開口部86を有していることが好ましい。この場合、境界ウェル領域50は、チップ2の厚さ方向に開口部86に対向する部分を有していることが好ましい。また、層間絶縁膜60は、開口部86を被覆する開口被覆部87を有していることが好ましい。また、境界ビア電極89は、開口被覆部87に埋設されていることが好ましい。この構造によれば、境界領域7におけるゲート配線40の機能を確保しながら、境界カソード領域45および境界ビア電極89を結ぶ電流経路を境界領域7に適切に形成できる。

[0243] 図23は、第4実施形態に係る半導体装置1Dを示す平面図である。図24は、複数のIGBT領域6、境界領域7、ゲート電極71およびエミッタ電極75のレイアウト例を示す平面図である。図25は、複数のIGBT領域6および境界領域7のレイアウト例を示す拡大平面図である。図25のXVI-II-XVIII線に沿う断面図は前述の図18に対応し、図25のXXII-XXII線に沿う断面図は前述の図22に対応している。

[0244] 図23および図25を参照して、半導体装置1Dは、第2実施形態に係る半導体装置1Bの特徴および第3実施形態に係る半導体装置1Dの特徴の双方を有している。つまり、半導体装置1Dは、第2実施形態に係る半導体装置1Bと同様、境界ゲート開口81、境界ゲート開口81に埋設されたゲートビア電極82、ゲートビア電極82を介して境界配線42に電氣的に接続された境界ゲートフィンガー電極83、および、切欠き部84（スリット85）を有するエミッタ電極75（エミッタパッド電極76）を含む。

[0245] また、半導体装置1Dは、第3実施形態に係る半導体装置1Cと同様、開口部86を有するゲート配線40（境界配線42）、開口被覆部87および境界コンタクト開口88を有する層間絶縁膜60、境界コンタクト開口88

に埋設された境界ビア電極 8 9、ならびに、境界ビア電極 8 9 を介して境界ウェル領域 5 0 に電氣的に接続されたエミッタ電極 7 5（エミッタパッド電極 7 6）を含む。

[0246] 図 2 3～図 2 5 に示されるように、境界ゲートフィンガー電極 8 3 は、境界配線 4 2 の基端部（パッド配線 4 1）側の領域においてゲートビア電極 8 2 を介して境界配線 4 2 に電氣的に接続されている。一方、エミッタ電極 7 5 は、境界配線 4 2 の先端部側の領域において境界ビア電極 8 9 を介して境界ウェル領域 5 0 に電氣的に接続されている。以上、半導体装置 1 D によれば、半導体装置 1 B に係る効果および半導体装置 1 C に係る効果が奏される。

[0247] 図 2 6 は、図 6 に対応し、第 5 実施形態に係る半導体装置 1 E を示す断面図である。図 2 6 を参照して、ゲート配線 4 0 は、この形態では、境界配線 4 2 を有さず、パッド配線 4 1、第 1 外側配線 4 3 および第 2 外側配線 4 4 を含む。すなわち、第 2 カソード領域 4 7 は、チップ 2 の厚さ方向にゲート配線 4 0 に対向していない。また、第 2 ウェル領域 5 2 は、チップ 2 の厚さ方向にゲート配線 4 0 に対向していない。このような構造は、比較的小さいサイズを有するチップ 2、および／または、比較的小さいゲート抵抗を有するトレンチ構造 3 0 が採用される場合に適用されることが好ましい。

[0248] 図 2 7 は、図 6 に対応し、第 6 実施形態に係る半導体装置 1 F を示す断面図である。図 2 7 を参照して、半導体装置 1 F は、第 5 実施形態に係る半導体装置 1 E において第 3 実施形態に係る境界コンタクト開口 8 8 および境界ビア電極 8 9 が適用された構造を有している。半導体装置 1 F によれば、境界配線 4 2 が存在しない構造において境界ビア電極 8 9 に係る効果が奏される。

[0249] 図 2 8 は、前述の各実施形態に適用される変形例を示す平面図である。図 2 8 では、第 1 実施形態に係る半導体装置 1 A に変形例が適用された例が示されているが、図 2 8 に示される変形例は前述の第 2～第 6 実施形態にも適用できる。前述の各実施形態では、2 つの IGBT 領域 6 が示された。

[0250] しかし、図28に示されるように、 n 個 ($n \geq 3$) のIGBT領域6が間隔を空けて設けられていてもよい。この場合、 $n-1$ 個の境界領域7が、隣り合う2つのIGBT領域6の間の領域に設けられる。この場合、少なくとも1つの境界領域7が第1領域8および第2領域9を有していればよく、必ずしも全ての境界領域7が第1領域8および第2領域9の両方を有している必要はない。したがって、少なくとも1つの境界領域7は一樣な幅（たとえば第2領域9のみ）を有していてもよい。各IGBT領域6内外の構造および各境界領域7内外の構造は、前述の各実施形態の場合と同様である。

[0251] 図29は、前述の各実施形態に適用される変形例を示す平面図である。図29では、第1実施形態に係る半導体装置1Aに変形例が適用された例が示されているが、図29に示される変形例は前述の第2～第6実施形態にも適用できる。前述の各実施形態では、境界カソード領域45がチップ2の厚さ方向にトレンチ分離構造20に対向していない例が示された。

[0252] しかし、境界カソード領域45は、チップ2の厚さ方向に複数のトレンチ分離構造20に対向していてもよい。むしろ、境界カソード領域45は、チップ2の厚さ方向に複数のトレンチ構造30に対向していてもよい。つまり、境界カソード領域45は、境界領域7から各IGBT領域6内に引き出された部分を有していてもよい。

[0253] 図30は、前述の各実施形態に適用される変形例を示す平面図である。図30では、第1実施形態に係る半導体装置1Aに変形例が適用された例が示されているが、図30に示される変形例は前述の第2～第6実施形態にも適用できる。

[0254] 前述の図29では、境界ウェル領域50が境界カソード領域45よりも幅広に形成され、チップ2の厚さ方向にコレクタ領域13および境界カソード領域45に対向している例が示された。しかし、境界ウェル領域50は、境界カソード領域45よりも幅狭に形成され、チップ2の厚さ方向に境界カソード領域45のみに対向していてもよい。

[0255] 前述の各実施形態はさらに他の形態で実施できる。たとえば、前述の各実

施形態では、チップ2がシリコン単結晶基板からなる例が示された。しかし、チップ2は、SiC（炭化シリコン）単結晶基板からなってもよい。

[0256] 前述の各実施形態において、n型の半導体領域がp型の半導体領域に置き換えられ、p型の半導体領域がn型の半導体領域に置き換えられてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n型」を「p型」に置き換えると同時に、「p型」を「n型」に置き換えることによって得られる。

[0257] 前述の各実施形態では、第1方向Xおよび第2方向Yが第1～第4側面5A～5Dの延在方向によって規定された。しかし、第1方向Xおよび第2方向Yは、互いに交差（具体的には直交）する関係を維持する限り、任意の方向であってもよい。たとえば、第1方向Xは第1～第4側面5A～5Dに交差する方向であり、第2方向Yは第1～第4側面5A～5Dに交差する方向であってもよい。

[0258] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、「半導体スイッチング装置」または「RC-I-G-B-T半導体装置」に置き換えられてもよい。

[0259] [A1] 一方側の第1面（3）および他方側の第2面（4）を有するチップ（2）と、前記チップ（2）に間隔を空けて設けられた複数のI-G-B-T領域（6）と、前記チップ（2）において複数の前記I-G-B-T領域（6）の間の領域に設けられた境界領域（7）と、前記境界領域（7）において前記第2面（4）の表層部に形成された第1導電型（n型）のカソード領域（45）と、前記境界領域（7）において前記第1面（3）の表層部に形成された第2導電型（p型）のウェル領域（50）と、を含む、半導体装置（1A～1F）。

[0260] [A2] 前記カソード領域（45）には、コレクタ電位が付与され、前記ウェル領域（50）には、エミッタ電位が付与される、A1に記載の半導体

装置（１Ａ～１Ｆ）。

- [0261] 〔Ａ３〕前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記カソード領域（４５）に対向する部分を有している、Ａ１またはＡ２に記載の半導体装置（１Ａ～１Ｆ）。
- [0262] 〔Ａ４〕前記ウェル領域（５０）は、前記カソード領域（４５）よりも幅広に形成されている、Ａ１～Ａ３のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。
- [0263] 〔Ａ５〕前記境界領域（７）において前記第２面（４）の表層部に形成された第２導電型（ｐ型）のコレクタ領域（１３）をさらに含み、前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記コレクタ領域（１３）に対向する部分を有している、Ａ１～Ａ４のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。
- [0264] 〔Ａ６〕前記境界領域（７）において前記第１面（３）の上に配置されたゲート配線（４０、４２）をさらに含み、前記カソード領域（４５）は、前記チップ（２）の厚さ方向に前記ゲート配線（４０、４２）に対向し、前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記ゲート配線（４０、４２）に対向している、Ａ１～Ａ５のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。
- [0265] 〔Ａ７〕前記ウェル領域（５０）は、前記ゲート配線（４０、４２）よりも幅広に形成されている、Ａ６に記載の半導体装置（１Ａ～１Ｆ）。
- [0266] 〔Ａ８〕前記カソード領域（４５）は、前記ゲート配線（４０、４２）よりも幅狭に形成されている、Ａ６またはＡ７に記載の半導体装置（１Ａ～１Ｆ）。
- [0267] 〔Ａ９〕各前記ＩＧＢＴ領域（６）において前記第１面（３）の表層部に形成された第２導電型（ｐ型）のベース領域（２５）をさらに含み、前記ウェル領域（５０）は、前記ベース領域（２５）よりも深く形成されている、Ａ１～Ａ８のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。
- [0268] 〔Ａ１０〕前記ウェル領域（５０）は、前記ベース領域（２５）に接続さ

れている、A 9 に記載の半導体装置（1 A ～ 1 F）。

[0269] [A 1 1] 前記カソード領域（4 5）は、前記チップ（2）の厚さ方向に前記ベース領域（2 5）に対向していない、A 9 または A 1 0 に記載の半導体装置（1 A ～ 1 F）。

[0270] [A 1 2] 各前記 I G B T 領域（6）において前記ベース領域（2 5）を貫通して前記第 1 面（3）に形成され、ゲート電位が付与されるトレンチ構造（3 0）をさらに含み、前記ウェル領域（5 0）は、各前記 I G B T 領域（6）の前記トレンチ構造（3 0）よりも深く形成されている、A 9 ～ A 1 1 のいずれか一つに記載の半導体装置（1 A ～ 1 F）。

[0271] [A 1 3] 前記カソード領域（4 5）は、前記チップ（2）の厚さ方向に各前記 I G B T 領域（6）の前記トレンチ構造（3 0）に対向していない、A 1 2 に記載の半導体装置（1 A ～ 1 F）。

[0272] [A 1 4] 前記ウェル領域（5 0）は、各前記 I G B T 領域（6）の前記トレンチ構造（3 0）に接するように前記境界領域（7）に形成されている、A 1 2 または A 1 3 に記載の半導体装置（1 A ～ 1 F）。

[0273] [A 1 5] 前記第 1 面（3）を被覆する層間絶縁膜（6 0）と、前記層間絶縁膜（6 0）の上に配置され、複数の前記 I G B T 領域（6）に電氣的に接続されたエミッタ電極（7 5）と、をさらに含む、A 1 ～ A 1 4 のいずれか一つに記載の半導体装置（1 A ～ 1 F）。

[0274] [A 1 6] 一方側の第 1 面（3）および他方側の第 2 面（4）を有するチップ（2）と、前記チップ（2）に間隔を空けて設けられた複数の I G B T 領域（6）と、前記チップ（2）において複数の前記 I G B T 領域（6）の間の領域に設けられた境界領域（7）と、前記境界領域（7）において前記第 2 面（4）の表層部に形成された第 1 導電型（n 型）のカソード領域（4 5）と、前記境界領域（7）において前記第 1 面（3）の表層部に形成された第 2 導電型（p 型）のウェル領域（5 0）と、前記境界領域（7）において前記第 1 面（3）の上に形成された層間絶縁膜（6 0）と、前記ウェル領域（5 0）に電氣的に接続されるように前記層間絶縁膜（6 0）に埋設され

たビア電極（８９）と、前記ビア電極（８９）に電氣的に接続されるように前記層間絶縁膜（６０）の上に配置されたエミッタ電極（７５）と、を含む、半導体装置（１Ａ～１Ｆ）。

[0275] [A 1 7] 前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記カソード領域（４５）に対向する部分を有し、前記ビア電極（８９）は、前記チップ（２）の厚さ方向に前記カソード領域（４５）に対向している、A 1 6に記載の半導体装置（１Ａ～１Ｆ）。

[0276] [A 1 8] 前記境界領域（７）において前記第１面（３）の上に配置されたゲート配線（４０、４２）をさらに含み、前記層間絶縁膜（６０）は、前記ゲート配線（４０、４２）を被覆し、前記ビア電極（８９）は、前記ゲート配線（４０、４２）から間隔を空けて前記層間絶縁膜（６０）に埋設されている、A 1 6またはA 1 7に記載の半導体装置（１Ａ～１Ｆ）。

[0277] [A 1 9] 前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記ゲート配線（４０、４２）に対向する部分を有し、前記カソード領域（４５）は、前記チップ（２）の厚さ方向に前記ゲート配線（４０、４２）に対向する部分を有している、A 1 8に記載の半導体装置（１Ａ～１Ｆ）。

[0278] [A 2 0] 前記ゲート配線（４０、４２）は、前記境界領域（７）に重なる位置に形成された開口部（８６）を有し、前記ウェル領域（５０）は、前記チップ（２）の厚さ方向に前記開口部（８６）に対向する部分を有し、前記層間絶縁膜（６０）は、前記開口部（８６）を被覆する開口被覆部（８７）を有し、前記ビア電極（８９）は、前記開口被覆部（８７）に埋設されている、A 1 8またはA 1 9に記載の半導体装置（１Ａ～１Ｆ）。

[0279] [B 1] 一方側の第１主面（３）および他方側の第２主面（４）を有するチップ（２）と、前記第１主面（３）に間隔を空けて設定された複数のＩＧＢＴ領域（６、６Ａ、６Ｂ）と、前記第１主面（３）において複数の前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）の間に設定された境界領域（７）と、前記第１主面（３）において複数の前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）の周囲に設定された外周領域（１０）と、各前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）に

形成された IGBT 構造 (TR1、TR2) と、前記境界領域 (7) に形成された境界ダイオード (D1) と、前記外周領域 (10) に形成された外側ダイオード (D2) と、を含む、半導体装置 (1A~1F)。

[0280] [B2] 前記外側ダイオード (D2) は、前記境界ダイオード (D1) に順方向並列接続されている、B1 に記載の半導体装置 (1A~1F)。

[0281] [B3] 前記境界ダイオード (D1) は、前記 IGBT 構造 (TR1、TR2) の第 1 還流ダイオードとして形成され、前記外側ダイオード (D2) は、前記 IGBT 構造 (TR1、TR2) の第 2 還流ダイオードとして形成されている、B1 または B2 に記載の半導体装置 (1A~1F)。

[0282] [B4] 前記境界ダイオード (D1) は、前記境界領域 (7) の前記第 2 主面 (4) の表層部に形成された境界カソード領域 (45)、および、前記境界領域 (7) の前記第 1 主面 (3) の表層部に形成された境界アノード領域 (50) を含み、前記外側ダイオード (D2) は、前記外周領域 (10) の前記第 2 主面 (4) の表層部に形成された外側カソード領域 (55)、および、前記外周領域 (10) の前記第 1 主面 (3) の表層部に形成された外側アノード領域 (56) を含み、B1~B3 のいずれか一つに記載の半導体装置 (1A~1F)。

[0283] [B5] 前記境界カソード領域 (45) は、平面視において各前記 IGBT 領域 (6、6A、6B) から間隔を空けて前記境界領域 (7) に形成されている、B4 に記載の半導体装置 (1A~1F)。

[0284] [B6] 前記境界アノード領域 (50) は、前記チップ (2) の厚さ方向に前記境界カソード領域 (45) に対向する部分を有している、B4 または B5 に記載の半導体装置 (1A~1F)。

[0285] [B7] 前記境界アノード領域 (50) は、前記境界カソード領域 (45) よりも幅広に形成されている、B4~B6 のいずれか一つに記載の半導体装置 (1A~1F)。

[0286] [B8] 前記境界領域 (7) は、平面視において一方方向に延びる帯状に設定され、前記境界カソード領域 (45) は、平面視において前記一方方向

に延びる帯状に形成され、前記境界アノード領域（５０）は、平面視において前記一方方向に延びる帯状に形成されている、Ｂ４～Ｂ７のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0287] [Ｂ９] 前記外側カソード領域（５５）は、平面視において各前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）から間隔を空けて前記外周領域（１０）に形成されている、Ｂ４～Ｂ８のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0288] [Ｂ１０] 前記外側アノード領域（５６）は、前記チップ（２）の厚さ方向に前記外側カソード領域（５５）に対向する部分を有している、Ｂ４～Ｂ９のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0289] [Ｂ１１] 前記外側アノード領域（５６）は、前記外側カソード領域（５５）よりも幅広に形成されている、Ｂ４～Ｂ１０のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0290] [Ｂ１２] 前記外側カソード領域（５５）は、平面視において複数の前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）を取り囲み、前記外側アノード領域（５６）は、平面視において複数の前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）を取り囲んでいる、Ｂ４～Ｂ１１のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0291] [Ｂ１３] 前記外側カソード領域（５５）は、前記境界カソード領域（４５）に接続されている、Ｂ４～Ｂ１２のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0292] [Ｂ１４] 前記外側アノード領域（５６）は、前記外側アノード領域（５６）に接続されている、Ｂ４～Ｂ１３のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0293] [Ｂ１５] 各前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）の前記第２主面（４）の表層部に形成されたコレクタ領域（１３）をさらに含む、Ｂ１～Ｂ１４のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0294] [Ｂ１６] 前記コレクタ領域（１３）は、前記境界領域（７）の前記第２主面（４）の表層部に位置する部分を有している、Ｂ１５に記載の半導体装

置（１Ａ～１Ｆ）。

[0295] [Ｂ１７] 前記コレクタ領域（１３）は、前記外周領域（１０）の前記第２主面（４）の表層部に位置する部分を有している、Ｂ１５またはＢ１６に記載の半導体装置（１Ａ～１Ｆ）。

[0296] [Ｂ１８] 複数の前記ＩＧＢＴ領域（６、６Ａ、６Ｂ）を区画するように前記第１主面（３）に形成された複数のトレンチ分離構造（２０、２０Ａ、２０Ｂ）をさらに含む、Ｂ１～Ｂ１７のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0297] [Ｂ１９] 前記境界領域（７）の前記第１主面（３）の上に配置された境界ゲート配線（４２）をさらに含み、前記境界ダイオード（Ｄ１）は、前記チップ（２）の厚さ方向に前記境界ゲート配線（４２）に対向している、Ｂ１～Ｂ１８のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0298] [Ｂ２０] 前記外周領域（１０）の前記第１主面（３）の上に配置された外側ゲート配線（４３、４４）をさらに含み、前記外側ダイオード（Ｄ２）は、前記チップ（２）の厚さ方向に前記外側ゲート配線（４３、４４）に対向している、Ｂ１～Ｂ１９のいずれか一つに記載の半導体装置（１Ａ～１Ｆ）。

[0299] 以上、実施形態が詳細に説明されたが、これらは技術的内容を明らかにするために用いられた具体例に過ぎず、本発明はこれらの具体例に限定して解釈されるべきではなく、本発明の範囲は添付の請求の範囲によって限定される。

符号の説明

[0300] １Ａ 半導体装置
 １Ｂ 半導体装置
 １Ｃ 半導体装置
 １Ｄ 半導体装置
 １Ｅ 半導体装置
 １Ｆ 半導体装置

2	チップ
3	第1主面
4	第2主面
6	I G B T領域
7	境界領域
10	外周領域
13	コレクタ領域
20	トレンチ分離構造
20A	第1トレンチ分離構造
20B	第2トレンチ分離構造
25	ベース領域
30	トレンチ構造
40	ゲート配線
42	境界配線
43	第1外側配線
44	第2外側配線
45	境界カソード領域
50	境界ウェル領域
55	外側カソード領域
56	外側ウェル領域
60	層間絶縁膜
75	エミッタ電極
86	層間絶縁膜の開口部
87	開口被覆部
89	境界ビア電極

請求の範囲

- [請求項1] 一方側の第1面および他方側の第2面を有するチップと、
前記チップに間隔を空けて設けられた複数のIGBT領域と、
前記チップにおいて複数の前記IGBT領域の間の領域に設けられた境界領域と、
前記境界領域において前記第2面の表層部に形成された第1導電型のカソード領域と、
前記境界領域において前記第1面の表層部に形成された第2導電型のウェル領域と、を含む、半導体装置。
- [請求項2] 前記カソード領域には、コレクタ電位が付与され、
前記ウェル領域には、エミッタ電位が付与される、請求項1に記載の半導体装置。
- [請求項3] 前記ウェル領域は、前記チップの厚さ方向に前記カソード領域に対向する部分を有している、請求項1または2に記載の半導体装置。
- [請求項4] 前記ウェル領域は、前記カソード領域よりも幅広に形成されている、請求項1～3のいずれか一項に記載の半導体装置。
- [請求項5] 前記境界領域において前記第2面の表層部に形成された第2導電型のコレクタ領域をさらに含み、
前記ウェル領域は、前記チップの厚さ方向に前記コレクタ領域に対向する部分を有している、請求項1～4のいずれか一項に記載の半導体装置。
- [請求項6] 前記境界領域において前記第1面の上に配置されたゲート配線をさらに含み、
前記カソード領域は、前記チップの厚さ方向に前記ゲート配線に対向し、
前記ウェル領域は、前記チップの厚さ方向に前記ゲート配線に対向している、請求項1～5のいずれか一項に記載の半導体装置。
- [請求項7] 前記ウェル領域は、前記ゲート配線よりも幅広に形成されている、

請求項 6 に記載の半導体装置。

[請求項8] 前記カソード領域は、前記ゲート配線よりも幅狭に形成されている、請求項 6 または 7 に記載の半導体装置。

[請求項9] 各前記 I G B T 領域において前記第 1 面の表層部に形成された第 2 導電型のベース領域をさらに含み、

前記ウェル領域は、前記ベース領域よりも深く形成されている、請求項 1 ～ 8 のいずれか一項に記載の半導体装置。

[請求項10] 前記ウェル領域は、前記ベース領域に接続されている、請求項 9 に記載の半導体装置。

[請求項11] 前記カソード領域は、前記チップの厚さ方向に前記ベース領域に対向していない、請求項 9 または 1 0 に記載の半導体装置。

[請求項12] 各前記 I G B T 領域において前記ベース領域を貫通して前記第 1 面に形成され、ゲート電位が付与されるトレンチ構造をさらに含み、

前記ウェル領域は、各前記 I G B T 領域の前記トレンチ構造よりも深く形成されている、請求項 9 ～ 1 1 のいずれか一項に記載の半導体装置。

[請求項13] 前記カソード領域は、前記チップの厚さ方向に各前記 I G B T 領域の前記トレンチ構造に対向していない、請求項 1 2 に記載の半導体装置。

[請求項14] 前記ウェル領域は、各前記 I G B T 領域の前記トレンチ構造に接するように前記境界領域に形成されている、請求項 1 2 または 1 3 に記載の半導体装置。

[請求項15] 前記第 1 面を被覆する層間絶縁膜と、
前記層間絶縁膜の上に配置され、複数の前記 I G B T 領域に電氣的に接続されたエミッタ電極と、をさらに含む、請求項 1 ～ 1 4 のいずれか一項に記載の半導体装置。

[請求項16] 一方側の第 1 面および他方側の第 2 面を有するチップと、
前記チップに間隔を空けて設けられた複数の I G B T 領域と、

前記チップにおいて複数の前記 I G B T 領域の間の領域に設けられた境界領域と、

前記境界領域において前記第 2 面の表層部に形成された第 1 導電型のカソード領域と、

前記境界領域において前記第 1 面の表層部に形成された第 2 導電型のウェル領域と、

前記境界領域において前記第 1 面の上に形成された層間絶縁膜と、

前記ウェル領域に電氣的に接続されるように前記層間絶縁膜に埋設されたビア電極と、

前記ビア電極に電氣的に接続されるように前記層間絶縁膜の上に配置されたエミッタ電極と、を含む、半導体装置。

[請求項17] 前記ウェル領域は、前記チップの厚さ方向に前記カソード領域に対向する部分を有し、

前記ビア電極は、前記チップの厚さ方向に前記カソード領域に対向している、請求項 16 に記載の半導体装置。

[請求項18] 前記境界領域において前記第 1 面の上に配置されたゲート配線をさらに含み、

前記層間絶縁膜は、前記ゲート配線を被覆し、

前記ビア電極は、前記ゲート配線から間隔を空けて前記層間絶縁膜に埋設されている、請求項 16 または 17 に記載の半導体装置。

[請求項19] 前記ウェル領域は、前記チップの厚さ方向に前記ゲート配線に対向する部分を有し、

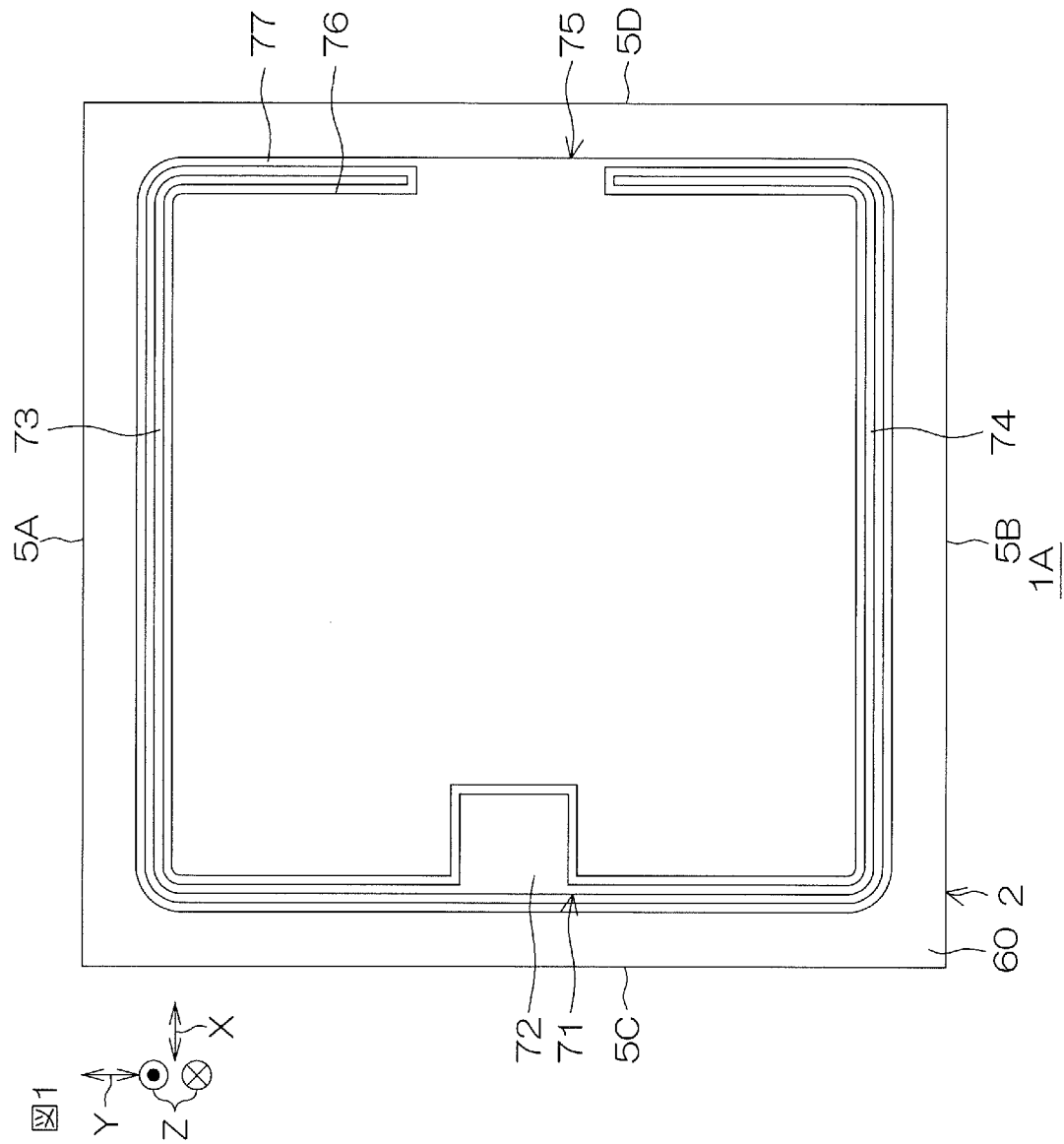
前記カソード領域は、前記チップの厚さ方向に前記ゲート配線に対向する部分を有している、請求項 18 に記載の半導体装置。

[請求項20] 前記ゲート配線は、前記境界領域に重なる位置に形成された開口部を有し、

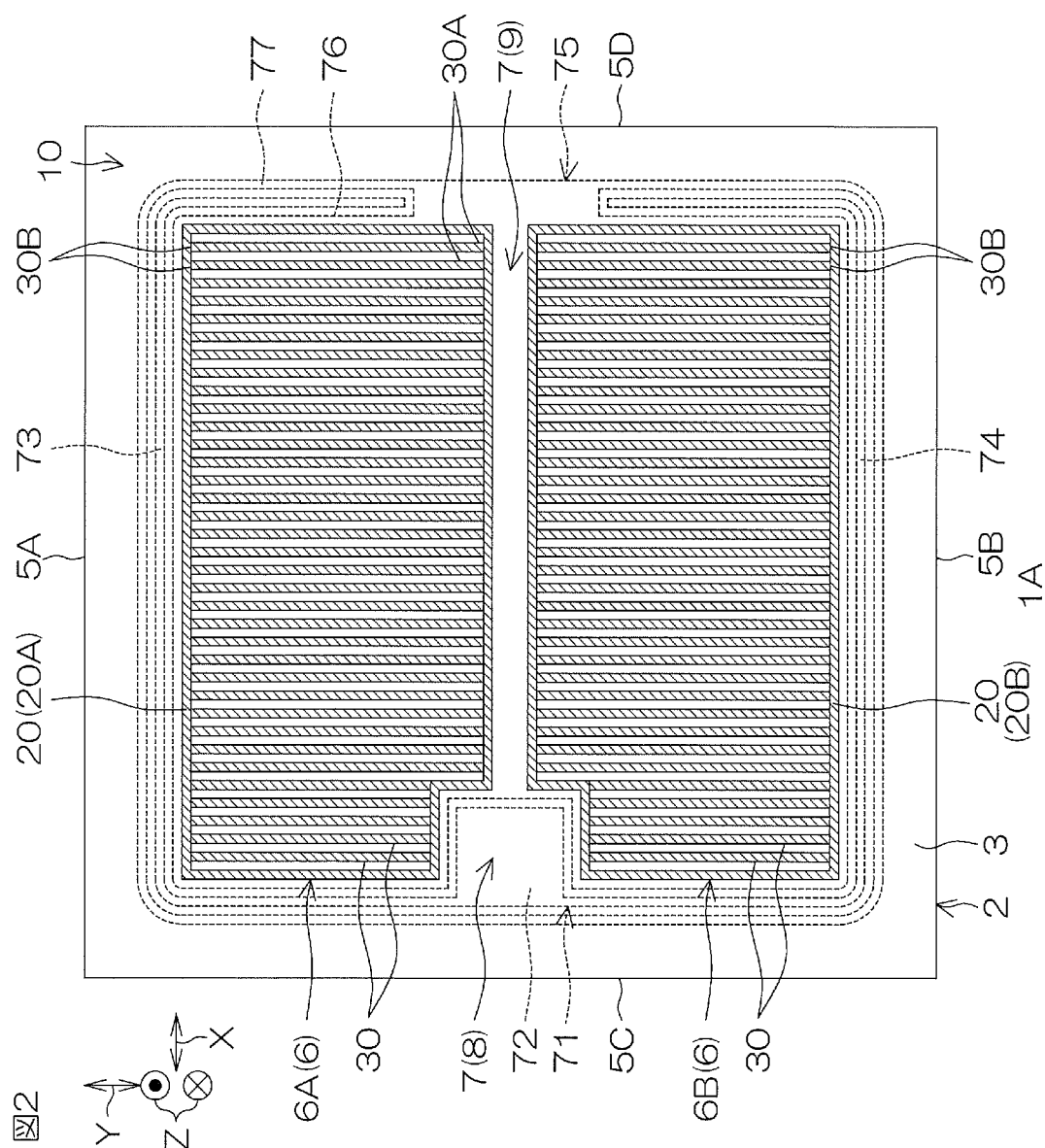
前記ウェル領域は、前記チップの厚さ方向に前記開口部に対向する部分を有し、

前記層間絶縁膜は、前記開口部を被覆する開口被覆部を有し、
前記ビア電極は、前記開口被覆部に埋設されている、請求項 18 ま
たは 19 に記載の半導体装置。

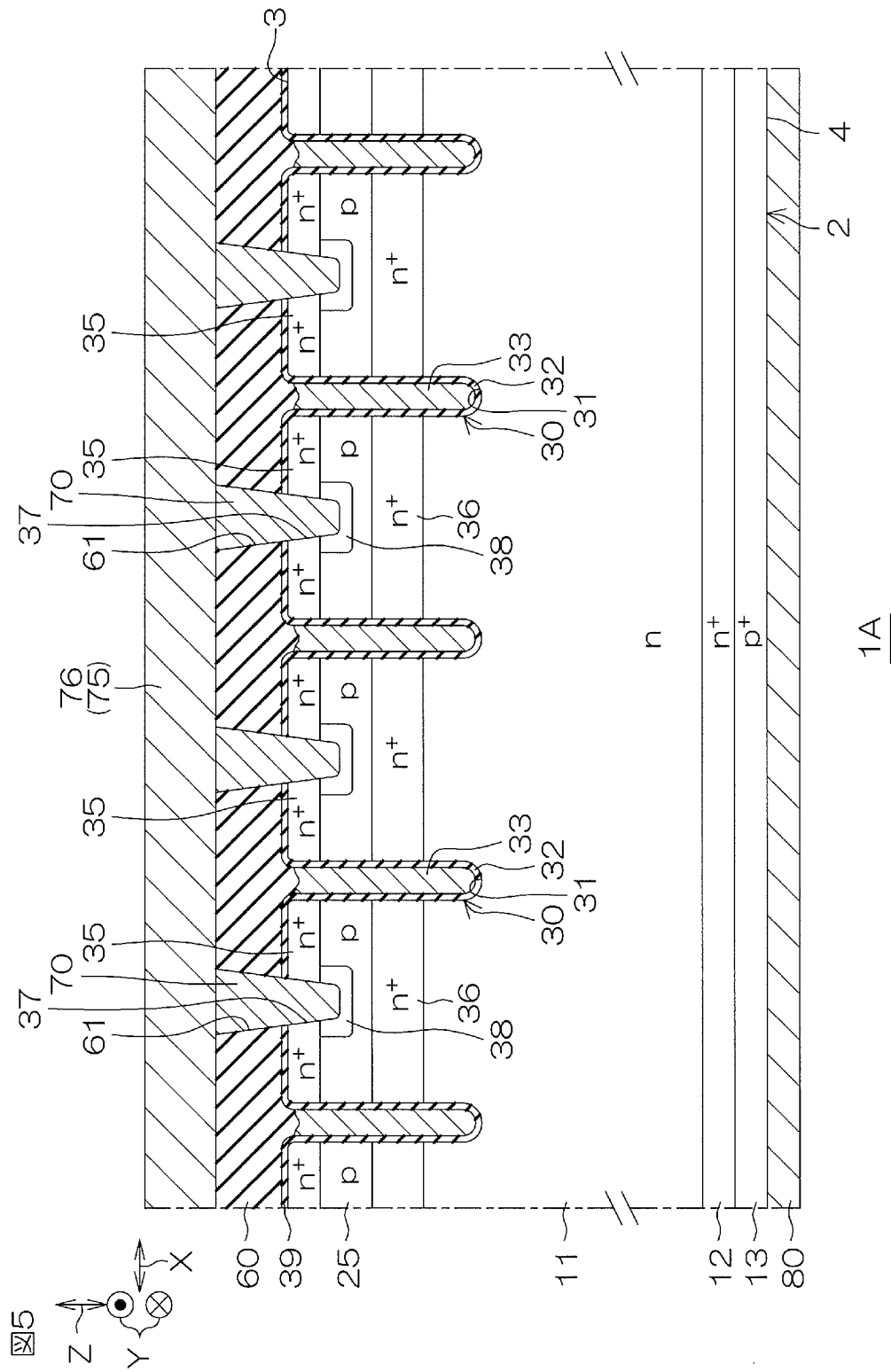
[図1]



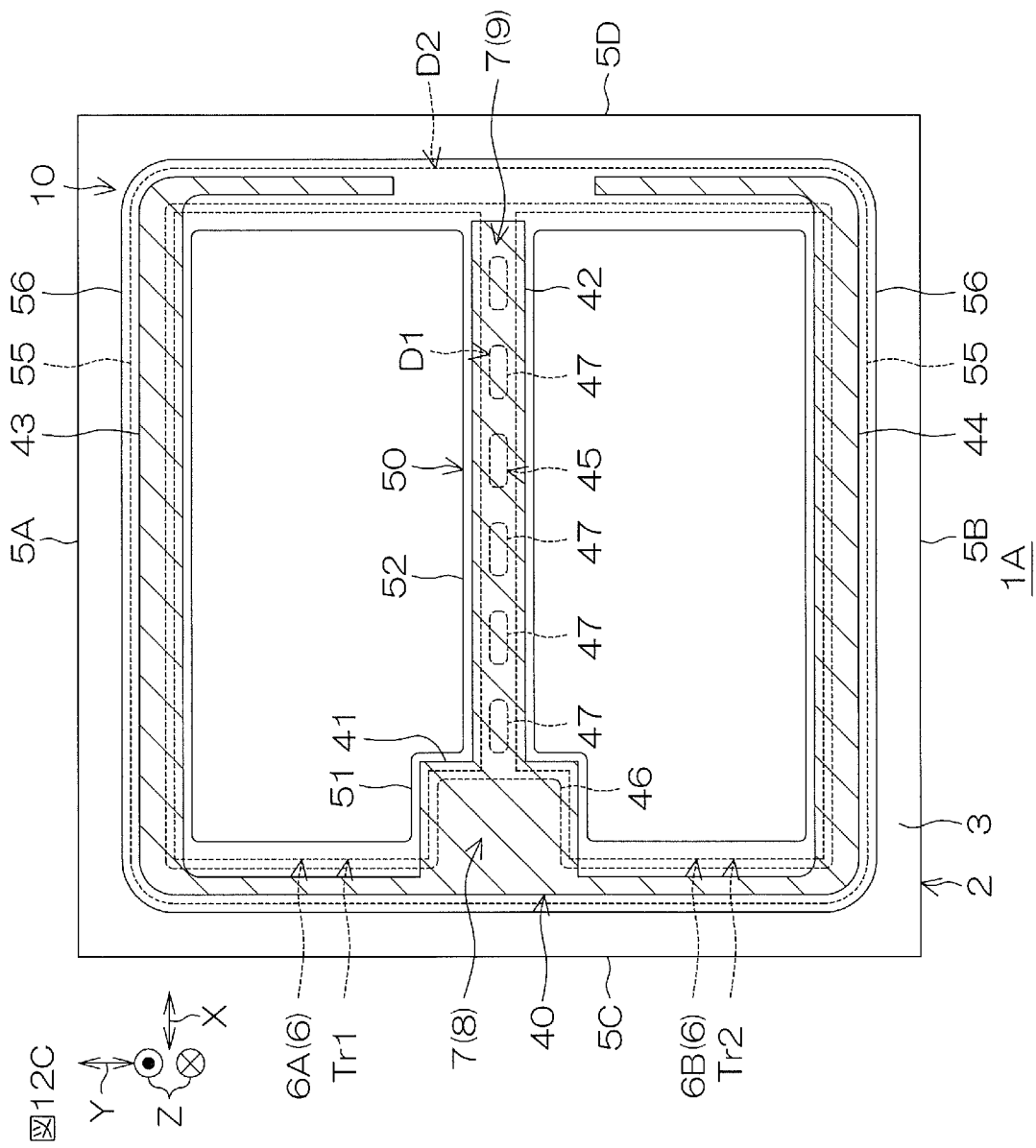
[図2]



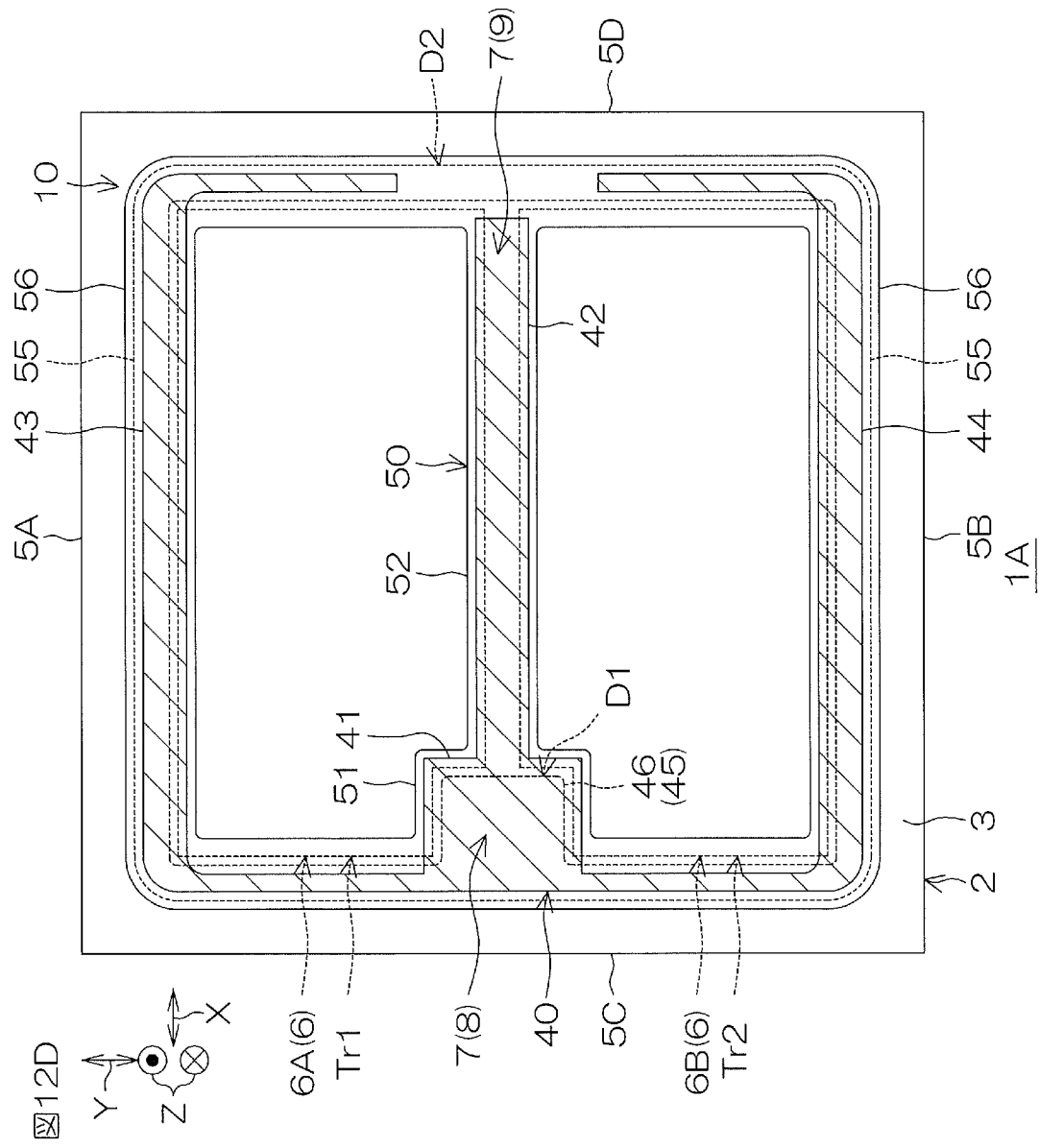
[図5]



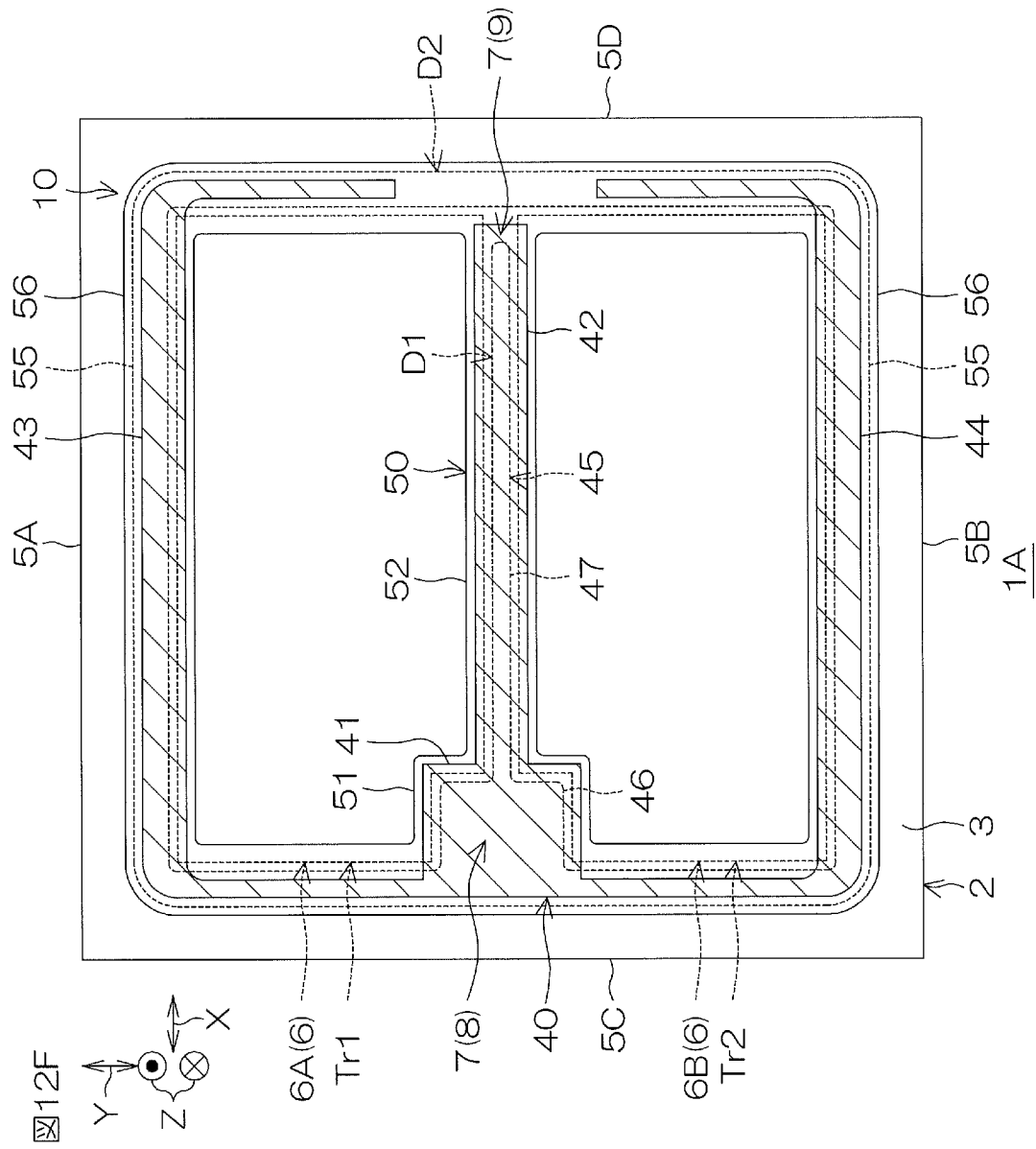
[図12C]



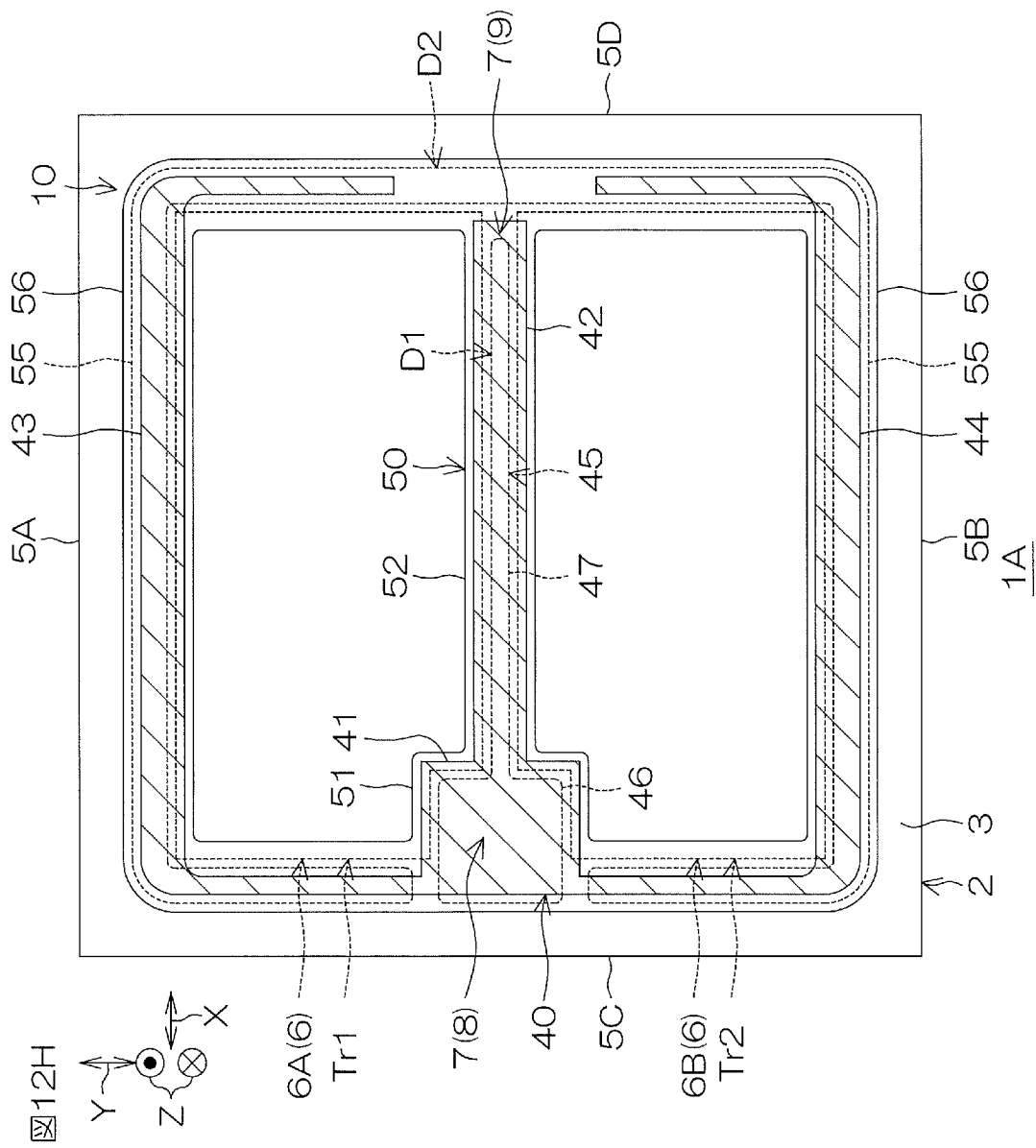
[図12D]



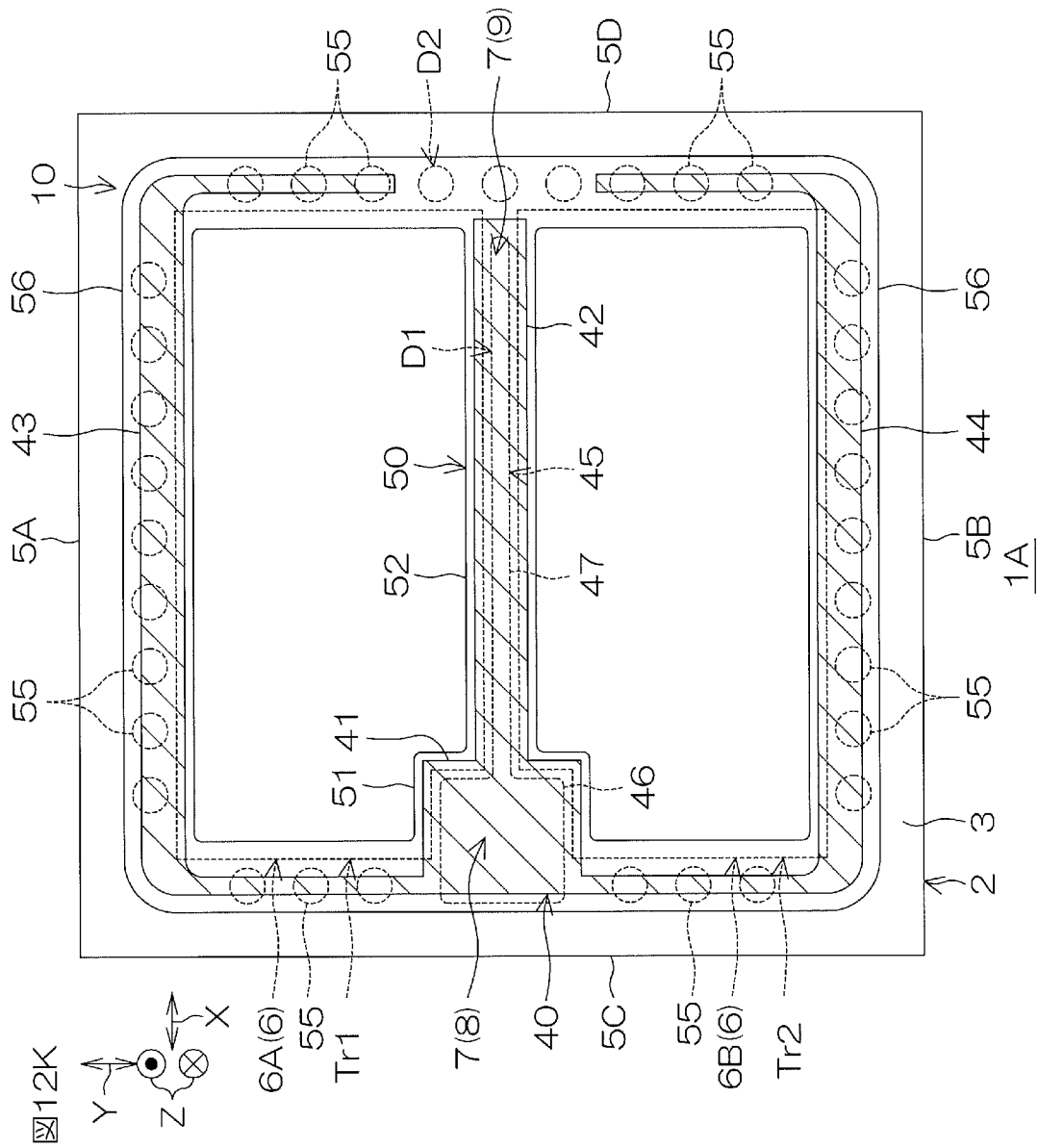
[図12F]



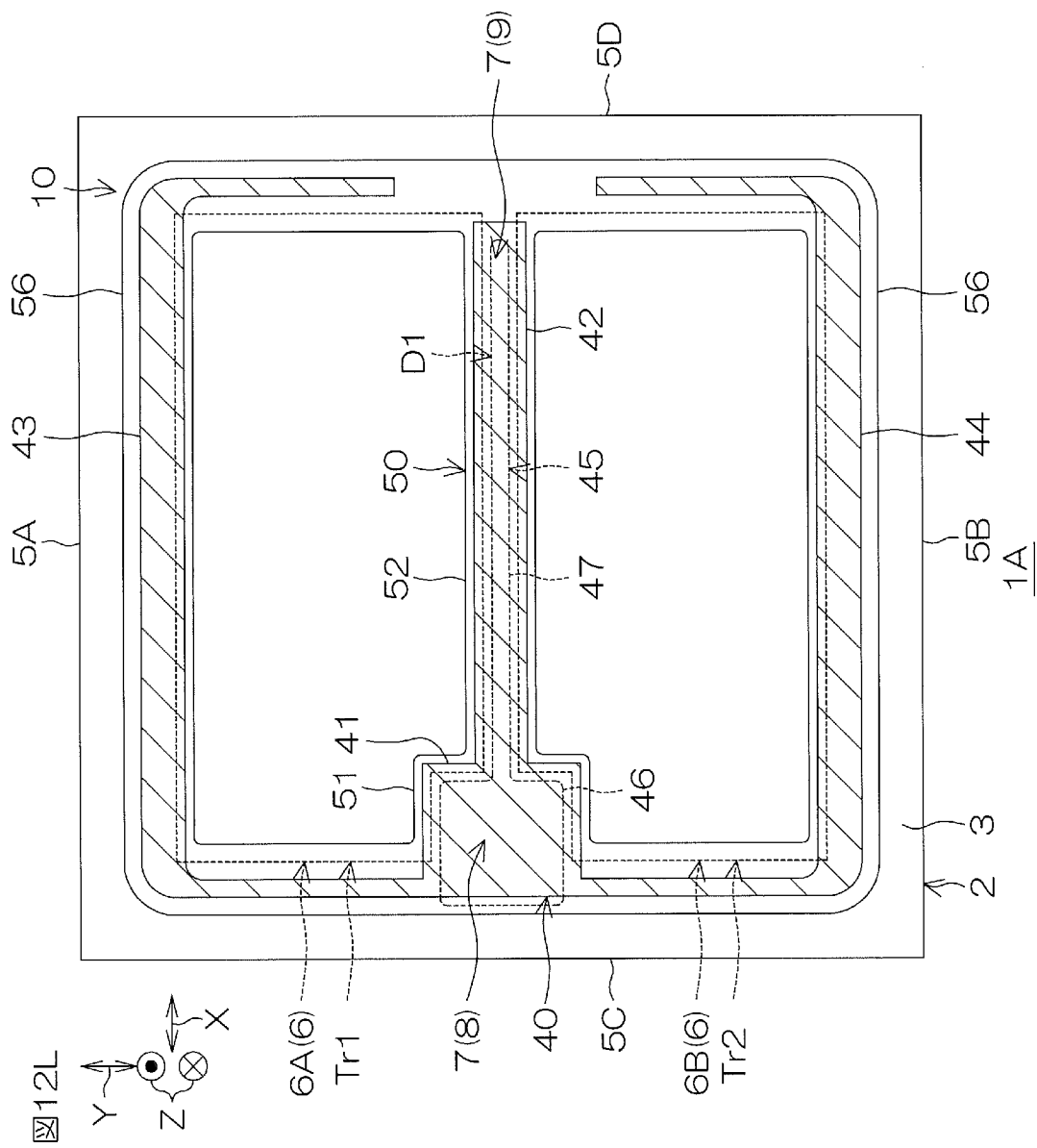
[図12H]



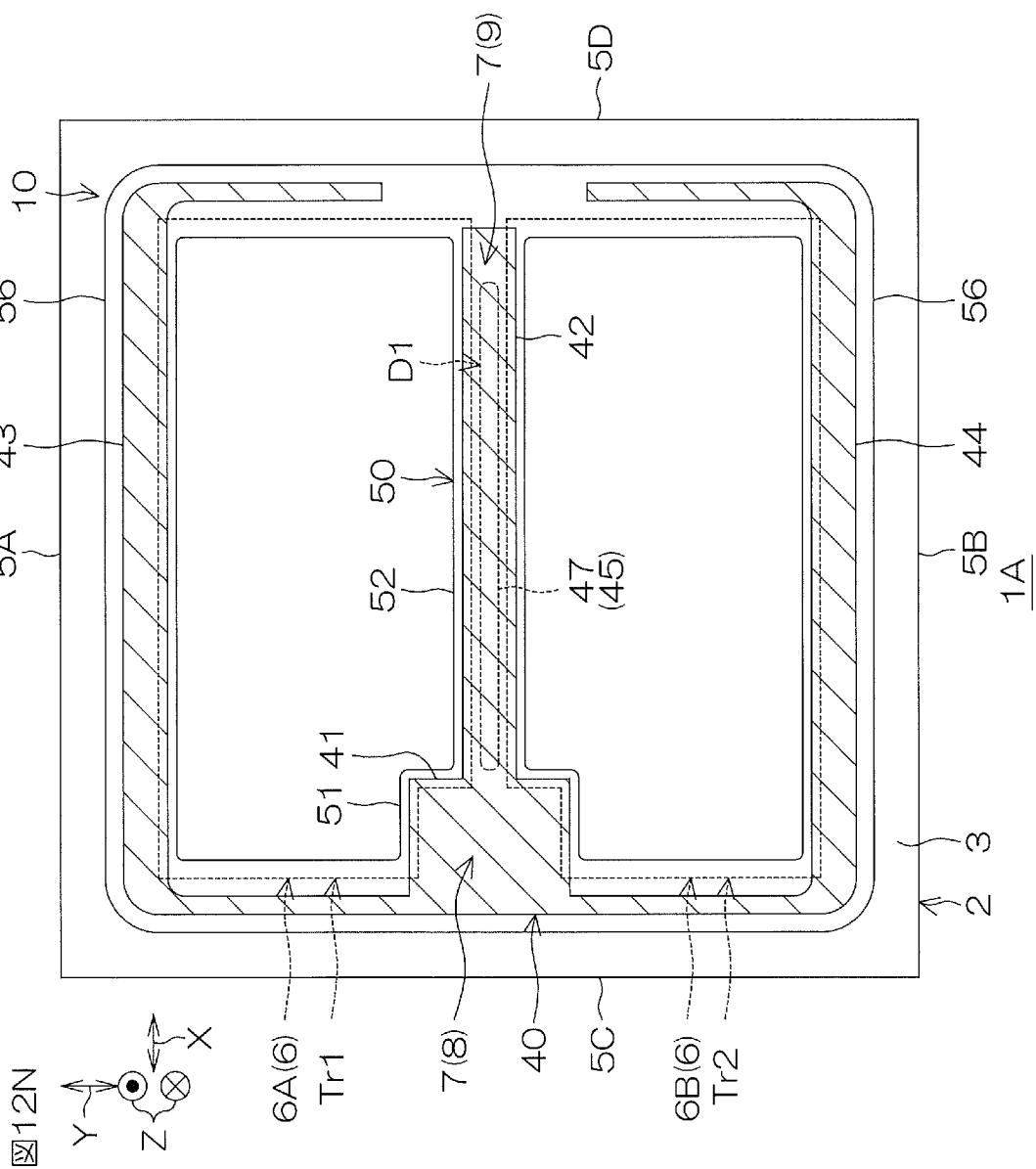
[図12K]



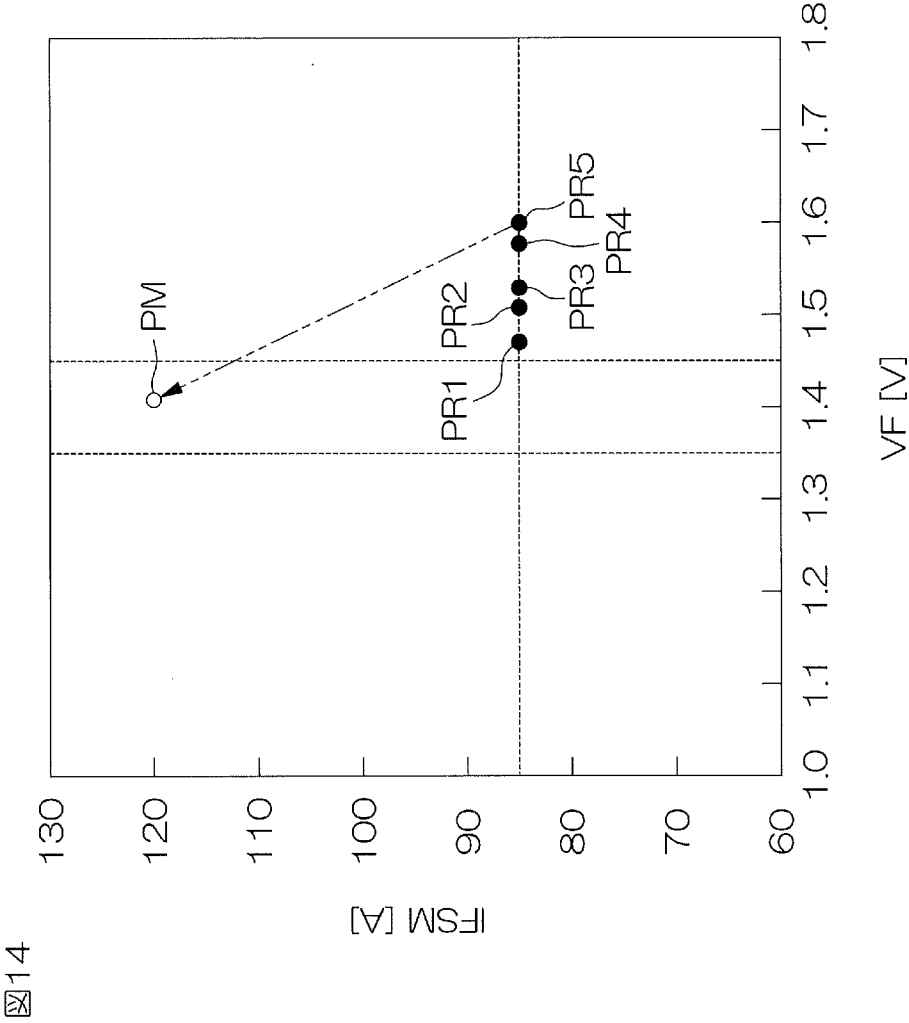
[図12L]



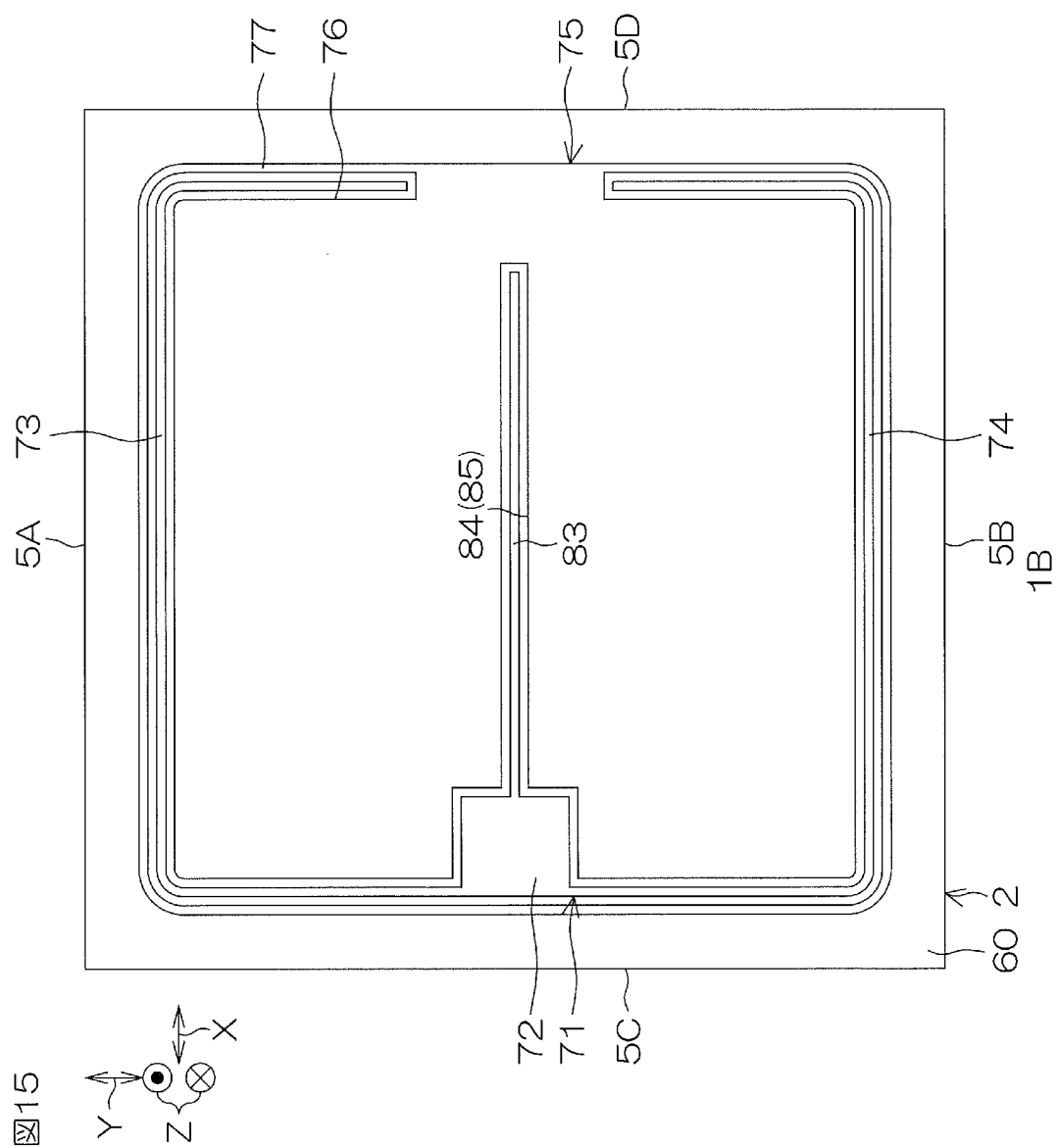
[図12N]



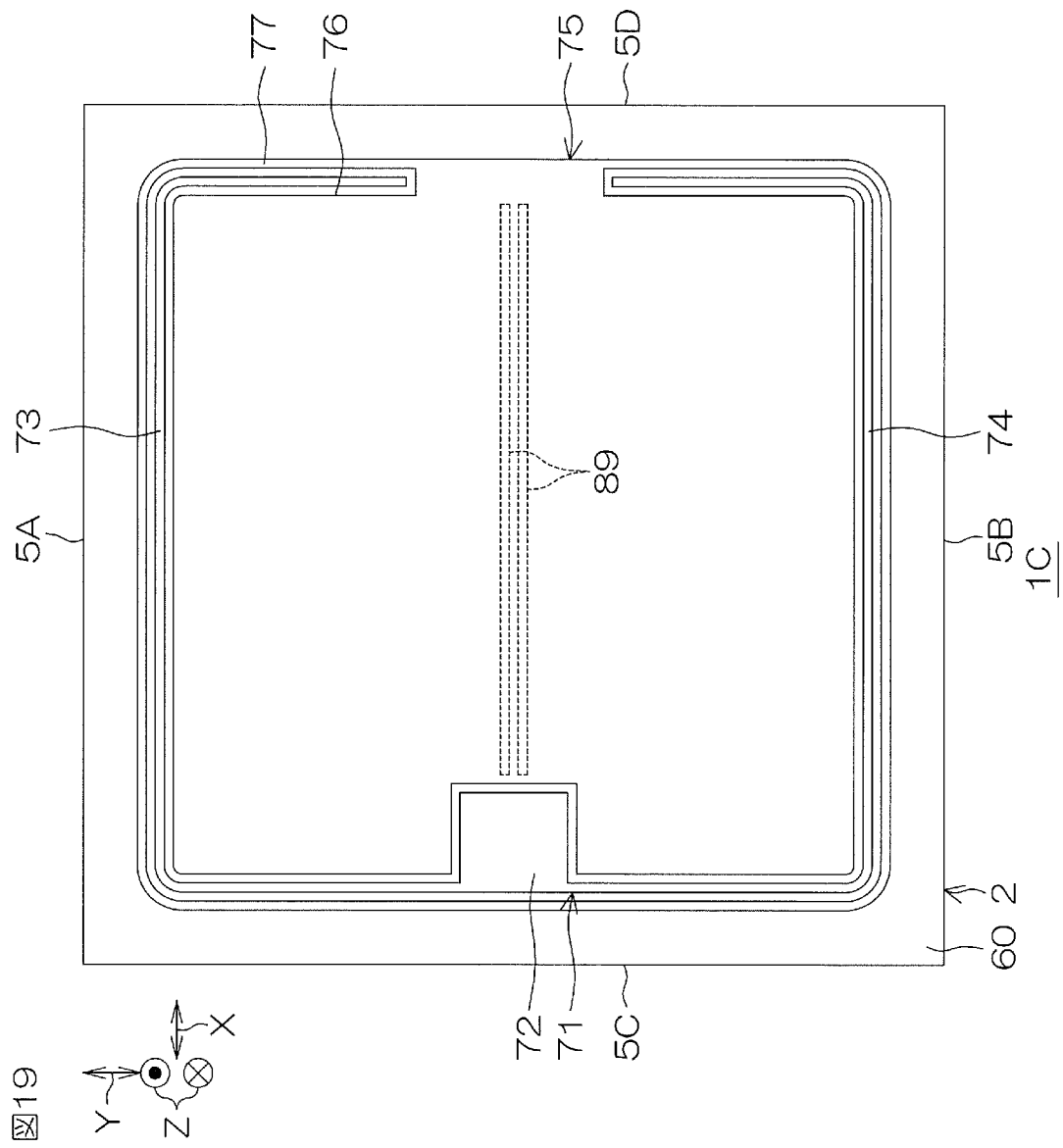
[図14]



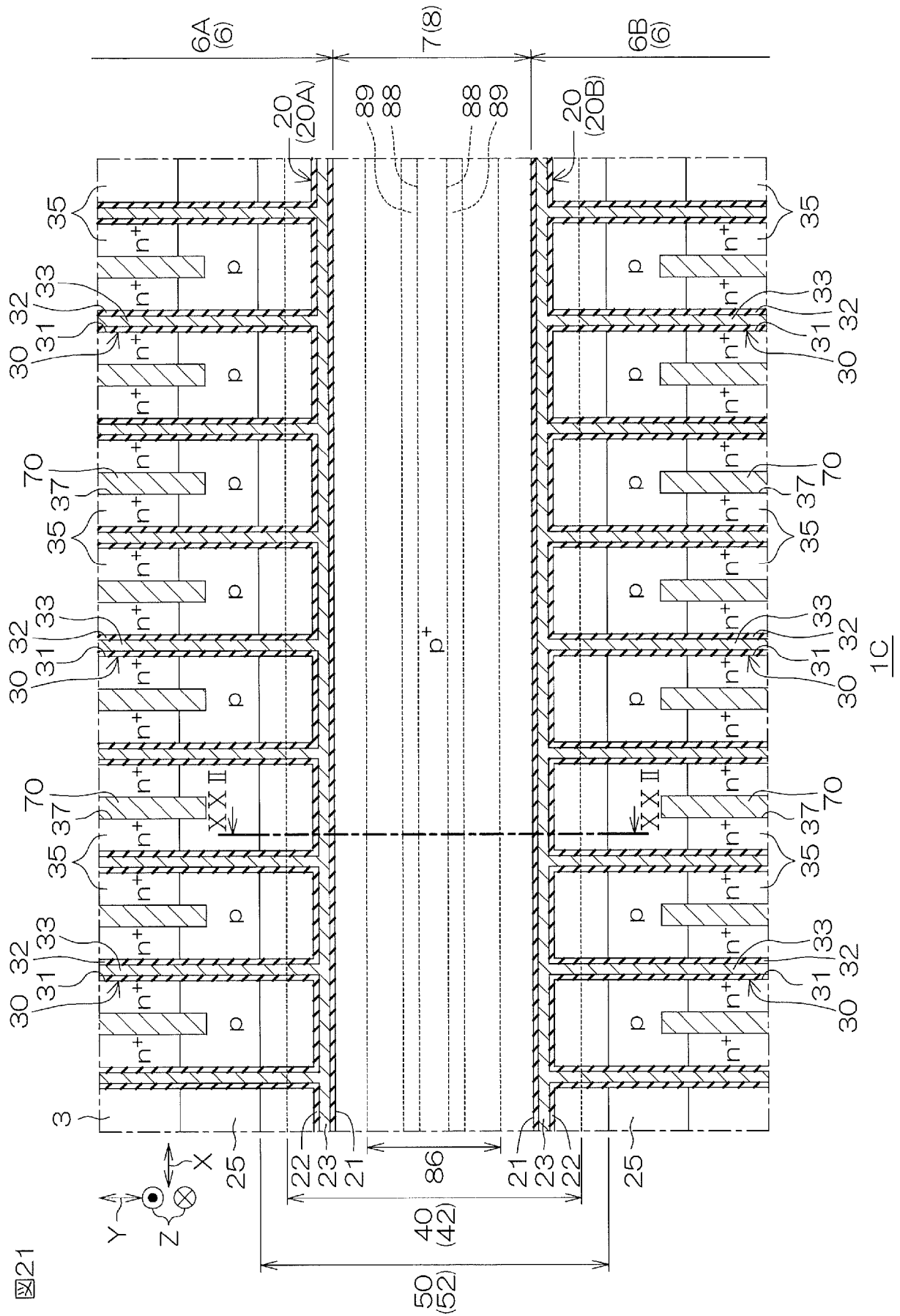
[図15]



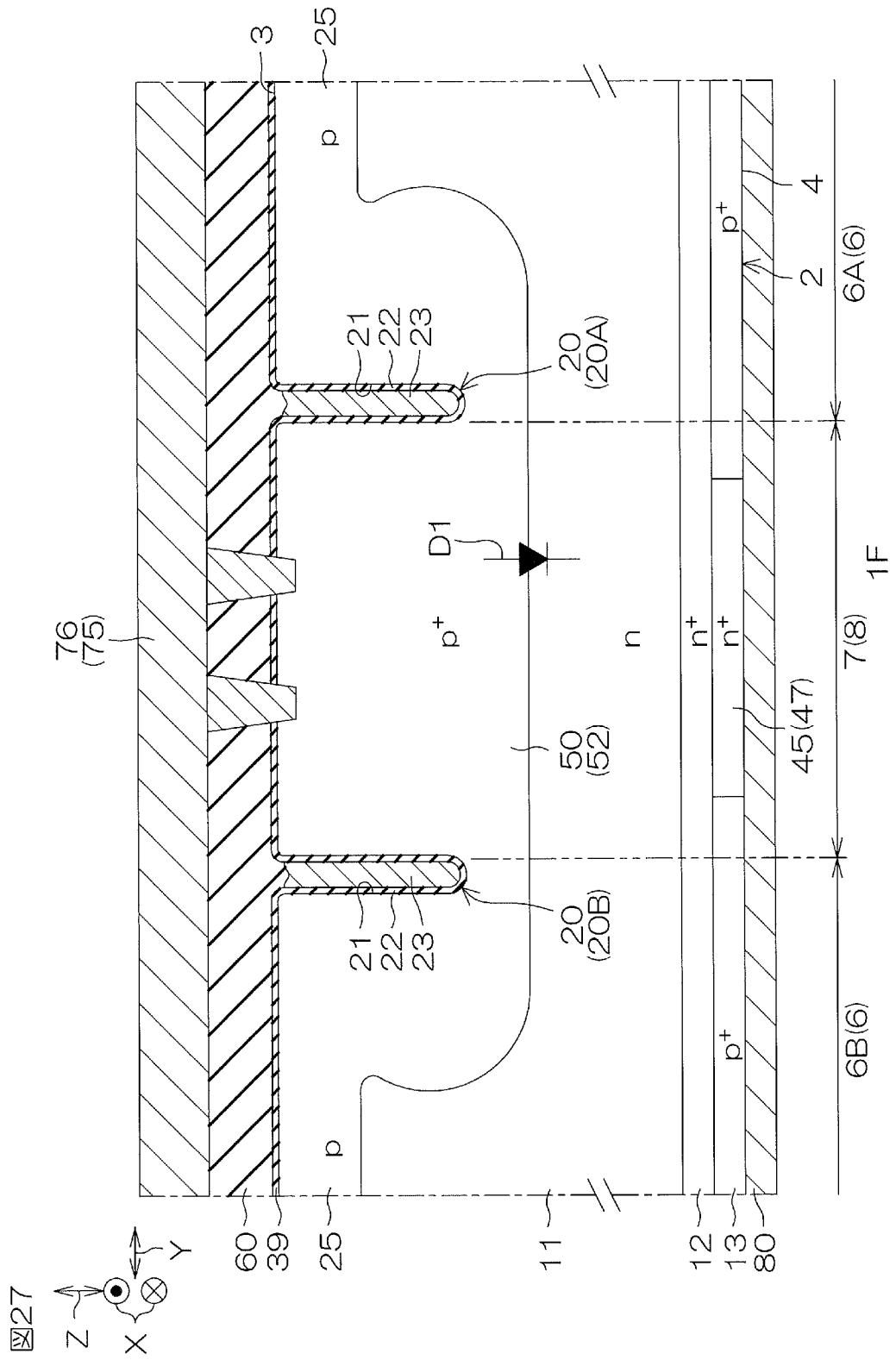
[図19]



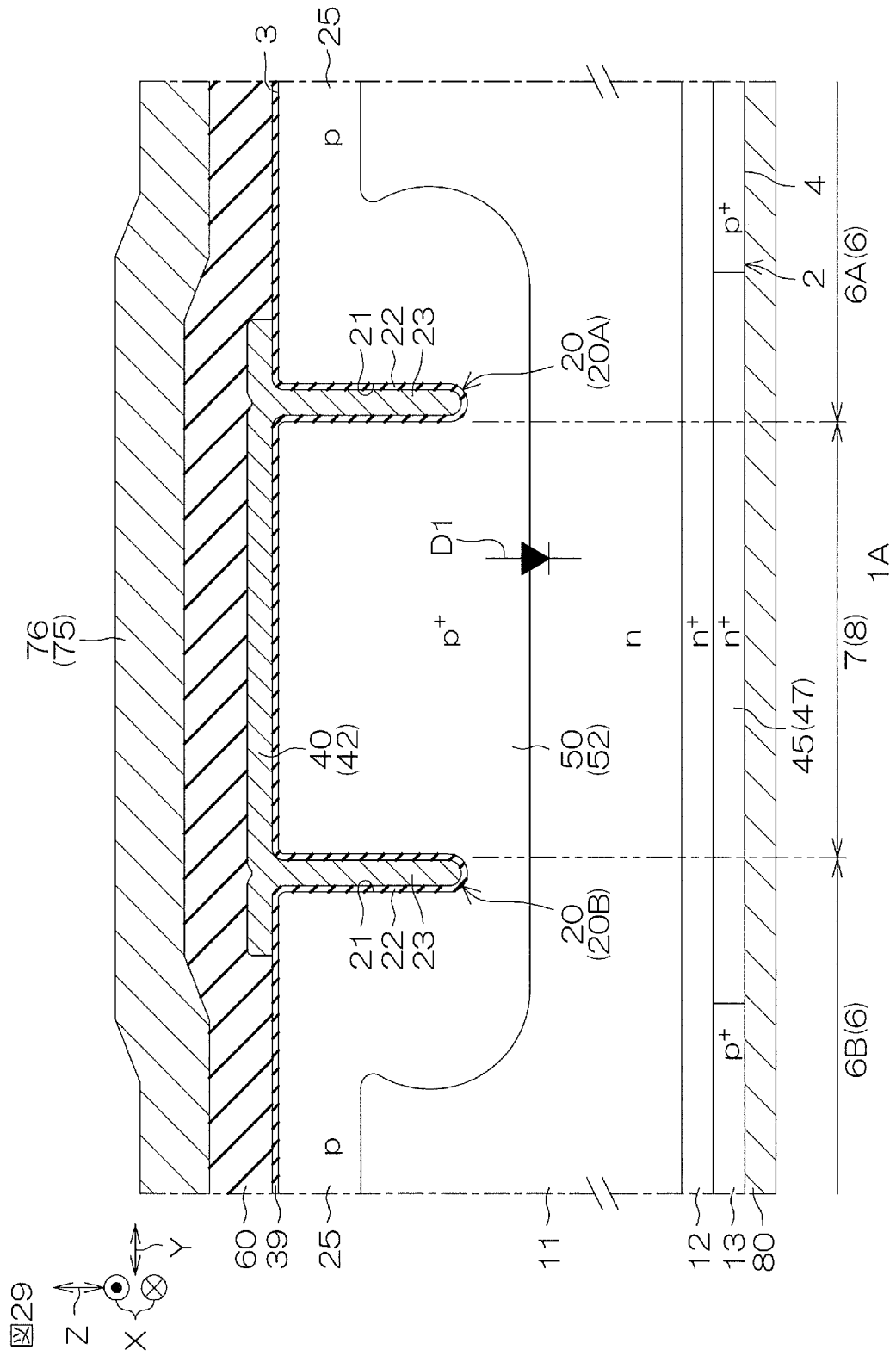
[図21]



[図27]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/010676

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/12**(2006.01)i; **H01L 29/739**(2006.01)i; **H01L 29/861**(2006.01)i; **H01L 29/868**(2006.01)i

FI: H01L29/78 657D; H01L29/78 652Q; H01L29/78 655G; H01L29/78 655F; H01L29/78 653C; H01L29/78 652M; H01L29/78 652J; H01L29/78 655B; H01L29/78 655D; H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652T; H01L29/91 D; H01L29/91 F; H01L29/91 L

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L29/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2017-147435 A (FUJI ELECTRIC CO., LTD.) 24 August 2017 (2017-08-24) paragraphs [0033]-[0070], fig. 1-3	1-3, 6-7, 9-11, 15
Y		12, 14-19
A		4-5, 8, 13, 20
Y	JP 2016-197678 A (MITSUBISHI ELECTRIC CORP.) 24 November 2016 (2016-11-24) paragraphs [0027]-[0031], [0046], fig. 2	12, 14-19
A		1-11, 13, 20
A	JP 2021-192447 A (FUJI ELECTRIC CO., LTD.) 16 December 2021 (2021-12-16)	1-20

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

22 May 2023

Date of mailing of the international search report

30 May 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/010676

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2017-147435	A	24 August 2017	US	2017/0236908	A1	
				paragraphs [0059]-[0097], fig. 1-3			
				CN	107086217	A	
JP	2016-197678	A	24 November 2016	US	2016/0293595	A1	
				paragraphs [0042]-[0046], [0061], fig. 2			
				DE	102016205111	A1	
				KR	10-2016-0119691	A	
JP	2021-192447	A	16 December 2021	US	2020/0105745	A1	
				WO	2019/116696	A1	
				DE	112018006404	T5	
				CN	110692140	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 29/06(2006.01)i; H01L 29/12(2006.01)i; H01L 29/739(2006.01)i; H01L 29/861(2006.01)i; H01L 29/868(2006.01)i FI: H01L29/78 657D; H01L29/78 652Q; H01L29/78 655G; H01L29/78 655F; H01L29/78 653C; H01L29/78 652M; H01L29/78 652J; H01L29/78 655B; H01L29/78 655D; H01L29/78 652P; H01L29/06 301G; H01L29/06 301V; H01L29/78 652T; H01L29/91 D; H01L29/91 F; H01L29/91 L																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L29/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年													
日本国実用新案公報	1922-1996年																						
日本国公開実用新案公報	1971-2023年																						
日本国実用新案登録公報	1996-2023年																						
日本国登録実用新案公報	1994-2023年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2017-147435 A（富士電機株式会社）24.08.2017（2017-08-24） [0033]-[0070], 図1-3</td> <td>1-3, 6-7, 9-11, 15</td> </tr> <tr> <td>Y</td> <td></td> <td>12, 14-19</td> </tr> <tr> <td>A</td> <td></td> <td>4-5, 8, 13, 20</td> </tr> <tr> <td>Y</td> <td>JP 2016-197678 A（三菱電機株式会社）24.11.2016（2016-11-24） [0027]-[0031], [0046], 図2</td> <td>12, 14-19</td> </tr> <tr> <td>A</td> <td></td> <td>1-11, 13, 20</td> </tr> <tr> <td>A</td> <td>JP 2021-192447 A（富士電機株式会社）16.12.2021（2021-12-16）</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2017-147435 A（富士電機株式会社）24.08.2017（2017-08-24） [0033]-[0070], 図1-3	1-3, 6-7, 9-11, 15	Y		12, 14-19	A		4-5, 8, 13, 20	Y	JP 2016-197678 A（三菱電機株式会社）24.11.2016（2016-11-24） [0027]-[0031], [0046], 図2	12, 14-19	A		1-11, 13, 20	A	JP 2021-192447 A（富士電機株式会社）16.12.2021（2021-12-16）	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
X	JP 2017-147435 A（富士電機株式会社）24.08.2017（2017-08-24） [0033]-[0070], 図1-3	1-3, 6-7, 9-11, 15																					
Y		12, 14-19																					
A		4-5, 8, 13, 20																					
Y	JP 2016-197678 A（三菱電機株式会社）24.11.2016（2016-11-24） [0027]-[0031], [0046], 図2	12, 14-19																					
A		1-11, 13, 20																					
A	JP 2021-192447 A（富士電機株式会社）16.12.2021（2021-12-16）	1-20																					
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 22.05.2023		国際調査報告の発送日 30.05.2023																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 2576 電話番号 03-3581-1101 内線 3516																					

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/010676

引用文献			公表日	パテントファミリー文献			公表日
JP	2017-147435	A	24.08.2017	US	2017/0236908	A1	
				[0059]-[0097], 図1-3			
				CN	107086217	A	
JP	2016-197678	A	24.11.2016	US	2016/0293595	A1	
				[0042]-[0046], [0061], 図2			
				DE	102016205111	A1	
				KR	10-2016-0119691	A	
JP	2021-192447	A	16.12.2021	US	2020/0105745	A1	
				WO	2019/116696	A1	
				DE	112018006404	T5	
				CN	110692140	A	