

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年7月28日(28.07.2022)



(10) 国際公開番号

WO 2022/158156 A1

(51) 国際特許分類:
H01P 5/19 (2006.01) *H03H 7/48* (2006.01)

(21) 国際出願番号: PCT/JP2021/045252

(22) 国際出願日: 2021年12月9日(09.12.2021)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2021-008267 2021年1月21日(21.01.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

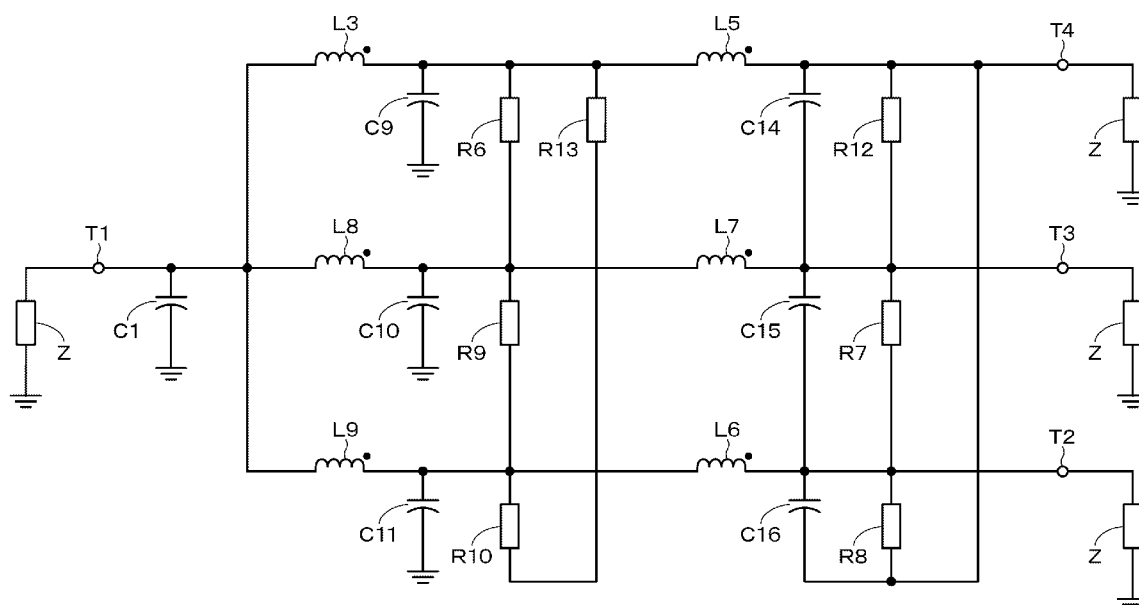
(72) 発明者: 村上 知倫(MURAKAMI, Tomomichi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 佐野 英一(SANO, Eiichi); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 安藤 崇裕(ANDO, Takahiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 村山 宜弘(MURAYAMA, Norihiro); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人杉浦特許事務所, 外 (SUGIURA PATENT OFFICE et al.); 〒1710022

(54) Title: SIGNAL PROCESSING CIRCUIT, AND DISTRIBUTION CIRCUIT

(54) 発明の名称: 信号処理回路および分配回路

[図16]



(57) Abstract: Provided is a distribution circuit having satisfactory pass characteristics and isolation characteristics over a wide bandwidth. In this distribution circuit, Wilkinson type distribution circuits comprising coils, capacitors and resistors are connected in a two-stage cascade between an input terminal and at least three output terminals, and capacitors are connected in parallel with resistors inserted between the output terminals of the latter-stage Wilkinson type distribution circuit.

[続葉有]

WO 2022/158156 A1

東京都豊島区南池袋 1 - 1 - 1 1 カド
ラールビル 402 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約: 通過特性及びアイソレーション特性が広帯域で良好な分配回路を提供する。入力端子と少なくとも3個の出力端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が2段縦続接続され、後段のウィルキンソン型分配回路において出力端子間に挿入された抵抗と並列にコンデンサが接続された分配回路である。

明 細 書

発明の名称： 信号処理回路および分配回路

技術分野

[0001] 本技術は、高周波信号を分配又は合成する分配回路又は合成回路に適用される信号処理回路および分配回路に関する。

背景技術

[0002] デジタルテレビジョン放送において、4 K 8 Kの衛星放送に対応したチューナーが普及し始めている。複数のチャンネルを同時受信できるマルチチューナーでは、シングルチューナーと同等の感度性能を維持するため、入力された信号を一旦L N A (Low Noise Amplifier)で 増幅し、その後分配回路を用いて分配して、I C (Integrated Circuit) 構成のチューナーに信号を入力する構成が一般的である。チューナーから映像信号が出力される。

[0003] 4 K 8 Kの衛星放送を受信可能な高度B S (Broadcasting Satellite)対応チューナーI Cとして、従来の衛星放送の帯域（1 0 3 2 MHz－2 0 5 3 MHz）と、新たに追加された帯域（2 2 2 4 MHz－3 2 2 4 MHz）を1 端子で受信できるチューナーI Cが実用化されつつある。マルチチューナー用途として2 個以上の複数のチューナーI C、例えば3 個のチューナーI Cに対してチューナーの入力端子からの信号を供給する場合、入力端子からの信号を3 個のチューナーI Cに分配する分配回路が必要とされる。この場合、分配回路は、（1 0 3 2 MHz－3 2 2 4 MHz）の広帯域をカバーする必要があった。

[0004] 分配回路として従来からウィルキンソン型分配回路が知られている。例えば特許文献1 には、集中定数回路によって構成されたウィルキンソン型分配回路が記載されている。この分配回路は、入力信号を3 個の出力端子に分配するものである。それによって分配電力差、周波数特性差、位相特性差を生じないようにしたものである。特許文献2 には、集中定数回路によって構成されたウィルキンソン型分配回路を複数段、縦続接続させることで、広帯域

で反射特性を確保した分配回路が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：特開平2－170625号公報

特許文献2：特開2020－136806号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1に記載のものは、(1032MHz－3224MHz)の広帯域で出力ポートのアイソレーション特性が特に低域側で実現できない問題があった。さらに、特許文献2のように、2段の分配回路を縦続接続する構成では、特許文献1と同様に、低域側で必要とする出力ポートのアイソレーション特性を達成できない。また、さらに段数を増やすことでアイソレーション特性が改善されると考えられるが、部品点数が増えコストが高くなり、また基板での部品実装面積も大きくなってしまう。

[0007] したがって、本技術の目的は、広帯域で通過特性とアイソレーション特性が両立し、また、部品点数が抑えられたローコストな信号処理回路および分配回路を提供することにある。

課題を解決するための手段

[0008] 本技術は、第1の端子に対して2つのコイルをそれぞれ介して第2の端子及び第3の端子が接続され、第2の端子及び第3の端子間に抵抗及びコンデンサが並列に接続された信号処理回路である。

また、本技術は、第1の端子と第2の端子及び第3の端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が2段縦続接続され、

一方のウィルキンソン型分配回路において第2の端子及び第3の端子間に挿入された抵抗と並列にコンデンサが接続された信号処理回路である。

さらに、本技術は、入力端子と少なくとも3個の出力端子の間に、コイル

、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が２段縦続接続され、

後段のウィルキンソン型分配回路において出力端子間に挿入された抵抗と並列にコンデンサが接続された分配回路である。

図面の簡単な説明

[0009] [図1]図 1 Aは、従来のシングルチューナーの構成を示すブロック図、図 1 Bは、従来のトリプルチューナーの構成を示すブロック図である。

[図2]図 2は、帯域を分割して受信する場合のトリプルチューナーの構成を示すブロック図である。

[図3]図 3は、帯域を分割しないで受信する場合のトリプルチューナーの構成を示すブロック図である。

[図4]図 4は、従来の分配回路の接続図である。

[図5]図 5は、図 4 の分配回路のシミュレーション結果を示すグラフである。

[図6]図 6は、従来の分配回路の接続図である。

[図7]図 7は、図 6 の分配回路のシミュレーション結果を示すグラフである。

[図8]図 8は、図 6 の構成の素子の値を変更した分配回路の接続図である。

[図9]図 9は、図 8 の分配回路のシミュレーション結果を示すグラフである。

[図10]図 1 0は、従来の分配回路を縦続接続した構成の接続図である。

[図11]図 1 1は、図 1 0 の分配回路のシミュレーション結果を示すグラフである。

[図12]図 1 2は、本技術の第 1 の実施形態の接続図である。

[図13]図 1 3は、図 1 2 の分配回路のシミュレーション結果を示すグラフである。

[図14]図 1 4は、図 1 2 の分配回路を片面に実装した基板の平面図である。

[図15]図 1 5は、図 1 2 の分配回路のシミュレーション結果を示すグラフである。

[図16]図 1 6は、本技術の一実施形態の変形例の接続図である。

[図17]図 1 7は、図 1 6 の分配回路を片面に実装した基板の平面図である。

[図18]図18は、図16の分配回路のシミュレーション結果を示すグラフである。

[図19]図19は、図16の分配回路の測定結果を示すグラフである。

[図20]図20は、図16の分配回路を両面に実装した基板の一方の面の平面図である。

[図21]図21は、図16の分配回路を両面に実装した基板の他方の面の平面図である。

[図22]図22は、本技術が適用された4分配回路の接続図である。

[図23]図23は、本技術が適用された2分配回路の接続図である。

[図24]図24は、3分配回路の構成を使用して2分配回路を構成することを説明するための接続図である。

発明を実施するための形態

[0010] 以下、本技術の実施の形態等について図面を参照しながら説明する。なお、以下に説明する実施の形態等は本技術の好適な具体例であり、本技術の内容がこれらの実施の形態等に限定されるものではない。また、以下の説明では、図示が煩雑となることを防止するために、一部の構成のみに参照符号を付す場合や、一部の構成を簡略化して示す場合もある。さらに、以下の説明は、本技術を分配回路に適用した場合について説明する。

[0011] 一実施形態の理解を容易とするために、従来の分配回路について説明する。デジタルテレビジョン放送において、4K8Kの衛星放送に対応したチューナーICが普及し始めている。シングルチューナーの場合では、図1Aに示すように、FコネクタやIEC(International Electrotechnical Commission)コネクタなどの入力端子101を介してチューナーIC102に対してアンテナからの信号が入力される。複数のチャンネルを同時受信できるマルチチューナーの場合には、シングルチューナーと同等の感度性能を維持するため、図1Bに示すようにFコネクタやIECコネクタなどの入力端子101を介して入力された信号を一旦LNA103で増幅し、その後分配回路104を用いて、チューナーIC102a, 102b, 102cに信号を分配

する構成が一般的である。全体の構成としては、メカシールドや基板を用いたチューナーモジュールでも良いし、基板を用いたオンボードでも良い。

[0012] チューナー I C 1 0 2、1 0 2 a、1 0 2 b、1 0 2 c は、互いに同一の構成とされたもので、特定のチャンネルを選択するための混合器、可変利得アンプ、フィルタなどが含まれ、I F 信号を出力する。I F 信号が復調モジュール（図示せず）に対して供給される。I Q 検波器或いは Z e r o - I F チューナーと呼ばれる構成のチューナーをチューナー I C 1 0 2、1 0 2 a、1 0 2 b、1 0 2 c として使用してもよい。この場合には、I 軸出力及び Q 軸出力が出力される。

[0013] 従来の 4 K 8 K の衛星放送に対応した高度 B S チューナー I C では、L N A やチューナー I C の周波数特性の制限もあり、図 2 に示すように従来の衛星放送の帯域（1 0 3 2 MHz - 2 0 5 3 MHz）と、新たに追加された帯域（2 2 2 4 MHz - 3 2 2 4 MHz）を分波器 1 0 5 によって 2 つのバンドに分け、各バンドの信号を L N A 1 0 3 H 及び L N A 1 0 3 L を介して分配回路 1 0 4 H 及び 1 0 4 L に供給し、分配回路 1 0 4 H 及び 1 0 4 L によってチューナー I C 1 0 2 a、1 0 2 b、1 0 2 c のバンドごとの 2 つの端子に信号を入力するようにしていた。

[0014] 最近では、それらの帯域を 1 バンドで対応できる L N A 1 1 3 やチューナー I C 1 1 2 a、1 1 2 b、1 1 2 c が開発されてきたため、図 3 に示すように、分波器が不要となり、一つの分配回路 1 1 4 が設けられる。I C の信号入力端子も 1 端子となる。この分配回路 1 1 4 として、1 系統化に対応した（1 0 3 2 MHz - 3 2 2 4 MHz）の広帯域な分配回路が必要となった。本技術は、この広帯域の分配回路 1 1 4 に適用可能な分配回路を提供するものである。

[0015] 特許文献 1 に記載の集中定数回路の構成のウィルキンソン型分配回路は、図 4 に示す構成のものである。この分配回路のシミュレーション結果を図 5 に示す。入力端子 T 1（第 1 の信号端子）にインピーダンス Z（例えば 5 0 Ω や 7 5 Ω ）が終端抵抗として設けられている。入力端子 T 1 と接地間に入

カコンデンサC 1 が接続されている。

[0016] 入力端子T 1 と出力端子T 2（第2の端子）の間にコイルL 9 及びコンデンサC 1 1 からなるローパスフィルタが挿入される。入力端子T 1 と出力端子T 3（第3の端子）の間にコイルL 8 及びコンデンサC 1 0 からなるローパスフィルタが挿入される。入力端子T 1 と出力端子T 4（第4の端子）の間にコイルL 3 及びコンデンサC 9 からなるローパスフィルタが挿入される。出力端子T 2、T 3、T 4 は、それぞれインピーダンスZ（例えば5 0 Ω）によって終端されている。出力端子T 2、T 3 及びT 4 は、抵抗R 1 0、R 9 及びR 6 を介して共通接続されている。

[0017] 上述したウィルキンソン型分配回路は、3 個の信号路に分岐された信号が入力側の分岐点に戻って来ないので、分岐点のインピーダンスが維持される。（1 0 3 2 MHz－3 2 2 4 MHz）の広帯域の分配回路を構成するために、各素子の値は、例えば次のように選定されている。

[0018] $Z = 50 [\Omega]$ 、 $C 1 = 0.2 [\text{pF}]$ 、 $L 3, L 8, L 9 = 4.7 [\text{nH}]$ 、
 $C 9, C 1 0, C 1 1 = 0.2 [\text{pF}]$ 、 $R 6, R 9, R 1 0 = 220 [\Omega]$

[0019] シミュレーションは、0. 0 1 GHzから開始して3. 5 GHzまでの周波数範囲で、0. 0 1 GHzのステップで行った。シミュレーションの結果は、Sパラメータを使用して表わされる。Sパラメータの中で、入力端子T 1 から出力端子T 2、T 3、T 4 への通過特性を表すSパラメータS 2 1、S 3 1、S 4 1 と、出力端子間のアイソレーション特性を表すSパラメータS 2 3、S 2 4、S 3 4 が分配回路の特性を評価するうえで重要である。ここで、アイソレーション特性は値が低いほうが良く、通過特性は値が高いほうが良い。アイソレーション特性が悪いとマルチチューナーI Cにおいて、チューナーI Cが同時受信したときに、他のチューナーI Cに干渉を引き起こし、受信障害を生じる可能性がある。また、通過特性が悪いと感度劣化を引き起こす。

[0020] 図5は、Sパラメータ S_{21} （入力端子T1から出力端子T2への通過特性）及びSパラメータ S_{24} （出力端子T2及びT4間のアイソレーション特性）を示している。図4の構成では、3個の信号経路に含まれる対応する回路素子の値が互いに等しいので、Sパラメータ S_{31} 及びSパラメータ S_{41} は、Sパラメータ S_{21} と同様となり、Sパラメータ S_{23} 及びSパラメータ S_{34} は、Sパラメータ S_{24} と同様となる。以下に説明するシミュレーション結果において、Sパラメータ S_{21} 及びSパラメータ S_{24} のみ示している場合は、他のSパラメータが同様のものであることを意味している。図5のシミュレーション結果から通過特性が良好であるが、低域におけるアイソレーション特性が不十分であることが分かる。例えば1 GHzで15 dBとなるアイソレーション特性（目標値）が達成されていない。

[0021] 図4の回路構成における抵抗 R_6 、 R_9 、 R_{10} の接続をスター・デルタ変換を用いて変形した回路構成を図6に示す。図6の回路に関するシミュレーション結果を図7に示す。各素子の値は、図4の素子の値と同じである。このシミュレーション結果は、図5のシミュレーション結果とほぼ同一であって、低域におけるアイソレーション特性が不十分なことを示している。

[0022] アイソレーション特性を向上させるために、ローパスフィルタ型の分配回路のカットオフ周波数を下げる方法がある。図8は、このような方法を採用した分配回路の構成を示す。図6の分配回路と同一の接続であるが、各素子が次のような値とされている。

[0023] $Z = 50 [\Omega]$ 、 $C_1 = 0.2 [\text{pF}]$ 、 $L_3, L_8, L_9 = 6.8 [\text{nH}]$ 、
 $C_9, C_{10}, C_{11} = 0.2 [\text{pF}]$ 、 $R_6, R_9, R_{10} = 220 [\Omega]$

[0024] 図4及び図6の構成におけるコイル L_3 、 L_8 、 L_9 の値（ $4.7 [\text{nH}]$ ）が $6.8 [\text{nH}]$ に変更されている。図9のシミュレーション結果は、アイソレーション特性が改善されていることを示しているが、未だ不十分なものであること、並びに高域側の通過特性がやや劣化していることを示して

いる。つまり、アイソレーション特性と通過特性のトレードオフとなってしまう、図8の回路構成では所望の広帯域な分配回路を構成することができない。

[0025] より特性を改善するために、図10に示すように、図6に示すウィルキンソン型分配回路を2段縦続接続する構成が考えられる。2段目のウィルキンソン型分配回路は、1段目と同様の回路構成とされている。入力端子T1と出力端子T2（第2の端子）の間にコイルL9及びコンデンサC11からなるローパスフィルタと、コイルL6及びコンデンサC16からなるローパスフィルタが縦続接続される。入力端子T1と出力端子T3（第3の端子）の間にコイルL8及びコンデンサC10からなるローパスフィルタと、コイルL7及びコンデンサC15からなるローパスフィルタが縦続接続される。入力端子T1と出力端子T4（第4の端子）の間にコイルL3及びコンデンサC9からなるローパスフィルタと、コイルL5及びコンデンサC14からなるローパスフィルタが縦続接続される。

[0026] 第1段目のウィルキンソン型分配回路では、コイルL9及びコンデンサC11からなるローパスフィルタの出力とコイルL8及びコンデンサC10からなるローパスフィルタの出力が抵抗R9を介して接続される。コイルL9及びコンデンサC11からなるローパスフィルタの出力とコイルL3及びコンデンサC9からなるローパスフィルタの出力が抵抗R10を介して接続される。コイルL8及びコンデンサC10からなるローパスフィルタの出力とコイルL3及びコンデンサC9からなるローパスフィルタの出力が抵抗R6を介して接続される。さらに、出力端子T2と出力端子T3及びT4の間にそれぞれ抵抗R7及び抵抗R8が挿入され、出力端子T3と出力端子T4の間に抵抗R12が挿入されている。これらの抵抗R8、抵抗R7及び抵抗R12は、整合用の抵抗として機能し、これによりアイソレーション特性が向上する。

[0027] 図10の構成における各素子の値の一例を次に示す。

$Z = 50 \text{ } [\Omega]$ 、 $C1 = 0.2 \text{ } [pF]$ 、 $L3, L8, L9 = 4.7 \text{ } [nH]$

]

$C9, C10, C11 = 0.2 \text{ [pF]}$ 、 $R6, R9, R10 = 220 \text{ [}\Omega$

]

$L5, L7, L6 = 3.9 \text{ [nH]}$ 、

$C14, C15, C16 = 0.2 \text{ [pF]}$ 、 $R12, R7, R8 = 330 \text{ [}\Omega$

[0028] 各素子の値は、1段目のウィルキンソン型分配回路と2段目のウィルキンソン型分配回路の間で完全に同一ではなく、調整された値とされている。図11に、図10の構成の分配回路に関するシミュレーション結果を示す。アイソレーション特性がかなり改善されているが、低域側のアイソレーション特性に関する目標の値（1 GHzで15 dB）は、達成されていない。

[0029] 本技術は、上述した低域側のアイソレーション特性が不十分となる問題点を解決した分配回路を提案するものである。図12は、本技術を3つに入力信号を分配する分配回路に適用した一実施形態の構成を示す。

[0030] 入力端子（第1の端子）T1、出力端子（第2の端子）T2、出力端子（第3の端子）T3及び出力端子T4（第4の端子）にインピーダンスZ（例えば50 Ω ）が終端抵抗として接続されている。入力端子T1と接地間に入力コンデンサC1が接続される。入力端子T1からの入力信号が出力端子T2、T3及びT4にそれぞれ対応する3つの信号系統に分かれる。

[0031] 入力端子T1及び出力端子T2間にコイルL9及びコンデンサC11からなるローパスフィルタとコイルL6が縦続接続される。入力端子T1及び出力端子T3間にコイルL8及びコンデンサC10からなるローパスフィルタとコイルL7が縦続接続される。入力端子T1及び出力端子T4間にコイルL3及びコンデンサC9からなるローパスフィルタとコイルL5が縦続接続される。

[0032] コイルL6及び出力端子T2の接続点とコイルL7及び出力端子T3の接続点の間にコンデンサC15及び抵抗R7が並列に接続される。コイルL7及び出力端子T3の接続点とコイルL5及び出力端子T4の接続点の間にコ

ンデンサC 1 4 及び抵抗R 1 2 が並列に接続される。コイルL 5 及び出力端子T 4 の接続点とコイルL 6 及び出力端子T 2 の接続点の間にコンデンサC 1 6 及び抵抗R 8 が並列に接続される。

[0033] コイルL 9、L 8、L 3、コンデンサC 1 1、C 1 0、C 9、抵抗R 1 0、R 9、R 6 が1 段目のウィルキンソン型分配回路を構成する。コイルL 6、L 7、L 5、コンデンサC 1 6、C 1 5、C 1 4、抵抗R 8、R 7、R 1 2 が2 段目のウィルキンソン型分配回路を構成する。

[0034] 図1 2 における各素子の値の一例を次に示す。

$Z = 50 \text{ } [\Omega]$ 、 $C 1 = 0.2 \text{ } [pF]$ 、 $L 3, L 8, L 9 = 4.7 \text{ } [nH]$ 、

$C 9, C 1 0, C 1 1 = 0.2 \text{ } [pF]$ 、 $R 6, R 9, R 1 0 = 220 \text{ } [\Omega]$

$L 5, L 7, L 6 = 3.9 \text{ } [nH]$ 、

$C 1 4, C 1 5, C 1 6 = 0.2 \text{ } [pF]$ 、 $R 1 2, R 7, R 8 = 330 \text{ } [\Omega]$

[0035] 図1 2 に示す回路構成は、出力端子T 2－T 3間、出力端子T 3－T 4間、出力端子T 4－T 2間にそれぞれ挿入されるアイソレーション用の抵抗R 7、抵抗R 1 2、抵抗R 8 に対してそれぞれ並列にコンデンサC 1 5、コンデンサC 1 4、コンデンサC 1 6 が接続されている。これらのコンデンサ（ $0.2 \text{ } [pF]$ ）と、その前段に接続されているコイルL 6、L 7、L 5（ $3.9 \text{ } [nH]$ ）とによって、アイソレーションの極が形成され、その結果、低域側のアイソレーション特性を改善することができる。また、1 段目と2 段目の素子の値をずらすことでアイソレーション特性を改善することができる。

[0036] 図1 3 に、図1 2 の構成の分配回路に関するシミュレーション結果を示す。シミュレーション結果では、低域側のアイソレーション特性に関する目標の値（1 GHzで1 5 d B）が若干達成されていないが、後述するように、実測値では、この目標が達成できている。

[0037] 図12に示す回路が実装された基板の一例を図14に示す。この例は、抵抗 $R10$ の一端をコイル $L3$ 及びコイル $L5$ の接続点に接続する信号ラインを除いて基板の一方の面（A面と適宜称する）に対して素子を実装している。片面実装は、両面実装と比較して製造コストを安くすることができる。しかしながら、図12の回路構成において、抵抗 $R10$ の一端をコイル $L3$ 及びコイル $L5$ の接続点に接続する信号ラインは、他の信号ラインを横切っているために、基板のA面に配線することが困難で、図14において破線で示すように、他方の面（B面と適宜称する）に配線される。この配線が比較的長いものとなるため、高周波信号にとって無視できないものとなる。すなわち、抵抗 $R10$ 、 $R9$ 、 $R6$ を接続する信号ラインに対して配線がスタブとなる。回路図としては図12の $R10$ と $R6$ 間の配線部分 L がスタブに相当する。また、図14の斜線が入った○の中心に●がある箇所は信号配線のスルーホールで、斜線が入った○の中心に●が無い箇所は基板の他の層のGNDに接続されるスルーホールを示す。配線部分 L は、スルーホール H_a 及び H_b 間に形成される。例えば H_c がGNDに接続されるスルーホールである。基板の層構成としては両面基板でも4層基板でもよいし、他の層構成でもよい。

[0038] スタブが発生した基板（図14）のシミュレーション結果を図15に示す。図14に示すように、出力端子 $T2$ 側にのみ抵抗がある構成となっており、シミュレーション結果を見ると、2GHzより高域側の通過特性が大幅に劣化している（特に出力端子 $T4$ に関する通過特性 S_{41} ）。これは、出力端子 $T4$ 側に抵抗がないことで、基板B面にスタブができると、その経路を通った位相のずれた信号が出力端子 $T4$ に戻ってきて所望信号を打ち消してしまうため、出力端子 $T4$ に関して高域側で通過特性が大幅劣化してしまう。

[0039] この問題を解決するために、図16に示すように、コイル $L9$ 及びコイル $L6$ の接続点（コイル $L9$ 及びコンデンサ $C11$ からなるローパスフィルタの出力）を抵抗 $R10$ と抵抗 $R13$ を介してコイル $L3$ 及びコイル $L5$ の接

続点（コイルL 3 及びコンデンサC 9 からなるローパスフィルタの出力）に接続する。この場合の基板の実装例を図 1 7 に示す。抵抗R 1 3 を追加することによって、図 1 8 に示すシミュレーション結果から分かるように、スタブの影響を抑えることができる。すなわち、出力端子T 4 に関する通過特性S 4 1 が高域側で減衰することを防止できる。さらに、実際に基板を試作して評価（測定）した特性を図 1 9 に示す。概ねシミュレーション結果と一致した特性を得ることができ、目標となるアイソレーション特性1 5 d B を達成できた。

[0040] 図 1 6 における各素子の値の一例を次に示す。

$Z = 50 \text{ } [\Omega]$ 、 $C 1 = 0.2 \text{ } [pF]$ 、 $L 3, L 8, L 9 = 4.7 \text{ } [nH]$ 、
 $C 9, C 10, C 11 = 0.2 \text{ } [pF]$ 、 $R 6, R 9, = 220 \text{ } [\Omega]$
 $R 10, R 13 = 560 \text{ } [\Omega]$
 $L 5, L 7, L 6 = 3.9 \text{ } [nH]$ 、
 $C 14, C 15, C 16 = 0.2 \text{ } [pF]$ 、 $R 12, R 7, R 8 = 330 \text{ } [\Omega]$

[0041] 本技術においては、基板の両面（A 面及びB 面）を使用して分配回路を実装するようにしてもよい。図 1 6 に示す構成の回路を基板両面に実装した例を図 2 0 及び図 2 1 に示す。図 2 0 は、A 面のパターンを示し、図 2 1 は、B 面のパターンを示す。スルーホールを介して、A 面とB 面のパターンが接続されている。両面実装の場合には、アイソレーション抵抗R 1 0、R 9、R 6、R 1 3 を出力端子間に挿入する場合に、それぞれの信号ライン（配線パターン）の近傍に配置することによって通過特性の劣化を防止することができる。この場合も基板の層構成としては、基板の層構成としては両面基板でも4 層基板でもよいし、他の層構成でもよい。

[0042] 以上の説明では、入力信号を3 つの出力に分配する構成であるが、本技術では、3 分配に限らず他の分配数であってもよい。例えば図 2 2 は、入力信号を4 つの出力端子T 2、T 3、T 4 及びT 5 に分配する構成を示す。上述

した図16の構成に対して、1段目のウィルキンソン型分配回路（コイルL10、コンデンサC18、抵抗R14）が追加され、また、コイルL11、コンデンサC17、抵抗R15からなる2段目のウィルキンソン型分配回路が追加されている。

[0043] 図22における各素子の値の一例を次に示す。

$Z = 50 \text{ } [\Omega]$ 、 $C1 = 0.2 \text{ } [pF]$ 、 $L3, L8, L9, L10 = 4.7 \text{ } [nH]$ 、 $C9, C10, C11, C18 = 0.2 \text{ } [pF]$ 、 $R9, R6, R14 = 220 \text{ } [\Omega]$
 $R10, R13 = 560 \text{ } [\Omega]$
 $L5, L7, L6, L11 = 3.9 \text{ } [nH]$ 、
 $C17, C14, C15, C16 = 0.2 \text{ } [pF]$ 、 $R15, R12, R7, R8 = 330 \text{ } [\Omega]$

[0044] 図23に2分配回路の構成例を示す。入力端子T1と出力端子T2及びT3に関する回路が設けられている。さらに、図24に示すように、3分配回路の構成を基板上にレイアウトする。ここでNM(No mount)は素子を実装しないことを示す。素子を実装しないことによって2分配回路を実現することができる。また、分配しない1系統の構成も実現できる。したがって、同一基板上で、実装する素子又は定数を変更するだけで、いろいろな構成を実現でき、基板の共通化を図ることができ、コストダウンを図ることができる。

[0045] 図23における各素子の値の一例を次に示す。

$Z = 50 \text{ } [\Omega]$ 、 $C1 = 0.2 \text{ } [pF]$ 、 $L8, L9 = 4.7 \text{ } [nH]$ 、
 $C10, C11 = 0.2 \text{ } [pF]$ 、 $R9 = 220 \text{ } [\Omega]$
 $L7, L6 = 3.9 \text{ } [nH]$ 、
 $C15 = 0.2 \text{ } [pF]$ 、 $R7 = 330 \text{ } [\Omega]$

[0046] 上述した実施形態の説明から分かるように、本技術は、広帯域（1032 MHz～3224 MHz）で、通過特性とアイソレーション特性の両立した分配回路を実現することができる。また、本技術の回路は、片面の基板実装が可能となる。さらに、本技術は、2分配、3分配、4分配などの所望の分配数

の分配回路を構成することができ、汎用性に優れた構成である。

[0047] 以上、本技術の実施の形態について具体的に説明したが、上述の実施の形態に限定されるものではなく、本技術の技術的思想に基づく各種の変形が可能である。例えば本技術は、（1032 MHz～3224 MHz）の帯域に限らず、素子の値を変更することによって他の帯域に対しても本技術を適用することができる。さらに、本技術は、放送に限らず、通信の分野での使用も可能である。また、入力端子を出力端子とし、出力端子を入力端子とするように、入力と出力を入れ替えることによって、合成回路を構成するようにしてもよい。

[0048] 上述の実施の形態において挙げた構成、方法、工程、形状、材料及び数値などはあくまでも例に過ぎず、必要に応じてこれと異なる構成、方法、工程、形状、材料及び数値などを用いてもよい。上述した実施の形態及び変形例は、適宜組み合わせることができる。

[0049] 本技術は、以下の構成も採ることができる。

（１）

第１の端子に対して２つのコイルをそれぞれ介して第２の端子及び第３の端子が接続され、前記第２の端子及び前記第３の端子間に抵抗及びコンデンサが並列に接続された信号処理回路。

（２）

前記第１の端子に信号が入力され、前記第２の端子及び前記第３の端子から信号が出力される（１）に記載の信号処理回路。

（３）

前記第２の端子及び前記第３の端子に信号が入力され、前記前記第１の端子から信号が出力される（１）に記載の信号処理回路。

（４）

第１の端子と第２の端子及び第３の端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が２段縦続接続され、

一方の前記ウィルキンソン型分配回路において前記第２の端子及び前記第

3の端子間に挿入された抵抗と並列にコンデンサが接続された信号処理回路。

(5)

前記第1の端子に信号が入力され、前記第2の端子及び前記第3の端子から信号が出力される(4)に記載の信号処理回路。

(6)

前記第2の端子及び前記第3の端子に信号が入力され、前記第1の端子から信号が出力される(4)に記載の信号処理回路。

(7)

入力端子と少なくとも3個の出力端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が2段縦続接続され、

後段の前記ウィルキンソン型分配回路において前記出力端子間に挿入された抵抗と並列にコンデンサが接続された分配回路。

(8)

前段の前記ウィルキンソン型分配回路において複数の前記出力端子に対応する信号系統間に挿入された複数の抵抗中の一つの抵抗と直列に抵抗を接続した(7)に記載の分配回路。

(9)

基板片面に実装されたパターンにおいて離れた位置の信号系統間に挿入される抵抗に対して前記抵抗が直列に接続されるようにした(8)に記載の分配回路。

(10)

(7)7の分配回路を実装可能なようにパターンが形成された基板上で、1又は複数の信号系統に含まれる素子を実装しないことによってより少ない出力を得るようにした分配回路。

符号の説明

[0050] T1・・・入力端子、T2, T3, T4・・・出力端子、C1・・・入力コンデンサ、

101・・・アンテナからの信号の入力端子、102, 102a, 102b
, 102c・・・チューナーIC、104, 114・・・分配回路

請求の範囲

- [請求項1] 第1の端子に対して2つのコイルをそれぞれ介して第2の端子及び第3の端子が接続され、前記第2の端子及び前記第3の端子間に抵抗及びコンデンサが並列に接続された信号処理回路。
- [請求項2] 前記第1の端子に信号が入力され、前記第2の端子及び前記第3の端子から信号が出力される請求項1に記載の信号処理回路。
- [請求項3] 前記第2の端子及び前記第3の端子に信号が入力され、前記前記第1の端子から信号が出力される請求項1に記載の信号処理回路。
- [請求項4] 第1の端子と第2の端子及び第3の端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が2段縦続接続され、
一方の前記ウィルキンソン型分配回路において前記第2の端子及び前記第3の端子間に挿入された抵抗と並列にコンデンサが接続された信号処理回路。
- [請求項5] 前記第1の端子に信号が入力され、前記第2の端子及び前記第3の端子から信号が出力される請求項4に記載の信号処理回路。
- [請求項6] 前記第2の端子及び前記第3の端子に信号が入力され、前記第1の端子から信号が出力される請求項4に記載の信号処理回路。
- [請求項7] 入力端子と少なくとも3個の出力端子の間に、コイル、コンデンサ及び抵抗により構成されたウィルキンソン型分配回路が2段縦続接続され、
後段の前記ウィルキンソン型分配回路において前記出力端子間に挿入された抵抗と並列にコンデンサが接続された分配回路。
- [請求項8] 前段の前記ウィルキンソン型分配回路において複数の前記出力端子に対応する信号系統間に挿入された複数の抵抗中の一つの抵抗と直列に抵抗を接続した請求項7に記載の分配回路。
- [請求項9] 基板片面に実装されたパターンにおいて離れた位置の信号系統間に挿入される抵抗に対して前記抵抗が直列に接続されるようにした請求

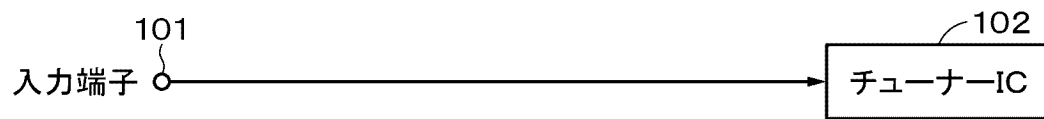
項 8 に記載の分配回路。

[請求項10] 請求項 7 の分配回路を実装可能なようにパターンが形成された基板上で、1 又は複数の信号系統に含まれる素子を実装しないことによってより少ない出力を得るようにした分配回路。

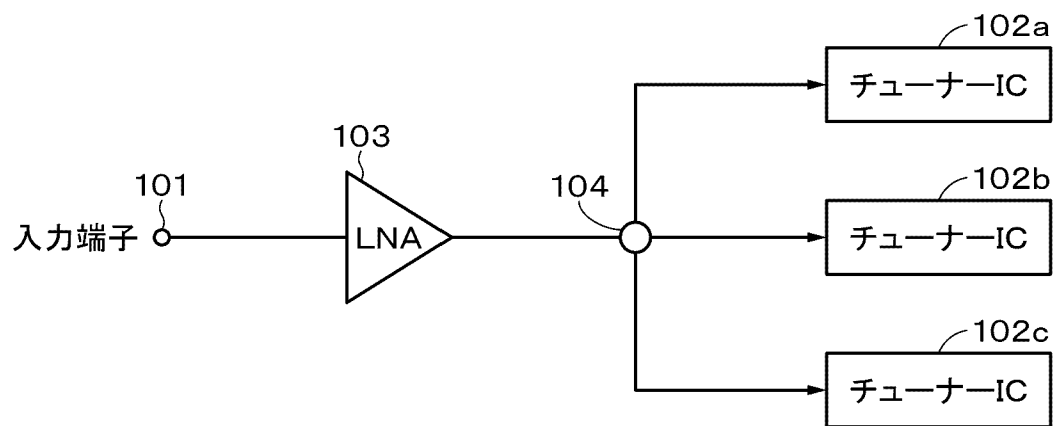
[図1]

図1

A

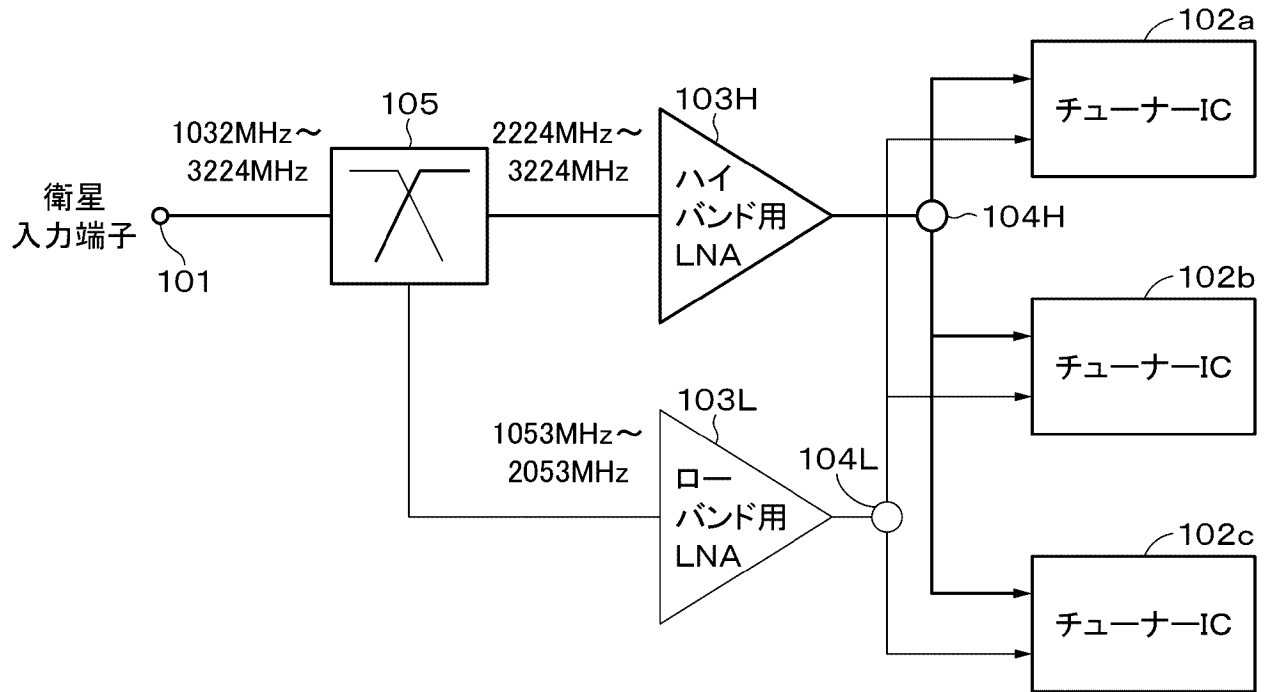


B



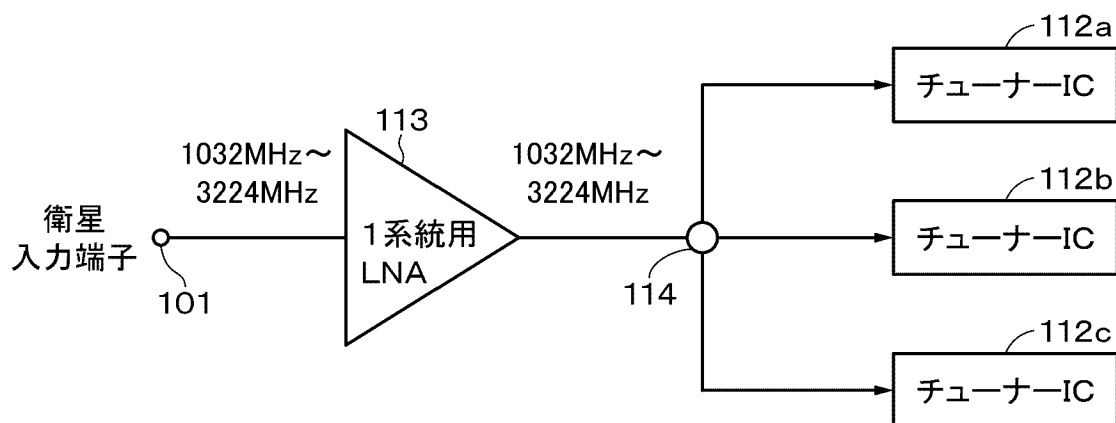
[図2]

図2



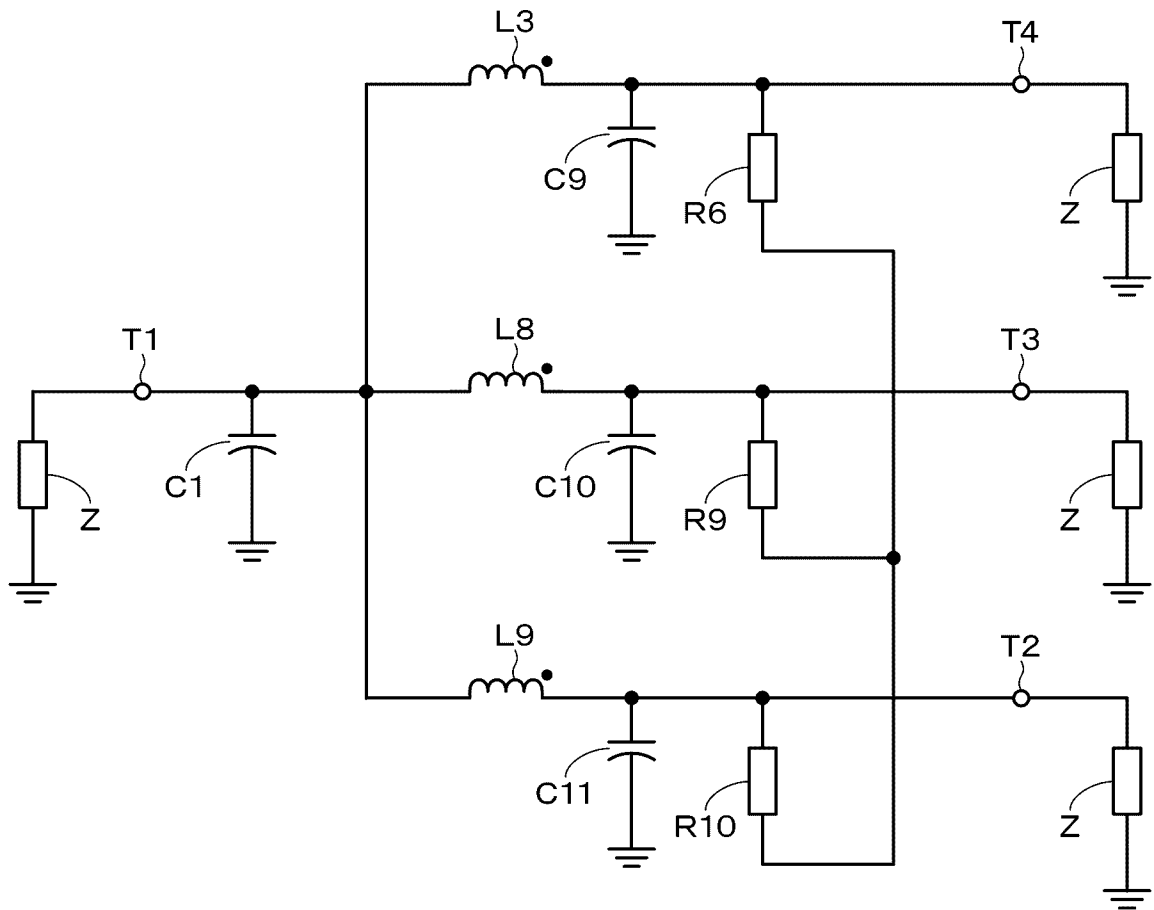
[図3]

図3

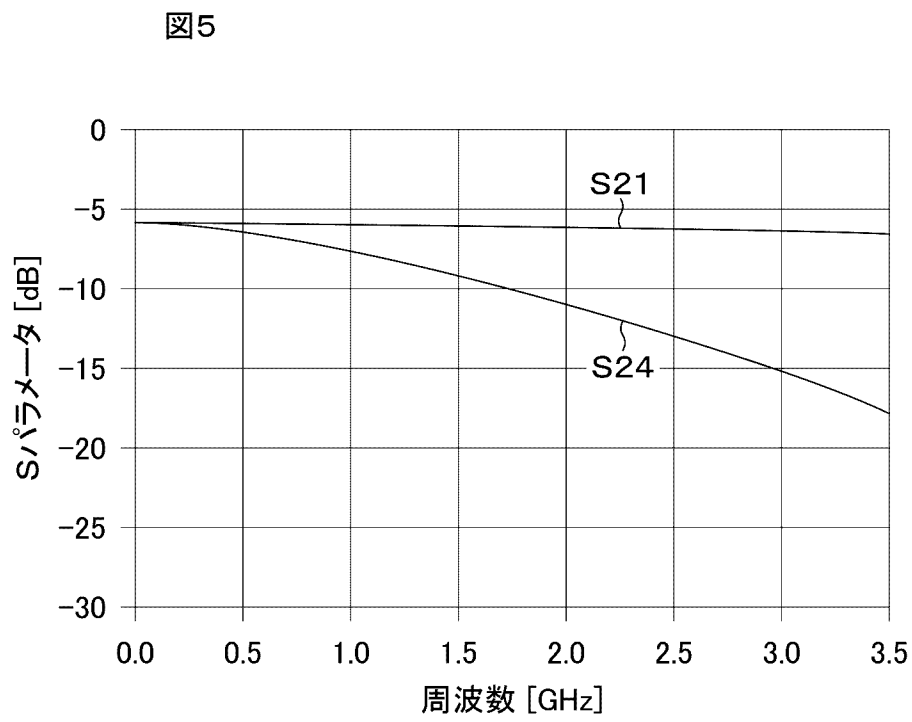


[図4]

図4

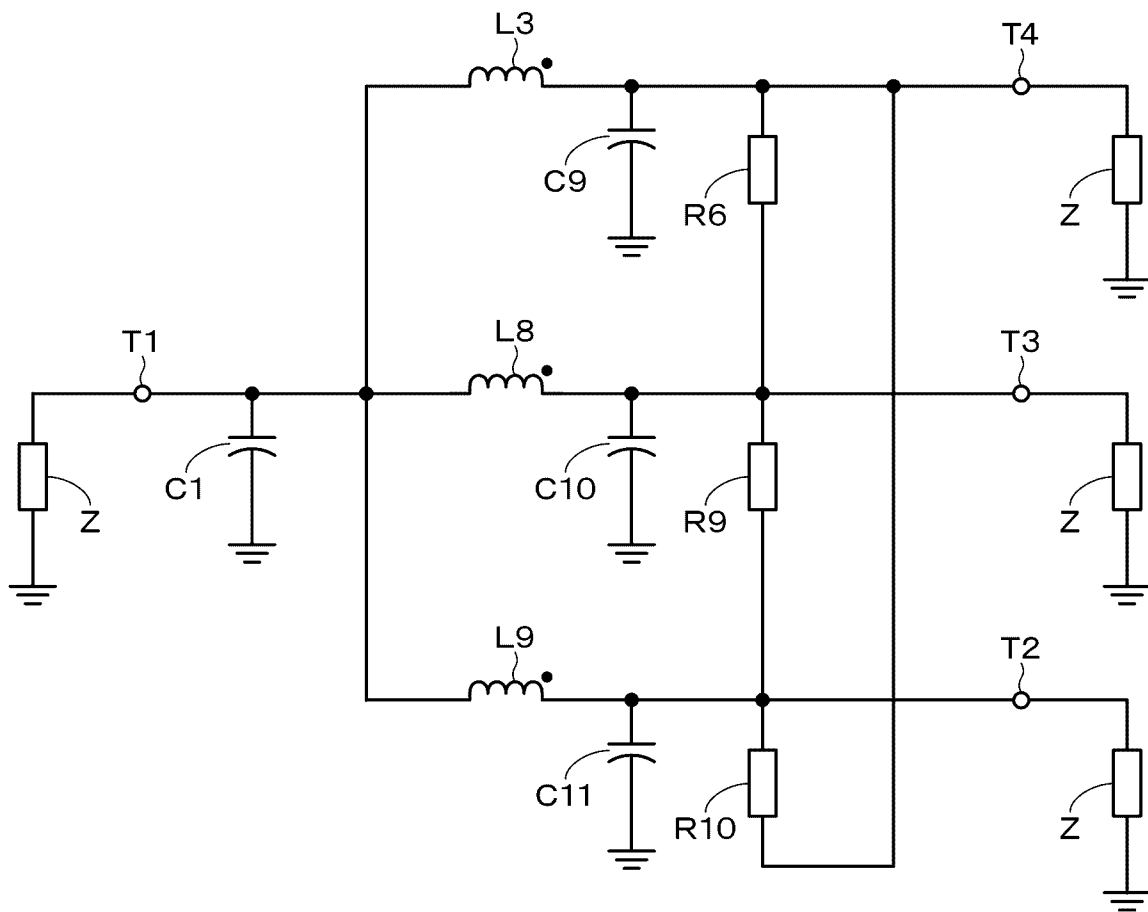


[図5]



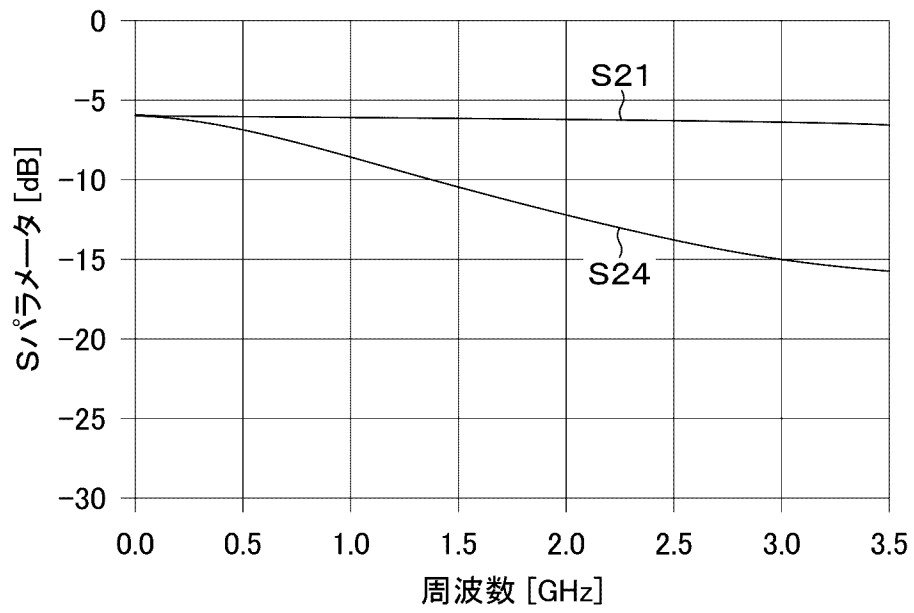
[図6]

図6



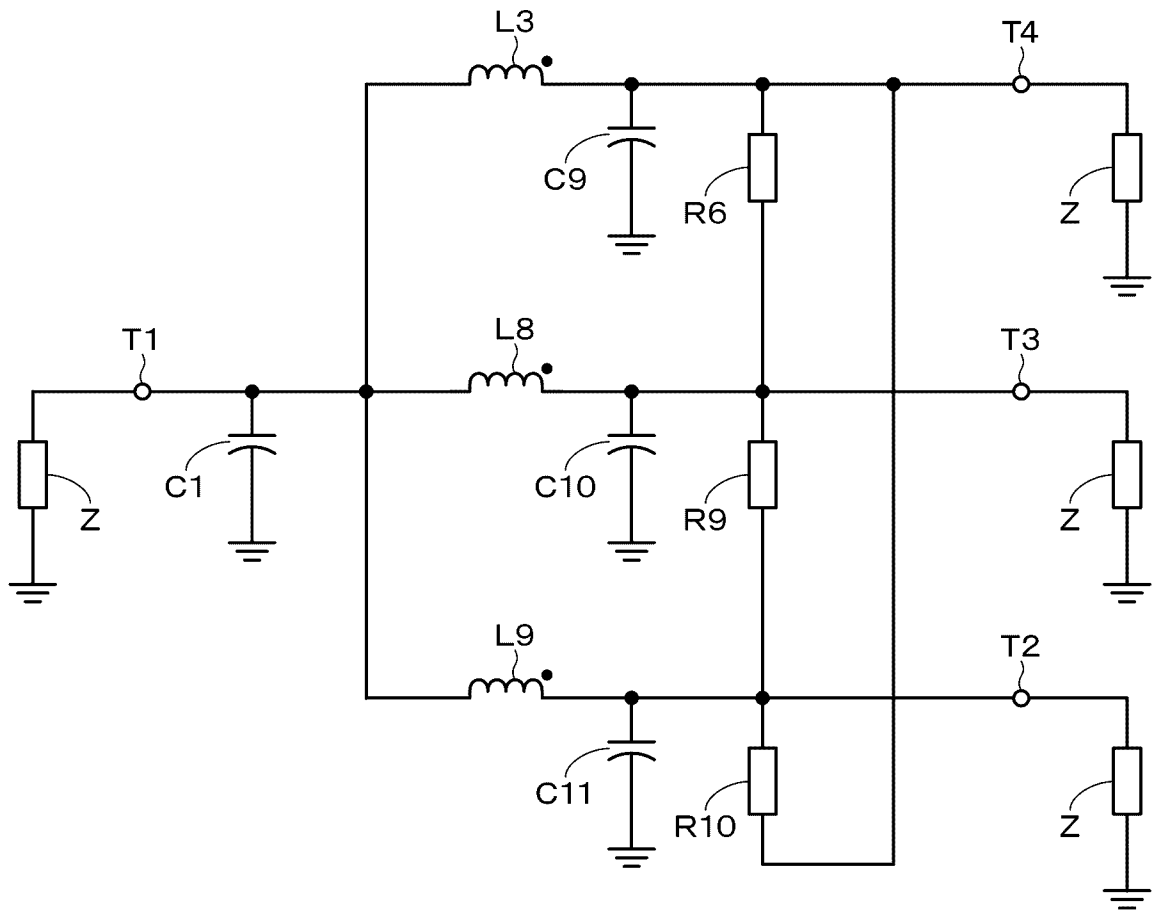
[図7]

図7

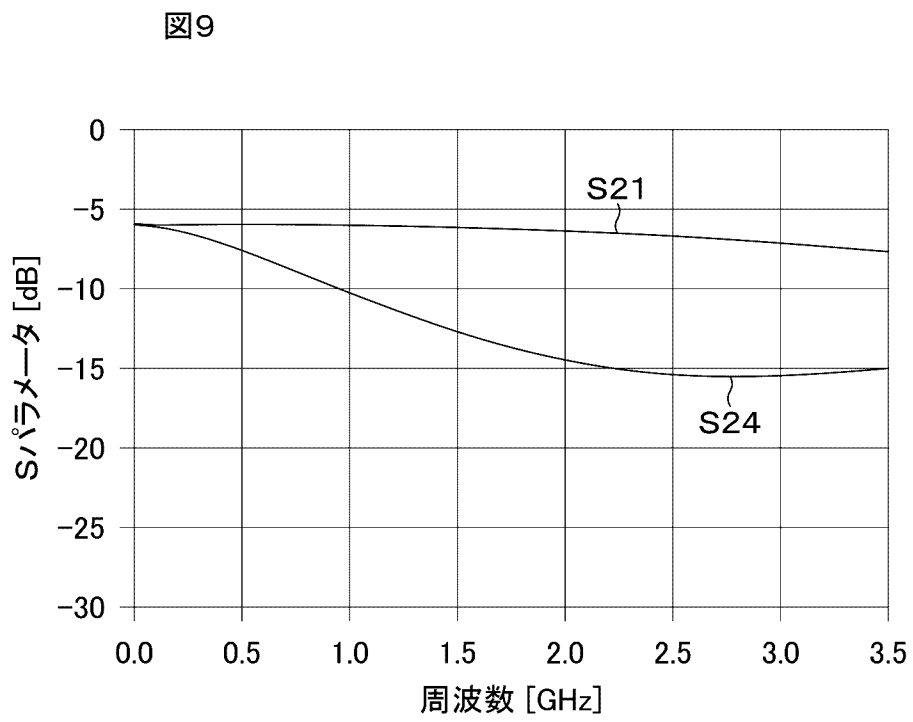


[図8]

図8

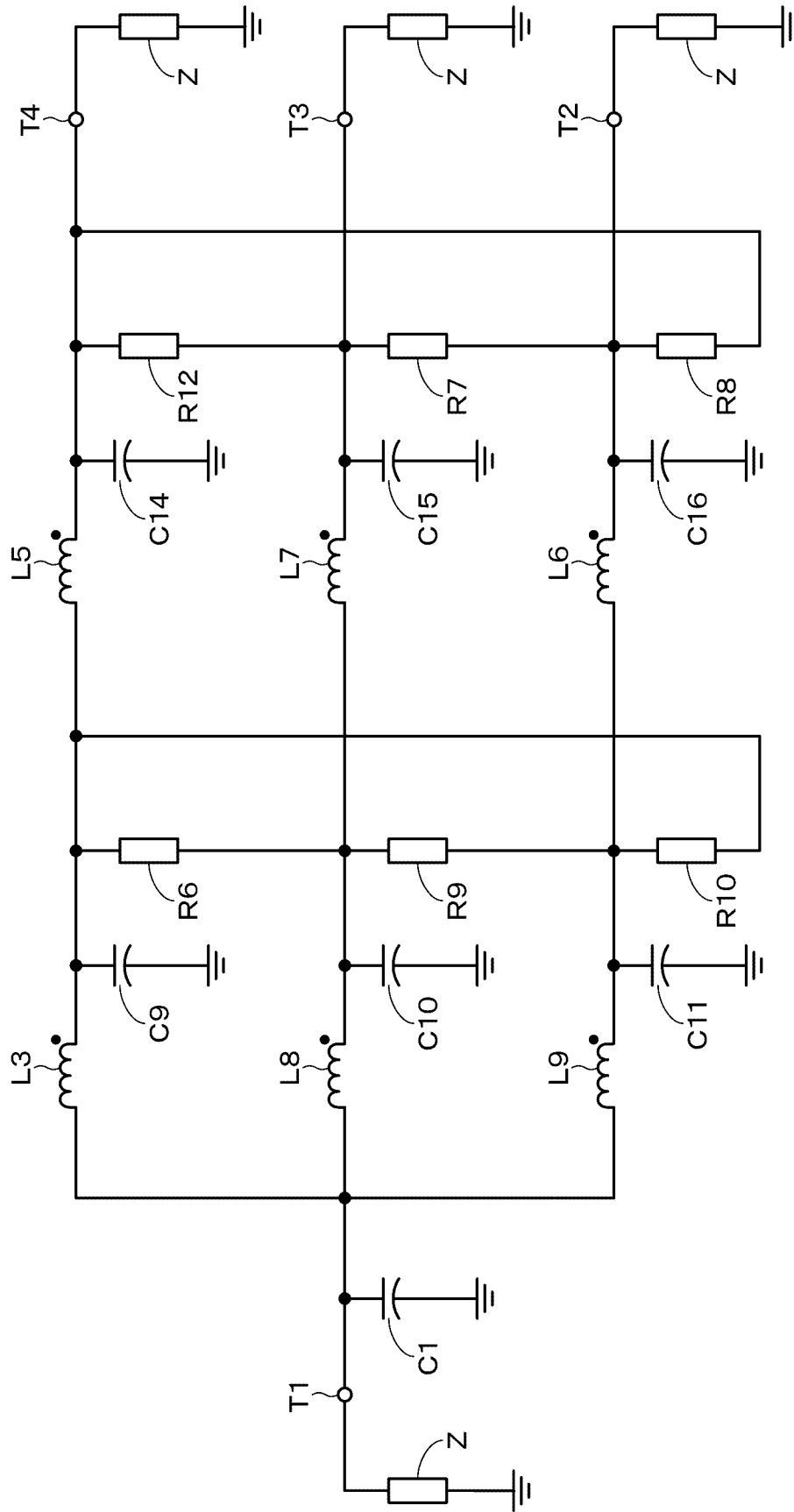


[図9]



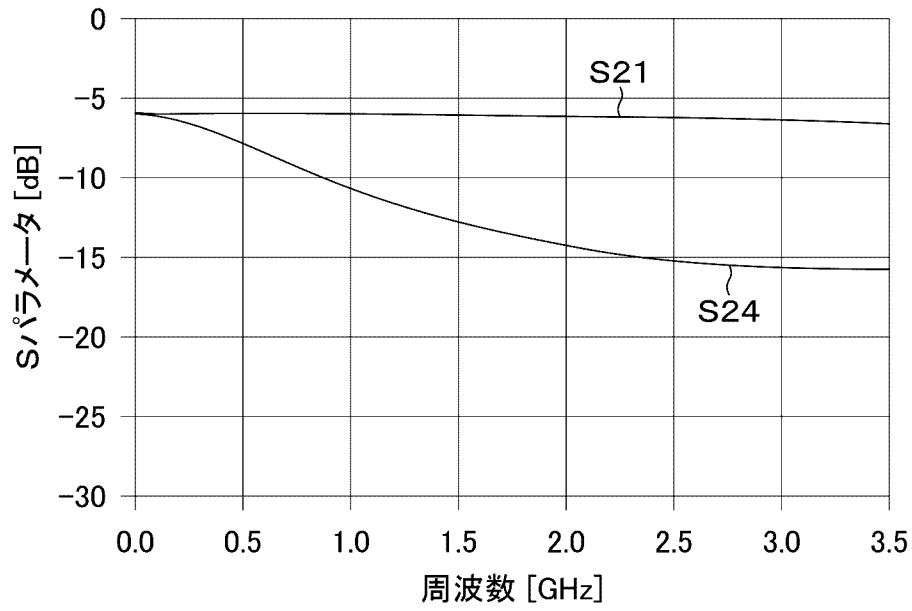
[図10]

図10



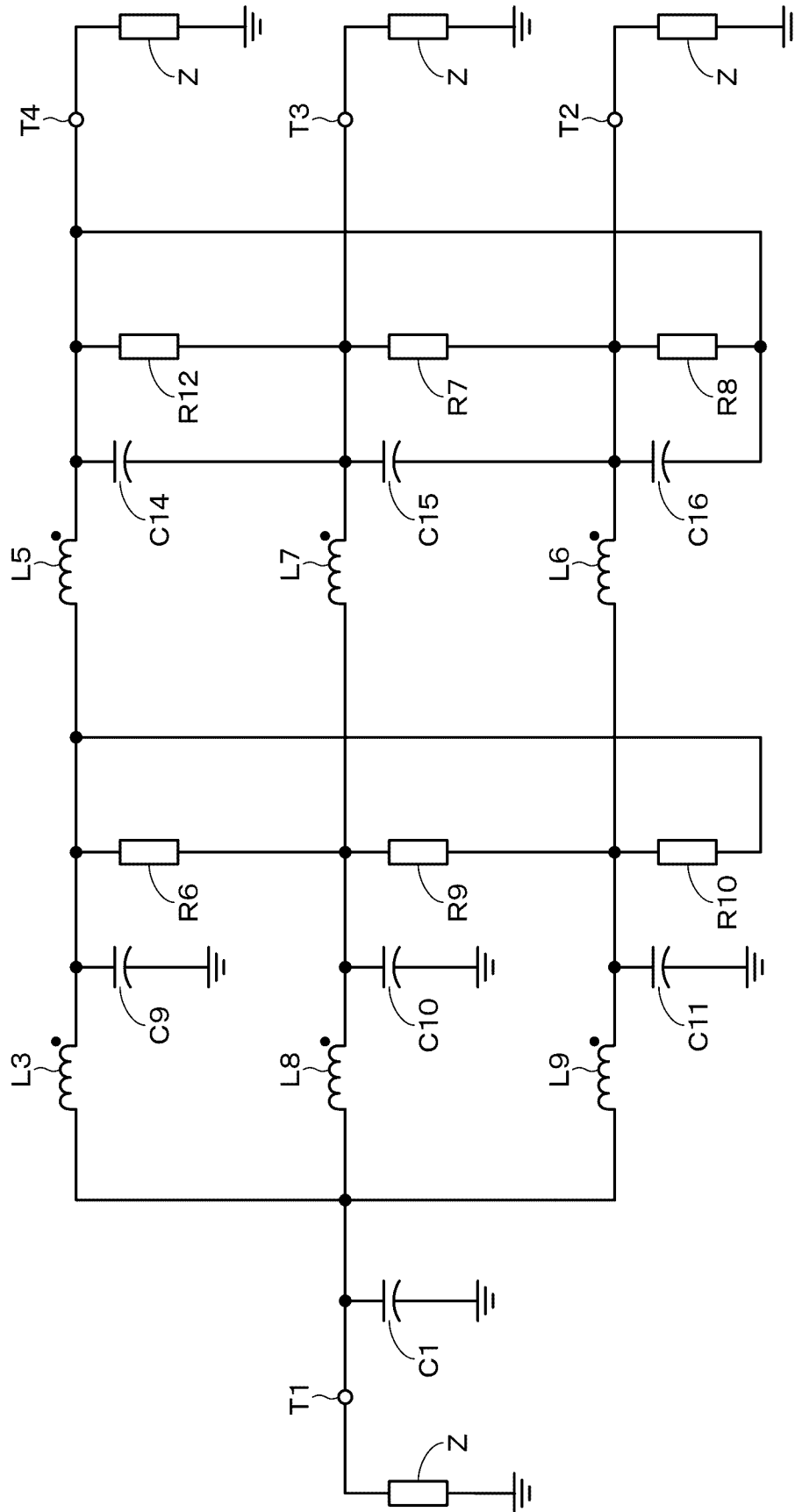
[図11]

図11



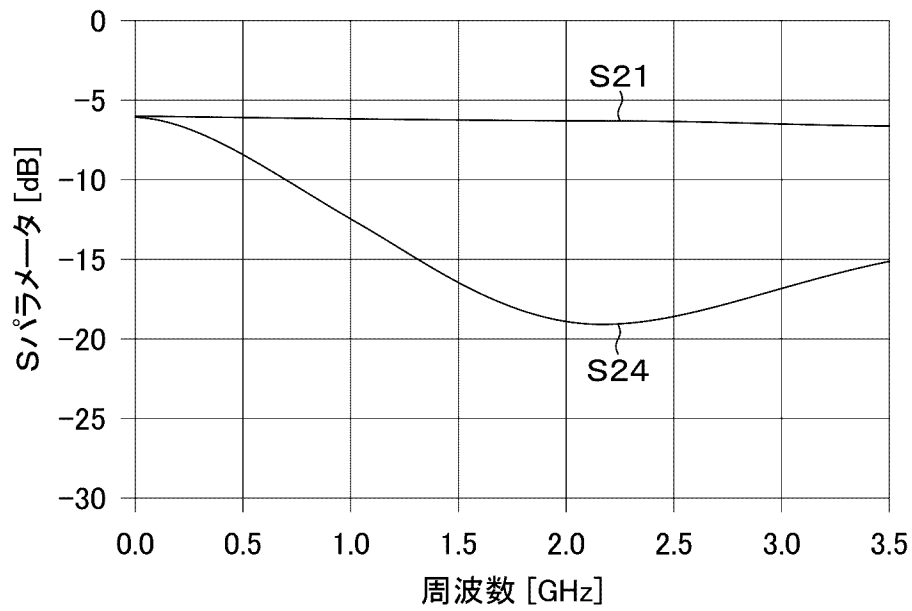
[図12]

図12

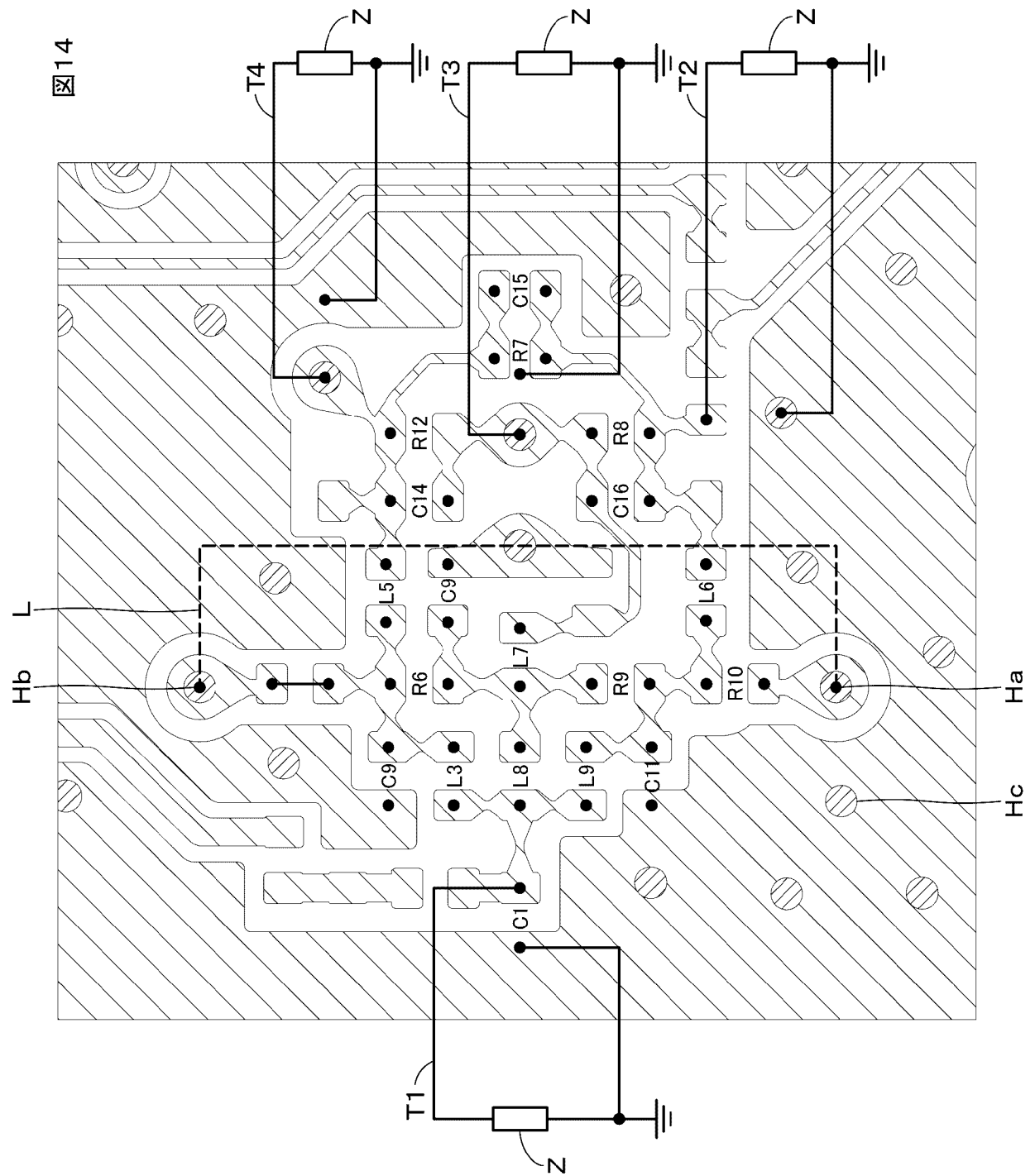


[図13]

図13

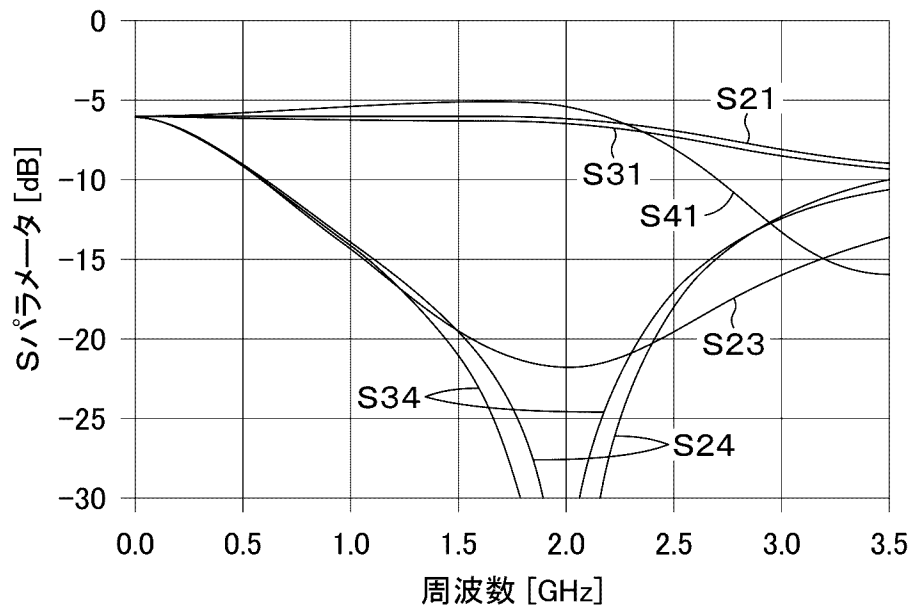


[図14]



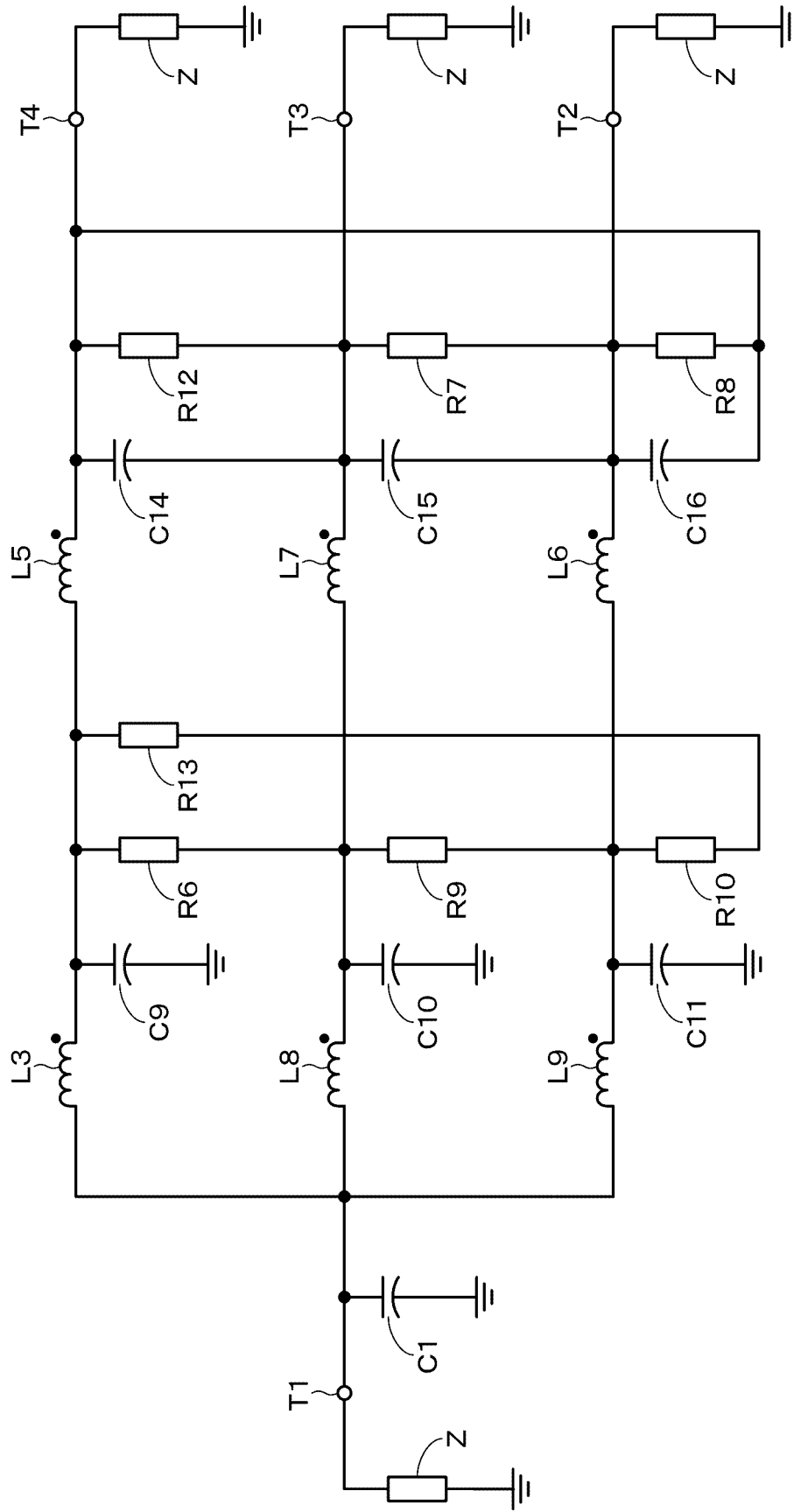
[図15]

図15

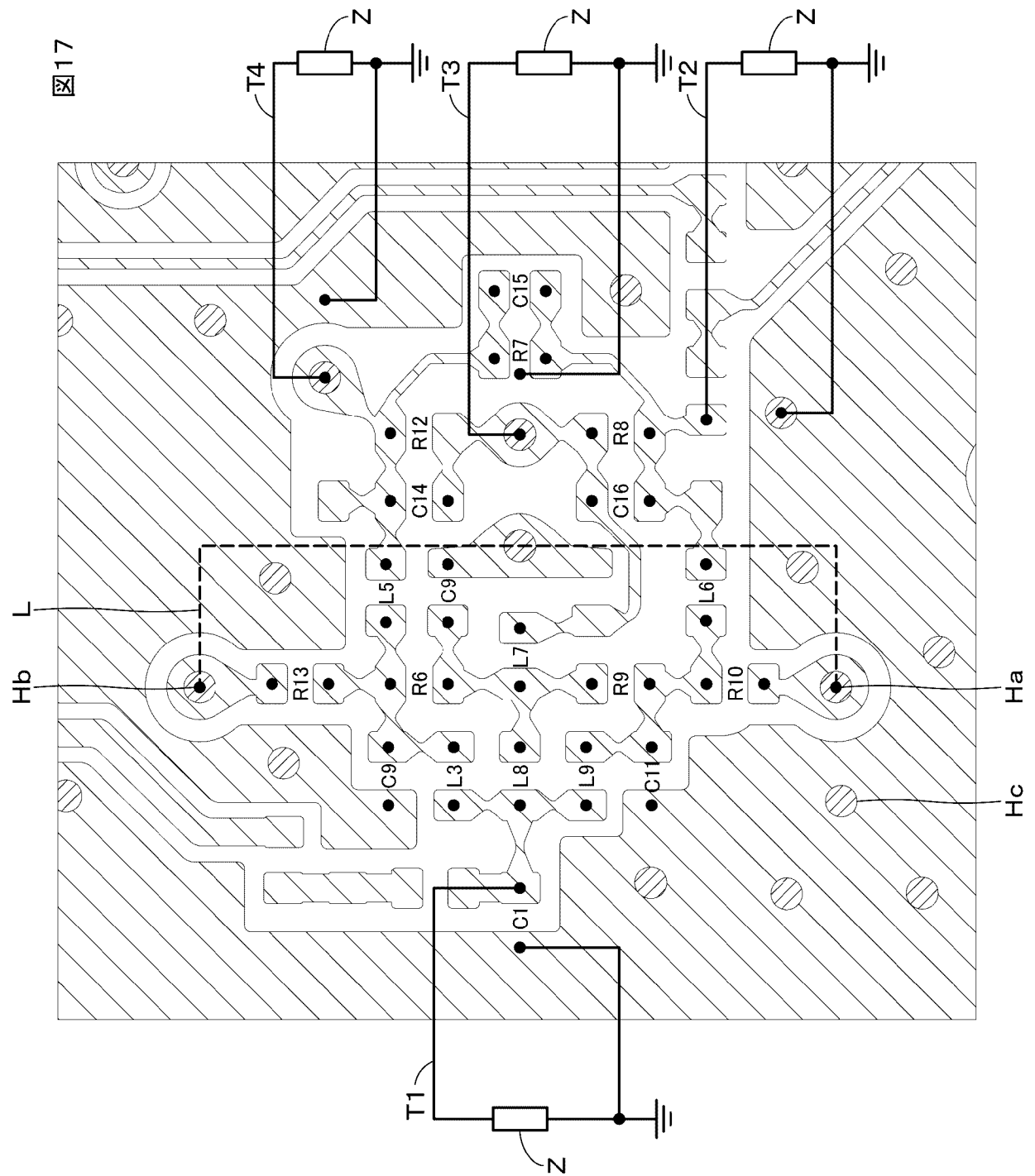


[図16]

図16

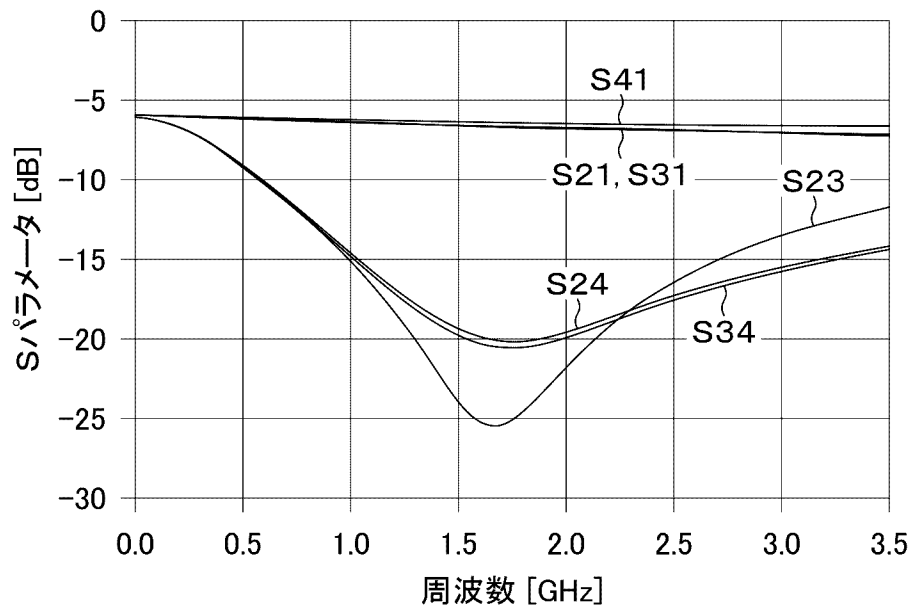


[図17]



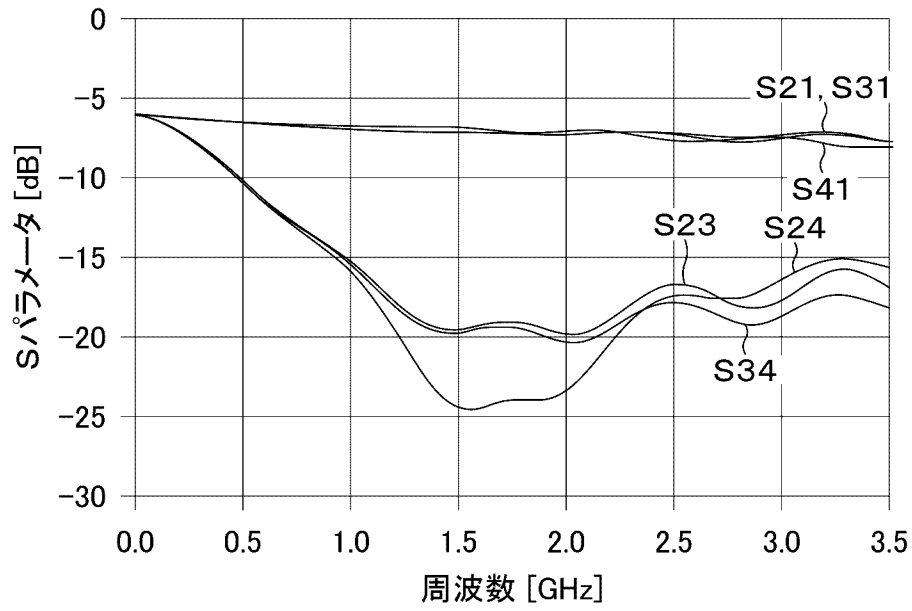
[図18]

図18



[図19]

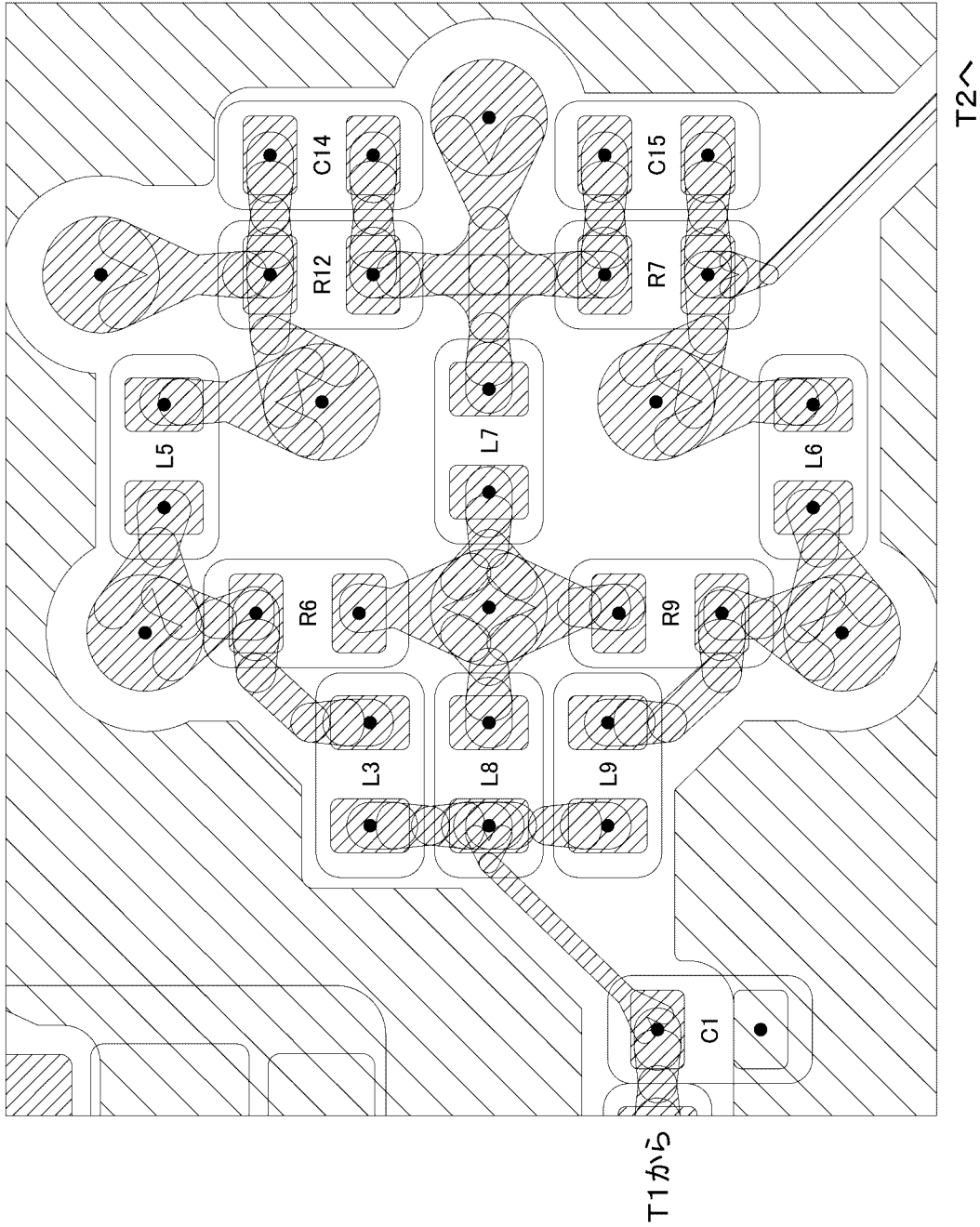
図19



[図20]

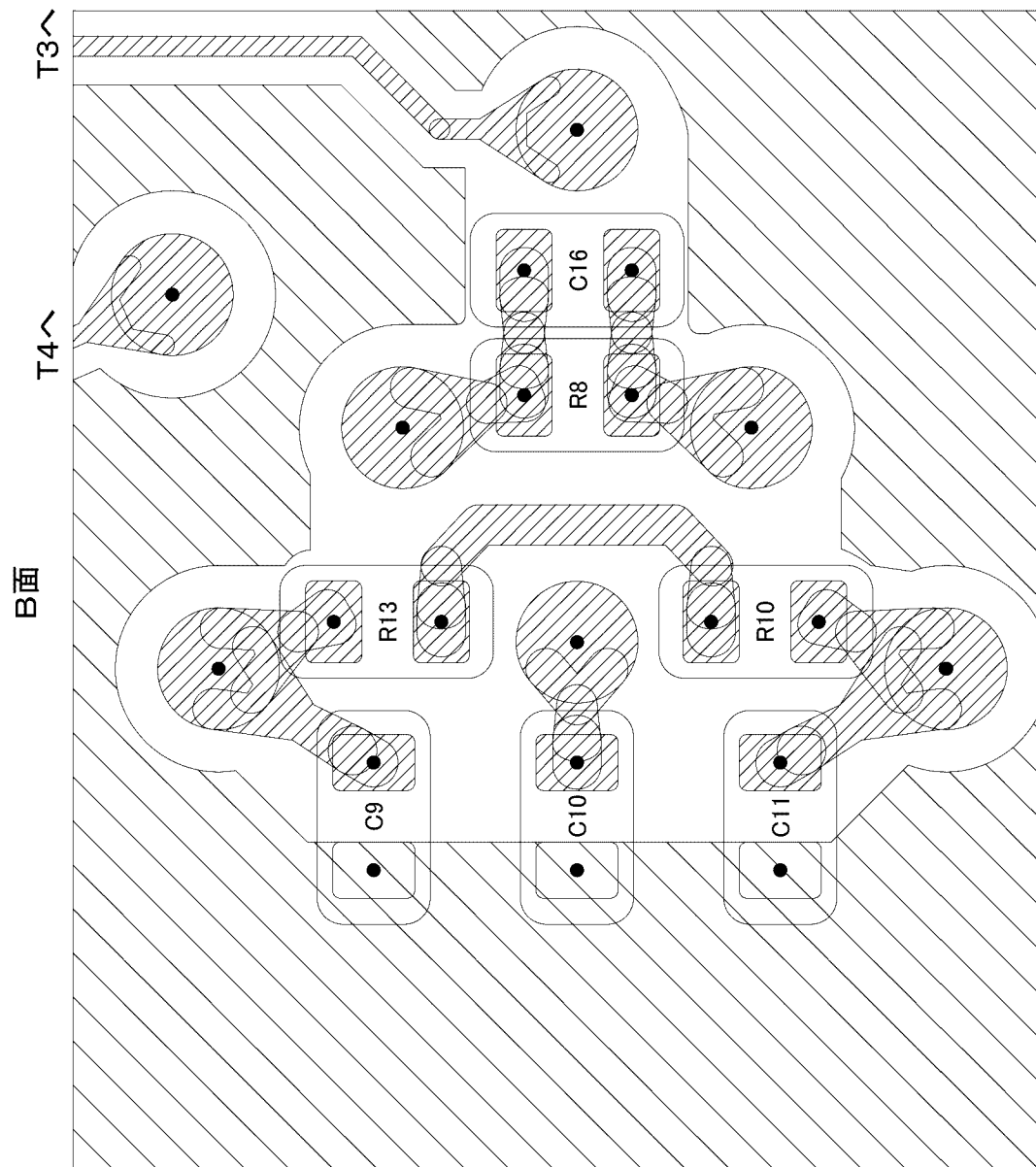
図20

A面



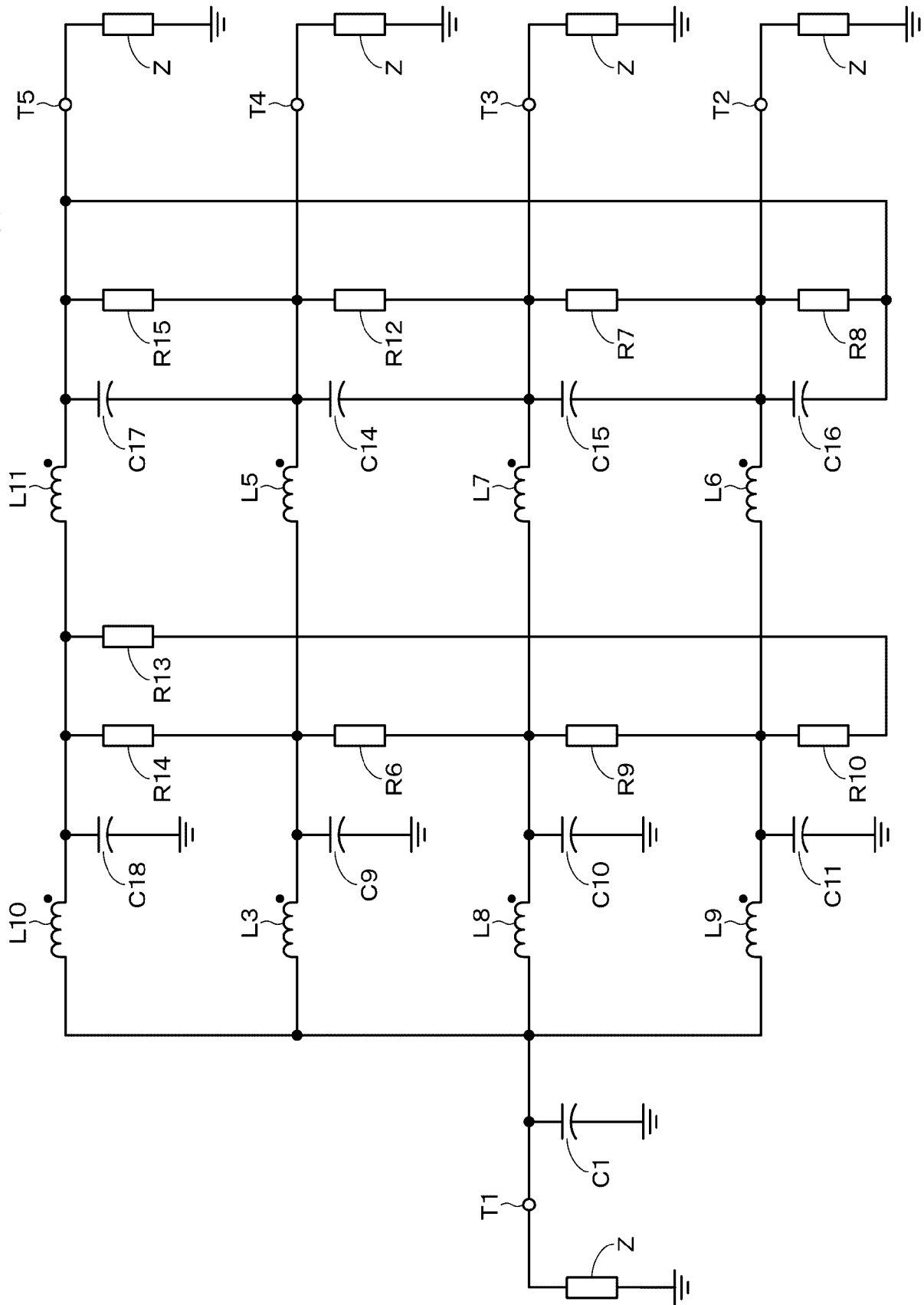
[図21]

図21



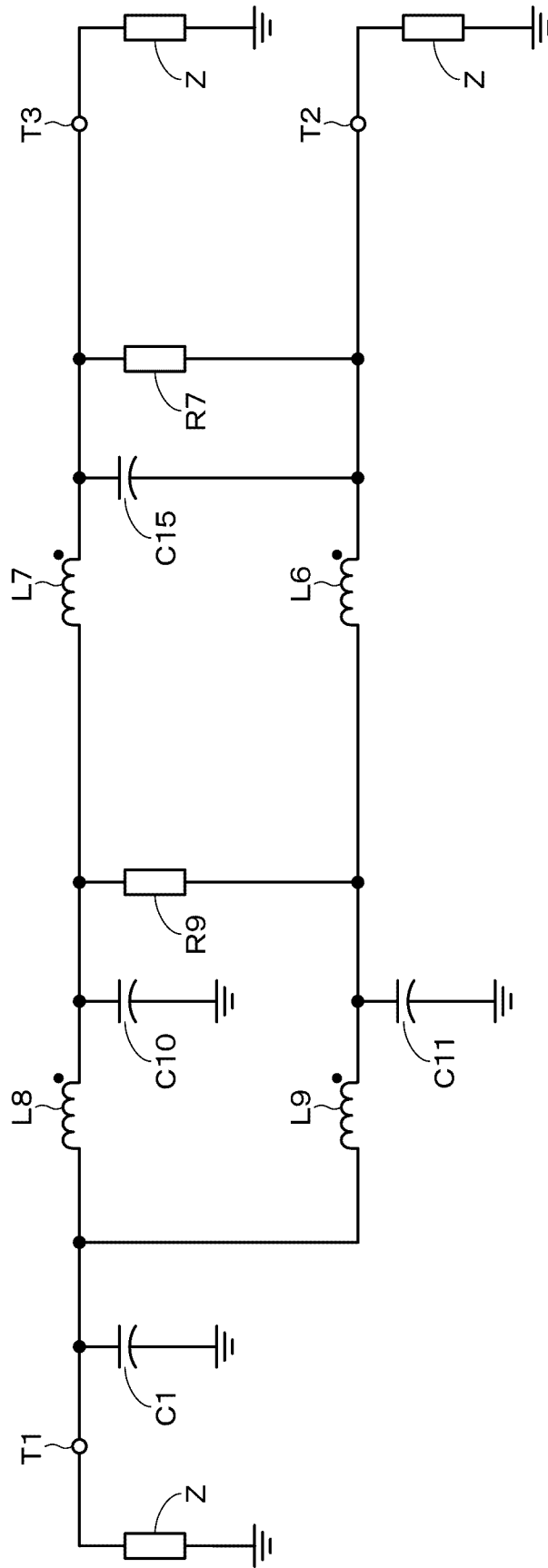
[図22]

図22



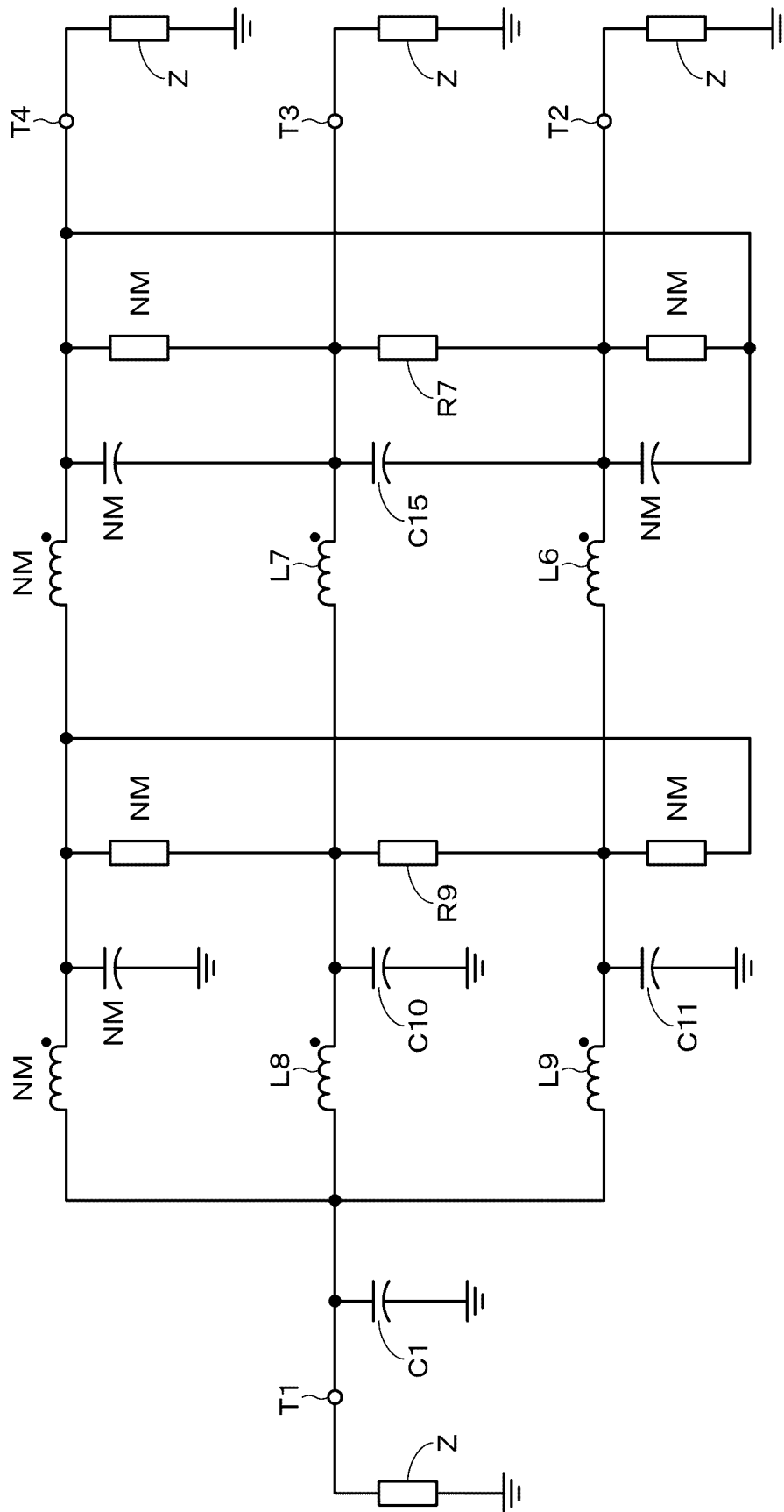
[図23]

図23



[図24]

図24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/045252

A. CLASSIFICATION OF SUBJECT MATTER**H01P 5/19**(2006.01)i; **H03H 7/48**(2006.01)i

FI: H03H7/48 Z; H01P5/19 A

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P5/19; H03H7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2020/121985 A1 (MURATA MANUFACTURING CO., LTD.) 18 June 2020 (2020-06-18) paragraphs [0015]-[0024], fig. 1	1-3
Y		4-7
A		8-10
Y	JP 2010-534438 A (THOMSON LICENSING) 04 November 2010 (2010-11-04) paragraph [0025], fig. 3	4-7
Y	JP 2-170625 A (TOSHIBA CORP.) 02 July 1990 (1990-07-02) fig. 5	7

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

27 December 2021

Date of mailing of the international search report

18 January 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/045252

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2020/121985	A1	18 June 2020	(Family: none)	
JP	2010-534438	A	04 November 2010	US 2010/0127951 A1 paragraph [0042], fig. 3 KR 10-2010-0047272 A	
JP	2-170625	A	02 July 1990	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01P 5/19(2006.01)i; H03H 7/48(2006.01)i FI: H03H7/48 Z; H01P5/19 A														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01P5/19; H03H7/48														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	WO 2020/121985 A1（株式会社村田製作所）18.06.2020（2020 - 06 - 18） [0015]-[0024], 図1	1-3												
Y		4-7												
A		8-10												
Y	JP 2010-534438 A（トムソン ライセンシング）04.11.2010（2010 - 11 - 04） [0025], 図3	4-7												
Y	JP 2-170625 A（株式会社東芝）02.07.1990（1990 - 07 - 02） 第5図	7												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 27.12.2021	国際調査報告の発送日 18.01.2022													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橋本 和志 5W 4183 電話番号 03-3581-1101 内線 3576													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/045252

引用文献			公表日	パテントファミリー文献	公表日
WO	2020/121985	A1	18.06.2020	(ファミリーなし)	
JP	2010-534438	A	04.11.2010	US 2010/0127951 A1	
				[0042], 図3	
				KR 10-2010-0047272 A	
JP	2-170625	A	02.07.1990	(ファミリーなし)	