(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/092

(45) 공고일자 2001년02월01일
(11) 등록번호 10-0280837
(24) 등록일자 2000년11월13일

(21) 출원번호	10-1994-0019457	(65) 공개번호	특1995-0007094
(22) 출원일자	1994년08월08일	(43) 공개일자	1995년03월21일
(30) 우선권주장	93-228,298 1993년08월19일 일본(JP)		

(73) 특허권자 소니 가부시키가이샤 이데이 노부유끼
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고
(72) 발명자 오사와 노부히꼬
일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키가이샤내
이또 신이찌
일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키가이샤내
아베 히데시
일본국 도오교도 시나가와구 기다시나가와 6쵸메 7반 35고 소니 가부시키가이샤내
(74) 대리인 박종길

심사관 : 조지은

(54) 씨엠오에스집적회로

요약

플러스·마이너스 양극성의 고전압회로와 대규모의 저전압회로를 동일칩상에 구성가능한 CMOS 집적회로를 제공한다.

p 형 반도체기판(11)상에 형성한 nMOS 트랜지스터(15) 및 p 형 반도체기판(11)상에 형성된 n 웰(12)내에 형성한 pMOS 트랜지스터(16)로 이 루어지는 CMOS 회로에 의해 고전압회로(21)를 구성하는 동시에, p 형 반도체기판(11)상에 형성된 n 웰(13)내에 형성한 pMOS 트랜지스터(18) 및 n 웰(13)내에 형성된 p 웰(14)내에 형성한 nMOS 트랜지스터(17)로 이루어지는 CMOS 회로에 의해 저전압회로(22)를 구성한다.

대표도

도1

명세서

[발명의 명칭]

씨엠오에스집적회로

[도면의 간단한 설명]

제1도는 본 발명의 일실시예를 나타낸 단면구조도이며, p형 반도체기판을 사용하여 구성한 경우를 나타낸 도면.

제2도는 본 발명이 적용되는 CCD 형 고체촬상장치의 일예를 나타낸 구성도.

제3도는 본 발명에 관한 회로구성의 일예를 나타낸 회로도.

제4도는 레벨변환회로의 회로구성의 일예를 나타낸 회로도.

제5도는 레벨변환회로의 회로동작을 설명하기 위한 타이밍차트.

제6도는 본 발명의 다른 실시예를 나타낸 단면구조도이며, n형 반도체기판을 사용하여 구성한 경우를 나타낸 도면.

* 도면의 주요부분에 대한 부호의 설명

11 : p형 반도체기판 12 : 제1의 n 웰

13 : 제2의 n 웰 14 : p 웰

15,17 : nMOS 트랜지스터 16,18 : pMOS 트랜지스터

21 : 고전압회로 22 : 저전압회로

23 : 수직드라이버 24 : 타이밍발생기

30 : 레벨변환회로 31 : 제1의 CMOS 회로

32 : 제2의 CMOS 회로 33 : 제3의 CMOS 회로

[발명의 상세한 설명]

본 발명은 씨엠오에스(CMOS)(Complementary MOS)집적회로에 관한 것이며, 특히 반도체기판상에 고전압용 CMOS 회로와 저전압용 CMOS 회로를 형성하여 이루어지는 CMOS 집적회로에 관한 것이다.

종래, 다른 전원전압에서 동작하는 복수의 회로(예를 들면, 고전압회로와 저전압회로)를 구비한 CMOS 집적회로에 있어서는, 사용하는 반도체기판을 기준전위로 설정하고, 이 반도체기판과는 다른 도전형의 웰을 평면영역상에서 분할하여 배설하고, 그 웰내에 CMOS트랜지스터를 형성하여 각 회로를 구성함으로써, 각 회로의 전원을 서로 분리하도록 하고 있었다(예를 들면, 일본국 특원평 2(1990)-284462호 공보 참조).

그러나, 상기 구성의 종래의 CMOS집적회로에서는, 반도체기판의 도전형에 의해 상기 웰의 전위가 기준전위보다 플러스측이거나 마이너스측의 어느 한쪽 밖에 설정할 수 없으므로, 기준전위에 대하여 플러스·마이너스 양극성의 신호를 취급하는 회로를 구성할 수는 없었다.

그러므로, 저전압로직회로와 플러스·마이너스 양극성의 신호출력회로가 필요한 시스템(예를 들면, CCD 카메라시스템이나 디지탈통신 인터페이스)에서는, 각각 별개 칩으로서 기준전위를 나누고 있으며, 1칩화에 의한 소형화를 할 수 없다는 문제가 있었다.

본 발명은 상기 과제를 감안하여 이루어진 것이며, 그 목적으로 하는 바는 플러스·마이너스 양극성의 고전압회로와 대규모의 저전압회로를 동일 칩상에 구성가능한 CMOS 집적회로를 제공하는 것에 있다.

본 발명에 의한 CMOS집적회로는 제1도전형의 반도체기판상에 고전압용 CMOS 회로와 저전압용 CMOS 회로를 형성하여 이루어지는 CMOS 집적회로로서, 반도체기판상에 형성한 제2도전형의 제1MOS 트랜지스터 및 반도체기판상에 형성된 제2도전형의 제1웰내에 형성한 제1도전형의 제2MOS트랜지스터로 이루어지는 고전압용 CMOS 회로와, 반도체기판상에 형성된 제2도전형의 제2웰내에 형성한 제1도전형의 제3MOS 트랜지스터 및 제2도전형의 제2웰내에 형성된 제1도전형의 제3웰내에 형성한 제2도전형의 제4MOS 트랜지스터로 이루어지는 저전압용 CMOS 회로를 구비한 구성으로 되어 있다.

상기 구성의 CMOS 집적회로에 있어서, 고전압용 CMOS 회롤를 반도체기판상에 직접 형성하는 동시에, 저전압용 CMOS 회로를 반도체기판상에 형성된 당해 기판과는 다른 도전형의 웰내에 형성하고, 이 웰에 의해 저전압용 CMOS 회로를 반도체기판으로부터 전위적으로 분리한다.

이로써, 저전압용 CMOS 회로의 플러스측 전원전압 및 마이너스측 전원전압을 고전압용 CMOS 회로의 플러스측 전원전압 및 마이너스측 전원전압의 어느 것으로 부터도 독립하여 설정할 수 있다. 그 결과, 저전압용 CMOS 회로 및 고전압용 CMOS회로를 동일 칩상에 구성할 수 있다.

다음에, 본 발명의 실시예에 대하여 도면에 따라서 상세히 설명한다.

제1도는 본 발명에 의한 CMOS 집적회로의 일실시예를 나타낸 단면 구조도이고, p형 반도체기판을 사용하여 구성한 경우를 나타낸다.

제1도에 있어서, p형 반도체기판(11)은 마이너스측의 전원전위 $V_{SS}1$ 에 바이어스되어 있다. 이 p형 반도체기판(11)에는 제1의 n웰(12)이 형성되어 있다.

이 제1의 n웰(12)은 플러스측의 높은 전원전압 $V_{DD}1$ 에 바이어스되어 있다.

또, p형 반도체기판(11)에는 제2의 n 웰(13)이 제1의 n 웰(12)과는 평면영역상 분리하여 형성되어 있다. 이 제2의 n웰(13)은 플러스측의 낮은 전원전압 $V_{DD}2$ 에 바이어스되어 있다. 제1의 n 웰(12)과 제2의 n 웰(13)은 동일한 이온주입 및 드라이브인 공정에 의해 형성된다.

p형 반도체기판(11)에는 또한 제2의 n 웰(13)내에 평면영역상 포함되도록 p 웰(14)이 형성되어 있다. 이 p 웰(14)은 전원전압 $V_{SS}2$ 으로서의 예를 들면 접지(GND)전위에 바이어스되어 있다.

p 형 반도체기판(11)상에는 nMOS 트랜지스터(제1MOS 트랜지스터)(15)가 형성되고, 제1의 n 웰(12)내에는 pMOS 트랜지스터(제2MOS 트랜지스터)(16)가 형성되어 있다. 그리고, 이들 MOS 트랜지스터(15),(16)는 각 게이트 및 드레인이 공통으로 접속됨으로써 CMOS회로를 구성하고 있다. 이 CMOS회로는 플러스·마이너스 양극성의 고전압을 취급하는 고전압회로(21)로서 사용된다.

또, p 웰(14)내에는 nMOS 트랜지스터(제4MOS 트랜지스터)(17)가 형성되고, 제2의 n 웰(13)내에는 pMOS 트랜지스터(제3MOS 트랜지스터)(18)가 형성되어 있다. 그리고, 이들 MOS 트랜지스터(17),(18)는 각 게이트 및 드레인이 공통으로 접속됨으로써 CMOS 회로를 구성하고 있다. 이 CMOS 회로는 플러스극성의 저전압을 취급하는 저전압회로(22)로서 사용된다.

그리고, 제1도에 있어서, (19)는 각 MOS 트랜지스터의 게이트전극, (20)은 알루미늄(Al)배선이다.

전술한 바와 같이, 고전압회로(21)를 p 형 반도체기판(11)상에 직접 형성하는 동시에, 저전압회로(22)를 p 형 반도체기판(11)상에 형성된 n 웰(13)내에 형성함으로써, 이 웰(13)에 의해 저전압회로(22)를 반도체기판 (11)으로부터 전위적으로 분리할 수 있으므로, 저전압회로(22)의 플러스측 전원전압 $V_{DD}2$ 및 마이너

스측 전원전압 $V_{SS}2$ 을 고전압회로(21)의 플러스측 전원전압 $V_{DD}1$ 및 마이너스측 기준전압 $V_{SS}1$ 의 어느 것으로부터도 독립해서 설정할 수 있다.

그 결과, 고전압회로(21) 및 저전압회로(22)를 동일 칩상에 모두 CMOS 회로로 구성하는 것이 가능하게 된다.

또, 고전압회로(21)를 구성하는 CMOS 회로를 p형 반도체기판(11)상에 형성함으로써, MOS·FET 의 고내압화에 있어서 요구되는 드레인 - 기판간 용량의 항복전압의 향상에 대해서도, 기판농도를 충분히 낮게 억제할 수 있으므로 용이하게 달성할 수 있다.

또한, 고전압회로(21)의 n 웰(12)과, 저전압회로(22)를 n형 반도체기판(11)의 바이어스로부터 분리하기 위한 n 웰(13)은 동일한 이온주입 및 드라이브인 공정에 의해 형성되어 있으므로, 통상의 고내압 CMOS 공정에 비하여 약간의 공정수의 증가로 족하게 된다.

또한, 상기 구성에 의하면, 다른 전원전압으로 동작하는 회로간의 기준전위를 균일하게 할 필요가 없어지므로, 저전압회로(22)로서 예를 들면 5V의 진폭의 로직회로를 사용한 경우에는, 기준전위를 GND 레벨로 하고, +5V / 0V 로 동작시킬 수 있고, 외부와의 인터페이스가 용이하게 된다.

또, 종래 외부와의 인터페이스를 고려하면, 고전압회로(21)로서 예를 들면 +15V / - 9V 를 전원전압으로 하는 회로를 구비하는 경우, 전단(前段)의 콘트롤회로에 대해서는 기준전위를 균일하게 할 필요가 있으므로, +5V / - 9V의 동작전압으로 구성하지 않을 수 없었다.

그런데, 상기 구성에 의하면, +5V / 0V의 5V동작전압에 의한 회로구성이 가능하게 되므로, 저내압의 FET를 사용할 수 있고, 저소비 전력 및 대규모의 집적을 실현할 수도 있게 된다.

상기 구성의 고전압회로(21)와 저전압회로(22)는, 예를 들면 제2도에 나타낸 바와 같은 CCD 형 고체촬상장치에 있어서, 고내압수직드라이버(23)와 CCD 구동용의 저전압타이밍 발생기(24)로서 사용된다.

제2도에 있어서, CCD형 고체촬상장치는 매트릭스형으로 2차원 배열된 다수의 포토센서(25) 및 이 포토센서(25)의 수직 열마다 배설되어 포토센서(25)로부터 독출된 신호전하를 수직전송하는 수직레지스터(25)를 포함하는 촬상부(27)와, 수직레지스터(26)로부터 전송된 신호전하를 수평전송하는 수평레지스터(28)와, 이 수평레지스터(28)에 의해 전송되어 온 신호전하를 검출하여 신호전압으로 변환하는 전하검출부(29)로 구성되어 있으며, 수직드라이버(23)에 의해 수직레지스터(26)의 전송구동이 행하여지도록 되어 있다.

제3도에 CCD 형 고체촬상장치의 수직드라이버(23) 및 타이밍 발생기(24)에 적용된 고전압회로(21) 및 저전압회로(22)의 회로도를 나타낸다.

제3도에 있어서, 고전압회로(21)를 구성하는 nMOS 트랜지스터(15) 및 pMOS 트랜지스터(16)로 이루어지는 CMOS 회로의 저레벨측의 전원전압 $V_{SS}1$ 은 수직드라이버(23)의 기준전위로 되고, 이 기준전위로서는 예를 들면 - 9V가 설정되고, 또 그 고레벨측의 전원전압 $V_{DD}1$은 수직드라이버(23)의 플러스측 전원전압으로 되고, 이 플러스측 전원전압으로서는 예를 들면 +15V가 설정된다.

한편, 저전압회로(22)를 구성하는 nMOS 트랜지스터(17) 및 pMOS 트랜지스터(18)로 이루어지는 CMOS 회로의 저레벨측의 전원전압 $V_{SS}2$ 은 타이밍 발생기(24)의 마이너스측 전원전압으로 되고, 이 마이너스측 전원전압으로서는 GND 레벨이 설정되고, 또 그 고레벨측의 전원전압 $V_{DD}2$ 은 타이밍 발생기(24)의 기준전위로 되고, 이 기준전위로서는 예를 들면 +5V 가 설정된다.

이와 같이, 고전압회로(21) 및 저전압회로(22)를 CCD 형 고체촬상장치의 수직드라이버(23) 및 타이밍발생기(24)에 적용하고, 제1도에 나타낸 바와 같이, 저전압회로(22)인 타이밍발생기(24)를 n 웰(13)에 의해 p형 반도체기판(11)으로부터 전위적으로 분리함으로써, 이 타이밍발생기(24)의 기준전위 및 마이너스측 전원전압을 고전압회로(21)인 수직드라이버(23)의 플러스측 전원전압 및 기준전위의 어느 것으로부터도 독립하여 설정할 수 있다.

따라서, 5V / 0V 진폭으로 동작하는 타이밍발생기(24)와 +15V / - 9V 진폭의 출력신호를 발생하는 수직드라이버(23)를 동일 칩상에 모두 CMOS회로로 구성하는 것이 가능하게 된다.

저전압회로(22)와 고전압회로(21)의 사이에는, 신호레벨의 변환을 행하기 위한 레벨변환회로(30)가 배치되어 있다.

이 레벨변환회로(30)는 제4도에 그 회로구성의 일예를 나타낸 바와 같이, 각각 드레인끼리가 공통접속된 한쌍의 pMOS 트랜지스터 P1, nMOS 트랜지스터 N1 로 이루어지는 제1의 CMOS 회로(31), 마찬가지로 한쌍의 pMOS 트랜지스터 P2, nMOS 트랜지스터 N2로 이루어지는 제2의 CMOS 회로(32), 및 마찬가지로 한쌍의 pMOS 트랜지스터 P3, nMOS 트랜지스터 N3 로 이루어지는 제3의 CMOS 회로(33)의 3개의 CMOS 회로에 의해 구성되어 있다.

제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 의 소스는 저전압회로(22)의 플러스측 전원전압인 +5V에 바이어스되고, 제1, 제2의 CMOS 회로(31),(32)의 nMOS 트랜지스터 N1, N2 의 각 소스는 공통접속되고 또한 고전압회로(21)의 마이너스측 전원전압인 - 9V 에 바이어스되어 있다.

제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 및 nMOS 트랜지스터 N1 의 드레인 공통접속점 A은 제2의 CMOS 회로(32)의 nMOS 트랜지스터 N2 의 게이트에 접속되고, 제2의 CMOS 회로(32)의 pMOS 트랜지스터 P2 및 nMOS 트랜지스터 N2 의 드레인 공통접속점 B 은 제1의 CMOS 회로(31)의 nMOS 트랜지스터 N1 의 게이트에 접속되어 있다.

제2, 제3의 CMOS 회로(32),(33)의 pMOS 트랜지스터 P2, P3 의 각 소스는 공통접속되고 또한 고전압회로(21)의 플러스측 전원전압인 +15V 에 바이어스되어 있으며, 제3의 CMOS 회로(33)의 nMOS 트랜지스터 N3 의 소스는 저전압회로(22)의 마이너스측 전원전압인 접지전위(0V)에 바이어스되어 있다.

제2의 CMOS 회로(32)의 pMOS 트랜지스터 P2 및 nMOS 트랜지스터 N2 의 드레인 공통접속점 B 은 제3의 CMOS 회로(33)의 pMOS 트랜지 스터 P3 의 게이트에 접속되고, 제3의 CMOS 회로(33)의 pMOS 트랜지스터 P3 및 nMOS 트랜지스터 N3 의 드레인공통접속점 C 은 제2의 CMOS 회로 (32)의 pMOS 트랜지스터 P2 의 게이트에 접속되어 있다.

그리고, 제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 의 게이트와 재3의 CMOS 회로(33)의 nMOS 트랜지스터 N3 의 게이트가 공통접속되어 회로입력 IN 으로 되고, 제2의 CMOS 회로(32)의 pMOS 트랜지스터 P2 및 nMOS 트랜지스터 N2 의 드레인공통접속점 B 이 회로출력 OUT 으로 된다.

즉, pMOS 트랜지스터 P1 및 nMOS 트랜지스터 N3 의 각 게이트에는, 저전압회로(22)(본 예에서는, 타이밍발생기(24))의 출력신호가 입력되고, pMOS 트랜지스터 P2 및 nMOS 트랜지스터 N2의 드레인 공통접속점 B 으로부터는 레벨변환된 신호가 도출되고, 그 출력신호가 고전압회로(21)(본 예에서는, 수직드라이버(23))에 공급된다.

다음에, 이 레벨변환회로(30)의 회로동작에 대하여 제5도의 타이밍차트를 참조하면서 설명한다.

제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 및 nMOS 트랜지스터 N3 의 각 게이트에 타이밍발생기(24)의 출력의 저레벨(본 예에서는, 0V)이 인가되면, 제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 가 온상태로 되고, A 점의 전위가 +5V 로 된다. 이로써, 제2의 CMOS 회로(32)의 nMOS 트랜지스터 N2가 온상태로 된다.

따라서, B 점의 전위는 - 9V로 되어, 제1의 CMOS 회로(31)의 nMOS 트랜지스터 N1 는 오프상태로 되지만, 제3의 CMOS 회로(33)의 pMOS 트랜지스터 P3 는 온상태로 되므로, C 점의 전위는 +15V 로 된다. 이로써, 제2의 CMOS 회로(32)의 pMOS 트랜지스터 P2 는 오프상태로 되고, 회로출력 OUT 인 B 점의 전위는 - 9V 로 유지된다.

한편, 제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 및 nMOS 트랜지스터 N3 의 각 게이트에 타이밍발생기(24)의 출력의 고레벨(본 예에서는, +5V)이 인가되면, 제1의 CMOS 회로(31)의 pMOS 트랜지스터 P1 는 오프상태로 되지만, 제3의 CMOS 회로(33)의 nMOS트랜지스터 N3는 온상태로 되므로, C점의 전위는 0V로 되고, 제2의 CMOS 회로(32)의 pMOS 트랜지스터 P2 를 온상태로 한다.

따라서, B 점은 +15V 로 되고, 제3의 CMOS 회로(33)의 pMOS 트랜지스터 P3는 오프상태로 되지만, 제1의 CMOS 회로(31)의 nMOS 트랜지스터 N1 는 온상태로 되므로, A 점의 전위는 - 9V 로 되고, 제2의 CMOS 회로(32)의 nMOS 트랜지스터 N2를 오프상태로 한다. 이로써, 회로출력단인 B 점의 전위는 +15V 로 유지된다.

그리고, 상기 실시예에 있어서는, 고전압회로(21) 및 저전압회로(22)를 CCD형 고체촬상장치의 수직드라이버(23) 및 타이밍발생기(24)에 적용한 경우에 대하여 설명하였으나, 이것에 한정되는 것은 아니고, 예를 들면 디지탈통신 인터페이스 등에 적용하는 것도 가능하다.

또, 상기 실시예에서는, p 형 반도체기판(11)상에 CMOS 회로를 형성하였지만, n형 반도체기판에도 마찬가지로 적용가능하고, 상기 실시예의 경우와 같은 효과를 얻을 수 있다.

제6도는 n형 반도체기판을 사용하여 구성한 본 발명의 다른 실시예를 나타낸 단면구조도이다.

제6도에 있어서, n 형 반도체기판(41)은 플러스측의 높은 전원전압 $V_{DD}1$ 에 바이어스되어 있다. 이 n 형 반도체기판(41)에는 제1의 p 웰(42)이 형성되어 있다. 이 제1의 p 웰(42)은 마이너스측의 전원 전위 $V_{SS}1$ 에 바이어스되어 있다.

또, n 형 반도체기판(41)에는 제2의 p 웰(43)이 제1의 p 웰(42)과는 평면영역상 분리하여 형성되어 있다. 이 제2의 p 웰(43)은 전원전압 $V_{SS}2$ 으로서의 예를 들면 GND 레벨에 바이어스되어 있다. 제1의 p 웰(42)과 제2의 p 웰(43)은 동일한 이온주입 및 드라이브 인 공정에 의해 형성된다.

n 형 반도체기판(41)에는 또한 제2의 p 웰(43)내에 평면영역상 포함되도록 n 웰(44)이 형성되어 있다. 이 n 웰(44)은 플러스측의 낮은 전원전압 $V_{DD}2$ 에 바이어스되어 있다.

n 형 반도체기판(41)상에는 pMOS 트랜지스터(제1MOS 트랜지스터)(45)가 형성되고, 제1의 p 웰(42)내에는 nMOS 트랜지스터(46)(제2MOS 트랜지스터)가 형성되어 있다. 그리고, 이들 MOS 트랜지스터(45),(46)는 각 게이트 및 드레인이 공통으로 접속됨으로써 CMOS 회로를 구성하고 있다. 이 CMOS 회로는 플러스 · 마이너스 양극성의 고전압을 취급하는 고전압회로(21)로서 사용된다.

또, n 웰(44)내에는 pMOS 트랜지스터(제4MOS 트랜지스터)(47)가 형성되고, 제2의 p 웰(43)내에는 nMOS 트랜지스터(제3MOS 트랜지스터)(48)가 형성되어 있다. 그리고, 이들 MOS 트랜지스터(47),(48)는 각 게이트 및 드레인이 공통으로 접속됨으로써 CMOS 회로를 구성하고 있다. 이 CMOS 회로는 플러스극성의 저전압을 취급하는 저전압회로(22)로서 사용된다.

그리고, 제6도에 있어서, (49)는 각 MOS 트랜지스터의 게이트전극, (50)은 Al 배선이다.

이상 설명한 바와 같이, 본 발명에 의하면, 고전압용 CMOS 회로를 반도체기판상에 직접 형성하는 동시에, 저전압용 CMOS 회로를 반도체기판상에 형성된 당해 기판과는 다른 도전형의 웰내에 형성하는 구성으로 함으로써, 이 웰에 의해 저전압용 CMOS 회로가 반도체기판으로부터 전위적으로 분리되므로, 저전압용 CMOS 회로의 플러스측 전원전압 및 마이너스측 전원전압을 고전압용 CMOS 회로의 플러스측 전원전압 및 마이너스측 전원전압의 어느 것으로부터도 독립하여 설정할 수 있다.

이로써, 플러스 · 마이너스 양극성의 고전압용 CMOS 회로 및 대규모의 저전압용 CMOS회로를 동일 칩상에 구성할 수 있게 된다.

(57) 청구의 범위

청구항 1

제1도전형의 반도체기판상에 고전압용 CMOS 회로와 저전압용 CMOS 회로를 형성하여 이루어지는 CMOS 집적회로로서, 상기 반도체기판상에 형성한 제2도전형의 제1MOS트랜지스터 및 상기 반도체기판상에 형성된 제2도전형의 제1웰내에 형성한 제1도전형의 제2MOS 트랜지스터로 이루어지는 고전압용 CMOS 회로와, 상기 반도체기판상에 형성된 제2도전형의 제2웰내에 형성한 제1도전형의 제3MOS트랜지스터 및 상기 제2도전형의 제2웰내에 형성된 제1도전형의 제3웰내에 형성한 제2도전형의 제4MOS 트랜지스터로 이루어지는 저전압용 CMOS 회로를 구비한 것을 특징으로 하는 CMOS 집적회로.

청구항 2

제1항에 있어서, 상기 제1도전형의 반도체기판은 p형 반도체기판인 것을 특징으로 하는 CMOS 집적회로.

청구항 3

제1항에 있어서, 상기 제1도전형의 반도체기판은 n형 반도체기판인 것을 특징으로로 하는 CMOS 집적회로.

청구항 4

제1항에 있어서, 상기 고전압용 CMOS회로는 고체촬상장치의 드라이브회로를 구성하는 것을 특징으로 하는 CMOS 집적회로.

청구항 5

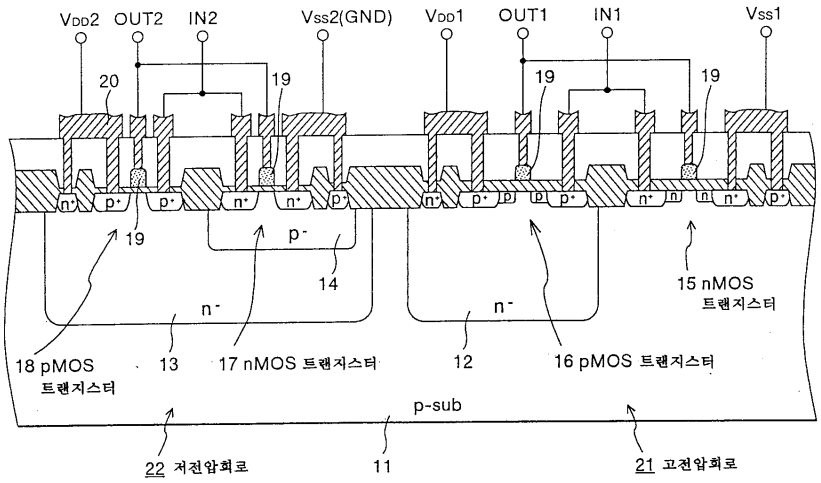
제1항에 있어서, 상기 저전압용 CMOS회로는 고체촬상장치의 로직회로를 구성하는 것을 특징으로 하는 CMOS 집적회로.

청구항 6

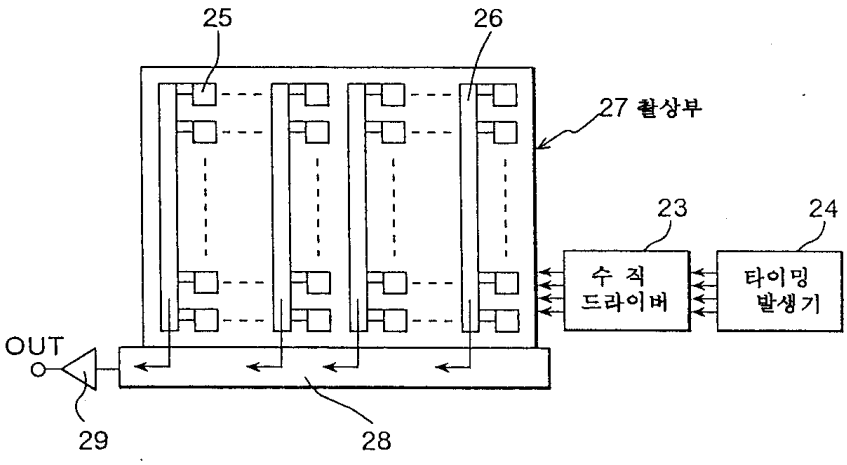
제1항에 있어서, 상기 고전압용 CMOS 회로의 저레벨측 및 고레벨측의 전원전압으로서 마이너스측 및 플러스측의 전원전압이 설정되고, 상기 저전압용 CMOS 회로의 저레벨측 및 고레벨측의 전원전압으로서 접지전위 및 플러스측의 전원전압이 설정된 것을 특징으로 하는 CMOS 집적회로.

도면

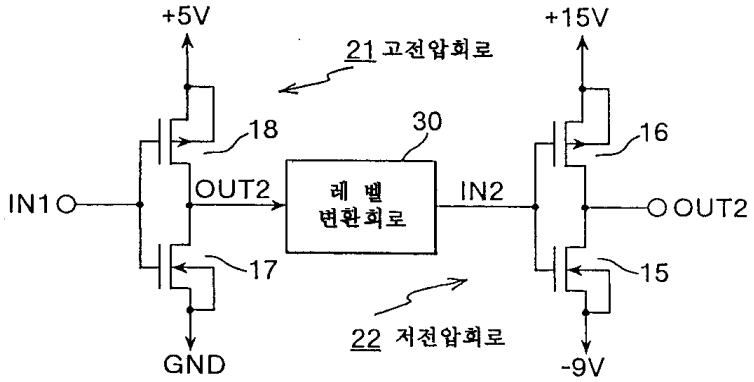
도면1



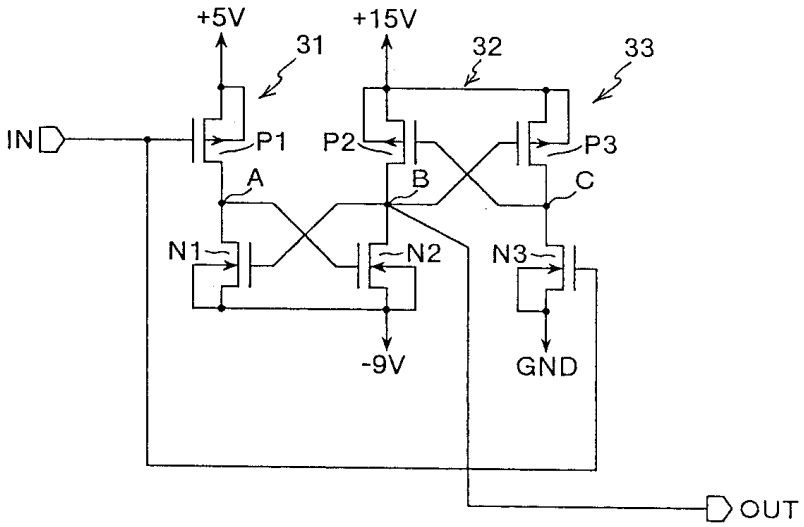
도면2


25
26
27 촬상부
23
24
수 직
드라이버
타이밍
발생기
OUT
29
28

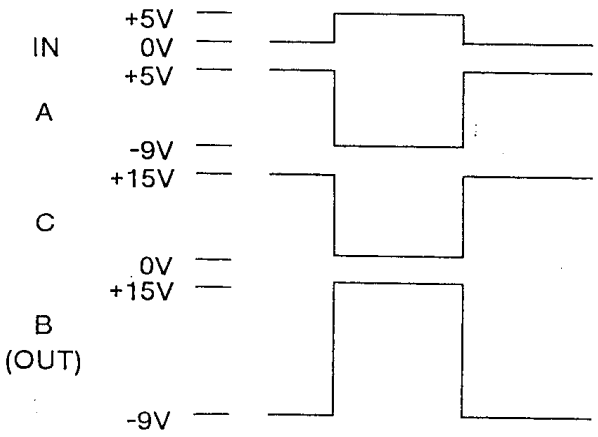
도면3


+5V
21 고전압회로
+15V
18
30
16
IN1
OUT2
레 벨
변환회로
IN2
OUT2
17
15
22 저전압회로
GND
-9V

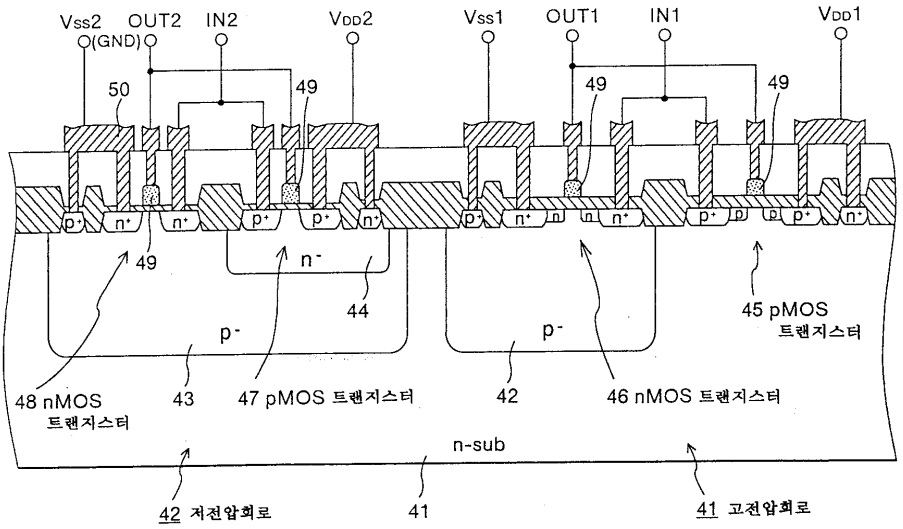
도면4


+5V
+15V
31
32
33
IN
P1
P2
P3
A
B
C
N1
N2
N3
-9V
GND
OUT

도면5


IN
+5V
0V
+5V
A
-9V
+15V
C
0V
+15V
B
(OUT)
-9V

도면6


Vss2
OUT2
IN2
VDD2
Vss1
OUT1
IN1
VDD1
(GND)
50
49
49
49
49
n-
44
p-
p-
45 pMOS
트랜지스터
48 nMOS
트랜지스터
43
47 pMOS 트랜지스터
42
46 nMOS 트랜지스터
n-sub
42 저전압회로
41
41 고전압회로