(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0144050
(43) 공개일자 2020년12월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/32 (2016.01) *G09G 3/20* (2006.01)
H01L 27/15 (2006.01)
(52) CPC특허분류
G09G 3/32 (2013.01)
G09G 3/2003 (2013.01)
(21) 출원번호 10-2020-0053707
(22) 출원일자 2020년05월06일
심사청구일자 없음
(30) 우선권주장
1020190071477 2019년06월17일 대한민국(KR)
(뒷면에 계속)

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김진호
경기도 수원시 영통구 삼성로 129(매탄동)
시게타 테츠야
경기도 수원시 영통구 삼성로 129(매탄동)
(뒷면에 계속)
(74) 대리인
정홍식, 김태헌

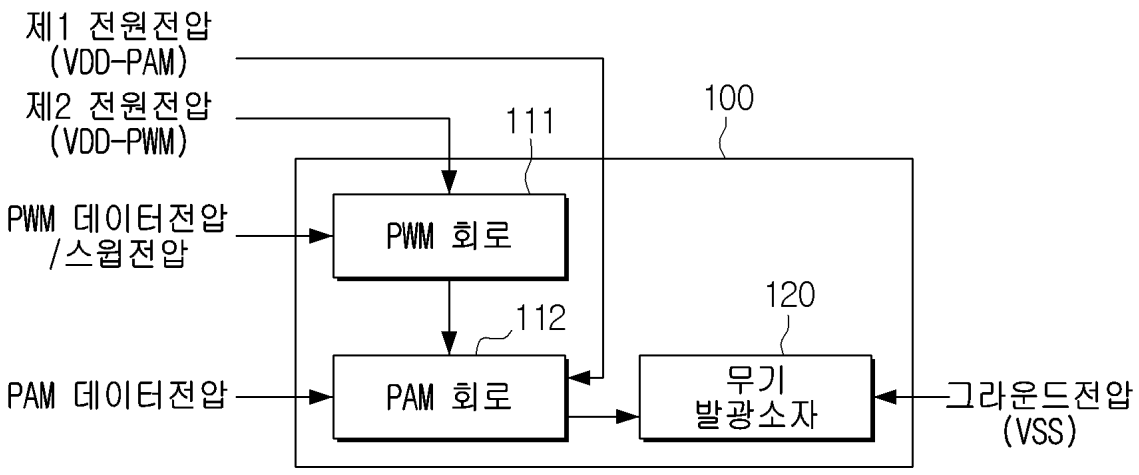
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **디스플레이 모듈 및 이의 구동 방법**

(57) 요 약

디스플레이 모듈이 개시된다. 본 디스플레이 모듈은, 무기 발광 소자 및 무기 발광 소자로 구동 전류를 제공하는 픽셀 회로를 포함하는 디스플레이 패널, 및 픽셀 회로를 구동하는 구동부를 포함하고, 픽셀 회로는, 인가되는 PAM 데이터 전압에 기초하여 구동 전류의 진폭을 제어하기 위한 PAM 회로 및 인가되는 PWM 데이터 전압에 기초하여 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로를 포함하고, 구동부는, PAM 회로를 구동하기 위한 제 1 전원 전압을 PAM 회로로 제공하고 PWM 회로를 구동하기 위한 제 2 전원 전압을 PWM 회로로 제공하는 전원 회로를 포함한다.

대 표 도 - 도9



(52) CPC특허분류
H01L 27/156 (2013.01)
G09G 2300/0439 (2013.01)
G09G 2310/027 (2013.01)

(72) 발명자
박태순
경기도 수원시 영통구 삼성로 129(매탄동)
신상민
경기도 수원시 영통구 청명로 132, 327동 704호(영통동, 벽산삼익아파트)
정영기
경기도 수원시 영통구 삼성로 129(매탄동)

(30) 우선권주장
1020190138093 2019년10월31일 대한민국(KR)
1020190158614 2019년12월02일 대한민국(KR)

명 세 서

청구범위

청구항 1

디스플레이 모듈에 있어서,

무기 발광 소자 및 상기 무기 발광 소자로 구동 전류를 제공하는 픽셀 회로를 포함하는 디스플레이 패널; 및

상기 픽셀 회로를 구동하는 구동부;를 포함하고,

상기 픽셀 회로는,

인가되는 PAM 데이터 전압에 기초하여 상기 구동 전류의 진폭을 제어하기 위한 PAM 회로 및 인가되는 PWM 데이터 전압에 기초하여 상기 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로를 포함하고,

상기 구동부는,

상기 PAM 회로를 구동하기 위한 제 1 전원 전압을 상기 PAM 회로로 제공하고 상기 PWM 회로를 구동하기 위한 제 2 전원 전압을 상기 PWM 회로로 제공하는 전원 회로를 포함하는, 디스플레이 모듈.

청구항 2

제 1 항에 있어서,

상기 제 2 전원 전압은,

상기 제 1 전원 전압보다 작은 크기의 전압인, 디스플레이 모듈.

청구항 3

제 1 항에 있어서,

상기 전원 회로는,

상기 디스플레이 패널과는 별도의 기판 상에 마련되는, 디스플레이 모듈.

청구항 4

제 1 항에 있어서,

상기 전원 회로는,

제 1 라인을 통해 상기 제 1 전원 전압을 상기 PAM 회로로 제공하고, 제 2 라인을 통해 제 2 전원 전압을 상기 PWM 회로로 제공하는, 디스플레이 모듈.

청구항 5

제 1 항에 있어서,

상기 디스플레이 패널은,

복수의 서브 픽셀을 포함하는 복수의 픽셀이 글래스 상에 매트릭스 형태로 배치되고,

상기 복수의 서브 픽셀 각각은,

상기 무기 발광 소자 및 상기 픽셀 회로를 포함하며,

상기 무기 발광 소자는,

상기 픽셀 회로와 전기적으로 연결되도록 상기 글래스 상에 형성된 상기 픽셀 회로 위에 실장되는, 디스플레이 모듈.

청구항 6

제 5 항에 있어서,

상기 구동부는,

상기 매트릭스 형태로 배치된 픽셀들을 행 단위로 구동하기 위한 게이트 드라이버 회로 및 상기 픽셀 또는 상기 서브 픽셀에 상기 PAM 데이터 전압 또는 상기 PWM 데이터 전압을 인가하기 위한 소스 드라이버 회로를 더 포함하는, 디스플레이 모듈.

청구항 7

제 1 항에 있어서,

상기 디스플레이 패널은, 복수의 픽셀을 포함하며,

상기 복수의 픽셀 각각은, 복수의 서브 픽셀을 포함하며, 상기 PWM 데이터 전압이 인가되는 복수의 데이터 라인 및 상기 복수의 픽셀을 라인 별로 선택하기 위한 복수의 게이트 라인이 교차하여 형성되는 복수의 영역에 각각 배치되고,

상기 구동부는,

상기 복수의 게이트 라인 중 하나의 라인에 연결된 복수의 픽셀을 선택하기 위한 제 1 제어 신호를 상기 하나의 라인에 인가하고, 상기 하나의 라인에 연결된 복수의 서브 픽셀을 각각 선택하기 위한 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 대해 순차적으로 인가하여, 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가하는, 디스플레이 모듈.

청구항 8

제 7 항에 있어서,

상기 구동부는,

상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가한 후에 상기 제 1 제어 신호를 인가하여, 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가하는, 디스플레이 모듈.

청구항 9

제 7 항에 있어서,

상기 구동부는,

상기 제 1 제어 신호에 따라 상기 하나의 라인에 연결된 복수의 픽셀이 선택된 동안, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가하여 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가하고, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 일괄적으로 인가하여 리셋 데이터 전압을 인가하는, 디스플레이 모듈.

청구항 10

제 7 항에 있어서,

상기 구동부는,

상기 제 1 제어 신호에 따라 상기 하나의 라인에 연결된 복수의 픽셀이 선택된 동안, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가하여 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압 및 리셋 데이터 전압을 인가하는, 디스플레이 모듈.

청구항 11

제 7 항에 있어서,

상기 복수의 픽셀은, R 서브 픽셀, G 서브 픽셀 및 B 서브 픽셀을 각각 포함하고,

상기 복수의 제 2 제어 신호는, 상기 R, G, B 서브 픽셀을 순차적으로 선택하기 위한 제 1 내지 제 3 먹스 신호를 포함하고,

상기 R, G, B 서브 픽셀 각각에 대응되는 PWM 데이터 전압은, 상기 제 1 내지 제 3 먹스 신호에 따라 상기 R, G, B 서브 픽셀 각각의 데이터 신호 라인에 순차적으로 인가되며,

상기 R, G, B 서브 픽셀 각각의 데이터 신호 라인의 전압은, 다른 서브 픽셀의 데이터 라인에 상기 PWM 데이터 전압이 인가되는 동안 리셋된 상태인, 디스플레이 모듈.

청구항 12

무기 발광 소자 및 상기 무기 발광 소자로 구동 전류를 제공하는 픽셀 회로를 포함하는 디스플레이 패널, 및 상기 픽셀 회로를 구동하는 구동부를 포함하는 디스플레이 모듈의 구동 방법에 있어서,

PAM 데이터 전압 및 PWM 데이터 전압을 상기 픽셀 회로에 인가하는 단계; 및

상기 PAM 데이터 전압에 대응되는 진폭 및 상기 PWM 데이터 전압에 대응되는 펄스 폭을 갖는 구동 전류를 상기 무기 발광 소자로 제공하는 단계;를 포함하고,

상기 픽셀 회로는,

상기 PAM 데이터 전압에 기초하여 상기 구동 전류의 진폭을 제어하기 위한 PAM 회로 및 상기 PWM 데이터 전압에 기초하여 상기 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로를 포함하고,

상기 구동부는,

상기 PAM 회로를 구동하기 위한 제 1 전원 전압을 상기 PAM 회로로 제공하고 상기 PWM 회로를 구동하기 위한 제 2 전원 전압을 상기 PWM 회로로 제공하는 전원 회로를 포함하는, 구동 방법.

청구항 13

제 12 항에 있어서,

상기 제 2 전원 전압은,

상기 제 1 전원 전압보다 작은 크기의 전압인, 구동 방법.

청구항 14

제 12 항에 있어서,

상기 전원 회로는,

제 1 라인을 통해 상기 제 1 전원 전압을 상기 PAM 회로로 제공하고, 제 2 라인을 통해 제 2 전원 전압을 상기 PWM 회로로 제공하는, 구동 방법.

발명의 설명

기 술 분 야

[0001] 본 개시는 디스플레이 모듈 및 이의 구동 방법에 관한 것으로, 보다 상세하게는, 발광 소자가 픽셀을 구성하는 디스플레이 모듈 및 이의 구동 방법에 관한 것이다.

배 경 기 술

[0002] 종래, 적색 LED(Light Emitting Diode), 녹색 LED, 청색 LED와 같은 무기 발광 소자(이하에서, LED는 무기 발광 소자를 말한다.)를 서브 픽셀로 구동하는 디스플레이 패널에서는, PAM(Pulse Amplitude Modulatio) 구동 방식을 통해 서브 픽셀의 계조를 표현하였다.

[0003] 이 경우, 구동 전류의 진폭에 따라, 발광하는 빛의 계조뿐 아니라 파장도 함께 변화하게 되어 영상의 색 재현성이 감소된다. 도 1은 청색 LED, 녹색LED 및 적색 LED를 흐르는 구동 전류의 크기(또는 진폭)에 따른 파장 변화를 도시하고 있다.

발명의 내용

해결하려는 과제

[0004] 본 개시의 목적은 입력되는 영상 신호에 대해, 글래스(Glass) 기판 상에 실장되는 무기 발광 소자인 LED를 통해, 향상된 색재현성을 제공하는 디스플레이 모듈 및 이의 구동 방법을 제공함에 있다.

[0005] 본 개시의 다른 목적은, 글래스 기판 상에 실장되는 무기 발광 소자인 LED를, 보다 효율적으로 구동할 수 있는 픽셀 회로를 포함하여 이루어진 디스플레이 모듈 및 이의 구동 방법을 제공함에 있다.

[0006] 본 개시의 또 다른 목적은, 글래스 기판 상에 실장되는 무기 발광 소자인 LED를 구동하는 구동 회로의 설계를 최적화하여, 고밀도 집적에 적합한 구동 회로를 포함하는 디스플레이 모듈 및 이의 구동 방법을 제공함에 있다.

[0007] 본 개시의 또 다른 목적은, 글래스 기판 상에 실장되는 무기 발광 소자인 LED가 안정적으로 동작되도록 하는 픽셀 회로 포함하여 이루어진 디스플레이 모듈 및 이의 구동 방법을 제공함에 있다.

과제의 해결 수단

[0008] 이상과 같은 목적을 달성하기 위한 본 개시의 일 실시 예에 따른 디스플레이 모듈은, 무기 발광 소자 및 상기 무기 발광 소자로 구동 전류를 제공하는 픽셀 회로를 포함하는 디스플레이 패널 및 상기 픽셀 회로를 구동하는 구동부를 포함하고, 상기 픽셀 회로는, 인가되는 PAM 데이터 전압에 기초하여 상기 구동 전류의 진폭을 제어하기 위한 PAM 회로 및 인가되는 PWM 데이터 전압에 기초하여 상기 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로를 포함하고, 상기 구동부는, 상기 PAM 회로를 구동하기 위한 제 1 전원 전압을 상기 PAM 회로로 제공하고 상기 PWM 회로를 구동하기 위한 제 2 전원 전압을 상기 PWM 회로로 제공하는 전원 회로를 포함한다.

[0009] 또한, 상기 제 2 전원 전압은, 상기 제 1 전원 전압보다 작은 크기의 전압일 수 있다.

[0010] 또한, 상기 전원 회로는, 상기 디스플레이 패널과는 별도의 기판 상에 마련될 수 있다.

[0011] 또한, 상기 전원 회로는, 제 1 라인을 통해 상기 제 1 전원 전압을 상기 PAM 회로로 제공하고, 제 2 라인을 통해 제 2 전원 전압을 상기 PWM 회로로 제공할 수 있다.

[0012] 또한, 상기 디스플레이 패널은, 복수의 서브 픽셀을 포함하는 복수의 픽셀이 글래스 상에 매트릭스 형태로 배치되고, 상기 복수의 서브 픽셀 각각은, 상기 무기 발광 소자 및 상기 픽셀 회로를 포함하며, 상기 무기 발광 소자는, 상기 픽셀 회로와 전기적으로 연결되도록 상기 글래스 상에 형성된 상기 픽셀 회로 위에 실장될 수 있다.

[0013] 또한, 상기 구동부는, 상기 매트릭스 형태로 배치된 픽셀들을 행 단위로 구동하기 위한 게이트 드라이버 회로 및 상기 픽셀 또는 상기 서브 픽셀에 상기 PAM 데이터 전압 또는 상기 PWM 데이터 전압을 인가하기 위한 소스 드라이버 회로를 더 포함할 수 있다.

[0014] 또한, 상기 디스플레이 패널은, 복수의 픽셀을 포함하며, 상기 복수의 픽셀 각각은, 복수의 서브 픽셀을 포함하며, 상기 PWM 데이터 전압이 인가되는 복수의 데이터 라인 및 상기 복수의 픽셀을 라인 별로 선택하기 위한 복수의 게이트 라인이 교차하여 형성되는 복수의 영역에 각각 배치되고, 상기 구동부는, 상기 복수의 게이트 라인 중 하나의 라인에 연결된 복수의 픽셀을 선택하기 위한 제 1 제어 신호를 상기 하나의 라인에 인가하고, 상기 하나의 라인에 연결된 복수의 서브 픽셀을 각각 선택하기 위한 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가하여, 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가할 수 있다.

[0015] 또한, 상기 구동부는, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가한 후에 상기 제 1 제어 신호를 인가하여, 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가할 수 있다.

[0016] 또한, 상기 구동부는, 상기 제 1 제어 신호에 따라 상기 하나의 라인에 연결된 복수의 픽셀이 선택된 동안, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가하여 상기 하나의 라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가하고, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 일괄적으로 인가하여 리셋 데이터 전압을 인가할 수 있다.

[0017] 또한, 상기 구동부는, 상기 제 1 제어 신호에 따라 상기 하나의 라인에 연결된 복수의 픽셀이 선택된 동안, 상기 복수의 제 2 제어 신호를 상기 하나의 라인에 연결된 복수의 서브 픽셀에 순차적으로 인가하여 상기 하나의

라인에 포함된 복수의 서브 픽셀 각각에, 대응되는 PWM 데이터 전압 및 리셋 데이터 전압을 인가할 수 있다.

[0018] 또한, 상기 복수의 픽셀은, R 서브 픽셀, G 서브 픽셀 및 B 서브 픽셀을 각각 포함하고, 상기 복수의 제 2 제어 신호는, 상기 R, G, B 서브 픽셀을 순차적으로 선택하기 위한 제 1 내지 제 3 먹스 신호를 포함하고, 상기 R, G, B 서브 픽셀 각각에 대응되는 PWM 데이터 전압은, 상기 제 1 내지 제 3 먹스 신호에 따라 상기 R, G, B 서브 픽셀 각각의 데이터 신호 라인에 순차적으로 인가되며, 상기 R, G, B 서브 픽셀 각각의 데이터 신호 라인의 전압은, 다른 서브 픽셀의 데이터 라인에 상기 PWM 데이터 전압이 인가되는 동안 리셋된 상태일 수 있다.

[0019] 한편, 본 개시의 일 실시 예에 따른, 무기 발광 소자 및 상기 무기 발광 소자로 구동 전류를 제공하는 픽셀 회로를 포함하는 디스플레이 패널, 및 상기 픽셀 회로를 구동하는 구동부를 포함하는 디스플레이 모듈의 구동 방법은, PAM 데이터 전압 및 PWM 데이터 전압을 상기 픽셀 회로에 인가하는 단계 및 상기 PAM 데이터 전압에 대응되는 진폭 및 상기 PWM 데이터 전압에 대응되는 펄스 폭을 갖는 구동 전류를 상기 무기 발광 소자로 제공하는 단계를 포함하고, 상기 픽셀 회로는, 상기 PAM 데이터 전압에 기초하여 상기 구동 전류의 진폭을 제어하기 위한 PAM 회로 및 상기 PWM 데이터 전압에 기초하여 상기 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로를 포함하고, 상기 구동부는, 상기 PAM 회로를 구동하기 위한 제 1 전원 전압을 상기 PAM 회로로 제공하고 상기 PWM 회로를 구동하기 위한 제 2 전원 전압을 상기 PWM 회로로 제공하는 전원 회로를 포함한다.

[0020] 또한, 상기 제 2 전원 전압은, 상기 제 1 전원 전압보다 작은 크기의 전압일 수 있다.

[0021] 또한, 상기 전원 회로는, 제 1 라인을 통해 상기 제 1 전원 전압을 상기 PAM 회로로 제공하고, 제 2 라인을 통해 제 2 전원 전압을 상기 PWM 회로로 제공할 수 있다.

발명의 효과

[0022] 이상 설명한 바와 같이 본 개시의 다양한 실시 예에 따르면, 디스플레이 패널에 포함된 무기 발광 소자가 발광하는 빛의 파장이 계조에 따라 변화되는 것을 방지할 수 있다.

[0023] 또한, 디스플레이 패널을 구성하는 무기 발광 소자의 얼룩이나 색상을 보정할 수 있고, 모듈 형태의 디스플레이 패널들을 조합하여 대면적의 디스플레이 패널을 구성할 경우에도 각 디스플레이 패널 모듈 간의 휘도나 색상 차이를 보정할 수 있다.

[0024] 또한, 보다 최적화된 구동 회로의 설계가 가능하여, 보다 안정적이고 효율적으로 무기 발광 소자를 구동할 수 있게 되며, 디스플레이 패널의 소형화 및 경량화에 이바지할 수 있다.

도면의 간단한 설명

[0025] 도 1 은 청색 LED, 녹색 LED 및 적색 LED를 흐르는 구동 전류의 크기에 따른 파장 변화를 나타내는 그래프,

도 2a는 본 개시의 일 실시 예에 따른 디스플레이 패널의 픽셀 구조를 설명하기 위한 도면,

도 2b는 본 개시의 다른 일 실시 예에 따른 한 픽셀 내 서브 픽셀의 구조를 도시한 도면,

도 3은 본 개시의 일 실시 예에 따른 디스플레이 모듈의 구성을 도시한 블럭도,

도 4는 본 개시의 일 실시 예에 따른 디스플레이 패널의 단면도,

도 5는 본 개시의 다른 일 실시 예에 따른 디스플레이 모듈의 단면도,

도 6은 본 개시의 일 실시 예에 따른 TFT 층의 평면도,

도 7a는 본 개시의 일 실시 예에 따른 픽셀 회로의 상세 회로도,

도 7b는 본 개시의 일 실시 예에 따라 도 7a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도,

도 7c는 본 개시의 일 실시 예에 따른 PWM 회로의 데이터 전압 설정 및 문턱 전압 보상을 설명하기 위한 도면,

도 8은 본 개시의 일 실시 예에 따른 디스플레이 패널 동작시 발생할 수 있는 문제점을 설명하기 위한 도면,

도 9는 도 8에서 설명한 문제점을 해결할 수 있는 본 개시의 다른 일 실시 예에 따른 디스플레이 패널의 블럭도,

도 10a는 본 개시의 다른 일 실시 예에 따른 픽셀 회로의 상세 회로도,

도 10b는 본 개시의 일 실시 예에 따라 도 10a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도,

도 11a은 본 개시의 또 다른 일 실시 예에 따른 픽셀 회로의 상세 회로도,

도 11b는 본 개시의 일 실시 예에 따라 도 11a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도,

도 11c는 본 개시의 일 실시 예에 따라 도 11a와 같은 픽셀 회로를 포함하는 디스플레이 패널 전체를 구동하기 위한 각종 신호의 타이밍도,

도 12a는 본 개시의 또 다른 일 실시 예에 따른 픽셀 회로의 상세 회로도,

도 12b는 본 개시의 일 실시 예에 따라 도 12a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도,

도 13은 본 개시의 일 실시 예에 따른 디스플레이 장치의 구성도,

도 14는 본 개시의 일 실시 예에 따른 디스플레이 패널의 일부를 도시한 도면,

도 15a는 본 개시의 일 실시 예에 따른 디스플레이 패널을 구동하기 위한 각종 구동 신호들을 도시한 도면,

도 15b는 도 15a와 같은 방식으로 도 14의 디스플레이 패널을 구동하는 경우 발생할 수 있는 문제점을 설명하기 위한 도면,

도 16은 도 15b를 통해 설명한 문제점을 해결할 수 있는 본 개시의 일 실시 예에 따른 디스플레이 패널의 구동 방법을 도시한 도면,

도 17a는 도 15b를 통해 설명한 문제점을 해결할 수 있는 본 개시의 다른 일 실시 예에 따른 디스플레이 패널의 구동 방법을 도시한 도면,

도 17b는 도 15b를 통해 설명한 문제점을 해결할 수 있는 본 개시의 또 다른 일 실시 예에 따른 디스플레이 패널의 구동 방법을 도시한 도면,

도 18a는 본 개시의 일 실시 예에 따른 디스플레이 패널의 일부를 도시한 도면,

도 18b는 본 개시의 일 실시 예에 따른 디스플레이 패널 내에 Sig 라인의 배치를 도시한 도면,

도 18c는 커플링으로 인한 데이터 전압의 변화를 설명하기 위한 도면,

도 18d는 본 개시의 다른 일 실시 예에 따른 디스플레이 패널의 일부를 도시한 도면,

도 18e는 본 개시의 일 실시 예에 따른, 도 18d에 도시된 디스플레이 패널의 구동 타이밍도,

도 18f는 본 개시의 또 다른 일 실시 예에 따른 디스플레이 패널의 일부를 도시한 도면,

도 18g는 본 개시의 일 실시 예에 따른, 도 18f에 도시된 디스플레이 패널의 구동 타이밍도,

도 18h는 본 개시의 다른 일 실시 예에 따른, 도 18f에 도시된 디스플레이 패널의 구동 타이밍도,

도 19a는 본 개시의 일 실시 예에 따른, 먹스 회로를 포함하지 않는 디스플레이 패널의 일부를 도시한 도면,

도 19b는 본 개시의 일 실시 예에 따라 도 19a의 디스플레이 패널을 구동하기 위한 구동 신호를 도시한 도면,

도 19c는 본 개시의 다른 일 실시 예에 따른, 먹스 회로를 포함하지 않는 디스플레이 패널의 일부를 도시한 도면, 및

도 20은 본 개시의 일 실시 예에 따른 디스플레이 모듈의 구동 방법을 나타내는 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0026] 본 개시를 설명함에 있어, 관련된 공지 기술에 대한 구체적인 설명이 본 개시의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 동일한 구성의 중복 설명은 되도록 생략하기로 한다.

[0027] 이하의 설명에서 사용되는 구성요소에 대한 접미사 "부"는 명세서 작성의 용이함만이 고려되어 부여되거나 혼용되는 것으로서, 그 자체로 서로 구별되는 의미 또는 역할을 갖는 것은 아니다.

[0028] 본 개시에서 사용한 용어는 실시 예를 설명하기 위해 사용된 것으로, 본 개시를 제한 및/또는 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[0029] 본 개시에서, '포함하다' 또는 '가지다' 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0030] 본 개시에서 사용된 "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 다양한 구성요소들을, 순서 및/또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[0031] 어떤 구성요소(예: 제1 구성요소)가 다른 구성요소(예: 제2 구성요소)에 "(기능적으로 또는 통신적으로) 연결되어((operatively or communicatively) coupled with/to)" 있다거나 "접속되어(connected to)" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소(예: 제 1 다른 구성요소(예: 제 2 구성요소)에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소와 상기 다른 구성요소 사이에 다른 구성요소(예: 제 3 구성요소)가 존재하지 않는 것으로 이해될 수 있다.

[0032] 본 개시의 실시 예들에서 사용되는 용어들은 다르게 정의되지 않는 한, 해당 기술 분야에서 통상의 지식을 가진 자에게 통상적으로 알려진 의미로 해석될 수 있다.

[0033] 이하에서 첨부된 도면을 참조하여 본 개시의 다양한 실시 예를 상세히 설명한다.

[0034] 도 2a는 본 개시의 일 실시 예에 따른 디스플레이 패널의 픽셀 구조를 설명하기 위한 도면이다. 도 2a에 도시된 바와 같이, 디스플레이 패널(100)은 매트릭스 형태로 배열된 복수의 픽셀(10)을 포함할 수 있다.

[0035] 이때, 각 픽셀(10)은 복수의 서브 픽셀(10-1 내지 10-3)을 포함할 수 있다. 예를 들어, 디스플레이 패널(100)에 포함된 하나의 픽셀(10)은 적색(R) 서브 픽셀(10-1), 녹색(G) 서브 픽셀(10-2) 및 청색(B) 서브 픽셀(10-3)과 같은 3종류의 서브 픽셀을 포함할 수 있다. 즉, R, G, B 서브 픽셀 한 세트가 디스플레이 패널(100)의 하나의 단위 픽셀을 구성할 수 있다.

[0036] 한편, 도 2a를 참조하면, 디스플레이 패널(100)에서 하나의 픽셀 영역(20)은, 픽셀이 차지하는 영역(10)과 주변의 나머지 영역(11)을 포함하는 것을 볼 수 있다.

[0037] 픽셀이 차지하는 영역(10)에는 도시된 바와 같이, R, G, B 서브 픽셀들(10-1 내지 10-3)이 포함될 수 있다. 구체적으로, R 서브 픽셀(10-1)은 R 무기 발광 소자 및 R 무기 발광 소자를 구동하기 위한 픽셀 회로를, G 서브 픽셀(10-2)은 G 무기 발광 소자 및 G 무기 발광 소자를 구동하기 위한 픽셀 회로를, 그리고, B 서브 픽셀(10-3)은 B 무기 발광 소자 및 B 무기 발광 소자를 구동하기 위한 픽셀 회로를 각각 포함할 수 있다.

[0038] 이때, 각 픽셀 회로는, 연결된 무기 발광 소자를 PAM(Pulse Amplitude Modulation) 구동하기 위한 PAM 회로와 PWM(Pulse Width Modulation) 구동하기 위한 PWM 회로를 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0039] 한편, 실시 예에 따라, 픽셀이 차지하는 영역(10) 주변의 나머지 영역(11)에는 픽셀 회로를 구동하기 위한 각종 회로들이 포함될 수도 있다. 이와 같은 실시 예에 관하여는 도 6에서 보다 자세히 후술한다.

[0040] 도 2b는 본 개시의 다른 일 실시 예에 따른 한 픽셀 내 서브 픽셀의 구조를 도시한 도면이다. 도 2a를 참조하면, 하나의 픽셀(10) 내에서 서브 픽셀들(10-1 내지 10-3)은 좌우가 뒤바뀐 L자 모양으로 배열된 것을 볼 수 있다. 그러나, 실시 예가 이에 한정되는 것은 아니며, 도 2b에 도시된 바와 같이, R, G, B 서브 픽셀(10-1 내지 10-3)이 픽셀(10') 내부에서 일렬로 배치될 수도 있다. 다만, 이와 같은 서브 픽셀의 배치 형태는 일 예일 뿐이고, 복수의 서브 픽셀은 각 픽셀 내에서 실시 예에 따라 다양한 형태로 배치될 수 있다.

[0041] 한편, 상술한 예에서는 픽셀이 3종류의 서브 픽셀로 구성되는 것으로 설명하였으나, 이에 한정되는 것이 아님은 물론이다. 가령, 픽셀은 R, G, B, W(white)와 같이 4종류의 서브 픽셀로 구현될 수도 있고, 실시 예에 따라 얼마든지 다른 개수의 서브 픽셀이 하나의 픽셀을 구성할 수도 있음은 물론이다. 이하에서는, 설명의 편의를 위해, 픽셀(10)이 R, G, B와 같은 세 종류의 서브 픽셀로 구성된 경우를 예로 들어 설명하기로 한다.

[0042] 도 3은 본 개시의 일 실시 예에 따른 디스플레이 모듈의 구성을 도시한 블럭도이다.

[0043] 도 3에 따르면, 디스플레이 모듈(300)은 픽셀 회로(110) 및 무기 발광 소자(120)를 포함하는 디스플레이 패널(100), 및 구동부(200)를 포함한다.

[0044] 디스플레이 패널(100)은 도 4에서 후술할 바와 같이, 기판(40)상에 픽셀 회로(110)가 형성되고, 픽셀 회로(110)상에 무기 발광 소자(120)가 배치되는 구조를 가질 수 있다. 한편, 도 3에서는 설명의 편의를 위해 디스플레이 패널(100)에 포함된 하나의 서브 픽셀 관련 구성만을 도시하였다.

[0045] 무기 발광 소자(120)는 픽셀 회로(110)와 전기적으로 연결되도록 픽셀 회로(110)상에 실장되고, 픽셀 회로(110)로부터 제공되는 구동 전류에 기초하여 빛을 발광할 수 있다.

[0046] 무기 발광 소자(120)는 디스플레이 패널(100)의 서브 픽셀(10-1 내지 10-3)을 구성하며, 발광하는 빛의 색상에 따라 복수의 종류가 있을 수 있다. 예를 들어, 무기 발광 소자(120)는 적색 색상의 빛을 발광하는 적색(R) 무기 발광 소자, 녹색 색상의 빛을 발광하는 녹색(G) 무기 발광 소자 및 청색 색상의 빛을 발광하는 청색(B) 무기 발광 소자가 있을 수 있다.

[0047] 따라서, 서브 픽셀의 종류는 무기 발광 소자(120)의 종류에 따라 결정될 수 있다. 즉, R 무기 발광 소자는 R 서브 픽셀(10-1)을, G 무기 발광 소자는 G 서브 픽셀(10-2)을, 그리고, B 무기 발광 소자는 B 서브 픽셀(10-3)을 구성할 수 있다.

[0048] 여기서, 무기 발광 소자(120)는, 유기 재료를 이용하여 제작되는 OLED(Organic Light Emitting Diode)와는 다른, 무기 재료를 이용하여 제작되는 발광 소자를 말한다.

[0049] 한편, 본 개시의 일 실시 예에 따르면, 무기 발광 소자(120)는, 마이크로 LED(Light Emitting Diode)(u-LED)일 수 있다. 마이크로 LED는 백라이트나 컬러 필터 없이 스스로 빛을 내는 100 마이크로미터(㎛) 이하 크기의 초소형 무기 발광 소자를 말한다.

[0050] 무기 발광 소자(120)는, 픽셀 회로(110)로부터 제공되는 구동 전류의 진폭(Amplitude) 또는 펄스 폭(Pulse Width)에 따라 상이한 휘도로 발광할 수 있다. 여기서, 구동 전류의 펄스 폭은 구동 전류의 듀티비(Duty Ratio) 또는 구동 전류의 구동 시간(Duration)이라 불리울 수도 있다.

[0051] 예를 들어, 무기 발광 소자(120)는 구동 전류의 진폭이 클수록 높은 휘도로 발광할 수 있고, 펄스 폭이 길수록(즉, 듀티비가 높을수록 또는 구동 시간이 길수록) 높은 휘도로 발광할 수 있으나, 이에 한정되는 것은 아니다.

[0052] 픽셀 회로(110)는 무기 발광 소자(120)로 구동 전류를 제공한다. 구체적으로, 픽셀 회로(110)는 구동부(200)로부터 인가되는 데이터 신호, 전원 신호, 각종 제어 신호에 기초하여 진폭 및 펄스 폭이 제어된 구동 전류를 무기 발광 소자(120)로 제공할 수 있다. 즉, 픽셀 회로(110)는 무기 발광 소자(120)를 PAM 및/또는 PWM 구동하여 무기 발광 소자(120)가 발광하는 빛의 계조를 표현할 수 있다.

[0053] 이를 위해, 픽셀 회로(110)는 구동 전류의 진폭을 제어하기 위한 PAM 회로(112) 및 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로(111)를 포함할 수 있다. PAM 회로(112)는 인가되는 PAM 데이터 전압에 기초하여 구동 전류의 진폭을 제어하고, PWM 회로(111)는 인가되는 PWM 데이터 전압에 기초하여 구동 전류의 펄스 폭을 제어할 수 있다.

[0054] 특히, PWM 회로(111)는 무기 발광 소자(120)를 PWM 구동한다. PWM 구동 방식은 구동 전류의 펄스 폭을 통해 무기 발광 소자(120)의 발광 시간을 제어하여 계조를 표현하는 방식이다. 따라서, PWM 방식으로 무기 발광 소자(110)를 구동하는 경우, 구동 전류의 진폭이 동일하더라도, 구동 전류의 펄스 폭을 달리함으로써 다양한 계조를 표현할 수 있다. 이에 따라, PAM 방식만으로 LED를 구동하는 경우 발생할 수 있는 LED(특히, 마이크로 LED)가 발광하는 빛의 파장이 계조에 따라 변화하는 문제를 해결할 수 있다.

[0055] 즉, 본 개시의 일 실시 예에 따르면, 디스플레이 패널(100) 내의 모든 PAM 회로(112)에 동일한 PAM 데이터 전압을 인가하여 구동 전류의 진폭을 동일하게 함으로써, 구동 전류의 진폭 변화에 따른 LED의 파장 변화 문제를 해결할 수 있다. 이와 동시에, 영상 프레임 내의 각 픽셀의 계조값에 따른 PWM 데이터 전압을 디스플레이 패널(100)의 각 PWM 회로(111)에 인가하여 구동 전류의 펄스 폭을 제어함으로써 영상의 계조를 표현할 수 있게 된다.

[0056] 한편, 본 개시의 일 실시 예에 따르면, 위와 같이 동일한 PAM 데이터 전압이 디스플레이 패널(100) 내의 모든 픽셀에 인가될 수 있으므로, PAM 데이터 전압을 모든 픽셀에 일괄적으로 설정(또는 프로그램밍)할 수 있다. 따라서, 한 영상 프레임의 구동 시간 중, LED의 발광에 이용되는 시간을 충분히 확보할 수 있게 된다.

[0057] 구체적으로, PWM 회로(111)는 구동 트랜지스터(미도시)를 포함하며, 인가되는 각종 신호(또는 전압)에 따라 구동 트랜지스터의 게이트 단자 전압을 제어하여 구동 전류의 펄스 폭을 제어할 수 있다.

[0058] PWM 회로(111)는 특정 계조에 대응되는 PWM 데이터 전압이 인가되면, 인가된 PWM 데이터 전압을 구동 트랜지스터의 게이트 단자에 설정(내지 프로그래밍)할 수 있다.

[0059] 이후, 스윕 신호가 인가되면, PWM 회로(111)는 스윕 신호에 따라 구동 트랜지스터의 게이트 단자 전압을 변화시킴으로써, 상기 설정된 PWM 데이터 전압에 대응되는 펄스 폭의 구동 전류를 무기 발광 소자(120)로 제공할 수 있다.

[0060] 여기서, 스윕 신호는 구동 트랜지스터의 게이트 단자 전압을 선형 변화시키기 위해 구동부(200)에서 인가되는 전압으로, 삼각파 등과 같이 선형적으로 변화하는 신호일 수 있으나, 이에 한정되는 것은 아니다

[0061] PAM 회로(112)는 무기 발광 소자(120)를 PAM 구동한다. PAM 구동 방식은 구동 전류의 진폭을 통해 무기 발광 소자(120)가 발광하는 빛의 세기를 제어하여 계조를 표현하는 방식이다.

[0062] 상술한 바와 같이, 본 개시의 일 실시 예에 따르면 디스플레이 패널(100) 내의 모든 PAM 회로(112)에는 동일한 PAM 데이터 전압이 일괄적으로 인가될 수 있다. 이 경우, 디스플레이 패널(100) 내의 각 서브 픽셀을 구성하는 무기 발광 소자(120)로 제공되는 구동 전류의 진폭은 모두 동일할 것이다.

[0063] 그러나, 실시 예가 이에 한정되는 것은 아니다. 예를 들어, HDR(High Dynamic Range) 구동 등을 위해 상이한 값의 PAM 데이터 전압이 디스플레이 패널(100) 내의 PAM 회로(112)들에 인가될 수도 있음은 물론이다.

[0064] 한편, 전술한 바와 같이 디스플레이 패널(100)은, 무기 발광 소자(120) 단위로 서브 픽셀이 구성되며, 각 무기 발광 소자(120)마다 대응되는 픽셀 회로(110)가 존재한다. 따라서, 단일색으로 발광하는 복수의 무기 발광 소자를 백라이트로 사용하는 LCD(Liquid Crystal Display) 패널과 달리, 디스플레이 패널(100)의 각 픽셀 회로(110)는 대응되는 무기 발광 소자(120)를 구동하여 서브 픽셀 단위로 계조를 표현할 수 있다.

[0065] 구동부(200)는 디스플레이 패널(100)을 구동한다. 구체적으로, 구동부(200)는 각종 제어 신호, 데이터 신호 및 전원 신호를 픽셀 회로(110)로 제공하여 디스플레이 패널(100)을 구동할 수 있다.

[0066] 예를 들어, 구동부(200)는 매트릭스 형태로 배치된 디스플레이 패널(100)의 픽셀들을 가로 라인 단위(또는 행 단위)로 구동하기 위한 제어 신호를 제공하기 위한 적어도 하나의 게이트 드라이버 회로(또는 스캔 드라이버 회로)를 포함할 수 있다.

[0067] 또한, 구동부(200)는 매트릭스 형태로 배치된 디스플레이 패널(100)의 각 픽셀(또는 각 서브 픽셀)에 데이터 전압(예를 들어, PAM 데이터 전압 또는 PWM 데이터 전압 등)을 제공하기 위한 소스 드라이버 회로(또는 데이터 드라이버 회로)를 포함할 수 있다.

[0068] 또한, 구동부(200)는 픽셀(10)을 구성하는 복수의 서브 픽셀(10-1 내지 10-3)을 각각 선택하기 위한 먹스(MUX) 회로를 포함할 수 있다.

[0069] 또한, 구동부(200)는 디스플레이 패널(100)에 포함된 각 픽셀 회로(110)를 구동하기 위한 전원 전압을 제공하는 전원 회로를 포함할 수 있다.

[0070] 이때, 본 개시의 일 실시 예에 따르면, 전원 회로는 PAM 회로(112)를 구동하기 위한 제 1 전원 전압을 PAM 회로(112)로 제공하고, PWM 회로(111)를 구동하기 위한 제 2 전원 전압을 PWM 회로(111)로 제공할 수 있다.

[0071] 이 경우, 제 1 전압과 제 2 전압은 전원 회로의 서로 다른 라인을 통해 PAM 회로(112) 및 PWM 회로(111)에 각각 제공될 수 있다. 한편, 실시 예에 따라, 제 2 전원 전압은 제 1 전원 전압 보다 작은 크기의 전압이 될 수 있는데, 이에 관한 보다 자세한 내용은 후술한다.

[0072] 한편, 구동부(200)는 디스플레이 패널(100)에 포함된 각 픽셀을 구동하기 위한 클럭 신호를 제공하는 클럭 제공 회로를 포함할 수 있으며, 전술한 스윕 신호를PWM 회로(111)로 제공하기 위한 스윕 신호 제공 회로를 포함할 수 있다.

[0073] 구동부(200)는 디스플레이 패널(100)의 외부에 별도의 구성으로 마련되어 별도의 배선을 통해 디스플레이 패널(100)과 연결될 수 있다. 예를 들어, 상술한 구동부(200)의 각종 회로들은 칩 형태로 구현되어 프로세서나 TCON(Timing Controller)과 함께 외부 기판에 실장되고, 배선을 통해 디스플레이 패널(100) 내의 픽셀 회로(110)와 연결되는 형태로 구성될 수 있다.

[0074] 또한, 구동부(200)는 도 6에서 후술할 바와 같이 디스플레이 패널(100)의 TFT 층(30)에 픽셀 회로(110)와 함께 구현될 수도 있다.

[0075] 그러나, 실시 예가 이에 한정되는 것은 아니며, 구동부(200)에 포함될 수 있는 상술한 각종 회로들 중 일부 회로는 디스플레이 패널(100)의 내부에 구현되고, 나머지 구성은 디스플레이 패널(100)의 외부에 별도로 마련될 수도 있다. 예를 들어, 스윕 신호 제공 회로, 전원 회로 및 데이터 드라이버 회로는 프로세서나 TCON(Timing Controller)과 함께 외부의 PCB(Printed Circuit Board) 실장되도록 구성하고, 게이트 드라이버 회로 및 클럭 제공 회로는 디스플레이 패널(100)의 TFT 층에 포함되도록 구성될 수도 있다.

[0076] 한편, 본 개시의 다양한 실시 예들에 따른 디스플레이 모듈(300)은, 단일 단위로 웨어러블 기기(wearable device), 포터블 기기(portable device), 핸드헬드 기기(handheld device) 및 디스플레이가 필요한 각종 전자 제품이나 전장 제품에 적용될 수 있다.

[0077] 또한, 본 개시의 다양한 실시 예들에 따른 디스플레이 모듈(300)은, 복수의 디스플레이 모듈(300)의 조립 배치를 통해, 퍼스널 컴퓨터(personal computer)용 모니터, TV 등과 같은 소형 디스플레이 장치 및 디지털 사이니지(digital signage), 전광판(electronic display) 등과 같은 대형 디스플레이 장치에 적용될 수도 있다.

[0078] 도 4는 본 개시의 일 실시 예에 따른 디스플레이 패널의 단면도이다. 도 4에서는 설명의 편의를 위해, 디스플레이 패널(100)에 포함된 하나의 픽셀만을 도시하였다.

[0079] 도 4에 따르면, 디스플레이 패널(100)은 글래스(40), TFT 층(30) 및 무기 발광 소자 R, G, B(120-1 내지 120-3)를 포함한다. 픽셀 회로(110)(미도시)는 TFT(Thin Film Transistor)로 구현되어 글래스(Glass)(40) 상에 형성된 TFT 층(30)에 포함될 수 있다. 무기 발광 소자 R, G, B(120-1 내지 120-3) 각각은 TFT 층(30) 위에 실장되어 디스플레이 패널(100)의 각 서브 픽셀(10-1 내지 10-3)을 구성한다.

[0080] 이와 같이, 픽셀 회로(110)를 포함하는 TFT 층(30) 및 무기 발광 소자(120-1 내지 120-3)가 글래스(40) 상에 형성되는 디스플레이 패널(100)을 COG(Chip On Glass) 타입의 디스플레이 패널이라 칭할 수 있다. COG 타입의 디스플레이 패널은, 합성수지 등과 같은 기판상에 TFT 층 및 발광 소자 층이 형성되는 COB(Chip On Board) 타입의 디스플레이 패널과는 구별된다.

[0081] 한편, TFT 층(30)과 글래스(40)를 합하여 TFT 패널 또는 글래스 기판이라 부를 수도 있다. 즉, TFT 패널 또는 글래스 기판 위에 무기 발광 소자(120)가 실장되어 디스플레이 패널(100)을 구성할 수 있다. 글래스 기판을 구성하는 글래스(40)의 종류나 특성은 본 개시의 요지와 무관하므로, 이하 자세한 설명은 생략한다.

[0082] 한편, 도면에 명확히 구분하여 도시하지는 않았지만, TFT 층(30)에는 무기 발광 소자(120-1 내지 120-3)로 구동 전류를 제공하는 픽셀 회로(110)가 발광 소자(120-1 내지 120-3)별로 존재한다. 무기 발광 소자 R, G, B(120-1 내지 120-3) 각각은 대응되는 픽셀 회로(110)와 전기적으로 연결되도록 TFT 층(30) 위에 각각 실장 내지 배치될 수 있다.

[0083] 예를 들어, 도 4에 도시된 바와 같이, R 무기 발광 소자(120-1)는 애노드 전극(3) 및 캐소드 전극(4)이, 대응되는 픽셀 회로(110)(미도시)의 애노드 전극(1) 및 캐소드 전극(2)에 각각 연결되도록 실장 내지 배치될 수 있으며, 이는 G 무기 발광 소자(120-2) 및 B 무기 발광 소자(120-3)도 마찬가지다. 한편, 실시 예에 따라, 애노드 전극(1)과 캐소드 전극(2) 중 어느 하나가 공통 전극으로 구현될 수도 있다.

[0084] 도 4에서는 무기 발광 소자(120-1 내지 120-3)가 플립 칩(flip chip) 타입의 마이크로 LED인 것을 예로 들어 도시하였다. 그러나, 이에 한정되는 것은 아니며, 실시 예에 따라 무기 발광 소자(120-1 내지 120-3)는 수평(lateral) 타입이나 수직(vertical) 타입의 마이크로 LED가 될 수도 있다.

[0085] 이하에서는, 도 5 및 도 6을 통해 본 개시의 다양한 실시 예들에 따른 구동부(200)의 구현 예를 설명한다.

[0086] 도 5는 본 개시의 다른 일 실시 예에 따른 디스플레이 모듈의 단면도이다. 도 5에 따르면, 디스플레이 모듈(300)은, 글래스(40)의 일면에 형성된 TFT 층(30), TFT 층(30) 상에 실장되어 디스플레이 패널(100)의 서브 픽셀을 각각 구성하는 무기 발광 소자(120-1 내지 120-3), 구동부(200), 및 구동부(200)와 TFT 층(30)에 형성되는 픽셀 회로(110)(미도시)를 전기적으로 연결하는 연결 배선(50)을 포함할 수 있다.

[0087] 전술한 바와 같이, 각종 회로들을 포함하는 구동부(200)는 디스플레이 패널(100)과는 별도의 기판 상에 구현될 수 있다. 도 5는 TFT 층(30)이 형성된 글래스(40) 면의 반대 면에 구동부(200)가 배치된 예를 도시하고 있다. 이때, TFT 층(30)에 포함된 픽셀 회로(110)들은 TFT 패널(또는 글래스 기판)의 에지 영역에 형성된 연결 배선(50)을 통해 구동부(200)와 전기적으로 연결될 수 있다.

[0088] 이와 같이, 글래스(40)를 관통하는 홀(Hole)을 형성하여 픽셀 회로(110)와 구동부(200)를 서로 연결하지 않고,

TFT 패널의 에지 영역에 연결 배선(50)을 형성하여 픽셀 회로(110)와 구동부(200)를 연결하는 이유는, 글래스(40)를 관통하는 홀을 통해 픽셀 회로(110)와 구동부(200)를 연결하는 경우 TFT 패널의 제조 공정 및 홀에 전도성 물질을 채우는 공정 사이의 온도 차이로 인해 글래스에 크랙이 생기는 등의 문제가 발생할 수 있기 때문이다.

[0089] 한편, 전술한 바와 같이, 구동부(200)는 디스플레이 패널(100)의 TFT 층(30)내에 픽셀 회로(110)와 함께 구현될 수도 있다. 도 6은 이러한 예를 도시하고 있다.

[0090] 도 6은 본 개시의 일 실시 예에 따른 TFT 층(30)의 평면도이다. 구체적으로, 도 6은 디스플레이 패널(100)의 TFT 층(30)에 포함된 각종 회로의 배치를 도시하고 있다. 도 6을 참조하면, TFT 층(30)에서 하나의 픽셀이 차지하는(또는 하나의 픽셀에 대응되는) 전체 픽셀 영역(20)은, R, G, B 서브 픽셀을 구동하기 위한 각 픽셀 회로(110)들이 배치되는 영역(10) 및 주변의 나머지 영역(11)을 포함하는 것을 볼 수 있다.

[0091] 이때, 본 개시의 일 실시 예에 따르면, R, G, B 서브 픽셀 각각에 대한 픽셀 회로(110)가 차지하는 영역(10)의 크기는, 예를 들어, 전체 픽셀 영역(20)의 1/4 정도의 크기일 수 있으나, 이에 한정되는 것은 아니다. 이와 같이, 하나의 픽셀 영역(20)에는 각 서브 픽셀을 구동 하기 위한 픽셀 회로(110)가 차지하는 영역(10)외에 나머지 영역(11)이 존재하며, 이는 다른 픽셀들도 마찬가지이다.

[0092] 즉, 본 개시의 일 실시 예에 따르면, TFT 층(30)에는 픽셀 회로(110)가 차지하는 영역 외에 많은 공간이 존재하므로, TFT 층(30)의 나머지 영역(11)들에는, 전술한 구동부(200)에 포함될 수 있는 각종 회로들(게이트 드라이버 회로, 데이터 드라이버 회로, 전원 회로, 클럭 제공 회로, 스윕 신호 제공 회로 등) 중 적어도 하나가 TFT로 구현되어 포함될 수 있다.

[0093] 도 6은 전원 회로(210), 게이트 드라이버 회로(220), 클럭 제공 회로(230)가 TFT 층에 픽셀 회로(110)와 함께 구현된 예를 도시하고 있다. 이 경우, 디스플레이 패널(100)의 구동을 위한 구동부(200)의 나머지 회로들(예를 들어, 데이터 드라이버 회로, 스윕 신호 제공 회로)은, 도 5에서 전술한 바와 같이 별도의 기판에 배치되어 측면 배선(50)을 통해 픽셀 회로(110)와 연결될 수 있음은 물론이다. 이때, 측면 배선(50)은, 데이터 드라이버 회로에서 출력되는 데이터 전압을 디스플레이 패널(100)의 픽셀 회로(110)로 인가하기 위한 복수의 데이터 라인 및 스윕 신호 제공 회로에서 출력되는 스윕 신호를 디스플레이 패널(100)의 픽셀 회로(110)로 인가하기 위한 적어도 하나의 스윕 신호 라인을 포함할 수 있으나, 이에 한정되는 것은 아니다.

[0094] 한편, 도 6에 도시된 전원 회로(210), 게이트 드라이버 회로(220) 및 클럭 제공 회로(230)의 위치나 크기 및 개수는 일 예에 불과할 뿐, 도시된 바에 한정되는 것은 아니다.

[0095] 또한, 실시 예에 따라, 도 6의 TFT 층(30)에는 픽셀(10)을 구성하는 복수의 서브 픽셀(10-1 내지 10-3)을 각각 선택하기 위한 먹스(MUX) 회로, 디스플레이 패널(100)에서 발생하는 정전기를 방지하기 위한 ESD(Electro Static Discharge) 보호 회로 등이 더 포함될 수도 있다.

[0096] 도 7a는 본 개시의 일 실시 예에 따른 픽셀 회로(110)의 상세 회로도이다. 도 7a는 하나의 서브 픽셀 관련 회로 즉, 하나의 무기 발광 소자(120) 및 그 하나의 무기 발광 소자(120)를 구동하기 위한 픽셀 회로(110)를 도시하고 있다. 따라서, 디스플레이 패널(100)에는 도 7a와 같은 무기 발광 소자(120) 및 픽셀 회로(110)가 서브 픽셀별로 마련될 수 있다. 한편, 무기 발광 소자(1200)는 R, G, B 중 어느 한 색상의 LED일 수 있다.

[0097] 도 7a에 따르면, 픽셀 회로(110)는, PAM 회로(112), PWM 회로(111)를 포함할 수 있다.

[0098] PAM 회로(112)는, 제어 신호(SPAM)에 따라 트랜지스터(T9, T7)가 온된 동안 PAM 데이터 전압이 트랜지스터(T7)의 소스 단자를 통해 인가되면, 온된 트랜지스터(T8) 및 트랜지스터(T9)를 통해, 상기 인가된 PAM 데이터 전압 및 트랜지스터(T8)의 문턱 전압(Vth)을 합한 값만큼의 전압을 트랜지스터(T8)의 게이트 단자에 인가한다.

[0099] PWM 회로(111)는, 제어 신호(SPWM(n)에 따라 트랜지스터(T4, T2)가 온된 동안 PWM 데이터 전압이 트랜지스터(T2)의 소스 단자를 통해 인가되면, 온된 트랜지스터(T3) 및 트랜지스터(T4)를 통해, 상기 인가된 PWM 데이터 전압 및 트랜지스터(T3)의 문턱 전압(Vth)을 합한 값만큼의 전압을 트랜지스터(T3)의 게이트 단자에 인가한다.

[0100] 트랜지스터(T1)는, 제어 신호(Emi)에 따라 온/오프되어 전원 전압(VDD)과 PWM 회로(111)을 전기적으로 연결 또는 분리한다.

[0101] 트랜지스터(T5) 및 트랜지스터(T6)은, 제어 신호(Emi)에 따라 온/오프되어 PWM 회로(111)와 PAM 회로(112)를 전기적으로 연결 또는 분리한다.

[0102] 트랜지스터(T10)는, 제어 신호(Emi)에 따라 온/오프되어 PAM 회로(111)와 무기 발광 소자(120)를 전기적으로 연결 또는 분리한다.

[0103] 캐패시터(C1)는, 선형적으로 변화하는 전압인 스윕 전압(Vsweep)을 인가받는다.

[0104] 트랜지스터(T11) 및 트랜지스터(12)는, 제어 신호(VST)에 따라 온되어, 초기 전압(Vini)을 트랜지스터(T8)의 게이트 단자 및 트랜지스터(T3)의 게이트 단자에 인가한다.

[0105] 트랜지스터(T13)는, 무기 발광 소자(120)의 애노드 단자 및 캐소드 단자 사이에 연결된다. 트랜지스터(T13)는, 무기 발광 소자(120)가 TFT 층(30) 위에 실장되어 픽셀 회로(110)와 전기적으로 연결되기 전에는 픽셀 회로(110)의 이상 여부를 체크하기 위해 제어 신호(Test)에 따라 온 되고, 무기 발광 소자(120)가 TFT 층(30) 위에 실장되어 픽셀 회로(110)와 전기적으로 연결된 이후에는 무기 발광 소자(120)에 잔류하는 전하를 방전시키기 위해 제어 신호(Discharging)에 따라 온된다.

[0106] 한편, 무기 발광 소자(120)의 캐소드 단자는 그라운드 전압(VSS) 단자에 연결된다.

[0107] 도 7b는 본 개시의 일 실시 예에 따라 도 7a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도이다. 도 7b를 참조하면, 픽셀 회로(110)는 하나의 영상 프레임을 디스플레이하기 위해, 초기화 기간(Initialize), 유지 기간(Hold), 데이터 전압 설정 및 문턱 전압(Vth) 보상 기간, 발광 기간(Emitting), 방전 기간(LED Discharging) 기간 순으로 구동될 수 있다.

[0108] 이때, 데이터 전압 설정 및 문턱 전압(Vth) 보상 기간은, 도 7b에 도시된 예와 같이, PWM 데이터 전압 설정 및 트랜지스터(T3)의 문턱 전압 보상 기간(PWM 데이터 + Vth 보상) 및 PAM 데이터 전압 설정 및 트랜지스터(T8)의 문턱 전압 보상 기간(PAM 데이터 + Vth 보상)을 포함할 수 있다.

[0109] 초기화 기간은 트랜지스터(T8, T3)의 게이트 단자 전압을 초기화하기 위한 기간이다. 픽셀 회로(110)는 초기화 기간에 트랜지스터(T8, T3)의 게이트 단자 전압을 초기 전압(Vini)으로 초기화한다.

[0110] 유지 기간은 트랜지스터(T8, T3)의 게이트 단자 전압을 로우(Low) 상태(즉, 초기화된 상태)로 계속 유지하기 위한 기간이다. 이는 데이터 전압 설정 및 문턱 전압(Vth) 보상 기간이 시작될 때, 트랜지스터(T8, T3)가 온된 상태이어야 하기 때문이다.

[0111] 데이터 전압 설정 및 문턱 전압 보상 기간은 PAM 회로(112) 및 PWM 회로(111)에 각각 데이터 전압을 설정하고, 트랜지스터(T8, T3)의 문턱 전압(Vth)를 보상하기 위한 기간이다.

[0112] 본 개시의 일 실시 예에 따르면, 도 7b에 도시된 바와 같이, PWM 데이터 전압 설정 및 트랜지스터(T3)의 문턱 전압 보상이 먼저 수행되고, 이후에 PAM 데이터 전압 설정 및 트랜지스터(T8)의 문턱 전압 보상이 수행될 수 있다. 그러나, 실시 예에 따라 순서가 바뀔 수도 있음은 물론이다.

[0113] 한편, 데이터 전압 설정 및 문턱 전압 보상 기간 동안에는 제어 신호(Emi)에 따라 트랜지스터(T1, T5, T6, T10)가 모두 오프되며, 따라서, PAM 회로(112)과 PWM 회로(112)는 각각 독립된 상태로 데이터 전압 설정 및 문턱 전압 보상이 이루어지게 된다.

[0114] 도 7c는 PWM 회로(111)의 데이터 전압 설정 및 문턱 전압 보상을 설명하기 위한 도면이다.

[0115] 전술한 바와 같이, 디스플레이 패널(100)에는 복수의 서브 픽셀들이 존재하며, 각 서브 픽셀에는 대응되는 PWM 회로(111)의 트랜지스터(T3)가 존재한다. 이론적으로, 동일한 조건에서 제작된 트랜지스터는 동일한 문턱 전압을 가져야 하지만, 실제 트랜지스터는 동일한 조건으로 제작되더라도 문턱 전압(Vth)에 차이가 발생할 수 있으며, 디스플레이 패널(100)에 포함된 트랜지스터들(T3) 역시 마찬가지이다.

[0116] 이와 같이, 디스플레이 패널(100)의 각 서브 픽셀에 대응되는 트랜지스터들(T3)의 문턱 전압 간에 차이가 있는 경우, 트랜지스터들(T3)의 게이트 단자에 동일한 PWM 데이터 전압이 인가되더라도 문턱 전압의 차이만큼 서로 다른 펄스 폭의 구동 전류가 각 발광 소자(200)로 제공되게 되며, 이는 영상의 얼룩 등으로 나타날 수 있어 문제가 된다.

[0117] 따라서, PWM 회로(111)에 포함된 트랜지스터(T3)의 문턱 전압(Vth)이 보상될 필요가 있다.

[0118] 구체적으로, 도 7c를 참조하면, PWM 회로(111)는, PWM 데이터 전압이 인가되면, 인가된 PWM 데이터 전압 및 트랜지스터(T3)의 문턱 전압(Vth)의 합에 해당하는 전압을 트랜지스터(T3)의 게이트 단자에 인가함으로써, 트랜지스터(T3)의 문턱 전압을 보상하게 된다.

[0119] 이를 위해, PWM 회로(111)는 도 7c에 도시된 바와 같이, 트랜지스터(T3)의 게이트 단자와 드레인 단자 사이에 연결된 트랜지스터(T4), 및 드레인 단자가 트랜지스터(T3)의 소스 단자에 연결되고 게이트 단자가 트랜지스터(T4)의 게이트 단자에 연결된 트랜지스터(T2)를 포함한다.

[0120] 트랜지스터(T2, T4)의 게이트 단자에 인가된 제어 신호(SPWM(n))에 따라 트랜지스터(T2, T4)가 온되면, 트랜지스터(T2)의 소스 단자에 인가된 PWM 데이터 전압이 PWM 회로(111)로 입력된다.

[0121] 이때, 트랜지스터(T3)의 게이트 단자에는 로우 상태의 초기 전압(Vini)이 인가되고 있으므로, 트랜지스터(T3)는 완전히 턴-온(fully turn-on)된다.

[0122] 따라서, 입력된 PWM 데이터 전압은 트랜지스터(T2), 트랜지스터(T3) 및 트랜지스터(T4)를 차례로 지나면서 트랜지스터(T3)의 게이트 단자에 인가되게 된다.

[0123] 이때, 트랜지스터(T3)의 게이트 단자의 전압은 입력된 PWM 데이터 전압까지 상승하는 것이 아니라, PWM 데이터 전압 및 트랜지스터(T3)의 문턱 전압(Vth)의 합에 해당하는 전압까지만 상승하게 된다.

[0124] 이는, 처음 PWM 데이터 전압이 PWM 회로(111)로 인가될 때에는 트랜지스터(T3)의 게이트 단자 전압이 로우 상태여서 트랜지스터(T3)가 완전히 턴-온(fully turn-on)되므로, 전류가 충분히 흘러 트랜지스터(T3)의 게이트 단자 전압이 원활히 상승하지만, 트랜지스터(T3)의 게이트 단자 전압이 상승할수록 트랜지스터(T3)의 게이트 단자 및 소스 단자 간의 전압 차이가 줄어들어 전류의 흐름이 줄어들게 되며, 결국 트랜지스터(T3)의 게이트 단자 및 소스 단자 간의 전압 차이가 트랜지스터(T3)의 문턱 전압에 도달하면, 트랜지스터(T3)가 오프되어 전류의 흐름이 멈추게 되기 때문이다.

[0125] 즉, 트랜지스터(T3)의 소스 단자에는 PWM 데이터 전압이 인가되고 있으므로, PWM 데이터 전압에 트랜지스터(T3)의 문턱 전압을 합한 전압까지만 트랜지스터(T3)의 게이트 단자 전압이 상승하게 되는 것이다.

[0126] 이와 같이, PWM 데이터 전압이 설정될 때, PWM 회로(111)에 포함된 트랜지스터(T3)의 문턱 전압(Vth)이 보상될 수 있다.

[0127] 한편, 도 7a를 참조하면 PAM 회로(112)는, PWM 회로(111)와 유사하게, 트랜지스터(T8)의 게이트 단자와 드레인 단자 사이에 연결된 트랜지스터(T9), 및 드레인 단자가 트랜지스터(T8)의 소스 단자에 연결되고 게이트 단자가 트랜지스터(T9)의 게이트 단자에 연결된 트랜지스터(T7)를 포함하는 것을 볼 수 있다.

[0128] 따라서, 전술한 PWM 회로(111)의 문턱 전압 보상 동작은, PAM 회로(112)에 포함된 트랜지스터(T8)의 문턱 전압(Vth)을 보상할 때에도 유사하게 진행될 수 있다.

[0129] 즉, PAM 회로(112) 역시, PAM 데이터 전압이 인가되면, 인가된 PAM 데이터 전압 및 트랜지스터(T8)의 문턱 전압(Vth)의 합에 해당하는 전압을 트랜지스터(T8)의 게이트 단자에 인가함으로써, 트랜지스터(T8)의 문턱 전압을 보상할 수 있다. 이하 중복되는 설명은 생략한다.

[0130] 이상과 같이, 본 개시의 일 실시 예에 따르면, PWM 회로(111)는 인가된 PWM 데이터 전압을 트랜지스터(T3)의 게이트 단자에 설정(또는 인가)하는 동안 자동으로 트랜지스터(T3)의 문턱 전압을 내부 보상하게 되며, 이는 PAM 회로(112) 역시 마찬가지이다.

[0131] 여기서, "내부 보상"이라는 말은, 트랜지스터(T3) 및 트랜지스터(T8)의 문턱 전압이, PWM 회로(111) 및 PAM 회로(112)의 동작 중에, 각 회로(111, 112)의 내부에서 자체적으로 보상됨을 의미한다.

[0132] 이와 같은 내부 보상 방식은, 픽셀 회로(110)의 외부에서 PWM 데이터 전압 또는 PAM 데이터 전압을 보정함으로써, 트랜지스터(T3, T8)의 문턱 전압을 보상하는 외부 보상 방식과는 구별된다. 다시 도 7b를 참조하면, 제어 신호(SPWM(n), SPAM))은 디스플레이 패널(100)의 내부 또는 외부의 적어도 하나의 게이트 드라이버 회로에서 출력된 신호일 수 있다. SPWM(n)에서 n은 디스플레이 패널(100)에 포함된 픽셀 라인의 번호를 의미한다.

[0133] 한편, 본 개시의 일 실시 예에 따르면, 제어 신호 SPAM은 제어 신호 SPWM(n)과 달리, 디스플레이 패널(100)에 포함된 모든 픽셀(또는 모든 서브 픽셀)에 일괄적으로 인가될 수 있다. 즉, 디스플레이 패널(100)에 포함된 모든 픽셀(또는 모든 서브 픽셀)에 PAM 데이터 전압이 일괄적으로 인가될 수 있다. 이때, 본 개시의 일 실시 예에 따르면, 디스플레이 패널(100)에 포함된 모든 서브 픽셀에 일괄적으로 인가되는 PAM 데이터 전압은 동일한 크기의 전압일 수 있으나, 이에 한정되는 것은 아니다.

[0134] 위와 같은 실시 예는, 디스플레이 패널(100)이 PWM 회로(111)를 포함하여 PWM 방식으로 영상의 계조를 표현할

수 있고, 또한, 디스플레이 패널(100)에 포함된 PAM 회로(112)의 트랜지스터(T8)의 문턱 전압이 내부 보상되기 때문에 가능한 실시 예로서, 이에 따라, 하나의 영상 프레임을 디스플레이하기 위한 전체 시간 구간 중 발광 소자(120)가 발광하는 발광 기간을 충분히 확보할 수 있게 된다.

[0135] 발광 기간(Emitting)은 무기 발광 소자(120)가 발광하는 구간이다. 발광 기간 동안 무기 발광 소자(1200)는, 픽셀 회로(110)가 제공하는 구동 전류의 진폭 및 펄스 폭에 따라 발광함으로써, 인가된 PAM 데이터 전압 및 PWM 데이터 전압에 대응되는 계조를 표현하게 된다.

[0136] 구체적으로, 발광 기간 동안에는 제어 신호(Emi)에 따라 트랜지스터(T1, T5, T6, T10)가 온되므로, PAM 회로(112) 및 PWM 회로(112)는 서로 전기적으로 연결되고, 무기 발광 소자(120)에 전원 전압(VDD)가 인가된다.

[0137] 발광 기간이 시작되면, 전원 전압(VDD)이 트랜지스터(T1), 트랜지스터(T6), 트랜지스터(T8) 및 트랜지스터(T10)을 통해 무기 발광 소자(120)로 전달되므로 무기 발광 소자(120) 양단에는 전위차가 발생하여 무기 발광 소자(120)가 발광을 시작한다. 이때, 무기 발광 소자(120)를 발광시키는 구동 전류는 PAM 데이터 전압에 대응되는 진폭을 갖는다.

[0138] 한편, 발광 기간에는 선형적으로 변화하는 전압인 스위프 전압(Vsweep)이 커패시터(C1)로 인가된다. 예를 들어, 스위프 전압(Vsweep)이 +4V에서 0V로 점점 감소하는 전압인 경우, 커패시터(C1)를 통해, 플로팅 상태에 있는 트랜지스터(T3)의 게이트 단자에 커플링 전압이 발생한다.

[0139] 따라서, 트랜지스터(T3)의 게이트 단자 전압은 스위프 전압에 따라 감소하게 되고, 감소하던 전압이 트랜지스터(T3)의 문턱 전압에 도달하면, 트랜지스터(T3)는 오프 상태에서 온 상태가 된다.

[0140] 트랜지스터(T3)가 온되면, 트랜지스터(T1), 트랜지스터(T3) 및 트랜지스터(T5)를 통해 트랜지스터(T8)의 게이트 단자에 전원 전압(VDD)이 전달된다. 구동 전압(VDD)이 트랜지스터(T8)의 게이트 단자에 인가되면 트랜지스터(T8)는 오프된다. 트랜지스터(T8)가 오프되면, 전원 전압(VDD)이 무기 발광 소자(120)까지 도달하지 못하게 되므로 무기 발광 소자(120)의 발광은 종료된다.

[0141] 이와 같이, PWM 회로(111)는 전원 전압(VDD)이 무기 발광 소자(120)에 인가된 때부터, 트랜지스터(T3)의 게이트 단자에 인가된 전압이 스위프 전압(Vsweep)에 따라 변화하여 트랜지스터(T3)의 문턱 전압이 될 때까지, 구동 전류를 무기 발광 소자(120)로 제공하게 된다. 즉, 구동 전류는 PWM 데이터에 대응되는 크기의 펄스 폭을 갖게 된다.

[0142] 한편, 무기 발광 소자(120)의 발광이 종료되었음에도 무기 발광 소자(120)에 잔류하는 전하가 존재할 수가 있다. 이로 인해, 발광 종료 후에 무기 발광 소자(120)가 미세하게 발광하는 문제점이 유발될 수 있으며, 이는, 낮은 계조(예를 들어, 블랙)를 표현할 때 특히 문제가 될 수 있다.

[0143] 방전 기간(LED Discharging) 기간은, 발광 기간이 종료된 후 무기 발광 소자(120)에 잔류하는 전하를 방전시키기 위한 기간으로, 픽셀 회로(110)는 제어 신호(Discharging)에 따라 트랜지스터(T13)를 온시킴으로써, 무기 발광 소자(120)에 잔류하는 전하를 그라운드 전압(VSS) 단자로 완전히 방전시키며, 이에 따라, 상술한 문제점이 해결될 수 있다.

[0144] 한편, 트랜지스터(T13)는, 무기 발광 소자(120)가 TFT 층(30) 위에 실장되어 픽셀 회로(110)와 전기적으로 연결되기 전에는, 픽셀 회로(110)의 이상 여부를 체크하기 위한 용도로 이용될 수 있다. 예를 들어, 제품의 개발자나 제조자는 발광 기간 동안 트랜지스터(T13)를 온 시킨 후, 트랜지스터(T13)를 흐르는 전류를 확인함으로써, 픽셀 회로(110)의 이상 여부(예를 들어, 회로의 쇼트나 오픈 등)를 체크할 수 있다.

[0145] 도 7b에 도시된 각종 데이터 신호(Sig), 전원 신호(VDD, VSS) 및 제어 신호(Vsweep, Emi, SPWM(n), SPAM, Vini, VST, Test/Discharging)는 외부의 TCON(Timing Controller), 프로세서, 전원 회로, 드라이버 회로(예를 들어, 데이터 드라이버, 게이트 드라이버)등으로부터 수신될 수 있다.

[0146] 도 8은 본 개시의 일 실시 예에 따른 디스플레이 패널 동작시 발생할 수 있는 문제점을 설명하기 위한 도면이다. 본 개시의 일 실시 예에 따르면, 픽셀 회로(110)(PWM 회로(111) 및 PAM 회로(112))는 도 8에 도시된 바와 같이 하나의 전원 전압(VDD)을 통해 구동될 수 있다. 도 7a의 픽셀 회로(110) 역시 하나의 전원 전압(VDD)를 통해 PWM 회로(111) 및 PAM 회로(112)가 구동되는 것을 볼 수 있다.

[0147] 그러나 이 경우, 무기 발광 소자(120)로 구동 전류를 인가하기 위해 전원 전압(VDD)를 사용하는 PAM 회로(112)와, 트랜지스터(예를 들어, 도 7a의 T3)의 온/오프 제어를 통해 구동 전류의 펄스 폭만을 제어하는 PWM 회로

(111)가 동일한 전원 전압(VDD)을 이용하는 것은 문제가 될 수 있다.

[0148] 구체적으로, PWM 회로(111)와 PAM 회로(112)가 전원 전압(VDD)을 공통으로 사용하는 경우, 디스플레이 패널(100)(구체적으로, TFT 패널 또는 글래스 기판)의 영역별 저항 성분의 차이로 인해, 디스플레이 패널(100)의 위치에 따라 전원 전압의 차이가 발생한다. 예를 들어, 도 8의 아래 도면과 같이, 전원 회로로부터 전원 전압(VDD) 10V가 디스플레이 패널(100)로 인가된다고 가정하면, 동일한 구동 전류가 디스플레이 패널(100)의 무기 발광 소자(120)들을 흐르더라도, IR 드랍(drop)으로 인해 A 위치는 9.8V, B 위치는 9.6V, C 위치는 9.5V와 같이 디스플레이 패널(100)의 영역 별로 전원 전압이 달라지게 된다.

[0149] 도 7a의 회로 구조에서 알 수 있듯이 PWM 회로(111)의 동작 시점은 PWM 데이터 전압뿐만 아니라 전원 전압(VDD)에도 영향을 받으므로, 위와 같이 디스플레이 패널(100)의 영역 별로 픽셀 회로(110)에 인가되는 전원 전압(VDD)이 달라지게 되면, 동일한 PWM 데이터 전압에 대해 PWM 회로(111)의 동작 시점이 달라지게 된다. 이에 따라, 동일한 PWM 데이터 전압에 대해 서로 다른 계조가 표시되는 문제가 발생할 수 있다. 이는, 블랙과 같은 낮은 계조를 표현할 때 얼룩 등으로 나타나 특히 문제가 될 수 있다.

[0150] 이와 같은 문제는, PWM 회로(111) 및 PAM 회로(112)에 각각 별도의 전원 전압을 인가함으로써 해결될 수 있다. 도 9는 도 8에서 설명한 문제점을 해결할 수 있는 디스플레이 패널(100)의 블럭도이다. 도 9에 도시된 바와 같이, 본 개시의 다른 일 실시 예에 따르면, PAM 회로(112)에는 제 1 전원 전압(VDD_PAM)이, PWM 회로(112)에는 제 2 전원 전압(VDD_PWM)이 각각 별도로 인가될 수 있다.

[0151] 즉, 무기 발광 소자(120)로 구동 전류를 제공하기 위해 사용하는 PAM 회로(112)의 전원 전압과, 트랜지스터를 온/오프시켜 구동 전류의 펄스 폭을 제어하기 위해 사용하는 PWM 회로(111)의 전원 전압을 분리하여 사용함으로써, 동일한 PWM 데이터 전압에 대해 서로 다른 계조가 표시되는 문제를 해결할 수 있다.

[0152] 구체적으로, 디스플레이 패널(100)의 영역 별 저항 성분 차이로 인해 상술한 바와 같이 PAM 회로(112)의 전원 전압(VDD_PAM)이 디스플레이 패널(100)의 영역 별로 달라지더라도, PWM 회로(111)는 별도의 전원 전압(VDD_PWM)을 사용하므로 영향을 받지 않는다. 따라서, 동일한 PWM 데이터 전압에 대해 다른 계조가 표현되는 도 8에서의 문제점이 해결될 수 있다.

[0153] 한편, 이와 같이 PWM 회로(111) 및 PAM 회로(112)에 인가되는 전원 전압을 분리하면, PWM 회로(111)에 인가되는 전원 전압(VDD_PWM)의 크기를 줄임으로써 스윕 전압의 다이내믹 레인지를 넓힐 수 있는 효과도 얻을 수 있다.

[0154] 구체적으로, PAM 회로(112)는 구동 전류를 안정적으로 제공할 필요가 있으므로, 전원 전압(VDD_PAM)의 크기를 줄이는데는 한계가 있다. 그러나, PWM 회로(111)는 트랜지스터(예를 들어, 도 7a의 T3)를 온/오프 제어하는데 필요한 정도의 전압만 필요하므로, PAM 회로(112)의 전원 전압(VDD_PAM)보다 작은 크기의 전원 전압(VDD_PWM)을 사용할 수 있다.

[0155] PWM 회로(111)의 전원 전압(VDD_PWM)의 크기가 작아지면, 스윕 전압의 다이내믹 레인지를 넓힐 수 있게 되며, 스윕 전압의 다이내믹 레인지가 넓어지면 보다 넓은 범위의 전압을 통해 계조를 표현할 수 있게 되므로, 안정적인 계조 표현이 가능해 진다.

[0156] 도 10a는 본 개시의 다른 일 실시 예에 따른 픽셀 회로의 상세 회로도이고, 도 10b는 본 개시의 일 실시 예에 따라 도 10a의 픽셀 회로를 구동하기 위한 각종 신호의 타이밍도이다.

[0157] 도 10a 및 도 10b는, 도 7a 및 도 7b에 각각 대응된다. 다만, 도 7a 및 도 7b와 달리, PAM 회로(112)에는 전원 전압(VDD_PAM)이, 그리고, PWM 회로(111)에는 전원 전압(VDD_PWM)이 각각 별도로 인가되는 것을 볼 수 있다. 또한, 도 10를 참조하면, 예를 들어, PAM 회로(112)의 전원 전압(VDD_PAM)이 15V인 경우, PWM 회로(111)의 전원 전압(VDD_PWM)은 그 이하의 전압(예를 들어, 2V 내지 15V 사이의 전압)이 사용될 수 있음을 알 수 있다. 나머지 회로의 구성과 동작은 도 7a 및 도 7b에서 설명한 것과 동일하므로, 이하 중복 설명은 생략한다.

[0158] 이상과 같이, 전원 전압을 분리하여 PAM 회로(112)와 PWM 회로(111)에 별도로 인가하는 개념은, PAM 회로(112)와 PWM 회로(112)를 포함하는 다양한 픽셀 회로에 적용될 수 있다. 도 11a 및 도 12a는 이러한 개념이 적용된 본 개시의 다양한 실시 예들에 따른 픽셀 회로(110)를 도시하고 있다.

[0159] 도 11a의 픽셀 회로(110)는 도 11b에 도시된 바와 같이 각종 신호들에 의해 구동될 수 있다. 한편, 도 11c는 본 개시의 일 실시 예에 따라 270개의 가로 라인을 갖는 디스플레이 패널(110) 전체를 구동하기 위한 각종 신호의 타이밍도를 도시하고 있다. 따라서, 도 11a와 같은 픽셀 회로(110)들로 구성된 디스플레이 패널(100)은 도 11c

에 도시된 바와 같이 각종 신호들에 의해 구동될 수 있다.

[0160] 한편, 도 12a의 픽셀 회로(110)는 도 12b에 도시된 바와 같이 각종 신호들에 의해 구동될 수 있다.

[0161] 도 11a 내지 도 12b에서도 확인할 수 있듯이, 본 개시의 다양한 실시 예들에 따르면, PAM 회로(112) 및 PWM 회로(111)에는 제 1 전원 전압(VDD_PAM) 및 제 2 전원 전압(VDD_PWM)이 각각 별도로 인가될 수 있다. 또한, 제 1 전원 전압(VDD_PAM)보다 작은 크기의 제 2 전원 전압(VDD_PWM)을 사용함으로써 스윕 전압(Vsweep)의 다이내믹 레인지를 넓힐 수 있다.

[0162] 도 13은 본 개시의 일 실시 예에 따른 디스플레이 장치의 구성도이다. 도 13에 따르면, 디스플레이 장치(1300)는 디스플레이 패널(100), 구동부(200) 및 프로세서(900)를 포함한다.

[0163] 디스플레이 패널(100)은 복수의 픽셀을 포함하며, 각 픽셀은 복수의 서브 픽셀을 포함한다.

[0164] 구체적으로, 디스플레이 패널(100)은 게이트 라인들(또는 스캔 라인들)(G1 내지 Gx)과 데이터 라인들(D1 내지 Dy)이 상호 교차하도록 형성되고, 그 교차로 마련되는 영역에 각 픽셀이 형성될 수 있다.

[0165] 이때, 각 픽셀은 R, G, B와 같은 3개의 서브 픽셀을 포함할 수 있으며, 디스플레이 패널(100)에 포함된 각 서브 픽셀은, 대응되는 색상의 무기 발광 소자(120), 및 데이터에 따라 진폭 및 펄스 폭이 제어된 구동 전류를 무기 발광 소자(120)로 제공하는 픽셀 회로(110)를 포함할 수 있다.

[0166] 여기서, 데이터 라인(D1 내지 Dy)은 디스플레이 패널(100)에 포함된 각 서브 픽셀의 픽셀 회로(110)에 데이터 전압(PAM 데이터 전압 또는 PWM 데이터 전압 등)을 인가하기 위한 라인이며, 게이트 라인(G1 내지 Gx)은 디스플레이 패널에 포함된 서브 픽셀의 픽셀 회로(110)를 라인 별로 선택하기 위한 라인이다. 따라서, 데이터 라인(D1 내지 Dy)을 통해 인가되는 데이터 전압은 제어 신호(예를 들어, SPWM(n) 또는 SPAM)를 통해 선택된 게이트 라인과 연결된 픽셀 회로들(110)에 인가될 수 있다.

[0167] 이때, 본 개시의 일 실시 예에 따르면, 각 데이터 라인(D1 내지 Dy)에는 각 데이터 라인과 연결된 픽셀에 인가될 데이터 전압이 인가될 수 있다. 이때, 하나의 픽셀은 복수의 서브 픽셀(예를 들어, R, G, B 서브 픽셀)을 포함하므로, 하나의 픽셀에 포함된 R, G, B 서브 픽셀 각각에 인가될 데이터 전압들(즉, R 데이터 전압, G 데이터 전압 및 B 데이터 전압)은 시분할되어 하나의 데이터 라인을 통해 각 서브 픽셀에 인가될 수 있다.

[0168] 구체적으로, 위와 같이 시분할되어 하나의 데이터 라인을 통해 인가되는 데이터 전압들은, 먹스 회로를 통해 또는 먹스 회로 없이 각각의 서브 픽셀에 인가될 수 있다. 한편, 실시 예가 이에 한정되는 것은 아니다. 즉, 실시 예에 따라 도 13에 도시된 바와 달리, R, G, B 서브 픽셀마다 별도의 데이터 라인이 마련될 수도 있다. 이때, 하나의 서브 픽셀에 포함된 R, G, B 서브 픽셀 각각에 인가될 데이터 전압들(즉, R 데이터 전압, G 데이터 전압 및 B 데이터 전압)은 시분할되어 인가될 필요가 없으며, 대응되는 데이터 전압이 각 데이터 라인을 통해 대응되는 서브 픽셀에 동시에 인가될 수 있을 것이다. 따라서, 이 경우 역시 먹스 회로가 불필요하게 된다. 다만, 상술한 예에 비해 3배 많은 데이터 라인이 필요할 것이다.

[0169] 한편, 도 13에서는, 도시의 편의를 위해, G1 내지 Gx와 같은 1세트의 게이트 라인만을 도시하였다. 그러나, 실제 게이트 라인의 개수는 디스플레이 패널(100)에 포함된 픽셀 회로(110)의 종류 및 구동 방식에 따라 달라질 수 있다.

[0170] 특히, 본 개시의 다양한 실시 예들에 따른 픽셀 회로(110)는, PWM 회로(111) 및 PAM 회로(112)를 각각 포함하므로, 디스플레이 패널(100)에는, PWM 회로(111)들을 라인 별로 선택하기 위한 게이트 라인(G1 내지 Gx)과 PAM 회로(112)들을 라인 별로 선택하기 위한 게이트 라인(G1 내지 Gx)이 각각 마련될 수 있다.

[0171] 또한, 도 19a 및 도 19b에서 후술할 바와 같이, 디스플레이 패널(100)에는 PWM 회로(111)들을 라인 별로 선택하기 위한 게이트 라인(G1 내지 Gx)이, R, G, B 서브 픽셀 별로 마련될 수도 있다.

[0172] 한편, 도면에는 도시하지 않았지만 디스플레이 패널(100)에는, PAM 회로(112)를 구동하기 위한 제 1 전원 전압(VDD_PAM)이 인가되는 전원 라인 및 PWM 회로(111)를 구동하기 위한 제 2 전원 전압(VDD_PWM)이 인가되는 전원 라인이 픽셀 회로(110)마다 각각 구비될 수 있다.

[0173] 구동부(200)는 프로세서(900)의 제어에 따라 디스플레이 패널(100)을 구동하며, 타이밍 컨트롤러(810), 소스 드라이버(820), 게이트 드라이버(830), 먹스 회로(미도시) 및 전원 회로(미도시)를 포함할 수 있다.

[0174] 타이밍 컨트롤러(810)는 외부로부터 입력 신호(IS), 수평 동기 신호(Hsync), 수직 동기 신호(Vsync) 및 메인 클

럭 신호(MCLK) 등을 입력받아 영상 데이터 신호, 주사 제어 신호, 데이터 제어 신호, 발광 제어 신호 등을 생성하여 디스플레이 패널(100), 소스 드라이버(820), 게이트 드라이버(830), 전원 회로(미도시) 등에 제공할 수 있다.

[0175] 특히, 타이밍 컨트롤러(810)는, 각종 제어 신호(Emi, Vsweep, Vini, VST, Test, Discharging 등)를 생성하여 픽셀 회로(110)에 제공할 수 있다. 이때, Vini 전압은 -5V에서 0V 사이에서 미리 설정된 전압일 수 있으나, 이에 한정되는 것은 아니다.

[0176] 또한, 타이밍 컨트롤러(810)는, R, G, B 서브 픽셀을 각각 선택하기 위한 제어 신호, 즉, 먹스 신호(Mux (R), Mux (G), Mux (B))를 먹스 회로(미도시)에 인가할 수 있다. 이에 따라, 디스플레이 패널(100)의 픽셀에 포함된 복수의 서브 픽셀이 각각 선택될 수 있다. 그러나, 먹스 신호를 제공하는 구동부(200)의 구성이 타이밍 컨트롤러(810)에 한정되는 것은 아니며, 먹스 신호를 생성하여 제공하기 위한 별도의 구성이 구동부(200)에 마련될 수도 있음은 물론이다.

[0177] 소스 드라이버(820)(또는 데이터 드라이버)는, 데이터 신호를 생성하는 수단으로, 프로세서(900)로부터 R/G/B 성분의 영상 데이터 등 전달받아 데이터 신호(예를 들어, PWM 데이터 전압 신호, PAM 데이터 전압 신호)을 생성한다. 또한, 소스 드라이버(820)는 생성된 데이터 신호를 데이터 라인(D1 내지 Dy)을 통해 디스플레이 패널(100)의 각 픽셀 회로(110)에 인가할 수 있다. 이때, PWM 데이터 전압은, 예를 들어, 블랙 계조에 대응되는 +8V 및 화이트 계조에 대응되는 +15V 사이의 전압일 수 있으나, 이에 한정되는 것은 아니다.

[0178] 게이트 드라이버(830)(또는, 스캔 드라이버)는 매트릭스 형태로 배치된 픽셀을 게이트 라인(또는 스캔 라인) 별로 선택하기 위한 각종 제어 신호(SPWM(n), SPAM 등)를 생성하고, 생성된 각종 제어 신호를 게이트 라인(G1 내지 Gx)을 통해 디스플레이 패널(100)의 각 픽셀 회로(110)에 인가할 수 있다.

[0179] 특히, 본 개시의 일 실시 예에 따르면, 게이트 드라이버(830)는 제어 신호 SPWM(1) 내지 SPWM(x)를 생성하여 PWM 회로들(111)과 연결된 게이트 라인 G1 내지 Gx에 각각 순차적으로 인가함으로써, 디스플레이 패널(100)에 포함된 전체 PWM 회로들(111)을 라인 별로 순차적으로 선택할 수 있다. 또한, 게이트 드라이버(830)는 제어 신호 SPAM을 생성하여 PAM 회로들(112)과 연결된 게이트 라인 G1 내지 Gx에 일괄적으로 인가함으로써, 디스플레이 패널(100)에 포함된 전체 PAM 회로들(112)을 일괄적으로 선택할 수도 있다.

[0180] 전원 회로(미도시)는 디스플레이 패널(100)에 포함된 픽셀 회로(110)에 전원 전압을 제공할 수 있다. 특히, 전원 회로(미도시)는 제 1 전원 전압(VDD_PAM) 및 제 2 전원 전압(VDD_PWM)을 생성하여 디스플레이 패널(100)의 PAM 회로(112) 및 PWM 회로(111)에 각각 제공할 수 있다.

[0181] 한편, 전술한 바와 같이, 데이터 드라이버(820), 게이트 드라이버(830), 전원 회로(미도시), 먹스 회로(미도시), 클럭 제공 회로(미도시), 스윕 신호 제공 회로(미도시)는, 그 전/일부가 디스플레이 패널(100)의 기판(30) 일면에 형성된 TFT 층(40)에 포함되도록 구현되거나 별도의 반도체 IC로 구현되어 타이밍 컨트롤러(810)나 프로세서(900)와 함께 메인 PCB에 배치될 수 있으나, 구현 예가 이에 한정되는 것은 아니다.

[0182] 한편, 디스플레이 패널(100) 및 구동부(200)를 포함하는 하나의 디스플레이 모듈(300)은 하나의 디스플레이 장치(1300)를 구성할 수 있다. 또한, 실시 예에 따라, 복수의 디스플레이 모듈(300)이 결합되어 하나의 디스플레이 장치(1300)를 구성할 수도 있다.

[0183] 프로세서(900)는 디스플레이 장치(1300)의 전반적인 동작을 제어한다. 특히, 프로세서(900)는 구동부(200)를 제어하여 디스플레이 패널(100)을 구동할 수 있다.

[0184] 이를 위해, 프로세서(900)는 중앙처리장치(central processing unit(CPU)), micro-controller, 어플리케이션 프로세서(application processor(AP)), 또는 커뮤니케이션 프로세서(communication processor(CP)), ARM 프로세서 중 하나 이상으로 구현될 수 있다.

[0185] 한편, 도 13에서는 프로세서(900)와 타이밍 컨트롤러(810)를 별도의 구성요소로 설명하였으나, 실시 예에 따라 프로세서(900) 없이, 타이밍 컨트롤러(810)가 프로세서(900)의 기능을 수행할 수도 있다.

[0186] 이하에서는, 도 14 내지 도 19c를 참조하여, 본 개시의 다양한 실시 예들에 따른 디스플레이 패널(100) 구동 방법을 설명한다.

[0187] 도 14는 본 개시의 일 실시 예에 따른 디스플레이 패널(100)의 일부를 도시한 도면이다.

[0188] 구체적으로, 도 14는 게이트 라인(Gn) 및 게이트 라인(Gn+1)이, 데이터 라인(Dm)과 교차하는 영역에 형성되는

픽셀들 중에서 G 서브 픽셀들(10-2-1, 10-2-2)을 도시하고 있다. 또한, G 서브 픽셀들(10-2-1, 10-2-2)을 구성하는 픽셀 회로는, 도 10a의 픽셀 회로(110)이며, 게이트 라인(Gn) 및 게이트 라인(Gn+1)은 픽셀 회로(110) 중 PWM 회로(111)와 연결된 게이트 라인이다.

[0189] 본 개시의 일 실시 예에 따르면, 도 14에 도시된 G 서브 픽셀들(10-2-1, 10-2-2)들은 도 15a에 도시된 구동 신호들에 따라 구동될 수 있다. 도 15a는 본 개시의 일 실시 예에 따른 디스플레이 패널(100)을 구동하기 위한 각종 구동 신호들을 도시하고 있다.

[0190] 구체적으로, 도 15a에 따르면, 게이트 드라이버(830)에 의해 생성된 제어 신호 SPWM(n) 및 SPWM(n+1)은 게이트 라인 Gn 및 Gn+1에 각각 순차적으로 인가될 수 있다. 이에 따라, Gn 라인에 연결된 픽셀들의 PWM 회로들(111) 및 Gn+1 라인에 연결된 픽셀들의 PWM 회로들(111)이 라인 별로 순차적으로 선택될 수 있다.

[0191] 이때, Gn 라인이 선택된 동안, 타이밍 컨트롤러(810)에 의해 생성된 제어 신호 Mux (R), Mux (G), Mux (B)가 먹스 회로(미도시)에 순차적으로 인가되어, Gn 라인에 연결된 각 픽셀에 포함된 R, G, B 서브 픽셀이 각각 순차적으로 선택될 수 있다. 이에 따라, 각 서브 픽셀의 PWM 회로(111)에는 대응되는 PWM 데이터 전압이 데이터 라인(Dm)을 통해 시분할되어 각각 인가될 수 있으며, 이는 Gn+1 라인도 마찬가지이다.

[0192] 즉, 본 개시의 일 실시 예에 따르면, 구동부(200)는 복수의 게이트 라인 중 하나의 라인(Gn)에 연결된 복수의 픽셀을 선택하기 위한 SPWM(n) 신호를 Gn 라인에 인가할 수 있다.

[0193] 또한, 구동부(200)는 상기 Gn 라인에 연결된 복수의 서브 픽셀을 각각 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호를 Gn 라인에 연결된 R, G, B 서브 픽셀에 순차적으로 인가할 수 있다.

[0194] 이에 따라, 구동부(200)는 Gn 라인에 포함된 R, G, B 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가할 수 있다.

[0195] 한편, 구동부(200)는 Gn+1 라인에 연결된 복수의 픽셀을 선택하기 위한 SPWM(n+1) 신호를 Gn+1 라인에 인가할 수 있다.

[0196] 또한, 구동부(200)는 상기 Gn+1 라인에 연결된 복수의 서브 픽셀을 각각 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호를 Gn+1 라인에 연결된 R, G, B 서브 픽셀에 순차적으로 인가할 수 있다.

[0197] 이에 따라, 구동부(200)는 Gn+1 라인에 포함된 R, G, B 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가할 수 있다.

[0198] 한편, 도 15a에서는 먹스 신호(즉, Mux (R), Mux (G), Mux (B) 신호)가 인가되기 전에 SPWM(n) 또는 SPWM(n+1) 신호가 먼저 인가되는 예를 도시하였으나, 실시 예가 이에 한정되는 것은 아니다. 가령, 도 16에서 후술할 바와 같이, 구동부(200)는 SPWM(n) 또는 SPWM(n+1) 신호보다, Mux (R), Mux (G), Mux (B) 신호를 먼저 인가할 수도 있다.

[0199] 도 15a는, 도 14에 도시된 디스플레이 패널(100)의 일부 즉, G 서브 픽셀(10-2-1, 10-2-2)을 기준으로 관련된 구동 신호를 도시하였다. 그러나, 디스플레이 패널(100)의 나머지 서브 픽셀들에도 전술한 바와 마찬가지로, 대응되는 PWM 데이터 전압이 각각 인가될 수 있으며, 이후 발광 기간에 디스플레이 패널(110)의 각 서브 픽셀은 상기 인가된 각각의 PWM 데이터 전압에 대응되는 계조의 빛을 발광할 수 있다.

[0200] 도 15b는 도 15a와 같은 방식으로 도 14의 디스플레이 패널(100)을 구동하는 경우 발생할 수 있는 문제점을 설명하기 위한 도면이다.

[0201] 도 14를 참조하면, G 서브 픽셀(10-2-1)의 Sig 단자(88) 및 G 서브 픽셀(10-2-2)의 Sig 단자(89)가, G 서브 픽셀을 선택하기 위한 먹스 회로(850)의 후단에 공통 연결되는 것을 볼 수 있다.

[0202] 따라서, SPWM(n) 신호에 따라 Gn 라인이 선택된 후 온된 먹스 회로(850)를 통해 G 서브 픽셀(10-2-1)에 인가된 데이터 전압은, 이후에 SPWM(n+1) 신호에 따라 Gn+1 라인이 선택된 후 먹스 회로(850)가 다시 온되어 대응되는 데이터 전압이 G 서브 픽셀(10-2-2)에 인가되기 전까지 Sig 단자(88, 89)에 플로팅 상태로 남아있게 된다.

[0203] 도 15a의 Sig 신호는, 도 14에 도시된 G 서브 픽셀(10-2-1, 10-2-2)의 Sig 단자(88, 89)의 신호를 나타내고 있다(이는 도 16, 17a, 17b에서도 마찬가지이다.). 즉, G 서브 픽셀(10-2-1) 및 G 서브 픽셀(10-2-2)의 Sig 단자(88, 89)는 먹스 회로(850)의 후단에 공통적으로 연결되므로, Sig 단자(88)의 신호와 Sig 단자(89)의 신호는 도 15a에 도시된 바와 같이 동일하다.

[0204] 구체적으로, 도 14 및 도 15a를 참조하면, SPWM(n) 신호가 Gn 라인에 인가되고, Mux (G) 신호(16)가 인가되면, 데이터 라인(Dm)에 인가된 데이터 전압(①)은 먹스 회로(850), Sig 단자(88), T2, T3 및 T4를 지나 G 서브 픽셀(10-2-1)의 A노드(91)에 인가된다.

[0205] 이와 마찬가지로, SPWM(n+1) 신호가 Gn+1 라인에 인가되고, Mux (G) 신호(17)가 인가되면, 데이터 라인(Dm)에 인가된 데이터 전압(②)은 먹스 회로(850), Sig 단자(89), T2, T3 및 T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가된다.

[0206] 이때, 도 15a의 Sig 신호를 참조하면, Mux (G) 신호(16)에 따라 Sig 단자(88, 89)에 인가된 데이터 전압(①)은, Mux (G) 신호(17)가 인가되어 데이터 전압(②)이 인가되기 전까지 Sig 단자(88, 89)에 플로팅 되어 유지되는 것을 볼 수 있다.

[0207] 이와 같은 상황에서, SPWM(n+1) 신호가 Gn+1 라인에 인가되고 Mux (G) 신호(17)가 인가되더라도, G 서브 픽셀(10-2-2)의 A 노드(92)에 데이터 전압(②)이 인가되지 않는 경우가 있을 수 있어 문제가 된다.

[0208] 이러한 문제점을 도 14 및 도 15b를 참조하여 구체적으로 설명하면 아래와 같다.

[0209] 도 15b의 참조번호 1510은 도 15a의 SPWM(n+1) 신호 및 Mux (G) 신호(17)를 도시하고 있고, 참조번호 1520 내지 1540은 데이터 전압(①) 및 데이터 전압(②)이, 로우에서 로우로, 로우에서 하이로, 하이에서 로우로 변하는 각 경우에 Sig 단자(89) 전압 및 G 서브 픽셀(10-2-2)의 A 노드(92) 전압을 도시하고 있다.

[0210] 여기서, 로우 및 하이는, 데이터 전압(①) 및 데이터 전압(②)의 상대적인 차이를 나타낼 뿐, 특정 값을 나타내는 것은 아니다.

[0211] 한편, 초기 전압(Vini)은 보통 가장 작은 크기의 데이터 전압보다 낮은 전압이 이용되며, 도 15b에서는 +2V인 경우를 도시하였으나 이에 한정되는 것은 아니다.

[0212] 또한, 참조번호 1520 내지 1540에서 A 노드(92)의 전압이 Sig 전압보다 Vth만큼 낮게 표현된 것은, 도 7c에서 전술한 바와 같이, G 서브 픽셀 회로(10-2-2)의 T3의 문턱 전압(Vth)이 보상되는 것을 나타내고 있다.

[0213] 구체적으로, 참조번호 1520는 데이터 전압(①) 및 데이터 전압(②)이 모두 로우 전압인 경우를 도시하고 있다.

[0214] 먼저, Sig 단자(89)에는 로우 전압이 플로팅되고 있는 것을 볼 수 있다. 이는 전술한 바와 같이, Sig 단자(88)가 Sig 단자(89)와 공통으로 연결되어 있기 때문이다.

[0215] 이후, SPWM(n+1) 신호가 인가되면, 플로팅되던 로우 전압은, 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가되게 된다. 이때, T2 및 T4는 SPWM(n+1) 신호에 따라 턴-온되고, T3는 Vini 전압에 따라 턴-온된다.

[0216] 이후, Mux (G) 신호(17)가 인가되더라도, 데이터 전압에는 변화가 없으므로, A 노드(92)의 전압은 유지되며, 이 경우에는 A 노드(92)에 원하는 로우 전압이 인가되고 있으므로 아무런 문제가 없다.

[0217] 한편, 참조번호 1530은 데이터 전압(①)이 로우이고, 데이터 전압(②)이 하이인 경우를 도시하고 있다.

[0218] 이 경우에도, 데이터 전압(①)이 로우이므로, Sig 단자(89)에는 로우 전압이 플로팅되고 있다.

[0219] 이후, SPWM(n+1) 신호가 인가되면, 플로팅되던 로우 전압은 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가되게 된다. 이때, T2 및 T4는 SPWM(n+1) 신호에 따라 턴-온되고, T3는 Vini 전압에 따라 턴-온된다.

[0220] 이후, Mux (G) 신호(17)가 인가되면, 데이터 전압(②) 즉, 하이 전압이 Sig 단자(89)에 인가되며, 인가된 하이 전압은 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가되게 된다. 이 경우, T2 및 T4는 SPWM(n+1) 신호에 따라 턴-온된다. 한편, 이때 T3가 턴-온되는 것은, A 노드(92)(즉, T3의 게이트 단자)에 로우 전압이 인가되고 있고, T3의 소스 단자에 T2를 통해 하이 전압이 인가되기 때문이다.

[0221] 이 경우에도, A 노드(92)에는 원하는 하이 전압이 인가되므로 아무런 문제가 없다.

[0222] 한편, 참조번호 1540은 데이터 전압(①)이 하이이고, 데이터 전압(②)이 로우인 경우를 도시하고 있다.

[0223] 이 경우에는, 데이터 전압(①)이 하이이므로, Sig 단자(89)에 하이 전압이 플로팅되고 있는 것을 볼 수 있다.

[0224] 이후, SPWM(n+1) 신호가 인가되면, 플로팅되던 하이 전압은, 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A

노드(92)에 인가되게 된다. 이때, T2 및 T4는 SPWM(n+1) 신호에 따라 턴-온되고, T3는 Vini 전압에 따라 턴-온된다.

[0225] 이후, Mux (G) 신호(17)가 인가되면, 데이터 전압(②) 즉, 로우 전압이 Sig 단자(89)에 인가된다.

[0226] 그러나, 이 경우에는, Sig 단자(89)에 인가된 로우 전압이 A 노드(92)에 전달되지 못한다. 이는, SPWM(n+1) 신호에 따라 T2 및 T4는 턴-온된 상태이지만, A 노드(92)(즉, T3의 게이트 단자)에 하이 전압이 인가되고 있으므로, T3의 소스 단자에 T2를 통해 로우 전압이 인가되더라도, T3가 턴-온되지 못하기 때문이다.

[0227] 따라서, Gn 라인의 G 서브 픽셀(10-2-1)에 상대적으로 높은 데이터 전압(①)이 설정되고, Gn+1 라인의 G 서브 픽셀(10-2-2)에 상대적으로 낮은 데이터 전압(②)이 설정되어야 하는 경우, G 서브 픽셀(10-2-2)에 로우 전압의 데이터 전압이 설정되지 않는 경우가 생길 수 있으며, 이는 G 서브 픽셀(10-2-2)을 통해 원하는 계조의 데이터를 표현하지 못하는 문제로 나타날 수 있다.

[0228] 이상에서는, G 서브 픽셀(10-2-1, 20-2-2)을 예로 들어 문제점을 설명하였으나, 상술한 문제점은, R이나 B와 같은 다른 서브 픽셀에서도 나타날 수 있음은 물론이다.

[0229] 도 16 및 도 17a, 도 17b는, 도 15b를 통해 전술한 문제점을 해결할 수 있는 디스플레이 패널(100)의 구동 방법을 도시하고 있다.

[0230] 먼저, 도 16에 도시된 바와 같이, 게이트 라인을 선택하기 위한 제어 신호 SPWM(n) 및 SPWM(n+1)을 수정하는 방안을 생각해 볼 수 있다.

[0231] 구체적으로, 도 15a에 도시된 구동 방법의 경우, SPWM(n) 신호가 먼저 인가되어 게이트 라인 Gn이 선택된 동안 Mux (R), Mux (G), Mux (B) 신호가 순차적으로 인가되어, 대응되는 데이터 전압이 R, G, B 서브 픽셀에 각각 인가되게 된다. 이는, Gn+1 라인의 경우도 마찬가지이다.

[0232] 그러나, 본 개시의 일 실시 예에 따르면, 도 16에 도시된 바와 같이, 복수의 서브 픽셀을 각각 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호가 먼저 순차적으로 인가된 후에 게이트 라인 Gn을 선택하기 위한 SPWM(n) 신호가 인가될 수 있다.

[0233] 즉, 구동부(200)는, Mux (R), Mux (G), Mux (B) 신호를 Gn 라인에 연결된 R, G, B 서브 픽셀에 순차적으로 인가한 후에, SPWM(n) 신호를 Gn 라인에 인가할 수 있다. 이에 따라, 구동부(200)는 Gn 라인에 포함된 R, G, B 서브 픽셀 각각에, 대응되는 PWM 데이터 전압을 인가할 수 있다. 한편, Gn+1 라인 역시, 도 16에 도시된 바와 같이, 상술한 Gn 라인의 동작과 유사하게 동작될 수 있다.

[0234] 따라서, 온된 Mux (R), Mux (G), Mux (B) 신호에 따라 각각의 Sig 단자에 인가된 데이터 전압은, Mux (R), Mux (G), Mux (B)가 오프되면 각각의 Sig 단자에서 플로팅되며, 플로팅되던 데이터 전압들은 이후 SPWM(n) 신호에 따라 일괄적으로, R, G, B 서브 픽셀에 각각 인가될 수 있다. 이는 Gn+1라인의 경우도 마찬가지이다.

[0235] 이 경우, 각 서브 픽셀과 연결된 Sig 단자에 각각의 데이터 전압들이 먼저 인가된 후에, 게이트 라인이 선택되므로, Sig 단자에서 플로팅되던 이전 게이트 라인의 데이터 전압이 서브 픽셀로 먼저 인가되어 발생할 수 있는 문제가 일어나지 않게 된다.

[0236] 예를 들어, 도 16에 도시된 바와 같이, Gn 라인의 G 서브 픽셀(10-2-1)의 데이터 전압(①)이 하이이고, Gn+1 라인의 G 서브 픽셀(10-2-2)의 데이터 전압(②)이 로우인 경우이더라도, 플로팅되던 하이 전압이 Mux (G) 신호(17)에 따라 로우 전압이 된 이후에 SPWM(n+1) 신호가 인가되게 되므로, 플로팅 중인 로우 전압이 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가될 수 있게 된다.

[0237] 한편, 게이트 라인을 선택하기 위한 SPWM(n) 및 SPWM(n+1) 신호는, 도 16에 도시된 바와 같이, R, G, B 서브 픽셀에 대한 데이터 인가 시간을 조정하여 얼마든지 Mux (R), Mux (G), Mux (B) 신호가 순차적으로 인가된 후에 인가될 수 있다. 도 16의 경우, R, G, B 순서로 데이터 라인에 데이터가 인가되므로, B 서브 픽셀에 대응되는 데이터 인가 시간을 일부 할애하여 SPWM(n) 및 SPWM(n+1) 신호를 인가하는 예를 도시하였으나, 이에 한정되는 것은 아니다.

[0238] 한편, 도 15b를 통해 전술한 문제점을 해결할 수 있는 다른 방안으로, 도 17a 및 도 17b에 도시된 바와 같이, 서브 픽셀에 인가된 데이터를 리셋(예를 들어, 블랙 데이터를 인가)하는 방안을 생각해 볼 수 있다.

[0239] 구체적으로, 도 15a에 도시된 구동 방법의 경우, Gn+1 라인의 G 서브 픽셀(10-2-2)의 데이터가 Mux (G) 신호를

통해 Sig 단자(88, 89)에 인가되기 전에 SPWM(n+1) 신호가 Gn+1 라인에 먼저 인가되기 때문에, Sig 단자(88,89)에 플로팅되던 Gn 라인의 G 서브 픽셀(10-2-1)의 데이터가 Gn+1 라인을 통해 G 서브 픽셀(10-2-2)에 인가되게 되므로, 도 15b의 참조번호 1540과 같은 문제가 발생하게 되며, 이는 R, B 서브 픽셀의 경우도 마찬가지일 수 있다.

[0240] 따라서, SPWM(n+1) 신호가 인가되기 전에, Gn 라인에 인가되었던 데이터 즉, Sig 단자(88, 89)에 플로팅되는 전압을 모두 로우 전압으로 리셋하면, 전술한 문제점을 해결할 수 있게 된다.

[0241] 이때, Sig 단자(88, 89)에 플로팅되는 전압은 도 17a와 같이 픽셀 단위로 리셋될 수도 있고, 도 17b와 같이 서브 픽셀 단위로 리셋될 수도 있다.

[0242] 구체적으로, 본 개시의 일 실시 예에 따르면, 도 17a에 도시된 바와 같이, 구동부(200)는 SPWM(n) 신호가 인가되어 Gn 라인에 연결된 복수의 픽셀이 선택된 동안, R, G, B 서브 픽셀을 각각 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호를 순차적으로 인가하여, 대응되는 데이터 전압을 R, G, B 서브 픽셀에 각각 인가할 수 있다.

[0243] 이후, 구동부(200)는 SPWM(n+1) 신호가 인가되기 전에, Mux (R), Mux (G), Mux (B) 신호를 일괄적으로 인가하여, R, G, B 서브 픽셀 각각에 리셋 데이터 전압(예를 들어, 블랙 전압)을 인가할 수 있다.

[0244] 즉, 구동부(200)는 SPWM(n+1) 신호가 인가되기 전에, Mux (R), Mux (G), Mux (B) 신호를 일괄적으로 인가하여, R, G, B 서브 픽셀 각각의 Sig 단자에 플로팅되던 PWM 데이터 전압들을 모두 로우 전압(예를 들어, 블랙(BL) 전압)으로 리셋할 수 있다.

[0245] 이를 위해, Mux (R), Mux (G), Mux (B) 신호가 일괄적으로 인가되는 동안에는, 소스 드라이버(820)에 의해 블랙 전압이 데이터 라인(Dm)에 인가될 수 있음은 물론이다.

[0246] 한편, Gn+1 라인 역시, 도 17a에 도시된 바와 같이, 상술한 Gn 라인의 동작과 유사하게 동작될 수 있다.

[0247] 이 경우, 각 서브 픽셀에 각각의 데이터 전압들이 인가된 후 Sig 단자에서 플로팅되던 이전 게이트 라인의 데이터 전압은 모두 블랙 전압으로 리셋되므로, 도 15b의 참조번호 1540과 같은 문제는 일어나지 않게 된다.

[0248] 예를 들어, 도 17a에 도시된 바와 같이, Gn 라인의 G 서브 픽셀(10-2-1)의 데이터 전압(①)이 하이이고, Gn+1 라인의 G 서브 픽셀(10-2-2)의 데이터 전압(②)이 로우인 경우이더라도, 플로팅되던 하이 전압이 블랙 전압으로 변경된 이후에 SPWM(n+1) 신호가 인가되게 되므로, 이후 Mux (G) 신호(17)에 따라 인가되는 로우 데이터 전압(②)이 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가될 수 있게 된다.

[0249] 한편, R, G, B 서브 픽셀을 일괄적으로 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호는, 도 17a에 도시된 바와 같이, R, G, B 서브 픽셀에 대한 데이터 인가 시간을 조정하여 Mux (R), Mux (G), Mux (B) 신호가 순차적으로 인가된 후에 얼마든지 인가될 수 있다.

[0250] 한편, 본 개시의 다른 일 실시 예에 따르면, 도 17b에 도시된 바와 같이, 구동부(200)는 SPWM(n) 신호가 인가되어 Gn 라인에 연결된 복수의 픽셀이 선택된 동안, R, G, B 서브 픽셀을 각각 선택하기 위한 Mux (R), Mux (G), Mux (B) 신호를 순차적으로 인가하여, 대응되는 데이터 전압 및 리셋 데이터 전압(예를 들어, 블랙 전압)을 R, G, B 서브 픽셀에 각각 인가할 수 있다.

[0251] 이를 위해, Mux (R) 신호가 인가된 동안에는 R 서브 픽셀에 대응되는 데이터 전압 및 블랙 전압이, Mux (G) 신호가 인가된 동안에는 G 서브 픽셀에 대응되는 데이터 전압 및 블랙 전압이, 그리고, Mux (B) 신호가 인가된 동안에는 B 서브 픽셀에 대응되는 데이터 전압 및 블랙 전압이, 소스 드라이버(820)에 의해 데이터 라인(Dm)에 순차적으로 인가될 수 있음은 물론이다.

[0252] 한편, Gn+1 라인 역시, 도 17b에 도시된 바와 같이, 상술한 Gn 라인의 동작과 유사하게 동작될 수 있다.

[0253] 이 경우, R, G, B 서브 픽셀에는 각각의 데이터 전압들이 인가된 후 모두 블랙 전압이 인가되므로, Sig 단자에는 리셋 데이터 전압(예를 들어, 블랙 전압, 즉, 가장 낮은 데이터 전압)이 플로팅되므로, 도 15b의 참조번호 1540과 같은 문제는 일어나지 않게 된다.

[0254] 구체적으로 예를 들어, 도 17b 도시된 바와 같이, Gn 라인의 G 서브 픽셀(10-2-1)의 데이터 전압(①)이 하이이고, Gn+1 라인의 G 서브 픽셀(10-2-2)의 데이터 전압(②)이 로우인 경우이더라도, Sig 단자(88, 89)에는 블랙 전압이 플로팅되고 있으므로, SPWM(n+1) 신호 인가 이후 Mux (G) 신호(17)에 따라 인가되는 로우 데이터 전압(②)이 온된 T2, T3, T4를 지나 G 서브 픽셀(10-2-2)의 A 노드(92)에 인가될 수 있게 된다.

[0255] 한편, 각 서브 픽셀에서 데이터 전압이 인가된 후에 바로 블랙 데이터 전압이 인가되더라도 디스플레이 패널(100)의 동작에 아무런 문제가 없다.

[0256] 도 14 및 도 17b를 함께 참조하면, SPWM(n) 신호가 Gn라인에 인가되고, Mux (G) 신호가 인가된 동안, 데이터 라인(Dm)에 인가된 데이터 전압(①)은 먹스 회로(850), Sig 단자(88), T2, T3 및 T4를 지나 G 서브 픽셀(10-2-1)의 A노드(91)에 인가된다. 이때, T2 및 T4는 SPWM(n) 신호에 따라 턴-온되고, T3는 Vini 전압에 따라 턴-온된다.

[0257] 이후 데이터 라인(Dm)에 인가된 블랙 전압은 먹스 회로(850)를 통해 Sig 단자(88)에는 인가되지만, G 서브 픽셀(10-2-1)의 A노드(91)에는 인가되지 못한다. 이는, A 노드(91)(즉, T3의 게이트 단자)에 블랙 전압 보다 높은 데이터 전압(①)이 이미 인가되어 있으므로, T3의 소스 단자에 T2를 통해 블랙 전압이 인가되더라도, T3가 턴-온되지 못하기 때문이다.

[0258] 즉, G 서브 픽셀(10-2-1)의 A 노드(91)에는 원하는 데이터 전압만 인가되며, Sig 단자(88, 89)는 블랙 전압으로 리셋될 수 있다. 이는 R이나 B 서브 픽셀도 마찬가지이다.

[0259] 한편, 리셋 데이터 전압은, 도 17b에 도시된 바와 같이, R, G, B 서브 픽셀에 대한 데이터 인가 시간을 조정하여 얼마든지 인가될 수 있다.

[0260] 한편, 도 16을 통해 설명한 구동 방식의 경우, 데이터 전압을 먼저 Sig 단자에 플로팅시킨 후, 플로팅 중인 데이터 전압을 각 서브 픽셀에 인가하게 되므로, 디스플레이 패널(100) 내에 게이트 드라이버를 배치하는 GIP(Gate In Panel) 방식으로 디스플레이 모듈(300)을 구현하는 경우에는, 디스플레이 패널(100) 동작 시 무라(mura)가 발생할 수도 있다.

[0261] 그러나, 도 17a 및 도 17b를 통해 설명한 방식은 GIP 방식으로 디스플레이 모듈(300)을 구현하는 경우에도 무라 없이 영상을 디스플레이 할 수 있다.

[0263] 이하에서는, 도 18a 내지 도 18h를 통해 본 개시의 또 다른 일 실시 예에 따른 디스플레이 패널(100)의 구동 방법을 설명한다.

[0264] 도 18a는 본 개시의 일 실시 예에 따른 디스플레이 패널(100)의 일부를 도시한 도면이다. 도 18a를 참조하면, R, G, B 서브 픽셀 각각에 대한 데이터 전압은, 시분할 멀티플렉싱되어 하나의 데이터 라인(Dm)을 통해 디스플레이 패널(100)로 인가된다.

[0265] 이때, 디스플레이 패널(100)은, 시분할 멀티플렉싱되어 데이터 라인(Dm)에 인가되는 R, G, B 서브 픽셀 각각에 대응되는 데이터 전압을, 먹스 신호(Mux (R), Mux (G), Mux (B))에 따라 R, G, B 서브 픽셀 각각의 데이터 신호 라인(Sig_R, Sig_G, Sig_B)에 인가하기 위한 먹스 회로(1800-1)를 포함한다.

[0266] 구체적으로, 먹스 회로(1800-1)는, 소스 단자가 데이터 라인(Dm)에 연결되고, 드레인 단자가 R 서브 픽셀의 데이터 신호 라인(Sig_R)에 연결되며, 게이트 단자가 Mux (R) 신호 라인에 연결된 트랜지스터(18-1), 소스 단자가 데이터 라인(Dm)에 연결되고, 드레인 단자가 G 서브 픽셀의 데이터 신호 라인(Sig_G)에 연결되며, 게이트 단자가 Mux (G) 신호 라인에 연결된 트랜지스터(18-2), 소스 단자가 데이터 라인(Dm)에 연결되고, 드레인 단자가 B 서브 픽셀의 데이터 신호 라인(Sig_B)에 연결되며, 게이트 단자가 Mux (B) 신호 라인에 연결된 트랜지스터(18-3)을 포함한다. 따라서, 데이터 라인(Dm)을 통해 인가되는 시분할 멀티플렉싱된 R, G, B 데이터 전압 각각은, 대응되는 시간에 먹스 신호(Mux (R), Mux (G), Mux (B))가 먹스 회로(1800-1)에 순차적으로 인가됨에 따라, 대응되는 서브 픽셀로 각각 인가될 수 있다.

[0267] 구체적으로, 구동부(200)는 데이터 라인(Dm)에 R 데이터 전압이 인가되는 시간 동안 R 서브 픽셀을 선택하기 위한 제어 신호 Mux (R)을 디스플레이 패널(100)의 먹스 회로(1800-1)에 인가하고, 데이터 라인(Dm)에 G 데이터 전압이 인가되는 시간 동안 G 서브 픽셀을 선택하기 위한 제어 신호 Mux (G)를 먹스 회로(1800-1)에 인가하고, 데이터 라인(Dm)에 B 데이터 전압이 인가되는 시간 동안 B 서브 픽셀을 선택하기 위한 제어 신호 Mux (B)를 먹스 회로(1800-1)에 인가할 수 있다.

[0268] 이에 따라, 각 서브 픽셀에는 대응되는 데이터 전압이 인가될 수 있다. 이때, 각 서브 픽셀로 인가되는 제어 신호 SPWM에 관하여는 다양한 실시 예들을 통해 전술한 바 있으므로, 중복 설명은 생략한다.

[0269] 한편, 전술한 바와 같이, 하나의 데이터 라인(Dm)을 통해 인가되는 시분할 멀티플렉싱된 R, G, B 데이터

전압이, 대응되는 서브 픽셀로 각각 인가될 수 있음은 별론, 도 18a와 같은 구조의 디스플레이 패널(100)에서 데이터 라인(Dm)에 인가된 데이터 전압과는 다른 전압이 각 서브 픽셀에 인가될 수 있어 문제가 된다.

[0270] 구체적으로, 본 개시의 일 실시 예에 따르면, 하나의 픽셀을 구성하는 R, G, B 서브 픽셀의 각 Sig 신호 라인(또는 Sig 신호 배선)은, 도 18b에 도시된 바와 같이, 서로 인접하여 디스플레이 패널(100) 내에 형성될 수 있다.

[0271] 이 경우, 인접한 또는 중첩되는 Sig_R, Sig_B, Sig_B 라인 사이에는 기생 캐패시턴스가 발생할 수 있으며, 이로 인해 Sig_R, Sig_B 및 Sig_B 라인 중 하나의 Sig 라인에 인가되는 데이터 전압이 다른 Sig 라인에 커플링될 수 있다.

[0272] 도 18c는 커플링으로 인한 데이터 전압의 변화를 도시하고 있다. 도 18c를 참조하면, 시분할 멀티플렉싱되어 데이터 라인(Dm)에 인가되는 R, G, B 서브 픽셀 각각에 대응되는 데이터 전압들은, 제어 신호 SPWM(n)이 인가된 동안 순차적으로 인가되는 먹스 신호(Mux(R), Mux(G), Mux(B))에 따라 R, G, B 서브 픽셀 각각에 대응되는 Sig 라인(Sig_R, Sig_B, Sig_B)에 순차적으로 인가된다.

[0273] 이때, 도 18c의 상방향 화살표를 통해 나타낸 바와 같이, Sig_R, Sig_B 및 Sig_B 라인 중 하나의 Sig 라인에 인가되는 데이터 전압은 나머지 Sig 라인에 커플링되게 되는 것을 볼 수 있다.

[0274] 이에 따라, 데이터 전압이 동일하더라도, R, G, B 서브 픽셀을 별도로 구동하는 경우와 동시에 구동하는 경우에, R, G, B 서브 픽셀의 휘도의 합이 서로 달라지는 문제가 생길 수 있다.

[0275] 예를 들어, 하나의 픽셀을 구성하는 R, G, B 서브 픽셀에 휘도 100nit의 데이터 전압을 각각 인가하는 경우를 가정하면, R, G, B 서브 픽셀을 개별 구동하는 경우, R, G, B 서브 픽셀 각각의 휘도의 합은 300nit가 된다. 따라서, R, G, B 서브 픽셀을 동시에 구동하더라도(예를 들어, 화이트(W) 색상을 구동하는 경우라도), R, G, B 서브 픽셀 각각의 휘도의 합은 300nit가 되어야 한다. 그러나, 실제 R, G, B 서브 픽셀을 동시에 구동하는 경우, 전술한 데이터 전압 커플링으로 인해 R, G, B 서브 픽셀 각각의 휘도의 합은 300nit를 초과하게 되어 R, G, B의 휘도 값과 W의 휘도 값이 달라지는 문제가 발생하게 된다.

[0276] 도 18d는 본 개시의 다른 일 실시 예에 따른 디스플레이 패널(100)의 일부를 도시한 도면이다. 도 18d에 도시된 디스플레이 패널(100)은, 도 18a에 도시된 디스플레이 패널(100)과 대동 소이하며, 먹스 회로(1800-2)의 구성이 다른 것을 볼 수 있다.

[0277] 도 18d에 따르면, 먹스 회로(1800-2)는, 도 18a의 먹스 회로(1800-1)에 더하여, Sig 라인(Sig_R, Sig_G, Sig_B)의 전압을 리셋하기 위한 트랜지스터들(18-4 내지 18-6)을 포함한다. 이때, 리셋 전압은 그라운드 전압(VSS)일 수 있으나, 이에 한정되는 것은 아니다.

[0278] 구체적으로, 트랜지스터(18-4)는 소스 단자가 그라운드 전압(VSS) 단자에 연결되고, 드레인 단자가 Sig_R 라인에 연결되며, 게이트 단자가 Mux (G) 신호 라인에 연결된다. 또한, 트랜지스터(18-5)는 소스 단자가 그라운드 전압(VSS) 단자에 연결되고, 드레인 단자가 Sig_G 라인에 연결되며, 게이트 단자가 Mux (B) 신호 라인에 연결된다. 또한, 트랜지스터(18-6)는 소스 단자가 그라운드 전압(VSS) 단자에 연결되고, 드레인 단자가 Sig_B 라인에 연결되며, 게이트 단자가 Sig_B(RST) 신호 라인에 인가된다.

[0279] 도 18e는 본 개시의 일 실시 예에 따른 도 18d에 도시된 디스플레이 패널의 구동 타이밍도를 도시하고 있다. 도 18e에 따르면, Gn 라인을 선택하기 위한 SPWM(n) 신호가 인가된 동안, 먹스 신호들(Mux (R), Mux (G), Mux (B) 및 Sig_B(RST))이 먹스 회로(1800-2)에 순차적으로 인가된다.

[0280] 구체적으로, 먹스 회로(1800-2)(구체적으로는, 트랜지스터(18-1))에 Mux (R) 신호가 인가된 동안, Sig_R 라인에는 데이터 라인(Dm)을 통해 R 서브 픽셀에 대응되는 데이터 전압이 인가되며, Sig_R 라인에 인가된 데이터 전압은 R 서브 픽셀에 설정된다.

[0281] 이후, 먹스 회로(1800-2)(구체적으로는, 트랜지스터(18-2))에 Mux (G) 신호가 인가되면, Sig_G 라인에는 데이터 라인(Dm)을 통해 G 서브 픽셀에 대응되는 데이터 전압이 인가되며, Sig_G 라인에 인가된 데이터 전압은 G 서브 픽셀에 설정된다. 이와 동시에, Mux (G) 신호에 따라 트랜지스터(18-4)가 온되므로, Sig_R 라인의 전압은 그라운드 전압(VSS)으로 리셋된다. 따라서, Sig_G 라인에 인가된 데이터 전압은 더 이상 Sig_R 라인으로 커플링되지 않는다.

[0282] 이와 마찬가지로, 먹스 회로(1800-2)(구체적으로는, 트랜지스터(18-3))에 Mux (B) 신호가 인가되면, Sig_B 라인

에는 데이터 라인(Dm)을 통해 B 서브 픽셀에 대응되는 데이터 전압이 인가되며, Sig_B 라인에 인가된 데이터 전압은 B 서브 픽셀에 설정된다. 또한, Mux (B) 신호에 따라 트랜지스터(18-5)가 온되므로, Sig_G 라인의 전압은 그라운드 전압(VSS)로 리셋된다. 따라서, Sig_B 라인에 인가된 데이터 전압은 더 이상 Sig R 라인이나 Sig_G 라인으로 커플링되지 않는다.

[0283] 최종적으로, Sig_B 리셋 신호 즉, Sig_B(RST) 신호가 먹스 회로(1800-2)(구체적으로는, 트랜지스터(18-6))에 인가되면, 트랜지스터(18-6)가 온되어 Sig_B 라인의 전압 역시 그라운드 전압(VSS)로 리셋된다.

[0284] 이와 같이, 본 개시의 일 실시 예에 따르면, Sig R, Sig G 및 Sig B 라인에 각각 인가된 데이터 전압은, 더 이상 다른 Sig 라인으로 커플링되지 않는다. 따라서, Sig 라인들 간의 전압 커플링으로 인해 R, G, B 서브 픽셀을 별도로 구동하는 경우와 동시에 구동하는 경우에 휘도 차이가 발생하는 문제를 해결할 수 있다.

[0285] 한편, 도 18d 및 도 18e를 참조하면, Gn+1 라인을 선택하기 위한 SPWM(n+1) 신호가 인가되기 전에, Sig R, Sig G, Sig B 라인의 각 전압이 모두 리셋된 상태인 것을 볼 수 있다. 따라서, 도 18d 및 도 18e를 통해 설명한 본 개시의 일 실시 예에 따르면, 도 15b에서 전술한 문제점도 자연스럽게 해결됨을 알 수 있다.

[0286] 도 18f는 본 개시의 또 다른 일 실시 예에 따른 디스플레이 패널의 일부를 도시한 도면이다. 도 18f를 참조하면, 먹스 회로(1800-3)는, 도 18a의 먹스 회로(1800-1)에 더하여, Sig 라인(Sig_R, Sig_G, Sig_B)의 전압을 리셋하기 위한 트랜지스터들(18-7 내지 18-9)을 포함한다. 이때, 리셋 전압은 블랙 데이터 전압과 그라운드 전압(VSS, 예를 들어, 0[V]) 사이의 임의의 한 전압이 사용될 수 있다.

[0287] 구체적으로, 트랜지스터(18-7)의 소스 단자는 리셋 전압이 인가되는 Reset Vcom 신호 라인에 연결되고, 드레인 단자는 Sig_R 라인에 연결되며, 게이트 단자는 Sig_R 라인의 전압을 리셋하기 위한 제어 신호가 인가되는 Reset Mux (R) 신호 라인에 연결된다. 또한, 트랜지스터(18-8)의 소스 단자는 리셋 전압이 인가되는 Reset Vcom 신호 라인에 연결되고, 드레인 단자는 Sig_G 라인에 연결되며, 게이트 단자는 Sig_G 라인의 전압을 리셋하기 위한 제어 신호가 인가되는 Reset Mux (G) 신호 라인에 연결된다. 또한, 트랜지스터(18-9)의 소스 단자는 리셋 전압이 인가되는 Reset Vcom 신호 라인에 연결되고, 드레인 단자는 Sig_B 라인에 연결되며, 게이트 단자는 Sig_B 라인의 전압을 리셋하기 위한 제어 신호가 인가되는 Reset Mux (B) 신호 라인에 연결된다.

[0288] 따라서, 도 18f를 참조하면, Mux (R), Mux (G), Mux (B) 신호가 먹스 회로(1800-3)의 트랜지스터(18-1 내지 18-3)에 각각 인가되면, 대응되는 데이터 전압이 Sig_R, Sig_G, Sig_B 라인을 통해 R, G, B 서브 픽셀에 각각 설정되고, Reset Mux (R), Reset Mux (G), Reset Mux (B) 신호가 먹스 회로(1800-3)의 트랜지스터(18-7 내지 18-9)에 각각 인가되면, Sig_R, Sig_G, Sig_B 라인의 전압이 Reset Vcom 신호 라인을 통해 인가되는 리셋 전압으로 각각 리셋될 것임을 알 수 있다.

[0289] 도 18g 및 도 18h는 본 개시의 다양한 실시 예에 따른, 도 18f에 도시된 디스플레이 패널의 구동 타이밍도를 도시하고 있다.

[0290] 도 18f 내지 도 18h를 참조하면, Sig_R, Sig_G, Sig_B 라인에는, Mux (R), Mux (G) 및 Mux (B) 신호에 따라 대응되는 데이터 전압이 인가되며, Reset Mux (R), Reset Mux (G), Reset Mux (B) 신호에 따라 리셋 전압이 인가된다.

[0291] 구체적으로, 본 개시의 일 실시 예에 따르면, 구동부(200)는 도 18g에 도시된 바와 같이, Mux (R) 신호가 트랜지스터(18-1)에 인가된 후 Mux (G) 신호가 트랜지스터(18-2)에 인가되기 전에 트랜지스터(18-7)에 Reset Mux (R) 신호를 인가하고, Mux (G) 신호가 트랜지스터(18-2)에 인가된 후 Mux (B) 신호가 트랜지스터(18-3)에 인가되기 전에 트랜지스터(18-8)에 Reset Mux (G) 신호를 인가하며, Mux (B) 신호가 트랜지스터(18-3)에 인가된 후 다음 게이트 라인의 Mux (R) 신호가 트랜지스터(18-1)에 인가되기 전에 트랜지스터(18-9)에 Reset Mux (B) 신호를 인가할 수 있다.

[0292] 한편, 본 개시의 다른 일 실시 예에 따르면, 구동부(200)는 도 18h에 도시된 바와 같이, Mux (R) 신호가 트랜지스터(18-1)에 인가되는 시간을 제외한 나머지 시간 구간에 트랜지스터(18-7)에 Reset Mux (R) 신호를 인가하고, Mux (G) 신호가 트랜지스터(18-2)에 인가되는 구간을 제외한 나머지 시간 구간에 트랜지스터(18-8)에 Reset Mux (G) 신호를 인가하며, Mux (B) 신호가 트랜지스터(18-3)에 인가되는 구간을 제외한 나머지 시간 구간에 트랜지스터(18-9)에 Reset Mux (R) 신호를 인가할 수 있다.

[0293] 이에 따라, 도 18g 및 도 18h의 실시 예에서, Sig R, Sig G 및 Sig B 라인의 전압은, 다른 Sig 라인에 데이터 전압이 인가되는 동안 모두 리셋 전압으로 리셋된 상태가 된다.

[0294] 따라서, 전술한 문제점들 즉, Sig 라인들 간의 전압 커플링으로 인해 R, G, B 서브 픽셀을 별도로 구동하는 경우와 동시에 구동하는 경우에 휘도 차이가 발생하는 문제, 및 도 15b에서 전술한 문제가 모두 해결될 수 있다.

[0295] 이상 도 14 내지 도 18h에서는, R, G, B 서브 픽셀 각각에 인가될 데이터 전압들이 시분할되어 하나의 데이터 라인을 통해 디스플레이 패널(100)로 인가되는 경우에, 먹스 회로를 이용하여, 서브 픽셀 각각에, 대응되는 데이터 전압을 인가하는 실시 예들을 설명하였다. 그러나, 본 개시의 다른 일 실시 예에 따르면, 먹스 회로를 이용하지 않고, 각 서브 픽셀에, 대응되는 데이터 전압이 인가될 수 있다.

[0296] 도 19a는 본 개시의 일 실시 예에 따라 먹스 회로 없이 대응되는 데이터 전압을 서브 픽셀 각각에 인가할 수 있는 디스플레이 패널(100)의 일부를 도시한 개념도이고, 도 19b는 도 19a의 디스플레이 패널(100)을 구동하기 위한 제어 신호 SPWM의 타이밍도이다.

[0297] 도 19a를 참조하면, R, G, B 서브 픽셀 각각에 대한 데이터 전압은, 도 18과 같이, 시분할 멀티플렉싱되어 하나의 데이터 라인(Dm)을 통해 디스플레이 패널(100)로 인가된다.

[0298] 그러나, 도 19a에 도시된 디스플레이 패널(100)은 도 18의 디스플레이 패널(100)과 달리 먹스 회로가 없다. 대신, 도 19a의 디스플레이 패널(100)은 서브 픽셀의 종류마다 별도의 게이트 라인(Gn-R, Gn-G, Gn-B)이 마련되며, 이와 같이 마련된 별도의 게이트 라인을 통해 인가되는 제어 신호 SPWM-R(n), SPWM-G(n), SPWM-B(n)에 따라, 대응되는 데이터 전압이 각 서브 픽셀에 인가될 수 있다. 이는 n+1번째 라인에 대하여도 마찬가지이다.

[0299] 구체적으로, 본 개시의 일 실시 예에 따르면, 구동부(200)(구체적으로는, 게이트 드라이버(830))는, 도 19b에 도시된 바와 같이, n번째 게이트 라인에 연결된 복수의 서브 픽셀 중 R 서브 픽셀들을 선택하기 위한 제어 신호 SPWM-R(n), G 서브 픽셀들을 선택하기 위한 제어 신호 SPWM-G(n) 및 B 서브 픽셀들을 선택하기 위한 제어 신호 SPWM-B(n)을 생성하여, 도 19a의 Gn-R 라인, Gn-G 라인 및 Gn-B 라인에 각각 순차적으로 인가할 수 있다.

[0300] 이때, 구동부(200)는 데이터 라인(Dm)에 R 데이터 전압이 인가되는 동안 제어 신호 SPWM-R(n)를 Gn-R 라인에 인가하고, 데이터 라인(Dm)에 G 데이터 전압이 인가되는 동안 제어 신호 SPWM-G(n)를 Gn-G 라인에 인가하고, 데이터 라인(Dm)에 B 데이터 전압이 인가되는 동안 제어 신호 SPWM-B(n)를 Gn-B 라인에 인가함으로써, n번째 라인에 연결된 복수의 서브 픽셀 각각에, 대응되는 데이터 전압을 인가할 수 있다. 이는 n+1 번째 라인에 대하여도 마찬가지이다.

[0301] 예를 들어, 도 14에서 먹스 회로(850)가 없는 경우를 가정하여 도 19a의 n번째 라인의 G 서브 픽셀의 동작을 생각해 볼 수 있다. 구체적으로, 데이터 라인(Dm)에 G 데이터 전압이 인가되는 동안, 도 19b의 제어 신호 SPWM-G(n)가 도 19a의 Gn-G 라인에 인가되면, G 데이터 전압은 G 서브 픽셀(10-2-1)의 Sig 단자(88), T2, T3 및 T4를 지나 A노드(91)에 인가될 수 있다. 이에 따라, T3의 임계 전압(Vth)이 보상된 G 데이터 전압이 A 노드(91)에 설정될 수 있다. 도 19b의 제어 신호에 따른 도 19a의 나머지 서브 픽셀들의 동작 역시, 상술한 설명들을 통해 충분히 이해될 수 있을 것이다.

[0302] 이와 같이, R, G, B 서브 픽셀 각각에 대한 데이터 전압이 시분할 멀티플렉싱되어 하나의 데이터 라인(Dm)을 통해 디스플레이 패널(100)로 인가되는 경우에도, 먹스 회로를 이용하지 않고, 각 서브 픽셀에, 대응되는 데이터 전압이 인가될 수 있다.

[0303] 한편, 전술한 먹스 회로를 이용하지 않는 실시 예의 경우, 서브 픽셀의 종류마다 별도의 게이트 라인을 통해 각 서브 픽셀에 데이터 전압을 인가하게 되므로, R, G, B 서브 픽셀의 Sig 단자 간의 기생 캐패시턴스의 커플링으로 인해 발생하는 문제(예를 들어, R, G, B 서브 픽셀을 개별 구동하는 경우 R, G, B 서브 픽셀 각각의 휘도의 합과, 화이트 W(white) 구동 시 픽셀의 휘도가 달라지는 문제), 컬러 시프트 현상이 고계조보다 저계조 또는 중계조에서 강해지는 문제 및 도 15b에서 전술한 문제가 해결될 수 있다.

[0304] 한편, 이상에서는 제어 신호 및 데이터 전압이 R, G, B 순서로 디스플레이 패널(100)에 인가되는 것을 예로 들었으나, 이는 하나의 예에 불과하며, 구현 예에 따라 그 순서는 얼마든지 달라질 수 있다.

[0305] 한편, 도 13에서 전술한 바와 같이, 본 개시의 다른 일 실시 예에 따르면, 먹스 회로(미도시)를 사용하지 않고, R, G, B 서브 픽셀 별로 별개의 데이터 라인을 사용할 수도 있는데, 도 19c는 이와 같은 실시 예를 도시하고 있다.

[0306] 도 20는 본 개시의 일 실시 예에 따른 디스플레이 모듈(300)의 구동 방법을 나타내는 흐름도이다. 도 20을 설명

함에 있어, 전술한 것과 중복되는 내용은 상세한 설명을 생략한다.

[0307] 도 20에 따르면, 디스플레이 모듈(300)은 PAM 데이터 전압 및 PWM 데이터 전압을 픽셀 회로(110)에 인가하고(S2010), PAM 데이터 전압에 대응되는 진폭 및 PWM 데이터 전압에 대응되는 펄스 폭을 갖는 구동 전류를 무기 발광 소자(120)로 제공할 수 있다(S2020).

[0308] 여기서, 디스플레이 모듈(300)은 무기 발광 소자(120) 및 무기 발광 소자(120)로 구동 전류를 제공하는 픽셀 회로(110)를 포함하는 디스플레이 패널(100), 및 픽셀 회로(110)를 구동하는 구동부(200)를 포함한다.

[0309] 또한, 픽셀 회로(110)는, PAM 데이터 전압에 기초하여 구동 전류의 진폭을 제어하기 위한 PAM 회로(112) 및 PWM 데이터 전압에 기초하여 구동 전류의 펄스 폭을 제어하기 위한 PWM 회로(111)를 포함하고, 구동부(200)는, PAM 회로(112)를 구동하기 위한 제 1 전원 전압을 PAM 회로(112)로 제공하고, PWM 회로(111)를 구동하기 위한 제 2 전원 전압을 PWM 회로(111)로 제공하는 전원 회로를 포함할 수 있다.

[0310] 한편, 제 2 전원 전압은, 제 1 전원 전압보다 작은 크기의 전압일 수 있다. 또한, 전원 회로는, 디스플레이 패널(100)과는 별도의 기판 상에 마련될 수 있으며, 제 1 라인을 통해 제 1 전원 전압을 PAM 회로(112)로 제공하고, 제 2 라인을 통해 제 2 전원 전압을 PWM 회로(111)로 제공할 수 있다.

[0311] 한편, 디스플레이 패널(100)은 복수의 서브 픽셀을 포함하는 복수의 픽셀이 글래스 상에 매트릭스 형태로 배치되고, 복수의 서브 픽셀 각각은, 무기 발광 소자(120) 및 픽셀 회로(110)를 포함하며, 무기 발광 소자(120)는, 픽셀 회로와 전기적으로 연결되도록 글래스 상에 형성된 픽셀 회로 위에 실장될 수 있다.

[0312] 또한, 구동부(200)는, 매트릭스 형태로 배치된 픽셀들을 행 단위로 구동하기 위한 게이트 드라이버 회로를 더 포함할 수 있다.

[0313] 한편, 무기 발광 소자(120)는, 100 마이크로미터 이하의 크기를 갖는 마이크로 LED일 수 있다.

[0314] 한편, 도 7a, 도 10a, 도 11 및 도 12에서는 픽셀 회로(110)가 P 타입의 TFT로 구현된 것을 예로 들어 도시하였으나, N 타입의 TFT에도 상술한 다양한 실시 예들이 적용될 수 있음은 물론이다.

[0315] 또한, 상술한 본 개시의 다양한 실시 예들에서, TFT층을 구성하는 TFT는 특정 구조나 타입으로 한정되지 않는다, 즉, 본 개시에서 인용된 TFT는 LTPS TFT 외 oxide TFT 및 Si TFT(poly silicon, a-silicon), 유기 TFT, 그래핀 TFT 등으로도 구현될 수 있으며, Si wafer CMOS공정에서 P type(or N-type) MOSFET만 만들어 적용할 수도 있다.

[0316] 이상 설명한 바와 같이 본 개시의 다양한 실시 예에 따르면, 디스플레이 패널에 포함된 무기 발광 소자가 발광하는 빛의 파장이 계조에 따라 변화되는 것을 방지할 수 있다. 또한, 디스플레이 패널을 구성하는 무기 발광 소자의 얼룩이나 색상을 보정할 수 있고, 모듈 형태의 디스플레이 패널들을 조합하여 대면적의 디스플레이 패널을 구성할 경우에도 각 디스플레이 패널 모듈 간의 휘도나 색상 차이를 보정할 수 있다. 또한, 보다 최적화된 구동 회로의 설계가 가능하여, 보다 안정적이고 효율적으로 무기 발광 소자를 구동할 수 있게 되며, 디스플레이 패널의 소형화 및 경량화에 이바지할 수 있다. 또한, 개발자가 원하는 크기 단위로 HDR을 구현할 수도 있게 된다.

[0317] 한편, 본 개시의 다양한 실시 예들은 기기(machine)(예: 컴퓨터)로 읽을 수 있는 저장 매체(machine-readable storage media)에 저장된 명령어를 포함하는 소프트웨어로 구현될 수 있다. 여기서, 기기는, 저장 매체로부터 저장된 명령어를 호출하고, 호출된 명령어에 따라 동작이 가능한 장치로서, 개시된 실시 예들에 따른 디스플레이 장치(1300)를 포함할 수 있다.

[0318] 상기 명령이 프로세서에 의해 실행될 경우, 프로세서가 직접, 또는 상기 프로세서의 제어하에 다른 구성요소들을 이용하여 상기 명령에 해당하는 기능을 수행할 수 있다. 명령은 컴파일러 또는 인터프리터에 의해 생성 또는 실행되는 코드를 포함할 수 있다. 기기로 읽을 수 있는 저장매체는, 비일시적(non-transitory) 저장매체의 형태로 제공될 수 있다. 여기서, '비일시적'은 저장매체가 신호(signal)를 포함하지 않으며 실재(tangible)한다는 것을 의미할 뿐 데이터가 저장매체에 반영구적 또는 임시적으로 저장됨을 구분하지 않는다.

[0319] 일 실시 예에 따르면, 본 개시에 개시된 다양한 실시 예들에 따른 방법은 컴퓨터 프로그램 제품(computer program product)에 포함되어 제공될 수 있다. 컴퓨터 프로그램 제품은 상품으로서 판매자 및 구매자 간에 거래될 수 있다. 컴퓨터 프로그램 제품은 기기로 읽을 수 있는 저장 매체(예: compact disc read only memory (CD-ROM))의 형태로, 또는 어플리케이션 스토어(예: 플레이 스토어TM)를 통해 온라인으로 배포될 수 있다. 온라인 배포의 경우에, 컴퓨터 프로그램 제품의 적어도 일부는 제조사의 서버, 어플리케이션 스토어의 서버, 또는 중계

서버의 메모리와 같은 저장 매체에 적어도 일시 저장되거나, 임시적으로 생성될 수 있다.

[0320] 다양한 실시 예들에 따른 구성 요소(예: 모듈 또는 프로그램) 각각은 단수 또는 복수의 개체로 구성될 수 있으며, 전술한 해당 서브 구성 요소들 중 일부 서브 구성 요소가 생략되거나, 또는 다른 서브 구성 요소가 다양한 실시 예에 더 포함될 수 있다. 대체적으로 또는 추가적으로, 일부 구성 요소들(예: 모듈 또는 프로그램)은 하나의 개체로 통합되어, 통합되기 이전의 각각의 해당 구성 요소에 의해 수행되는 기능을 동일 또는 유사하게 수행할 수 있다. 다양한 실시 예들에 따른, 모듈, 프로그램 또는 다른 구성 요소에 의해 수행되는 동작들은 순차적, 병렬적, 반복적 또는 휴리스틱하게 실행되거나, 적어도 일부 동작이 다른 순서로 실행되거나, 생략되거나, 또는 다른 동작이 추가될 수 있다.

[0321] 이상의 설명은 본 개시의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 개시의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 또한, 본 개시에 따른 실시 예들은 본 개시의 기술 사상을 한정하기 위한 것이 아니라 설명하기 한 것이고, 이러한 실시 예에 의하여 본 개시의 기술 사상의 범위가 한정되는 것은 아니다. 따라서, 본 개시의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 개시의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

[0322] 300 : 디스플레이 모듈 200 : 구동부

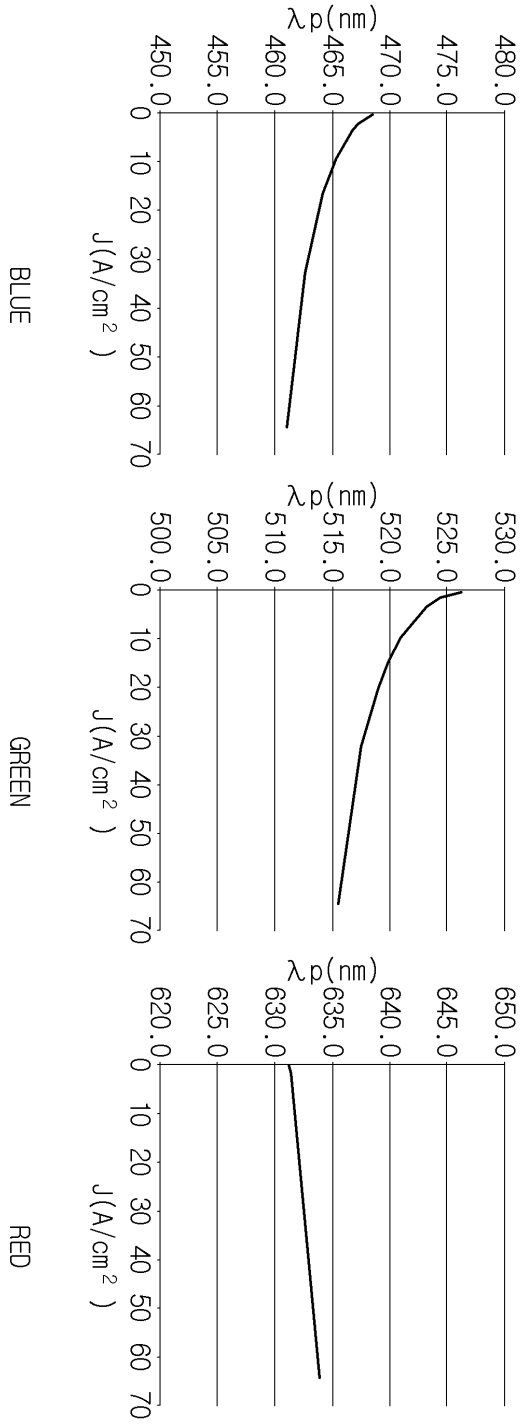
100 : 디스플레이 패널 120 : 무기 발광 소자

110 : 픽셀 회로 111 : PWM 회로

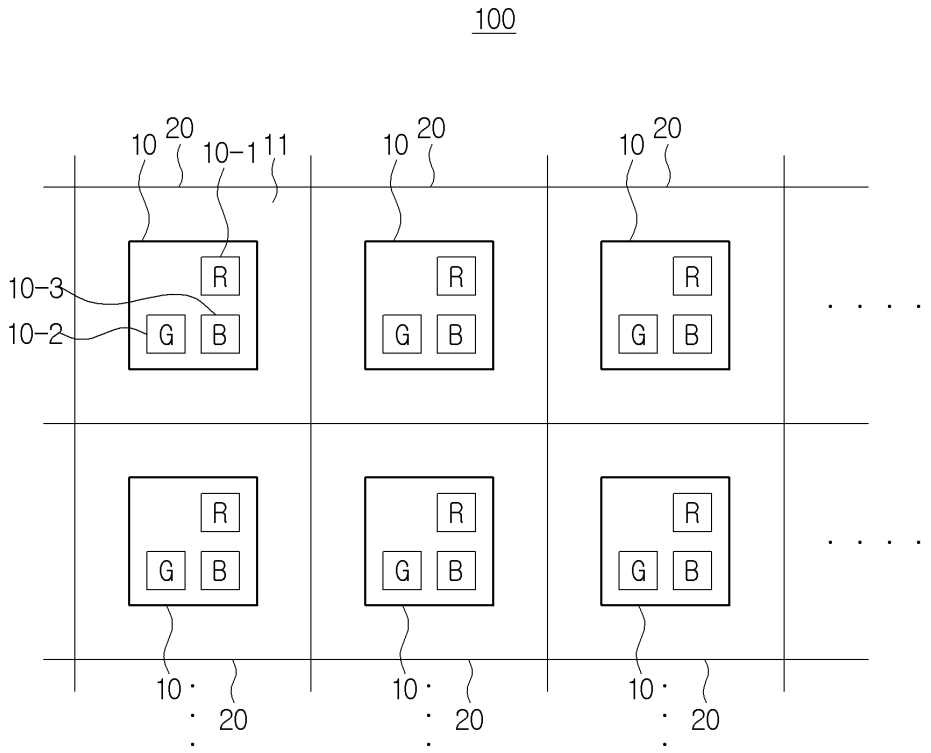
112 : PAM 회로

도면

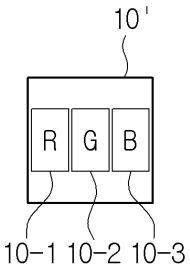
도면1


BLUE
λp(nm)
450.0
455.0
460.0
465.0
470.0
475.0
480.0
0
10
20
30
40
50
60
70
J(A/cm²)
GREEN
λp(nm)
500.0
505.0
510.0
515.0
520.0
525.0
530.0
0
10
20
30
40
50
60
70
J(A/cm²)
RED
λp(nm)
620.0
625.0
630.0
635.0
640.0
645.0
650.0
0
10
20
30
40
50
60
70
J(A/cm²)

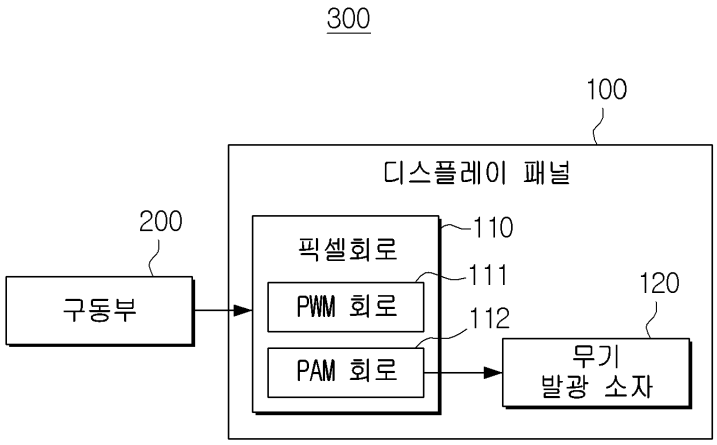
도면2a



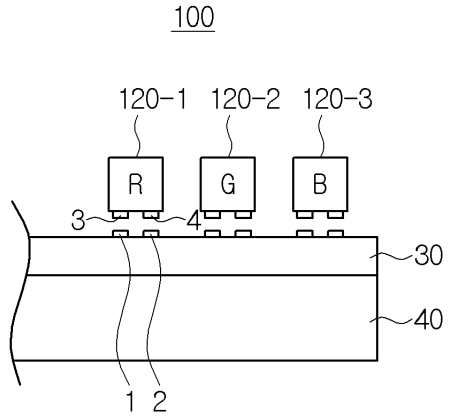
도면2b



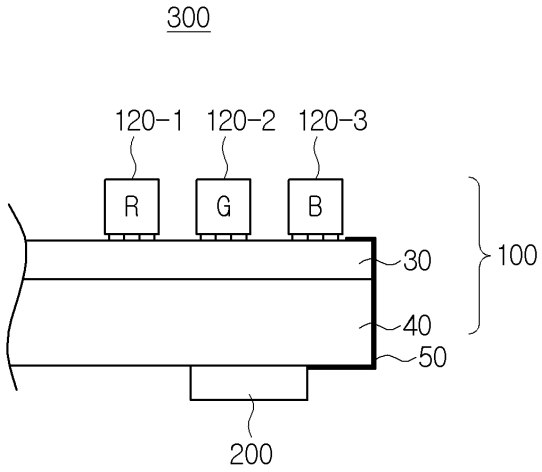
도면3



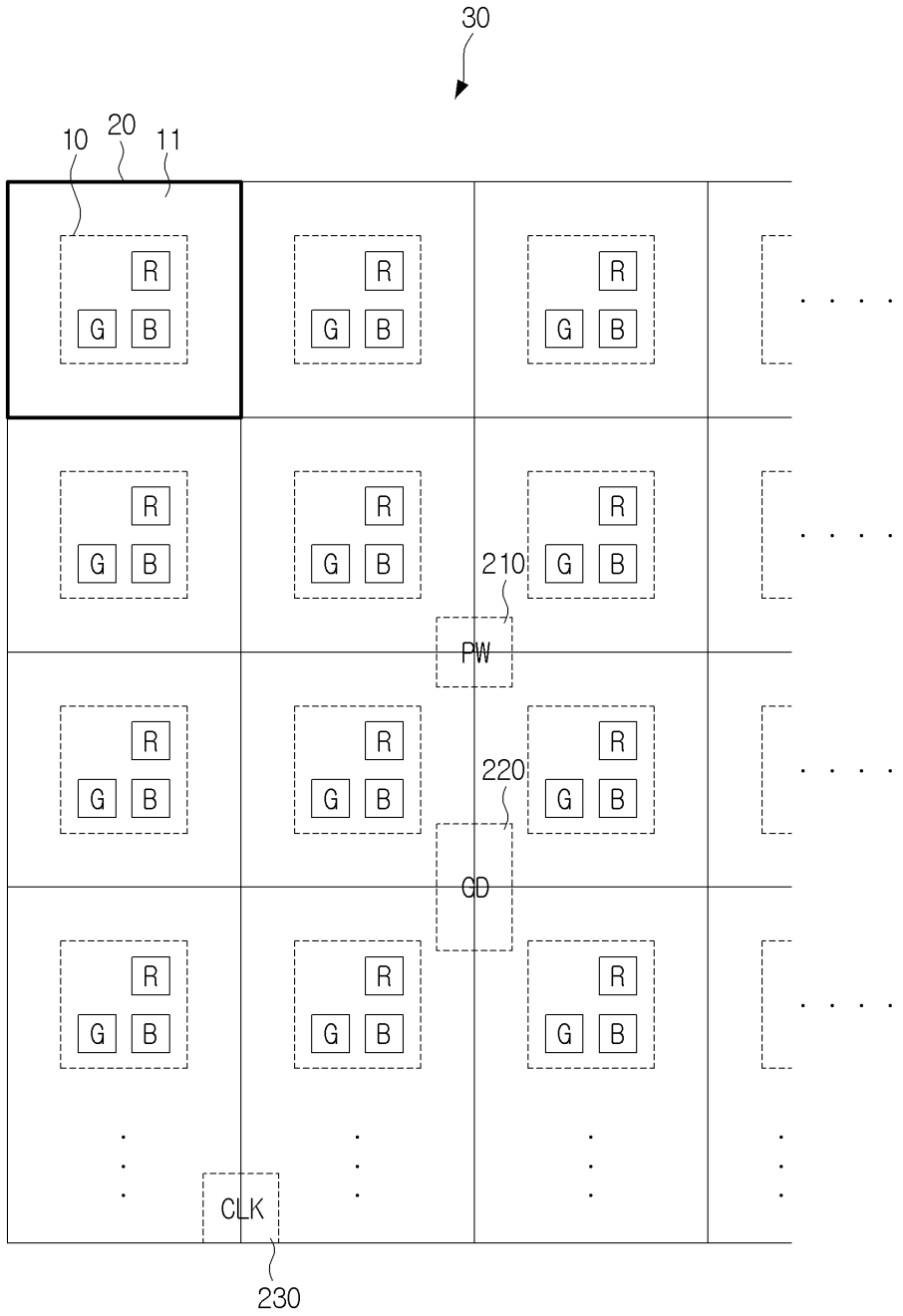
도면4


100
120-1
120-2
120-3
R
G
B
3
4
30
40
1
2

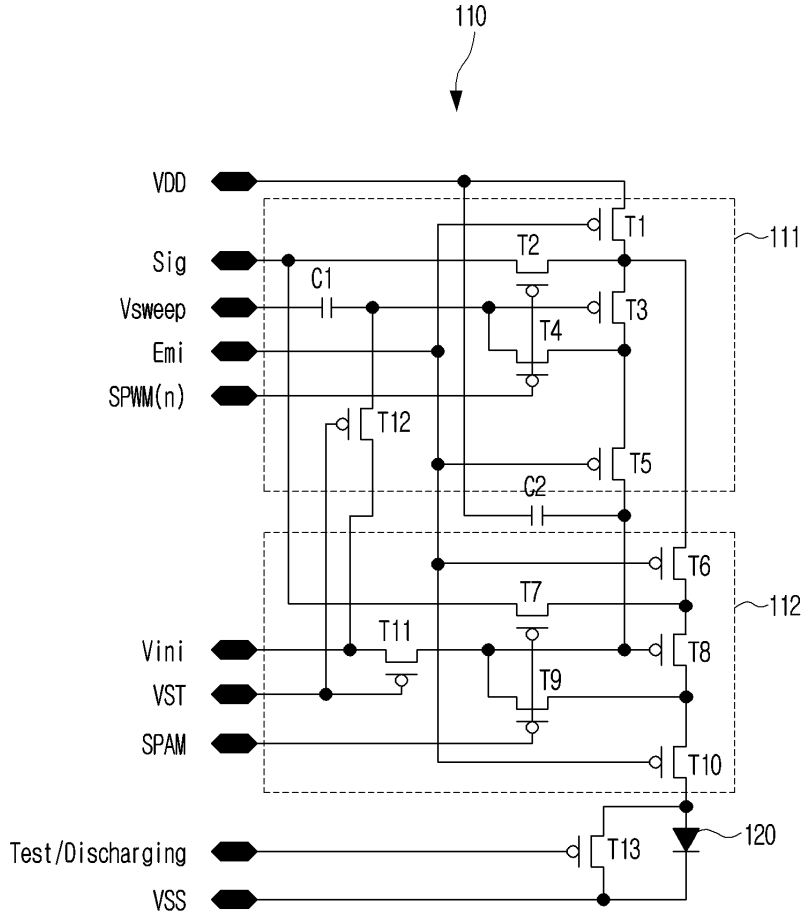
도면5


300
120-1
120-2
120-3
R
G
B
30
40
50
100
200

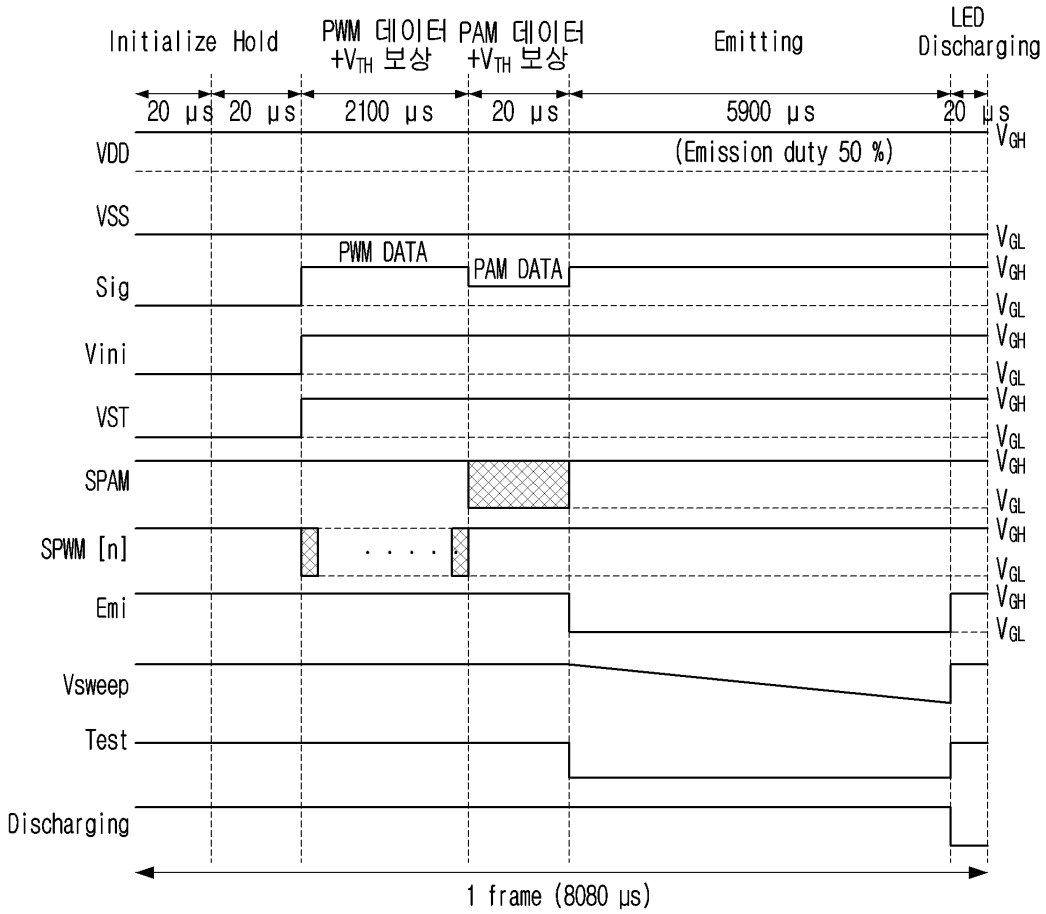
도면6



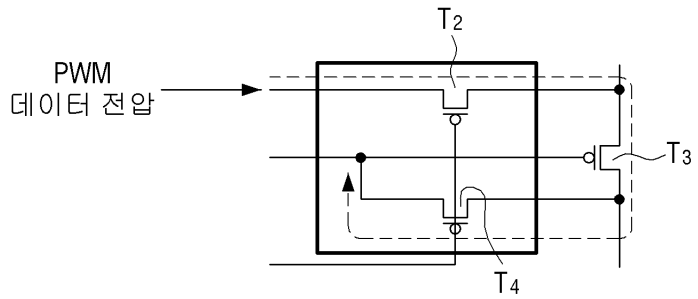
도면7a


110
VDD
Sig
Vsweep
Emi
SPWM(n)
Vini
VST
SPAM
Test/Discharging
VSS
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
C1
C2
111
112
120

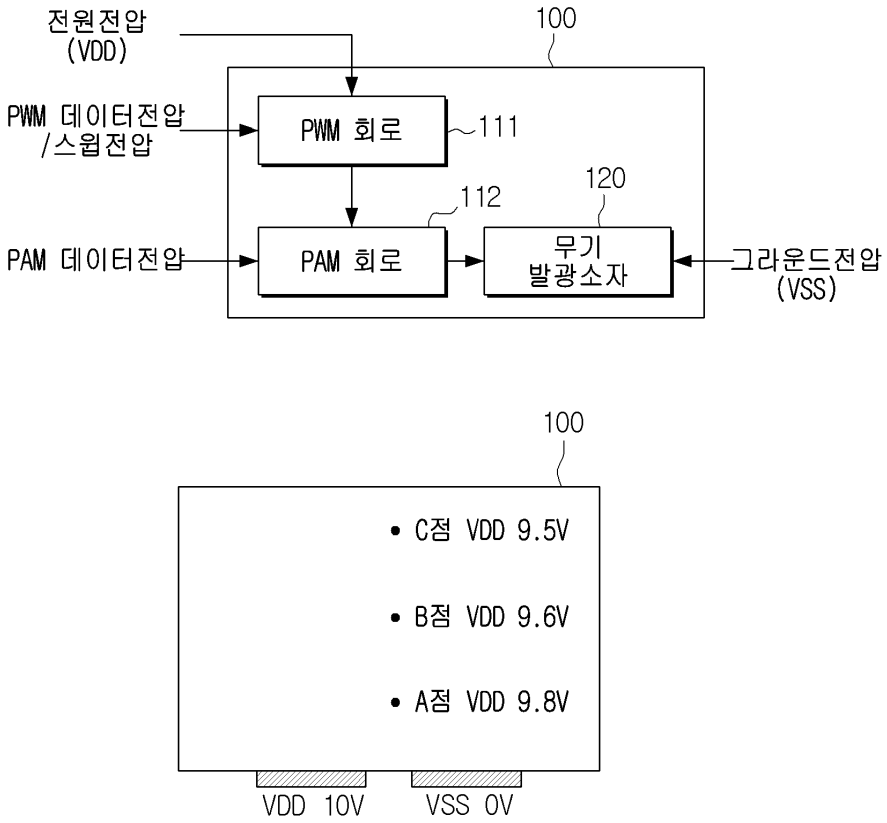
도면7b


Initialize
Hold
PWM 데이터 +VTH 보상
PAM 데이터 +VTH 보상
Emitting
LED Discharging
20 μs
20 μs
2100 μs
20 μs
5900 μs
20 μs
VDD
(Emission duty 50 %)
VSS
PWM DATA
PAM DATA
Sig
Vini
VST
SPAM
SPWM [n]
Emi
Vsweep
Test
Discharging
VGH
VGL
1 frame (8080 μs)

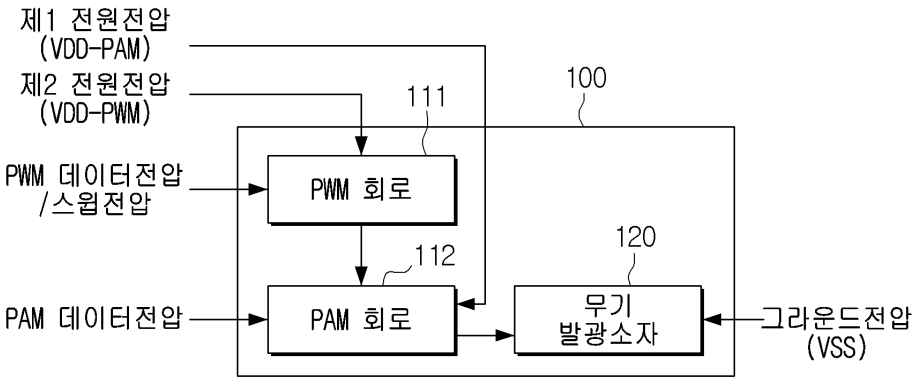
도면7c


PWM
데이터 전압
T2
T3
T4

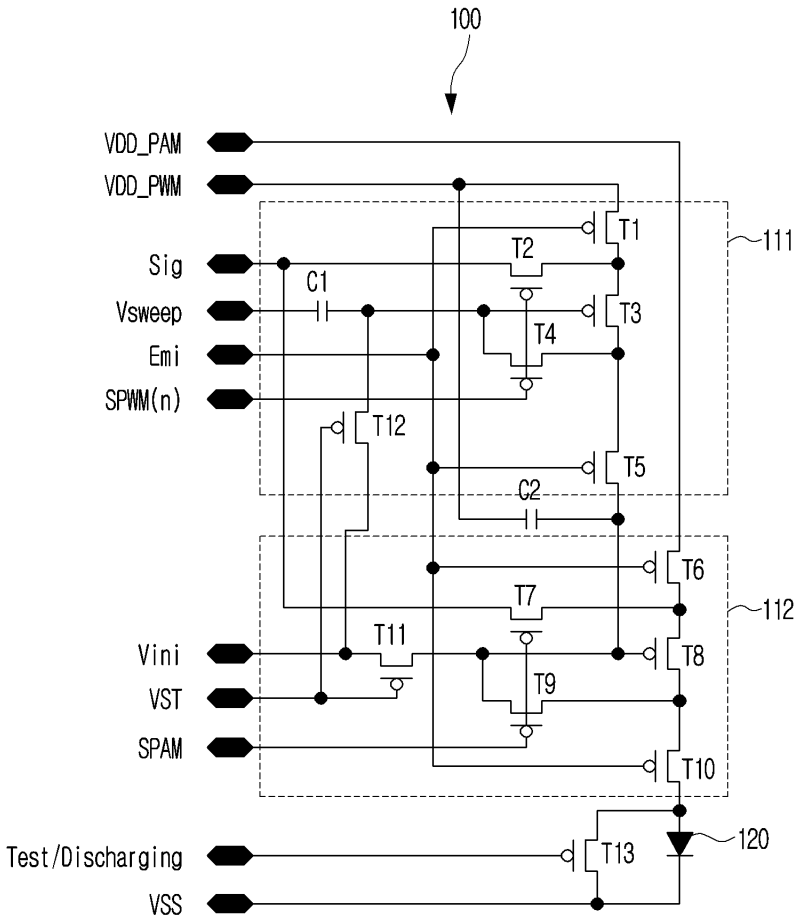
도면8


전원전압
(VDD)
100
PWM 데이터전압
/스윕전압
PWM 회로
111
112
120
PAM 데이터전압
PAM 회로
무기
발광소자
그라운드전압
(VSS)
100
• C점 VDD 9.5V
• B점 VDD 9.6V
• A점 VDD 9.8V
VDD 10V
VSS 0V

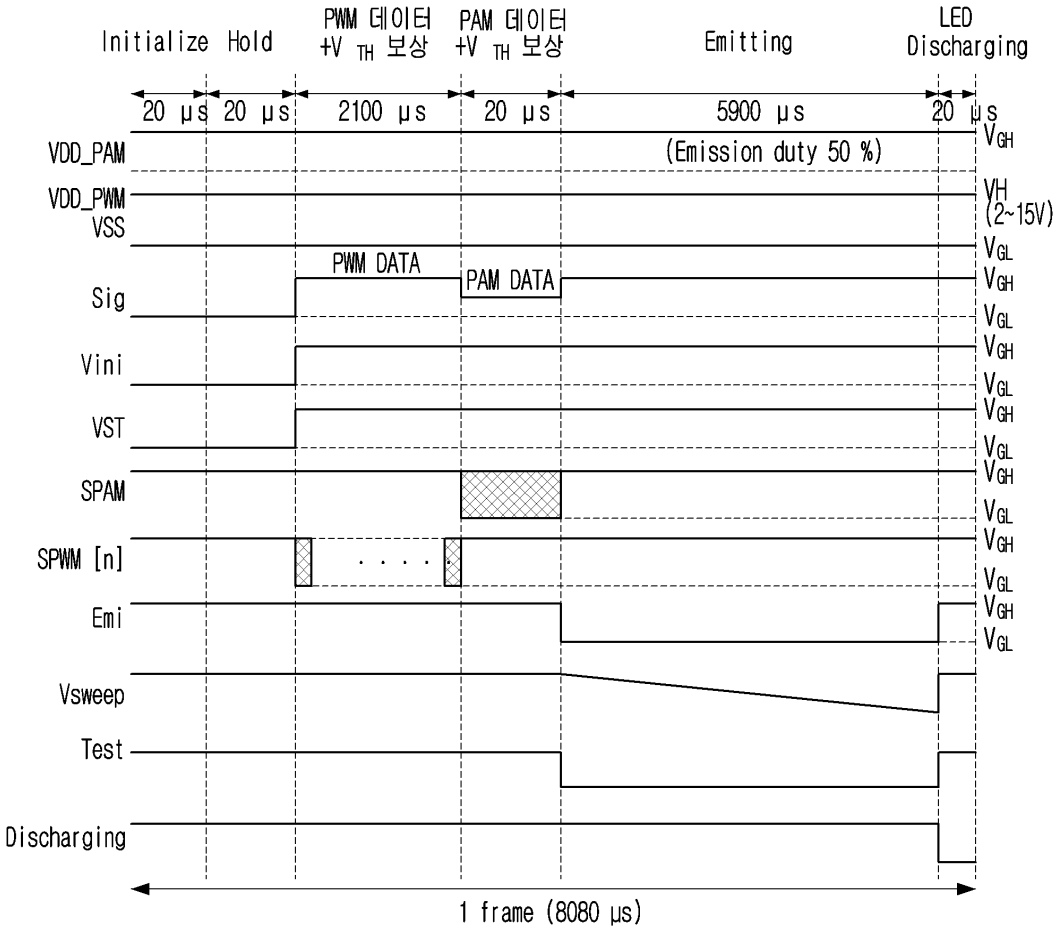
도면9


제1 전원전압
(VDD-PAM)
제2 전원전압
(VDD-PWM)
111
100
PWM 데이터전압
/스윕전압
PWM 회로
112
120
PAM 데이터전압
PAM 회로
무기
발광소자
그라운드전압
(VSS)

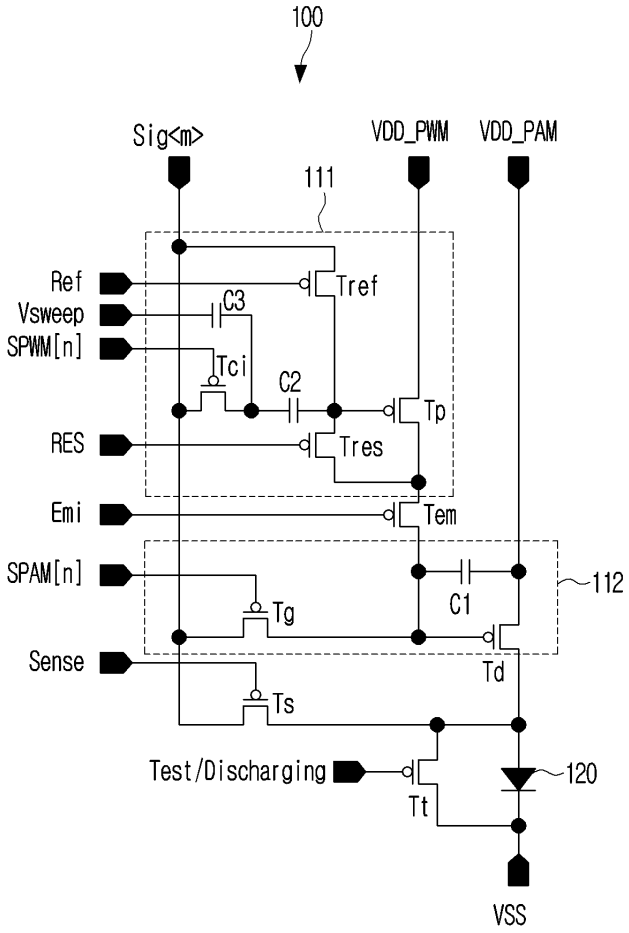
도면10a


100
VDD_PAM
VDD_PWM
Sig
Vsweep
Emi
SPWM(n)
Vini
VST
SPAM
Test/Discharging
VSS
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
C1
C2
111
112
120

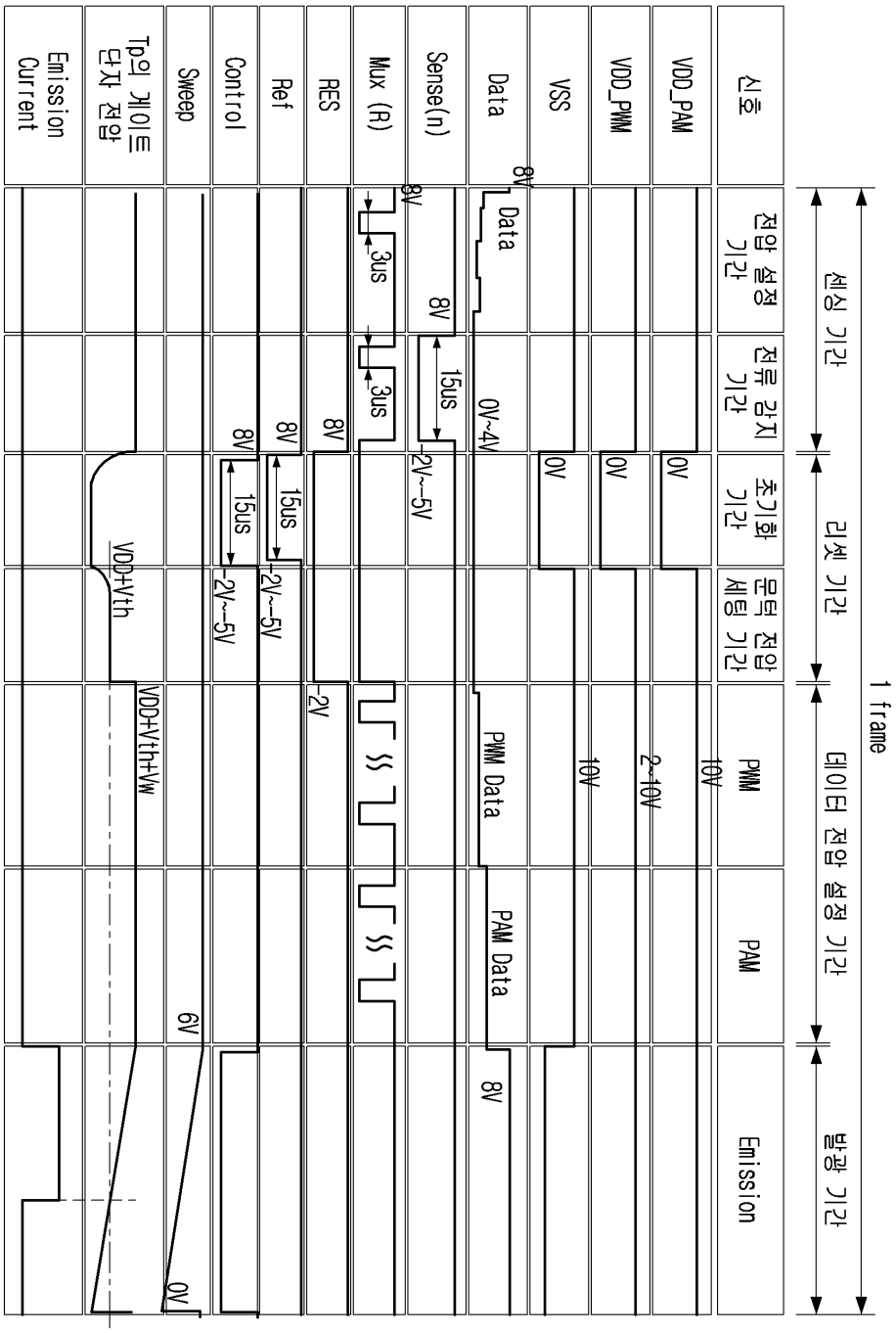
도면10b


Initialize
Hold
PWM 데이터 +V TH 보상
PAM 데이터 +V TH 보상
Emitting
LED Discharging
20 μs
20 μs
2100 μs
20 μs
5900 μs
20 μs
VDD_PAM
(Emission duty 50 %)
VGH
VDD_PWM
VH (2~15V)
VSS
VGL
PWM DATA
PAM DATA
Sig
Vini
VST
SPAM
SPWM [n]
Emi
Vsweep
Test
Discharging
1 frame (8080 μs)

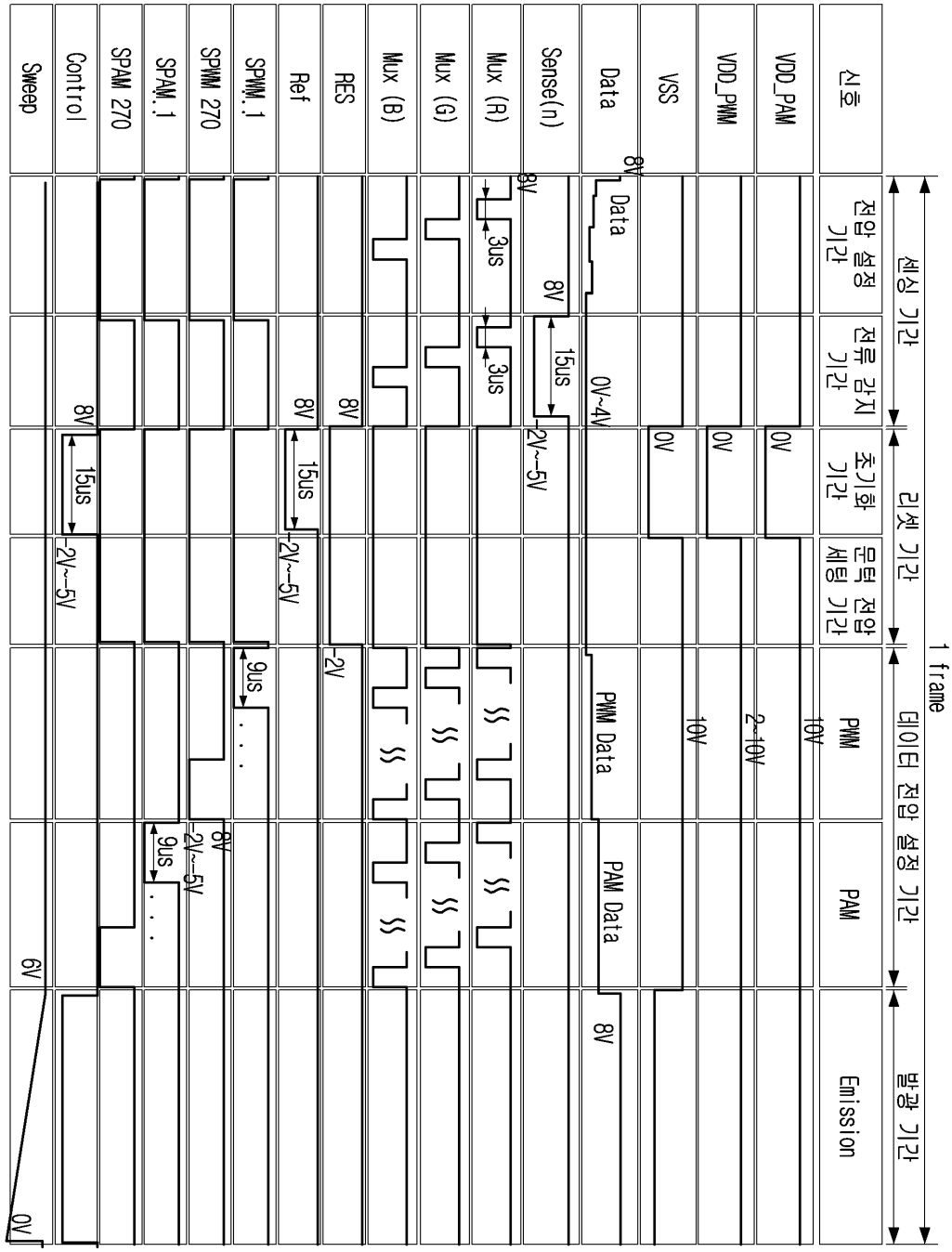
도면11a


100
Sig<m>
VDD_PWM
VDD_PAM
111
Ref
Vsweep
SPWM[n]
RES
Emi
SPAM[n]
Sense
Test/Discharging
Tref
C3
Tci
C2
Tp
Tres
Tem
C1
112
Tg
Td
Ts
Tt
120
VSS

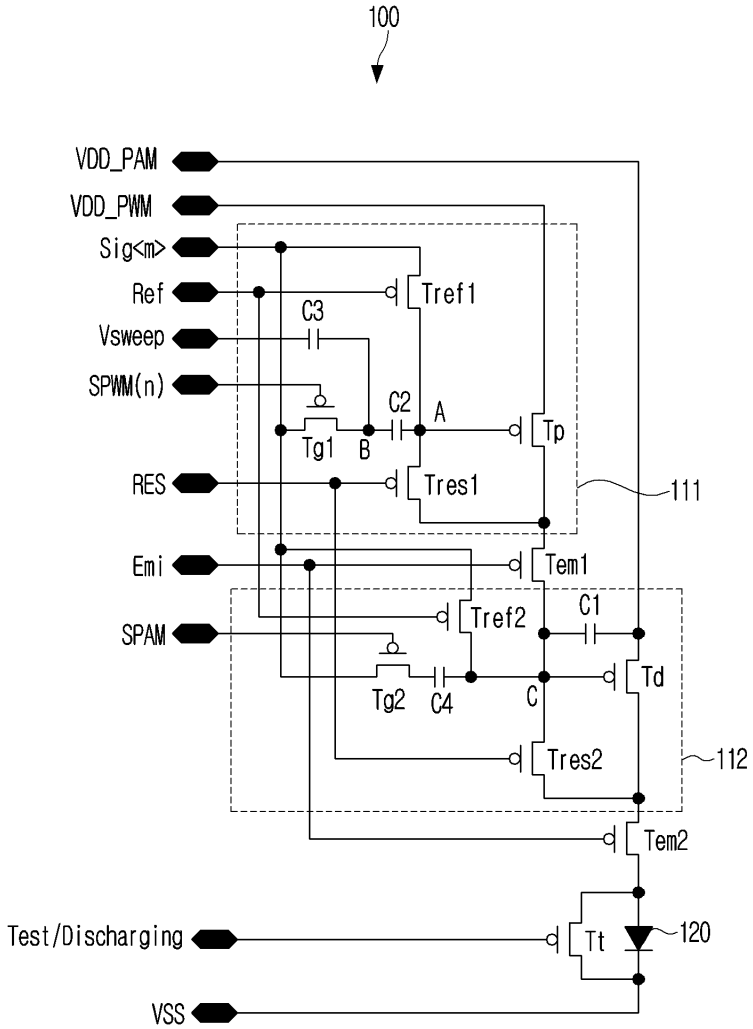
도면11b


1 frame
센싱 기간
리셋 기간
데이터 전압 설정 기간
발광 기간
신호
전압 설정 기간
전류 감지 기간
초기화 기간
문턱 전압 세팅 기간
PWM
PAM
Emission
VDD_PAM
VDD_PWM
VSS
Data
Sense(n)
Mux (R)
RES
Ref
Control
Sweep
Tp의 게이트 단자 전압
Emission Current
8V
0V
10V
2~10V
PWM Data
PAM Data
Data
0V~4V
15us
-2V~-5V
3us
-2V
VDD+Vth
VDD+Vth+Vw
6V

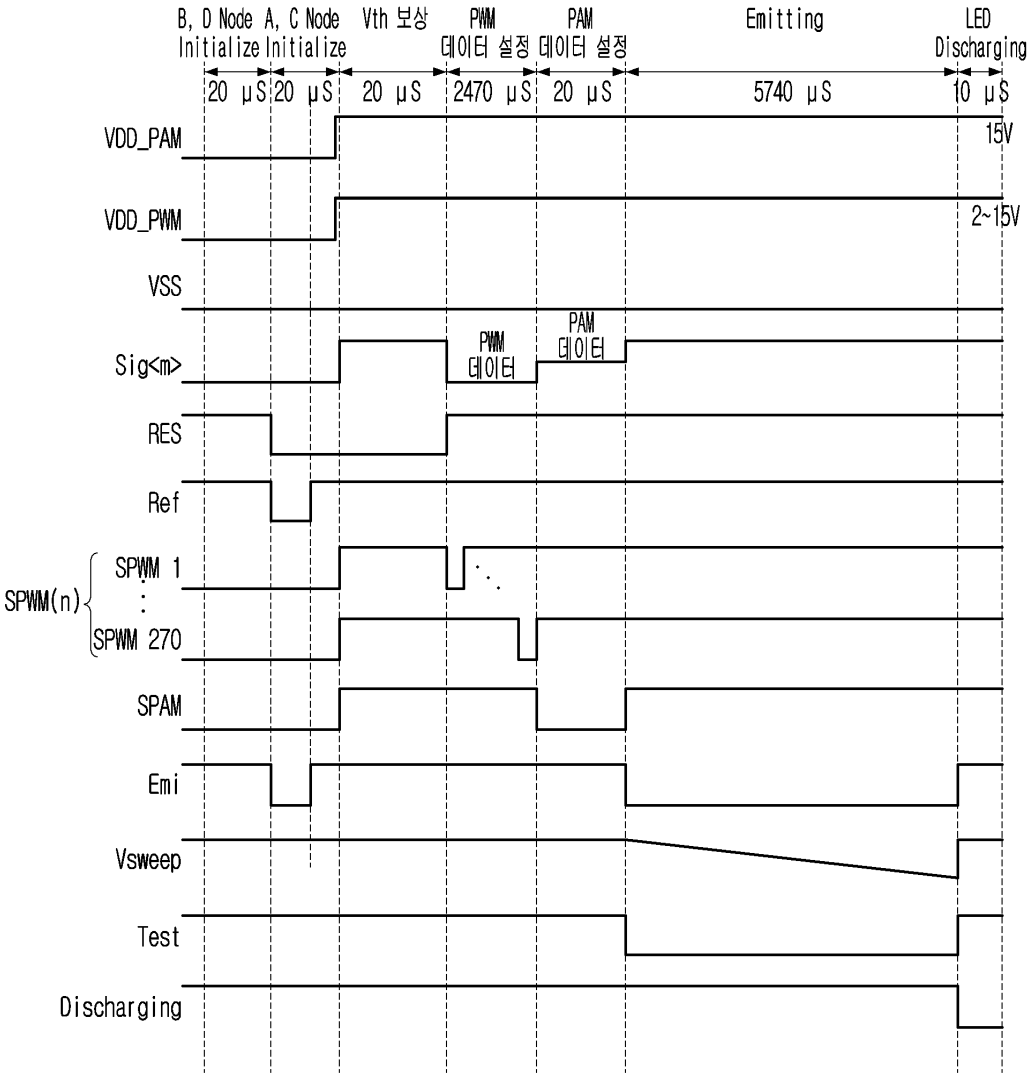
도면11c


신호
VDD_PAM
VDD_PWM
VSS
Data
Sense(n)
Mux (R)
Mux (G)
Mux (B)
RES
Ref
SPWM.1
SPWM 270
SPAM.1
SPAM 270
Control
Sweep
전압 설정 기간
전류 감지 기간
초기화 기간
문턱 전압 세팅 기간
PWM
PAM
Emission
센싱 기간
리셋 기간
데이터 전압 설정 기간
발광 기간
1 frame
0V
0V
0V
8V
Data
0V~4V
8V
3us
3us
15us
-2V~-5V
8V
8V
15us
-2V~-5V
-2V
10V
2~10V
10V
PWM Data
PAM Data
8V
9us
8V
-2V~-5V
9us
6V
0V

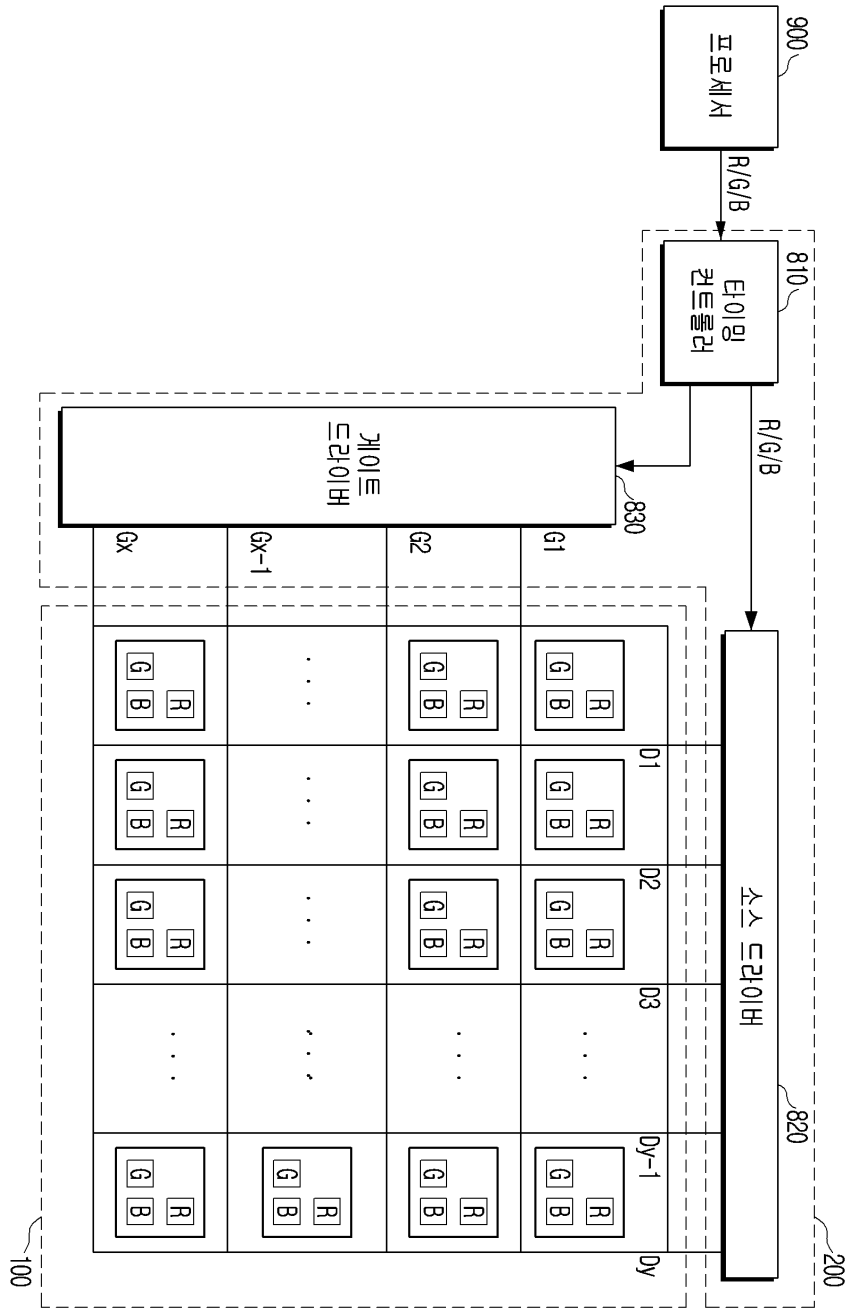
도면12a


100
VDD_PAM
VDD_PWM
Sig<m>
Ref
Vsweep
SPWM(n)
RES
Emi
SPAM
Test/Discharging
VSS
Tref1
C3
C2
A
Tg1
B
Tp
Tres1
111
Tem1
Tref2
C1
Tg2
C4
C
Td
Tres2
112
Tem2
Tt
120

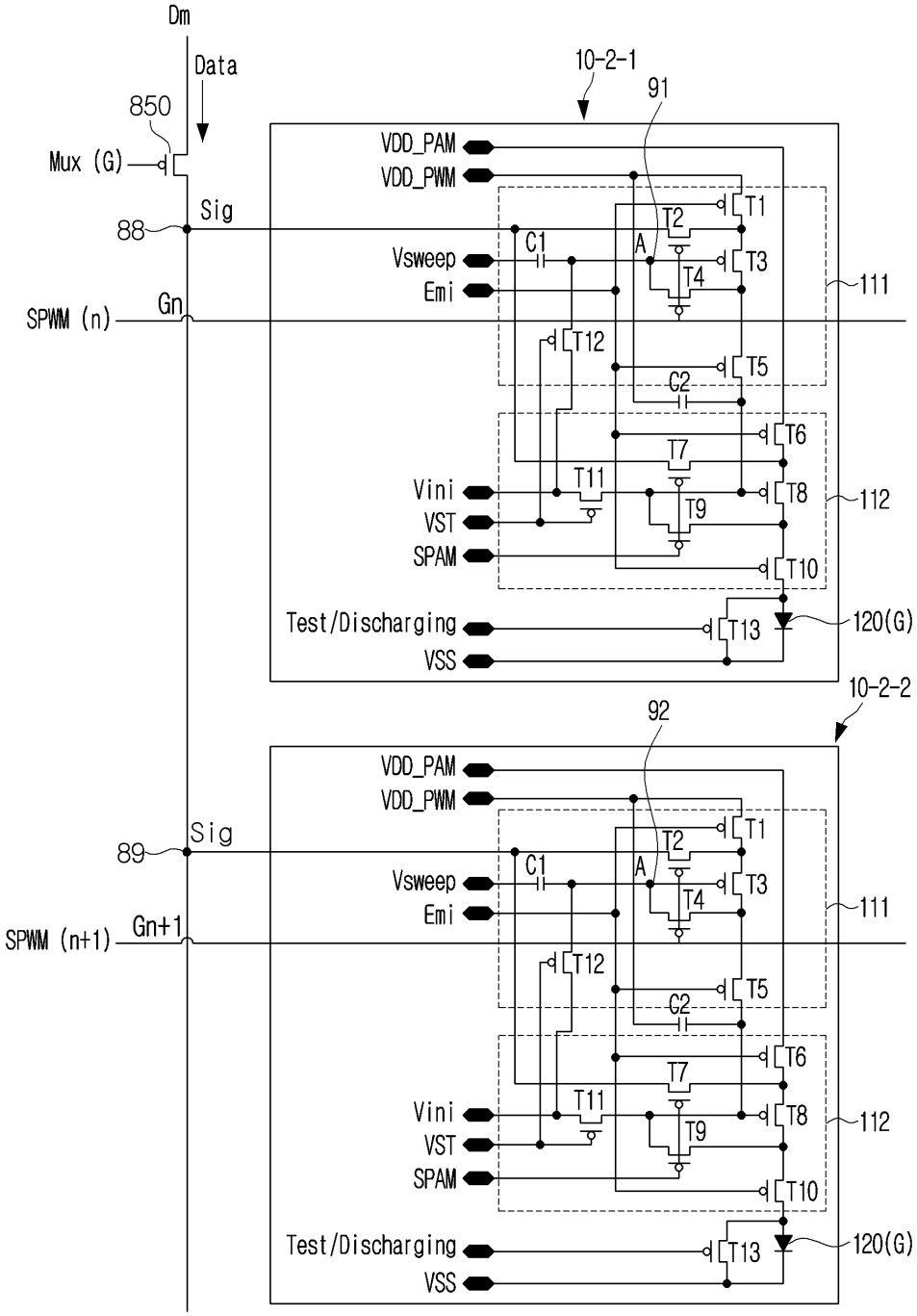
도면12b


B, D Node Initialize
A, C Node Initialize
Vth 보상
PWM 데이터 설정
PAM 데이터 설정
Emitting
LED Discharging
20 μS
20 μS
20 μS
2470 μS
20 μS
5740 μS
10 μS
VDD_PAM
15V
VDD_PWM
2~15V
VSS
Sig<m>
PWM 데이터
PAM 데이터
RES
Ref
SPWM(n)
SPWM 1
SPWM 270
SPAM
Emi
Vsweep
Test
Discharging

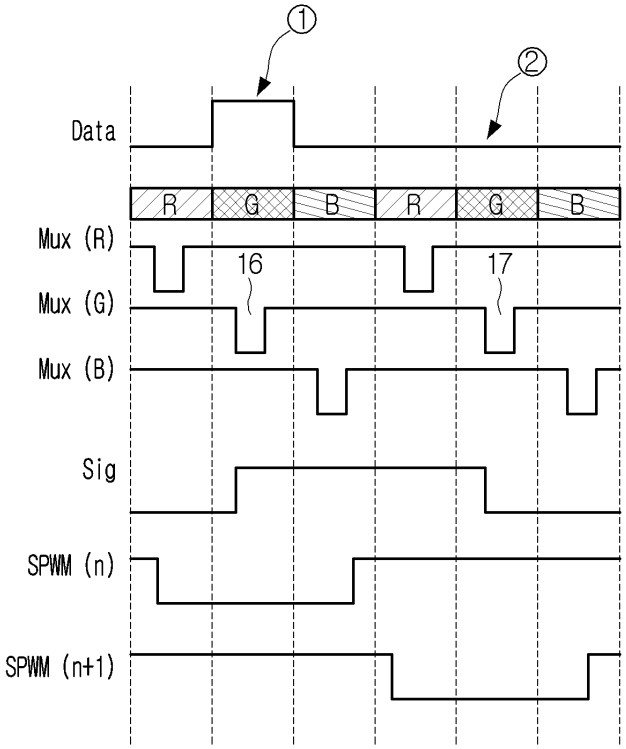
도면13


1300
900
프로세서
R/G/B
810
타이밍 컨트롤러
R/G/B
830
게이트 드라이버
820
소스 드라이버
200
100
Gx
Gx-1
G2
G1
D1
D2
D3
Dy-1
Dy
R
G
B

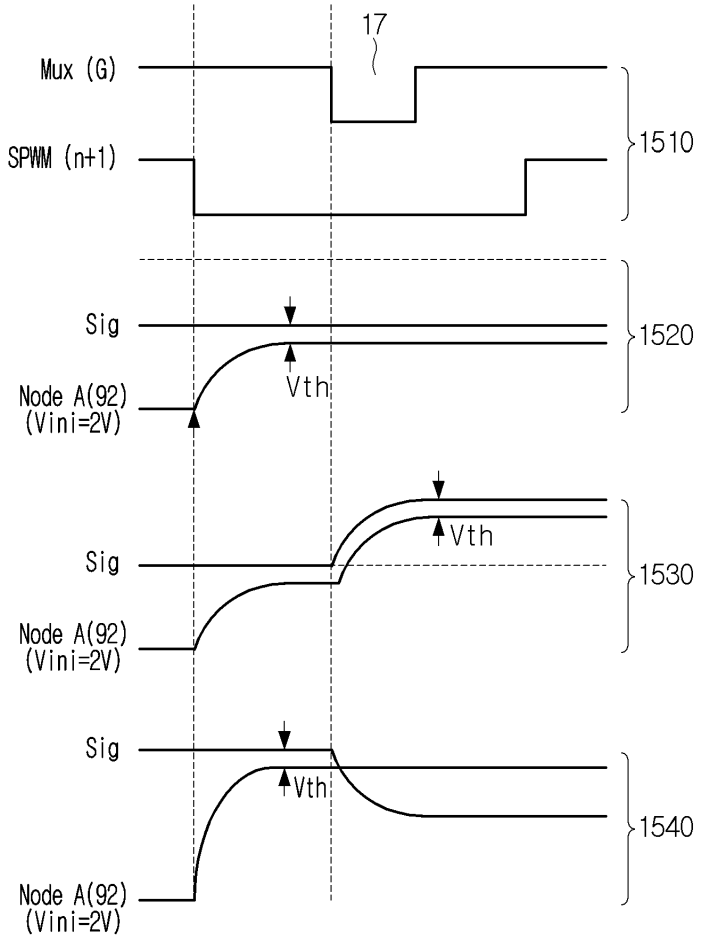
도면14


Dm
Data
850
Mux (G)
Sig
88
SPWM (n)
Gn
10-2-1
91
VDD_PAM
VDD_PWM
Vsweep
Emi
Vini
VST
SPAM
Test/Discharging
VSS
T1
T2
T3
T4
T5
T6
T7
T8
T9
T10
T11
T12
T13
C1
C2
A
111
112
120(G)
10-2-2
92
89
Sig
SPWM (n+1)
Gn+1

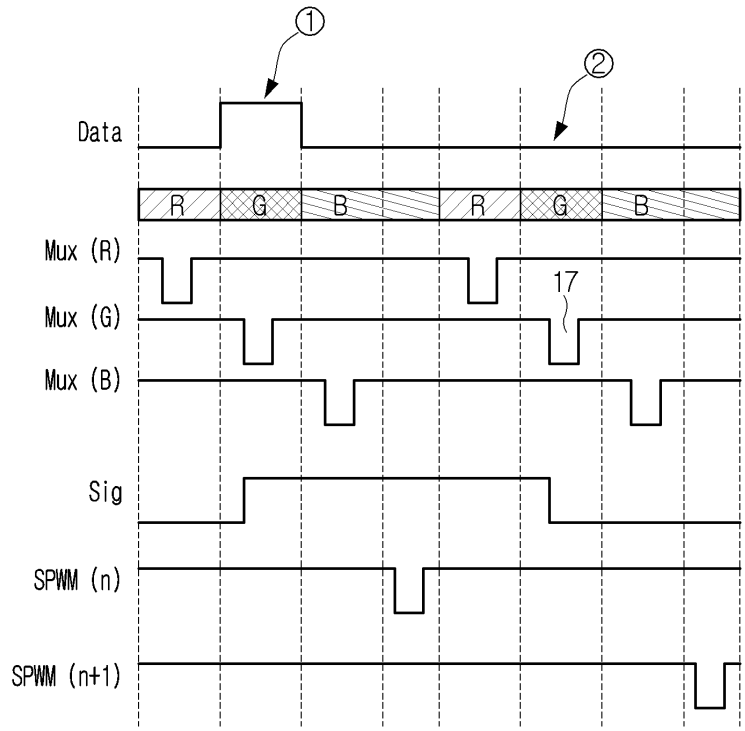
도면15a



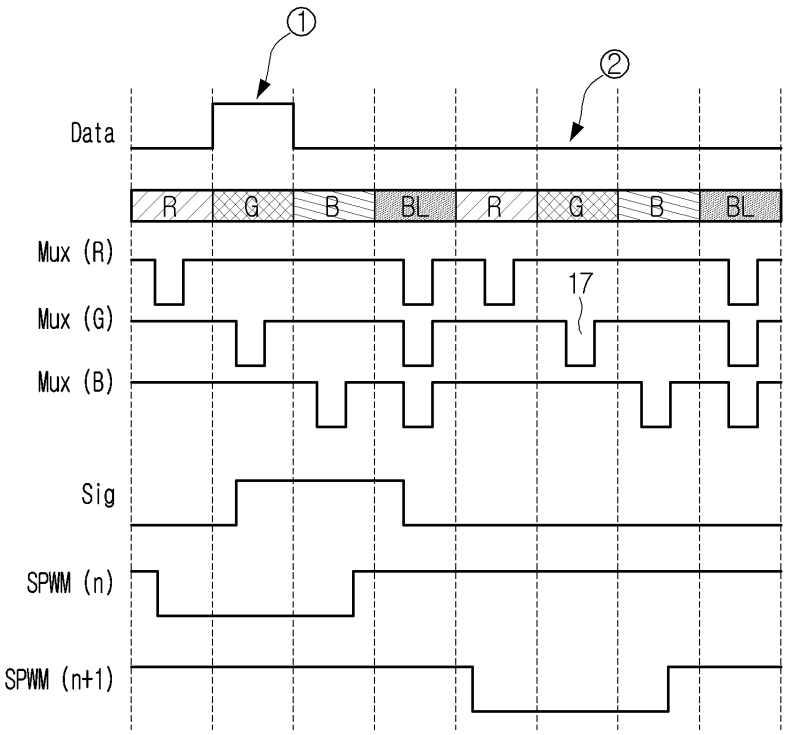
도면15b


17
Mux (G)
SPWM (n+1)
1510
Sig
Node A(92)
(Vini=2V)
Vth
1520
Sig
Node A(92)
(Vini=2V)
Vth
1530
Sig
Node A(92)
(Vini=2V)
Vth
1540

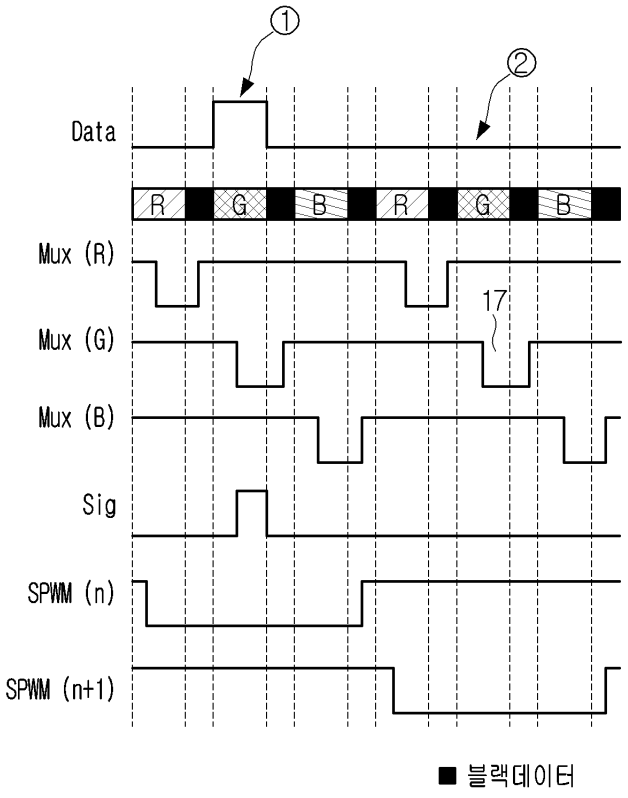
도면16


①
②
Data
R
G
B
R
G
B
Mux (R)
Mux (G)
Mux (B)
17
Sig
SPWM (n)
SPWM (n+1)

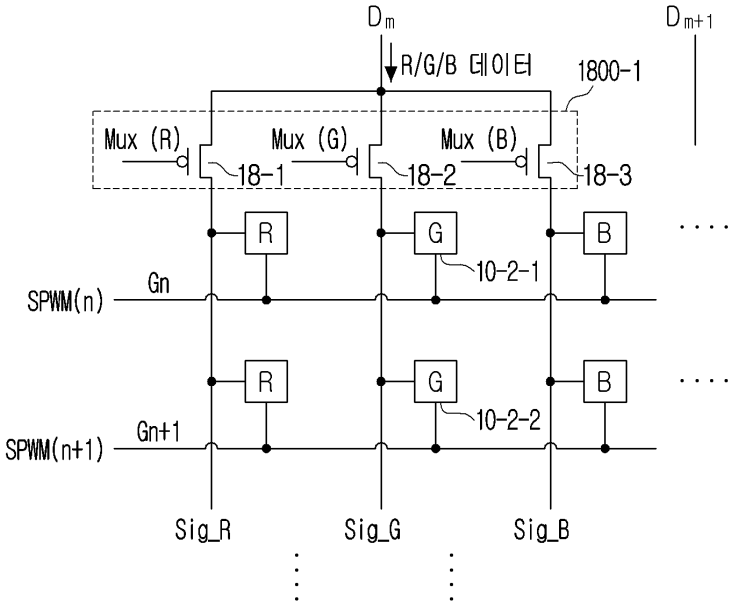
도면17a


①
②
Data
R
G
B
BL
R
G
B
BL
Mux (R)
Mux (G)
Mux (B)
17
Sig
SPWM (n)
SPWM (n+1)

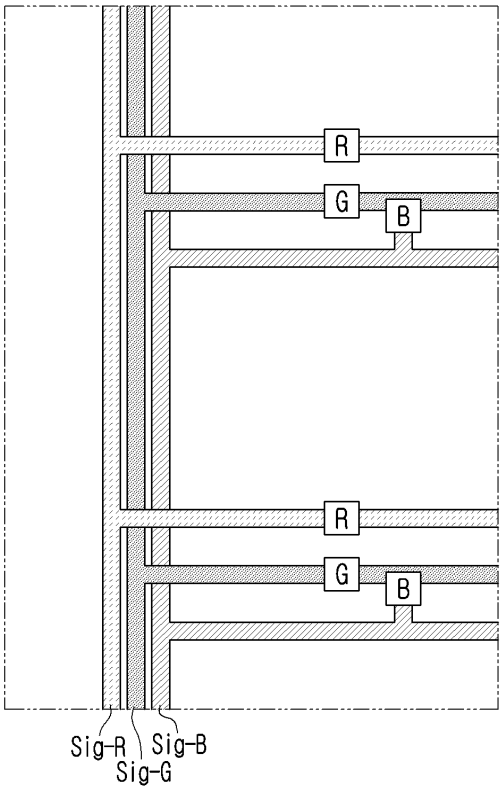
도면17b


①
②
Data
R
G
B
R
G
B
Mux (R)
17
Mux (G)
Mux (B)
Sig
SPWM (n)
SPWM (n+1)
■ 블랙데이터

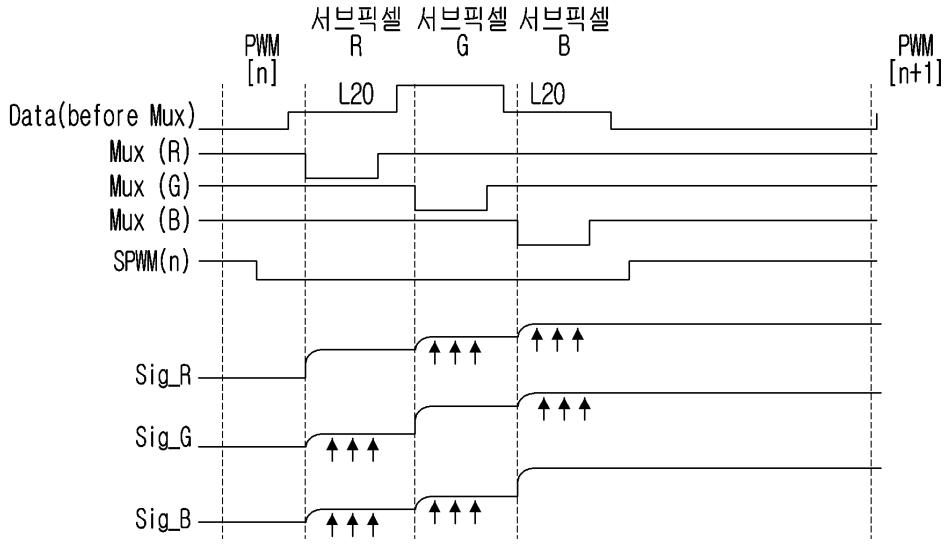
도면18a


Dm
Dm+1
R/G/B 데이터
1800-1
Mux (R)
Mux (G)
Mux (B)
18-1
18-2
18-3
R
G
B
10-2-1
Gn
SPWM(n)
R
G
B
10-2-2
Gn+1
SPWM(n+1)
Sig_R
Sig_G
Sig_B

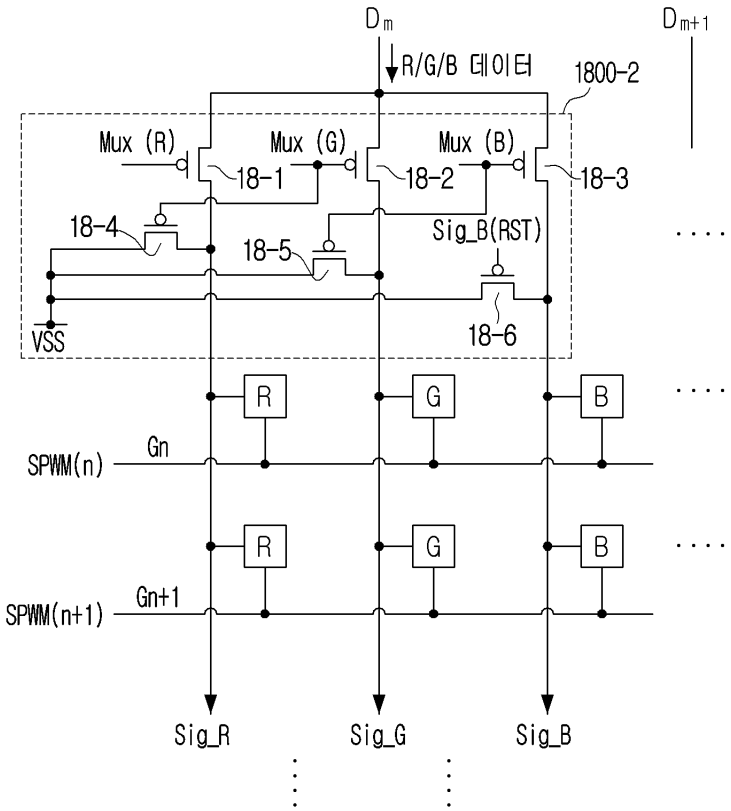
도면18b


R
G
B
R
G
B
Sig-R
Sig-G
Sig-B

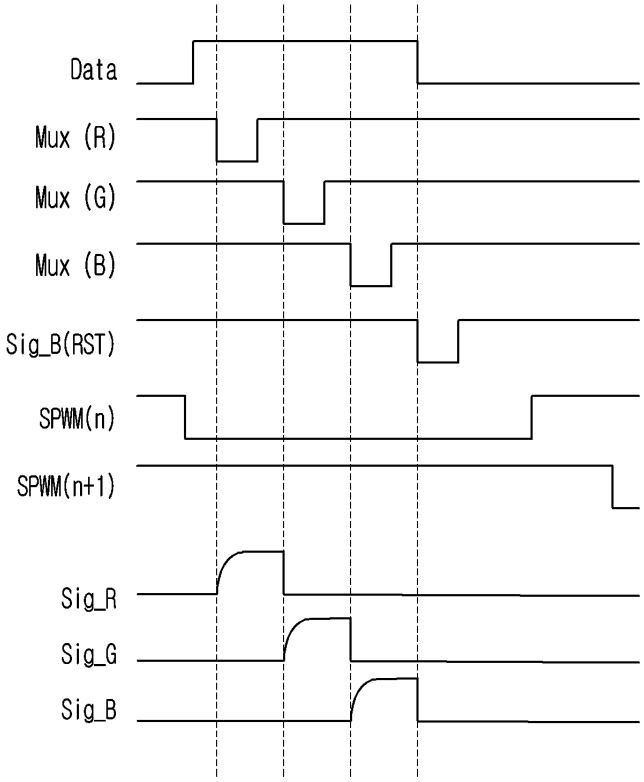
도면18c


서브픽셀 서브픽셀 서브픽셀
PWM [n]
R
G
B
PWM [n+1]
L20
L20
Data(before Mux)
Mux (R)
Mux (G)
Mux (B)
SPWM(n)
Sig_R
Sig_G
Sig_B

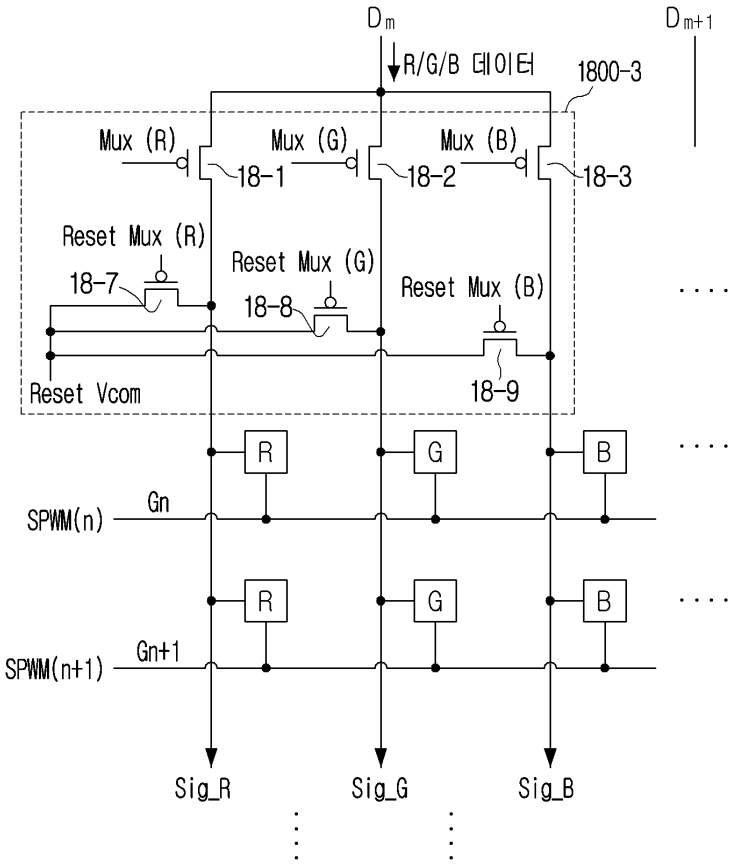
도면18d


Dm
Dm+1
R/G/B 데이터
1800-2
Mux (R)
Mux (G)
Mux (B)
18-1
18-2
18-3
18-4
18-5
Sig_B(RST)
18-6
VSS
R
G
B
Gn
SPWM(n)
Gn+1
SPWM(n+1)
Sig_R
Sig_G
Sig_B

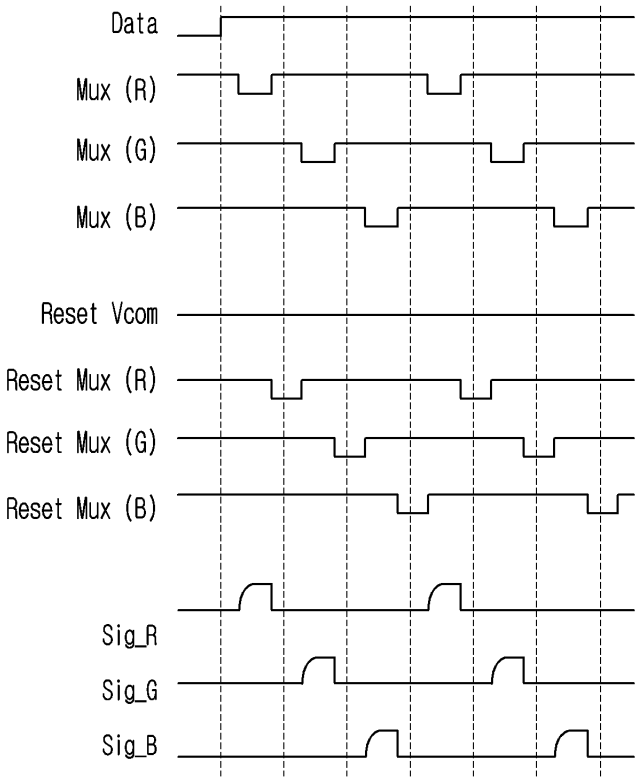
도면18e


Data
Mux (R)
Mux (G)
Mux (B)
Sig_B(RST)
SPWM(n)
SPWM(n+1)
Sig_R
Sig_G
Sig_B

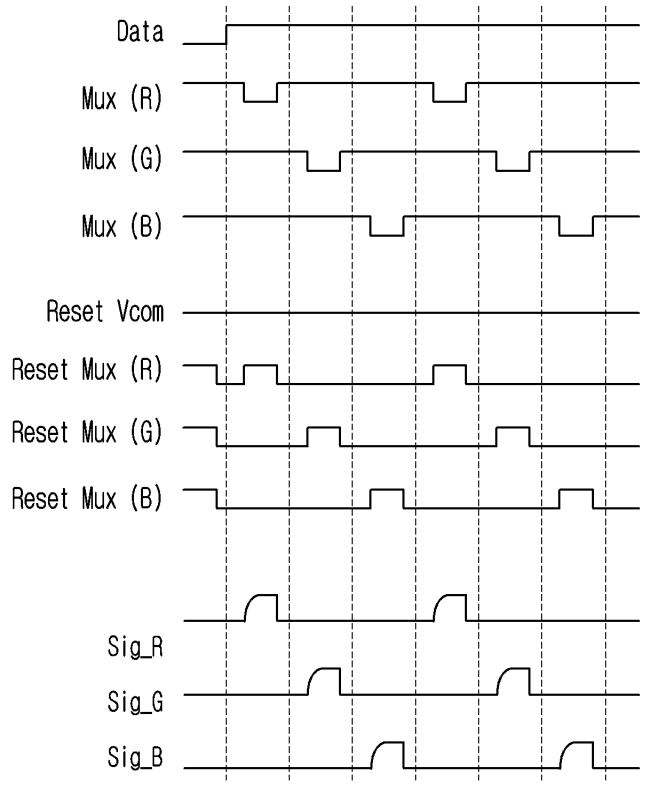
도면18f


Dm
Dm+1
R/G/B 데이터
1800-3
Mux (R)
Mux (G)
Mux (B)
18-1
18-2
18-3
Reset Mux (R)
Reset Mux (G)
Reset Mux (B)
18-7
18-8
18-9
Reset Vcom
R
G
B
SPWM(n)
Gn
SPWM(n+1)
Gn+1
Sig_R
Sig_G
Sig_B

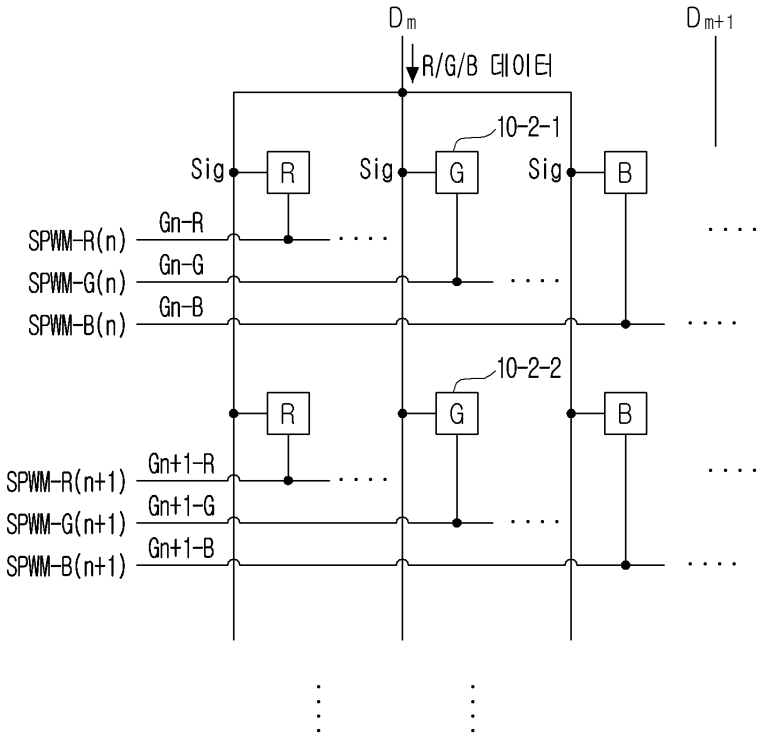
도면18g


Data
Mux (R)
Mux (G)
Mux (B)
Reset Vcom
Reset Mux (R)
Reset Mux (G)
Reset Mux (B)
Sig_R
Sig_G
Sig_B

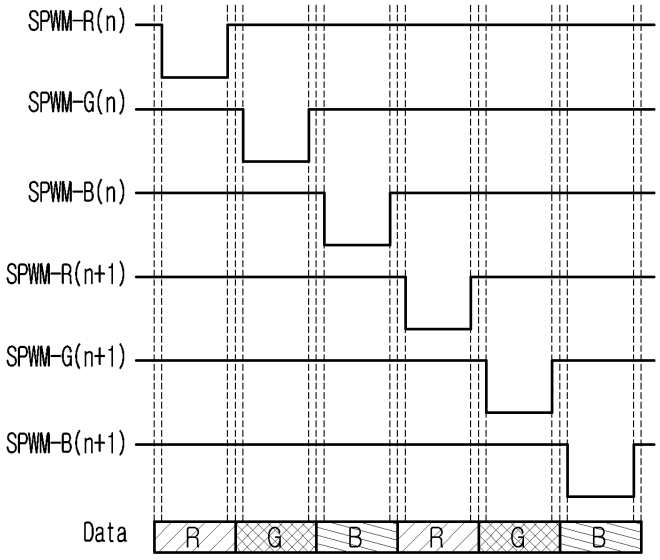
도면18h


Data
Mux (R)
Mux (G)
Mux (B)
Reset Vcom
Reset Mux (R)
Reset Mux (G)
Reset Mux (B)
Sig_R
Sig_G
Sig_B

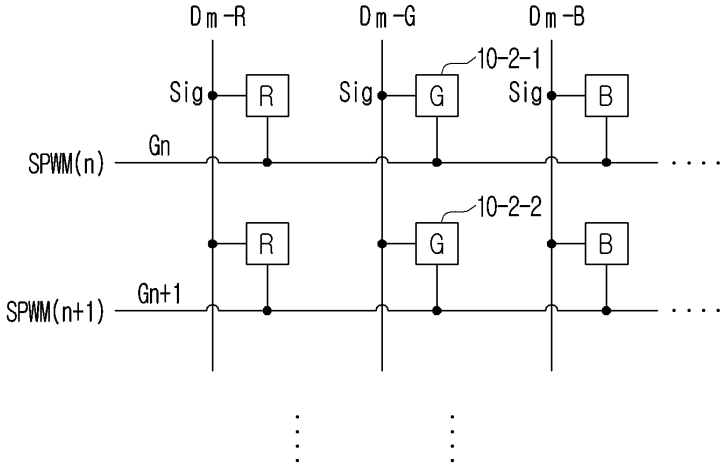
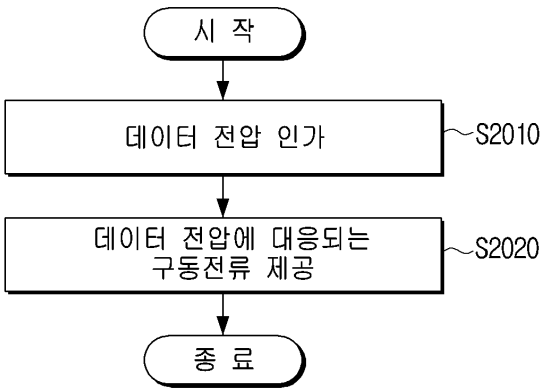
도면19a


Dm
Dm+1
R/G/B 데이터
10-2-1
10-2-2
Sig
R
G
B
Gn-R
Gn-G
Gn-B
SPWM-R(n)
SPWM-G(n)
SPWM-B(n)
Gn+1-R
Gn+1-G
Gn+1-B
SPWM-R(n+1)
SPWM-G(n+1)
SPWM-B(n+1)

도면19b



도면19c



도면20