

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6126599号
(P6126599)

(45) 発行日 平成29年5月10日(2017.5.10)

(24) 登録日 平成29年4月14日(2017.4.14)

(51) Int.Cl.

F I

H04L 7/00 (2006.01)

H04L 7/00 810

H04L 25/02 (2006.01)

H04L 25/02 V

H04L 25/02 303A

請求項の数 22 (全 14 頁)

(21) 出願番号 特願2014-525314 (P2014-525314)
(86) (22) 出願日 平成24年8月16日(2012.8.16)
(65) 公表番号 特表2014-526211 (P2014-526211A)
(43) 公表日 平成26年10月2日(2014.10.2)
(86) 国際出願番号 PCT/DE2012/200050
(87) 国際公開番号 W02013/023652
(87) 国際公開日 平成25年2月21日(2013.2.21)
審査請求日 平成27年8月17日(2015.8.17)
(31) 優先権主張番号 102011052759.1
(32) 優先日 平成23年8月16日(2011.8.16)
(33) 優先権主張国 ドイツ(DE)

(73) 特許権者 509348867
シリコン・ライン・ゲー・エム・ペー・ハ
ー
ドイツ連邦共和国 80687 ミュンヘ
ン ランツベルガー・シュトラッセ 31
4 / デア・ドリッテン エルゲーベ
LANDSBERGER STR. 31
4 / III RGB., 80687
MUENCHEN, BUNDESRE
PUBLIK DEUTSCHLAND
(74) 代理人 110001818
特許業務法人R&C

最終頁に続く

(54) 【発明の名称】 回路装置および信号を送信するための方法

(57) 【特許請求の範囲】

【請求項 1】

シングルエンド論理レベルベースのデータ信号およびクロック信号と、
差動データ信号および差動クロック信号との両方を、
少なくとも1つのシリアル化された共通信号ストリーム(SI)の形態で、少なくとも
1つのデータソースに割り当て可能な少なくとも1つの送信装置(S)と、少なくとも1
つのデータシンクに割り当て可能な少なくとも1つの受信装置(E)との間で伝送するた
めの回路装置(A)であって、前記送信装置(S)と前記受信装置(E)との間で同期の
状態に達したことを、少なくとも1つの電氣的またはガルバニックなリンク(GA)を介
して前記受信装置(E)によって前記送信装置(S)へ伝えることができ、または、信号
で伝えることができる回路装置。

【請求項 2】

前記差動データ信号はコモンモードベースである請求項 1 に記載の回路装置。

【請求項 3】

前記送信装置(S)は、同期の状態が実現されていることの通知または信号が受信され
るまで、前記送信装置(S)の入力部(ES)に存在する前記データ信号を流し始めない
ことを特徴とする請求項 1 又は 2 に記載の回路装置。

【請求項 4】

前記送信装置(S)は、

前記データ信号およびクロック信号のための少なくとも1つの入力部(ES)と、

10

20

前記入力部 (E S) の下流の、前記データ信号およびクロック信号を受け取るための少なくとも 1 つの送信インタフェースロジック (L S) と、

前記送信インタフェースロジック (L S) の下流の、前記共通信号ストリーム (S I) を生成するための少なくとも 1 つのシリアルライザ (S E) と、

前記シリアルライザ (S E) の上流で、前記送信インタフェースロジック (L S) のクロックモジュール (C S) の下流に設けられた、少なくとも 1 つの基準クロックを生成するための少なくとも 1 つのクロック発振器 (P S) と、

前記シリアルライザ (S E) の下流の少なくとも 1 つの出力ドライバ (A T) と、

前記出力ドライバ (A T) の下流の、前記共通信号ストリーム (S I) を前記受信装置 (E) へ送信するための少なくとも 1 つの出力部 (A S) と、
を備えることを特徴とする請求項 1 ~ 3 のいずれか一項に記載の回路装置。

10

【請求項 5】

前記クロック発振器 (P S) は、少なくとも 1 つの位相ロックループとして構成されることを特徴とする請求項 4 に記載の回路装置。

【請求項 6】

前記クロック発振器 (P S) は、少なくとも 1 つのクロックマルチプライヤユニットとして構成されることを特徴とする請求項 5 に記載の回路装置。

【請求項 7】

前記シリアルライザ (S E) は、

前記送信インタフェースロジック (L S) の下流の、前記共通信号ストリーム (S I) のための、前記受信装置 (E) で認識可能な少なくとも 1 つのフレームを生成するための少なくとも 1 つのフレーム (F R) と、

20

前記フレーム (F R) の下流の、前記共通信号ストリーム (S I) を生成するための少なくとも 1 つのマルチプレクサ (M U) と、

を備えることを特徴とする請求項 4 ~ 6 のいずれか一項に記載の回路装置。

【請求項 8】

前記シングルエンド論理レベルベースのデータ信号 (H S D 0 , H S D 1 , H S D 2 , H S D 3) と前記差動データ信号 (D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 -) との両方を、前記フレーム (F R) に印加することができること、および、前記フレームは、少なくとも 1 つの符号器 (K O) を用いて、前記差動データ信号 (D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 -) を、シングルエンド論理レベルベースのデータ信号 (H S D 0 , H S D 1 , H S D 2 , H S D 3) のストリームに埋め込むことを特徴とする請求項 4 に記載の回路装置。

30

【請求項 9】

前記少なくとも 1 つの符号器は、少なくとも 1 つの 5 b / 6 b 符号器ブロックである請求項 8 に記載の回路装置。

【請求項 10】

前記受信装置 (E) は、

前記送信装置 (S) によって送信された共通信号ストリーム (S I) のための少なくとも 1 つの入力部 (E E) と、

40

前記共通信号ストリーム (S I) を受け取るための少なくとも 1 つの入力増幅器 (E V) と、

前記データ信号およびクロック信号を前記共通信号ストリーム (S I) から復元するための少なくとも 1 つのクロックおよびデータリカバリユニット (C D) と、

前記クロックおよびデータリカバリユニット (C D) の下流の、少なくとも 1 つの受信インタフェースロジック (L E) の少なくとも 1 つのクロックモジュール (C E) と、

前記クロックおよびデータリカバリユニット (C D) の下流の、前記データ信号を再並列化するための、および再並列化された前記データ信号を前記受信インタフェースロジック (L E) に割り当てるための少なくとも 1 つのデシリアルライザ (D S) と、

50

前記受信インタフェースロジック (L E) の下流の、前記データ信号およびクロック信号のための少なくとも 1 つの出力部 (A E) と、
を備えることを特徴とする請求項 1 ~ 9 のいずれか一項に記載の回路装置。

【請求項 11】

前記デシリアライザ (D S) は、

前記クロックおよびデータリカバリユニット (C D) の下流の、前記データ信号を再並列化するための少なくとも 1 つのデマルチプレクサ (D M) と、

前記デマルチプレクサ (D M) の下流の、再並列化された前記データ信号を、前記受信インタフェースロジック (L E) に割り当てるための少なくとも 1 つのデフレーマ (D F) と、

10

を備えることを特徴とする請求項 10 に記載の回路装置。

【請求項 12】

前記デフレーマ (D F) は、前記差動データ信号 (D D 0 + , D D 0 - , D D 1 + , D D 1 - , D D 2 + , D D 2 - , D D 3 + , D D 3 -) を、少なくとも 1 つの復号器 (D K) を用いて、前記シングルエンド論理レベルベースのデータ信号 (H S D 0 , H S D 1 , H S D 2 , H S D 3) と分けて、再並列化された前記データ信号を、それぞれのデータライン (C H 0 + , C H 0 - , C H 1 + , C H 1 - , C H 2 + , C H 2 - , C H 3 + , C H 3 -) に割り当てることを特徴とする請求項 11 に記載の回路装置。

【請求項 13】

前記少なくとも 1 つの復号器は、少なくとも 1 つの 5 b / 6 b 復号器ブロックである請求項 12 に記載の回路装置。

20

【請求項 14】

前記共通信号ストリーム (S I) は、

少なくとも 1 つの光学媒体 (O M) を介して、および / または

少なくとも 1 つの電氣的またはガルバニックなリンク (G A) を介して、前記送信装置 (S) と前記受信装置 (E) との間で転送可能であることを特徴とする請求項 1 ~ 13 のいずれか一項に記載の回路装置。

【請求項 15】

前記電氣的またはガルバニックなリンク (G A) は、

前記受信装置 (E) への電氣的またはガルバニックなリンク (G A) を閉じるために、前記送信装置 (S) 内の少なくとも 1 つのスイッチ (W S) に、および

30

前記送信装置 (S) への電氣的またはガルバニックなリンク (G A) を閉じるために、前記受信装置 (E) 内の少なくとも 1 つのスイッチ (W E) に、割り当てたことを特徴とする請求項 14 に記載の回路装置。

【請求項 16】

前記送信装置 (S) 内の少なくとも 1 つのスイッチ (W S) には、少なくとも 1 つの論理モジュール (G S) が備えられている請求項 15 に記載の回路装置。

【請求項 17】

前記受信装置 (E) 内の少なくとも 1 つのスイッチ (W E) には、少なくとも 1 つの論理モジュール (G E) が備えられている請求項 15 又は 16 に記載の回路装置。

40

【請求項 18】

同期の状態に達したことを、前記デシリアライザ (D S) により、前記受信装置 (E) に割り当てられたスイッチ (W E) の論理モジュール (G E) を介して、前記電氣的またはガルバニックなリンク (G A) を介して、および前記送信装置 (S) に割り当てられたスイッチ (W S) の論理モジュール (G S) を介して、前記送信装置 (S) の入力部 (E S) に伝えることができ、または、信号で伝えることができることを特徴とする請求項 10 又は 11 と、請求項 14 ~ 17 のいずれか一項とに記載の回路装置。

【請求項 19】

シングルエンド論理レベルベースのデータ信号およびクロック信号と、

差動データ信号および差動クロック信号との両方を、

50

少なくとも1つのシリアル化された共通信号ストリーム(SI)の形態で、少なくとも1つのデータソースに割り当て可能な少なくとも1つの送信装置(S)と、少なくとも1つのデータシンクに割り当て可能な少なくとも1つの受信装置(E)との間で伝送するための方法であって、前記送信装置(S)と前記受信装置(E)との間で同期の状態に達したことが、少なくとも1つの電氣的またはガルバニックなリンク(GA)を介して前記受信装置(E)によって前記送信装置(S)へ伝えられるか、または、信号で伝えられる方法。

【請求項20】

前記差動データ信号はコモンモードベースである請求項19に記載の方法。

【請求項21】

前記送信装置(S)は、同期の状態に達していることの通知または信号が受信されるまで、前記送信装置(S)の入力部(ES)に印加されたデータ信号を流し始めないことを特徴とする請求項19又は20に記載の方法。

【請求項22】

前記送信装置(S)は、それ自体を基準クロックと同期させ、および

前記受信装置(E)は、それ自体を前記共通信号ストリーム(SI)のデータ転送速度と、および前記共通信号ストリーム(SI)のフレームの少なくとも1つの位置と同期させることを特徴とする請求項19～21のいずれか一項に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、請求項1のプリアンブルに記載の回路装置、ならびに請求項19のプリアンブルに記載の対応する方法に関する。

【背景技術】

【0002】

ビット伝送層または物理層(physical layer:PHY)は、OSI(Open Systems Interconnection)参照モデルとも呼ばれるOSI階層モデルの最下位層であり、コンピュータネットワークにおける通信プロトコルのための設計基準としても役に立つ、国際標準化機構(International Standards Organisation:ISO)の階層モデルを示す。

【0003】

物理層(PHY)は、結合、順方向誤り訂正(Forward Error Correction:FEC)、電力制御、拡散(符号分割多元接続)(Code Division Multiple Access:CDMA)等に関与し、およびデータもアプリケーションも識別せず、0と1のみを識別する。PHYは、その上のセキュリティ層(データリンク層)(Data Link Layer:DLL)が、特に、媒体アクセス制御(Media Access Control:MAC)層と呼ばれる部分層を利用可能な論理チャネル(UMTS(Universal Mobile Telecommunications System)用のトランスポートチャネル)を形成する。

【0004】

原理的に、D-PHYは、モバイル装置内のコンポーネント間の通信リンクのためのフレキシブルで、低コストで、高速のシリアルインタフェースを実現できる。

【0005】

図4Aに示すように、最新の携帯電話において、データソース、例えば、アプリケーションプロセッサは、関連するデータシンク上、例えば、関連するディスプレイ上での表示のために、イメージデータをD-PHY信号として、MIPI-DSI(Mobile Industry Processor Interface-Display Serial Interface)に供給する。また、アプリケーションプロセッサ等のデータシンクは、関連するデータソースから、例えば、関連するカメラから、MIPI-CSI(Camera Serial Interface)を介して、D-PHYフォーマ

10

20

30

40

50

ットでイメージデータを受信することができる。

【0006】

D - P H Y プロトコルに基づく D S I または D S I - 2 または C S I または C S I - 2 または C S I - 3 は、4 つ以下の差動データラインと、差動クロックラインとを備え、これらは、銅ケーブルを用いて、該アプリケーションプロセッサを該ディスプレイおよび / または該カメラに接続する。差動データライン当たりのデータ転送速度は、最高で 1 . 5 G b p s (ギガビット / 秒) である。

【0007】

1 ~ 4 つの差動データ信号および差動クロックラインを介した、この従来の D - P H Y - D S I 信号または D - P H Y - C S I 信号の送信および受信は、マスター側のモジュール (データソース、例えば、カメラおよび / またはアプリケーションプロセッサ) と、スレーブ側のモジュール (データシンク、例えば、アプリケーションプロセッサおよび / またはディスプレイユニット) との間の (データレーン C H 0 + , C H 0 - および C H 1 + , C H 1 - と呼ばれる) 2 つのデータチャネルおよび (クロックレーン C L K + , C L K - と呼ばれる) クロックラインを手段として、図 5 B の D - P H Y インタフェース構造に例として図示されている。

10

【0008】

この状況において、図 4 A を見て分かるように、各関連するディスプレイのための、または、各関連するカメラのためのデータ伝送には、最高 1 0 の銅線 (例えば、2 つのデータラインの 4 倍と、2 つのクロックラインの 1 倍) を要する。

20

【0009】

ラインの数の望ましい低減を考えると、シリアル化された信号伝送を考慮すべきである。しかし、そのようなシリアル化は、エラーを起こしやすく、不安定なことが多い。

【発明の概要】

【発明が解決しようとする課題】

【0010】

上述した欠点および不十分な点を発端として、ならびに概略が説明された従来技術を考慮して、本発明の目的は、効率的なシリアル化信号伝送を、エラーのない安定した方法で、常に行うことができるように、上述したタイプの回路装置および上述したタイプの方法をさらに発展させることである。

30

【課題を解決するための手段】

【0011】

この目的は、請求項 1 の特徴を有する回路装置と、請求項 1 2 の特徴を有する方法によって達成される。本発明の有利な実施形態および適切なさらなる発展は、それぞれの従属項において特徴付けられている。

【0012】

したがって、本発明によれば、それを用いて、

論理レベルに基づく信号に対応するシングルエンド高速 (H i g h S p e e d : H S) データと、

特に、コモンモード信号に基づく信号に対応する差動低電力 (L o w P o w e r : L P) データと、

40

が、共通信号ストリームを形成するようにシリアル化される回路装置および方法が提案される。例えば、シリアル化された後に、1 ~ 4 つのデータチャネルが送信される場合、シリアルライゼーション要素またはシリアルライザにクロックが印加されていれば、または印加されている限り、エラーのない安定した伝送が可能である。

【0013】

この種の (基準) クロックは、少なくとも 1 つのクロック発振器によって、具体的には、少なくとも 1 つの位相ロックループ (p h a s e - l o c k e d l o o p : P L L) により、例えば、少なくとも 1 つのクロックマルチプライヤユニット (c l o c k m u l t i p l i e r u n i t : C M U) によって生成することができる。

50

【 0 0 1 4 】

シリアルデータリンクを起動する際の主たる問題は、該伝送装置における該クロック発振器を基準クロックに同期させなければならないということと、その場合に、受信装置におけるクロックデータリカバリ (Clock/Data Recovery: CDR) を、共通信号ストリームのデータ転送速度ならびに該データのフレーム位置に同期させなければならないということにある。

【 0 0 1 5 】

全体的なデータ伝送路が完全に同期される前に、シリアライゼーション要素またはシリアライザ、具体的には、マルチプレクサにデータが印加された場合、このデータは迷子になる。

10

【 0 0 1 6 】

伝送路の完全同期に必要な時間は、大きさに関して分かっており、おおよびとりわけ、そのシリアルインタフェースにおけるデータ転送速度に依存する。しかし、環境条件に依存する作動電圧、温度、おおよび用いられる半導体技術のプロセスパラメータ等のさらなる要因を考慮しなければならない。

【 0 0 1 7 】

該データ信号、具体的には、送信装置に印加される D - P H Y データが迷子になるのを防ぐために、データが印加される前に、基準クロックに安全マージンを加えたものを印加した後に、一定の最小時間、待機するように、該データソース、具体的には、D - P H Y データソースのための対策を講じてよい。

20

【 0 0 1 8 】

しかし、該シリアル伝送路を起動する際に遅れを取らないよう、本発明による受信装置は、該受信装置が同期に、具体的には、完全同期に達したことを該送信装置に知らせ、そして、この情報は、該送信装置によって、該データソース、具体的には、D - P H Y データソースがアクセス可能にされる。

【 0 0 1 9 】

都合の良いことに、該受信装置は、同期の通知を受信するまで、該送信装置に印加される H S データを実際に流し始めないため、信号、具体的には、D - P H Y 信号のエラーのない安定したシリアル伝送が確実になり、それによって、D S I および / または C S I の差動データラインおよび差動クロックラインのシリアライゼーション中のデータ損失およびビット誤りが回避される。

30

【 0 0 2 0 】

本発明は、典型的には、シングルエンド論理レベルベースのデータ信号およびクロック信号と、特に、コモンモードベースの、差動データ信号およびクロック信号との両方の、具体的には、D - P H Y データ信号または D - P H Y クロック信号、例えば、1 ~ 4 ビット幅の M I P I - D - P H Y データ信号および M I P I - D - P H Y クロック信号の、少なくとも 1 つのデータソース、具体的には、例えば、少なくとも高解像度カメラおよび / または画像ソースとして機能するカメラおよび / または少なくとも 1 つのアプリケーションプロセッサと、少なくとも 1 つのデータシンク、具体的には、少なくとも 1 つのアプリケーションプロセッサおよび / または少なくとも 1 つの高解像度ディスプレイユニットまたは例えば、画像シンクとして機能するディスプレイユニット、例えば、少なくとも 1 つのディスプレイまたは少なくとも 1 つのモニタとの間での、少なくとも 1 つのシリアルおよび / または一括の、具体的には、C S I プロトコルベースのおよび / または C S I - 2 プロトコルベースのおよび / または C S I - 3 プロトコルベースのおよび / または D S I プロトコルベースのおよび / または D S I - 2 プロトコルベースの送信の同期中に適用することができる。

40

【 0 0 2 1 】

前述したように、本発明に関する教示を有利な方法で具体化し、おおよびさらに発展させるための様々な可能性がある。このため、一方において、請求項 1 に従属する請求項について、おおよび請求項 1 2 について説明し、他方においては、本発明の追加的な実施形態、

50

特徴および効果が、以下でより詳細に、とりわけ、図 1 A ~ 図 3 によって図示されている例示的な実施形態によって説明されている。

【図面の簡単な説明】

【0022】

【図 1 A】本発明の方法に従って作動する、本発明による送信装置の実施形態の概念的略図である。

【図 1 B】図 1 A における送信装置のフレームの実施形態の詳細を示す、概念的略図である。

【図 2 A】本発明の方法に従って作動する、図 1 A の送信装置に関連する受信装置の実施形態の概念的略図である。

【図 2 B】概念的略図における、図 2 A の受信装置のデフレームの実施形態の詳細を示す、概念的略図である。

【図 3】本発明の方法に従って作動する、本発明による回路装置の実施形態の概念的略図である。

【図 4 A】従来技術による装置の実施形態を示す概念的略図である。

【図 4 B】図 4 A に示す装置の場合の基準を構成する、2 つのデータチャネルとクロックラインとを備えるインタフェース構造の実施形態の概念的略図である。

【発明を実施するための形態】

【0023】

図 1 A ~ 図 4 B において、類似のまたは同様の実施形態、要素または機能には、同一の参照数字が付けられている。

【0024】

(発明を具体化するための最良の方法)

原理的には、

本発明による送信装置 S に関する図 1 A に示す実施形態によって、および

本発明による受信装置 E に関する図 2 A に示す実施形態によって、

ケーブルベースのリンクを実現するおよび作動させるための、本発明による回路装置 A (図 3 を参照) が得られ (本発明に関しては、互いに無関係に、送信装置 S と受信装置 E を実現すること、および作動させることが可能である) 、

そのリンクは、光学的に、具体的には、少なくとも 1 つの光学媒体に基づいて、例えば、光導波路 OM (図 1 A、図 2 A の詳細図を参照) に基づいて、例えば、少なくとも 1 つのガラス繊維に基づいて、および / または少なくとも 1 つのプラスチック繊維に基づいて多重化され、およびシリアル化され、および / または

そのリンクは、電氣的にまたはガルバニックに、具体的には、少なくとも 1 つの電氣的またはガルバニックなリンク GA (図 3 を参照) に基づいて、例えば、少なくとも 1 つの銅線に基づいて、および / または例えば、少なくともプリント回路基板上に配列された少なくとも 1 つの電氣的ラインに基づいて多重化されていないことが可能である。

【0025】

図 1 A は、DSI データ伝送インタフェース IS または CSI データ伝送インタフェース IS への接続のための送信装置 S の原理的構造の実施形態を示す。

【0026】

アプリケーションプロセッサ AP 内で、または、カメラ KA 内で生成された画像データは、D-PHY 補正クロック信号 CLK+ , CLK- とともに、最高で 4 ビット幅のデータ伝送インタフェース IS において、4 つ他のデータラインまたはデータチャネル CH0+ , CH0- , CH1+ , CH1- , CH2+ , CH2- , CH3+ , CH3- 上で D-PHY 信号として利用可能になっている。

【0027】

送信装置 S は、これらの信号を集積インタフェースロジック LS において受け取り、そのブロックは、それらの信号が、D-PHY 信号の正しい解釈のための、および高周波デ

10

20

30

40

50

ータストリーム（いわゆるHSデータ）と低周波データストリーム（いわゆる低速（Low Speed：LS）データ）を区別するための少なくとも1つの状態機械を有することを証明できる。

【0028】

送信装置Sにおける次のフレームFR（図1Bの詳細図も参照）は、入力信号の直流（Direct Current：DC）平衡を確保し、および受信側（図2Aを参照）で認識可能なフレームを生成し、そのことは、受信装置E（図2Aを参照）が、補正出力データラインまたは出力チャネルCH0+、CH0-、CH1+、CH1-、CH2+、CH2-、CH3+、CH3-に、受信したデータを再割当てをすることを可能にする。

【0029】

詳細には、論理レベルベースのシングルエンドデータ信号HSD0、HSD1、HSD2、HSD3と、差動データ信号DD0+、DD0-、DD1+、DD1-、DD2+、DD2-、DD3+、DD3-との両方を、図1BによるフレームFRに印加することができる。5b/6b符号化ブロックとして構成されたその符号器KOを用いて、図1Bによる該フレームは、それらの差動データ信号DD0+、DD0-、DD1+、DD1-、DD2+、DD2-、DD3+、DD3-を、シングルエンド論理レベルベースのデータ信号HSD0、HSD1、HSD2、HSD3から成るストリームに埋め込む。

【0030】

フレームFRに隣接するマルチプレクサMU、具体的には、HSMuxは、位相ロクグループとして、具体的には、CMUとして構成されたクロック発振器PSを用いて、高周波シリアルまたは一括送信信号を生成し、その信号は、出力ドライバATを用いて、送信装置Sの出力ASにおいて利用可能になっている。フレームFRとマルチプレクサMUは、一緒にシリアルライザSEを構成している。

【0031】

クロック発振器PSを用いて、クロックポートCLK+、CLK-を介して、およびインタフェースロジックLSのクロックモジュールCSを介して供給されたD-PHYクロック信号は、シリアルライザSEのための、具体的には、そのマルチプレクサMUのための（クロック）基準として用いられ、および該シリアルデータストリームに、すなわち、シリアル化された出力信号に埋め込まれる。これにより、受信装置E（図2Aを参照）に伝達される共通信号ストリームSIが生成される。

【0032】

さらに図1Aを見て分かるように、出力ドライバATは、少なくとも1つの直接接続されたレーザLAを駆動するための、具体的には、少なくとも1つの面発光レーザ（Vertical Cavity Surface Emitting Laser diode：VCSEL）を駆動するための一体型レーザドライバとして実装されている。

【0033】

図2Aは、DSIデータ伝送インタフェースIEまたはCSIデータ伝送インタフェースIEへの接続のための受信装置Eの原理的構造の実施形態を示す。

【0034】

送信装置S（図1Aを参照）によって送信されたシリアルまたは一括データは、受信装置Eの入力増幅器EVを介して受け取られて、集積クロックまたはデータリカバリCDへ供給される。

【0035】

この集積クロックまたはデータリカバリCDは、共通信号ストリームSIから元のD-PHYクロックを再生し、その後、該クロックは、インタフェースロジックLEのクロックモジュールCEを介して、再び、DSIまたはCSIが直接、利用できるようにされる。残りのシリアルデータストリームは、デマルチプレクサDMによって細分化および並列化されて、原理的には、図1BによるフレームFRの鏡像であるデフレームDF（図2Bも参照）へ引き渡される。デマルチプレクサDMとデフレームDFは、一緒にデシリアルライザDSを構成する。

10

20

30

40

50

【0036】

詳細には、図2BのデフレーマFRは、6b/5b復号器ブロックとして構成されたその復号器DKを用いて、差動データ信号は、DD0+、DD0-、DD1+、DD1-、DD2+、DD2-、DD3+、DD3-と、シングルエンド論理レベルベースのデータ信号HSD0、HSD1、HSD2、HSD3を分けて、再並列化されたデータ信号を、それぞれの適用可能なデータラインCH0+、CH0-、CH1+、CH1-、CH2+、CH2-、CH3+、CH3-に再割り当てすることができる。

【0037】

受信装置E内に図示されているインタフェースロジックブロックLEは、それぞれ、D-PHY論理信号の正しい解釈のための、および高周波データストリームと低周波データストリームを区別するための少なくとも1つの状態機械を備えていてもよい。

10

【0038】

図2Aの説明図を見ても分かるように、入力増幅器EVは、集積トランスインピーダンス増幅器として実装され、該増幅器は、フォトダイオードFDを受信装置Eに直接接続することを可能にしている。

【0039】

このようにして、本発明によれば、回路装置A(図3を参照)に関しては、送信装置S(図1Aを参照)と受信装置E(図2Aを参照)との間で、ケーブルベースの多重化リンクを光学的に、すなわち、例えば、ガラス繊維の形態でおよび/またはプラスチック繊維の形態で構成された光導波路OMを用いて実現し、および作動させることが可能である。

20

【0040】

図3は、送信装置S(図1Aを参照)および受信装置E(図2Aを参照)全体の実施形態を示す。これは、シリアルリンクを備えた、または、並列化されたデータストリームを伴うD-PHY伝送路である。

【0041】

この目的のために、D-PHY-HS/LPデータは、本質的に、シリアライザSEと、特に、マルチプレクサMUとを備える送信装置S(図1Aを参照)によって一括化されて、シリアルデータストリームとして受信装置E(図2Aを参照)へ送信される。

【0042】

本質的に、デシリアライザDSと、ここでは特に、デマルチプレクサDMとを備えるこの受信装置E(図2Aを参照)は、該シリアルデータを細分化して、それを元の形態でD-PHY-HS/LPデータとして再出力する。送信装置S(図1Aを参照)に印加されるD-PHY-クロック(Clock:CLK)は、シリアライザSEのためのクロック基準として用いられ、および該シリアルデータストリームに埋め込まれる。受信装置E(図2Aを参照)は、このクロックを再生して、それをD-PHY-CLKとして再出力する。

30

【0043】

ここで、LPデータのみを、n個のD-PHYリンクまたはD-PHYレーンのうちの1つのみで、一時的または継続的に送信する場合、送信装置S(図1Aを参照)の対応する入力ESは、特に、少なくとも1つの論理モジュールGSによって作用される少なくとも1つのスイッチWS(単に、説明を簡単にするために、図1Aには図示されていない)によって、送信装置S(図1Aを参照)の別のポートまたは追加的なポートAZに接続することができる。

40

【0044】

同様に、受信装置E(図2Aを参照)の出力AEは、特に、少なくとも1つの論理モジュールGEによって作用される少なくとも1つのスイッチWE(単に、説明を簡単にするために、図2Aには図示されていない)によって、受信装置E(図2Aを参照)の別のポートまたは追加的なポートEZに接続することができる。

【0045】

送信側のこのポートAZと、受信側のこのポートEZとは、少なくとも1つの電氣的な

50

、またはガルバニックなリンク G A を用いて、具体的には、少なくとも 1 つの 1 ビット幅の銅線を用いて、または、例えば、少なくとも 1 つのプリント回路基板上に配置された少なくとも 1 つの電氣的ラインを用いて、接続されている。

【 0 0 4 6 】

該シリアルデータリンクの起動中の主要な問題に対処するために、送信側のスイッチ W S を用いて / 受信側のスイッチ W S を用いて、両側のシリアル伝送路を起動する間、送信側のポート A Z と、受信側のポートとの間の電氣的またはガルバニックなリンク G A が開かれ、すなわち、送信装置 S (図 1 A を参照) 内のクロック発振器 P S は、基準クロックと同期しなければならず、およびその後、受信装置 E (図 2 A を参照) 内の C D R (クロックデータリカバリ) またはクロックリカバリ C D は、該シリアルデータストリームと、および該データのフレーム位置と同期しなければならない。

10

【 0 0 4 7 】

データ伝送路全体が完全に同期される前に、データがシリアライザ S E に、具体的には、そのマルチプレクサ M U に印加された場合、このデータは失われる。また、いわゆる I n i t ワードが失われ、これは、 D - P H Y 規格に従って、各 H S データストリームに先行しなければならない。

【 0 0 4 8 】

このような損失を避けるために、受信側のデシリアライザ D S に含まれているデマルチプレクサ D M は、完全同期状態に達していることを示す S y n c O K 信号を、受信側の論理モジュールまたはブロック論理 G E に送る。

20

【 0 0 4 9 】

受信側のこのブロック論理 G E は、署名 S 1 を、電氣的またはガルバニックなリンク G A を介して、送信装置 S 内の、または、送信ビルディングブロック内の、論理モジュールまたはブロック論理 G S へ送信する。

【 0 0 5 0 】

送信側のこのブロック論理 G S もまた、送信ビルディングブロック S の同期ポート S Y から準備信号 S F を出力する。

【 0 0 5 1 】

この同期ポート S Y は、該データソースによって、具体的には、 D - P H Y データソースによって読取ることができる。該データソースが、このようにして、完全同期の状態に達していることを認識するとすぐに、該データソースは、送信ビルディングブロック S の入力部 E S を介して、直ちにデータを、具体的には、 D - P H Y データを送信ビルディングブロック S に印加することができる。

30

【 0 0 5 2 】

同期状態に達していることが認識されたと同時に、または、認識された直後に、送信装置 S (図 1 A を参照) に実際に印加された H S データが流され始め、結果、 D - P H Y 信号のエラーのない安定したシリアル伝送が確実にされ、換言すれば、 D S I および / または C S I の差動データラインおよび差動クロックラインのシリアル化中のデータ損失およびビット誤りが確実に回避される。

【 符号の説明 】

40

【 0 0 5 3 】

- A 回路装置
- E 受信装置
- S 送信装置
- A E 受信装置 E の出力部
- A P アプリケーションプロセッサ
- A S 送信装置 S の出力部
- A T 出力ドライバ、具体的には、レーザドライバ
- A Z 送信装置 S の他のまたはさらなるまたは追加的な出力部
- C D クロックおよびデータリカバリユニット

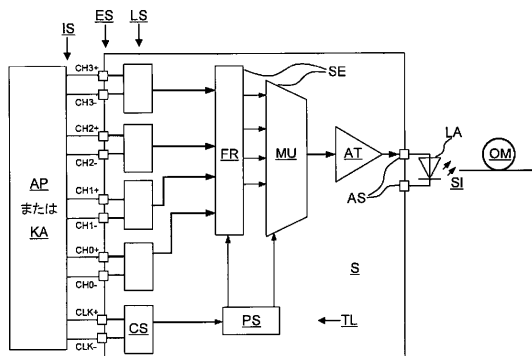
50

C E	受信インタフェースロジック L E のクロックモジュール	
C H 0 ±	第 1 のデータラインまたは第 1 のチャンネル	
C H 1 ±	第 2 のデータラインまたは第 2 のチャンネル	
C H 2 ±	第 3 のデータラインまたは第 3 のチャンネル	
C H 3 ±	第 4 のデータラインまたは第 4 のチャンネル	
C L K ±	クロックラインまたはクロックチャンネル	
C S	送信インタフェースロジック L S のクロックモジュール	
D D 0 ±	第 1 のデータラインまたは第 1 のチャンネル C H 0 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D D 1 ±	第 2 のデータラインまたは第 2 のチャンネル C H 1 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	10
D D 2 ±	第 3 のデータラインまたは第 3 のチャンネル C H 2 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D D 3 ±	第 4 のデータラインまたは第 4 のチャンネル C H 3 ± 上の差動信号、具体的には、コモンモードベースのデータ信号	
D F	デフレーマ	
D K	デフレーマ D F の復号器、具体的には、6 b / 5 b 復号器ブロック	
D M	デマルチプレクサ	
D S	デシリアライゼーション要素またはデシリアライザ	
D U	ディスプレイユニット	20
E E	受信装置 E の入力部	
E S	送信装置 S の入力部	
E V	入力増幅器、具体的には、トランスインピーダンス増幅器	
E Z	受信装置 E の他のまたはさらなるまたは追加的な入力部	
F D	フォトダイオード	
F R	フレーマ	
G A	電氣的またはガルバニックなリンク、具体的には、例えば、プリント回路基板上に配置された銅線または電氣的ライン	
G E	受信装置 E の論理モジュール	
G S	送信装置 S の論理モジュール	30
H S D 0	第 1 のデータラインまたは第 1 のチャンネル C H 0 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 1	第 2 のデータラインまたは第 2 のチャンネル C H 1 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 2	第 3 のデータラインまたは第 3 のチャンネル C H 2 ± 上のシングルエンド論理レベルベースのデータ信号	
H S D 3	第 4 のデータラインまたは第 4 のチャンネル C H 3 ± 上のシングルエンド論理レベルベースのデータ信号	
I E	データシンク関連の C S I および / または C S I - 2 および / または C S I - 3 および / または D S I および / または D S I - 2 インタフェース	40
I S	データソース関連の C S I および / または C S I - 2 および / または C S I - 3 および / または D S I および / または D S I - 2 インタフェース	
K A	カメラ	
K O	フレーマ F R の符号器、具体的には、5 b / 6 b 符号器ブロック	
L A	レーザ	
L E	受信インタフェースロジック	
L S	送信インタフェースロジック	
M U	マルチプレクサ	
O M	光学媒体、具体的には、光導波路、例えば、ガラス繊維および / またはプラスチック繊維	50

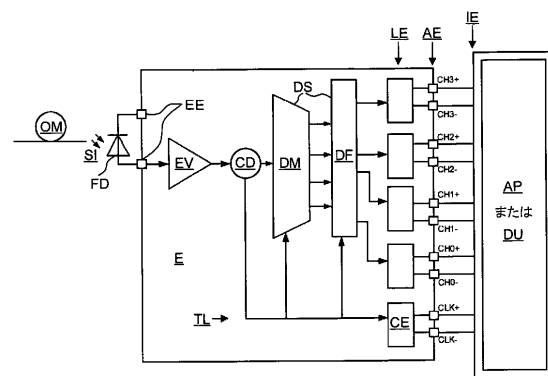
P S クロック発振器、具体的には、位相ロックループ、例えば、クロックマルチプ
 リヤユニット
 S 1 署名
 S E シリアルライゼーション要素またはシリアライザ
 S F 準備信号
 S I 共通信号ストリーム
 S Y 受信装置 S の同期ポート
 S y n c O k 同期に達したときの信号
 T L クロックライン
 W E 受信装置 E のスイッチ
 W S 送信装置 S のスイッチ

10

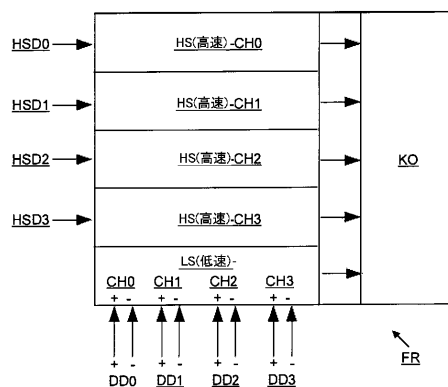
【図 1 A】



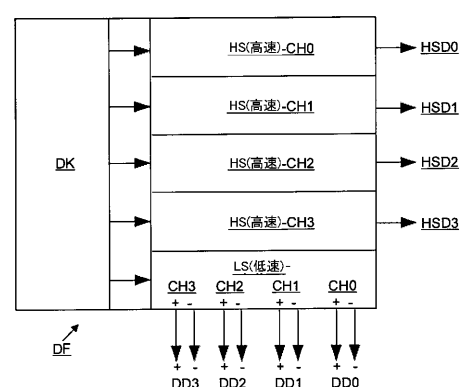
【図 2 A】



【図 1 B】



【図 2 B】



【図 3】

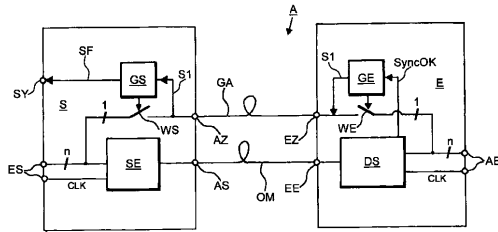
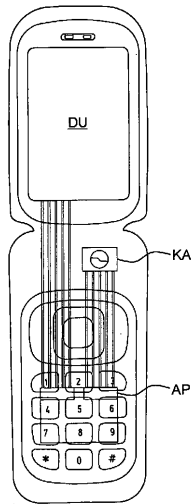


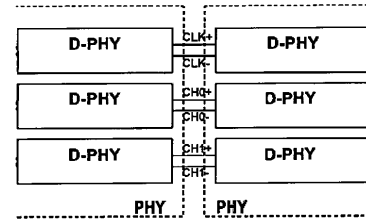
Fig. 3

【図 4 A】



(従来技術)

【図 4 B】



(従来技術)

フロントページの続き

- (72)発明者 ブロン, トーマス
ドイツ連邦共和国 80687 ミュンヘン エルゼンハイマーシュトラッセ 48 / デア・ツヴァイテン シリコン・ライン・ゲー・エム・ベー・ハー内
- (72)発明者 ヤンゼン, フロリアン
ドイツ連邦共和国 80687 ミュンヘン エルゼンハイマーシュトラッセ 48 / デア・ツヴァイテン シリコン・ライン・ゲー・エム・ベー・ハー内
- (72)発明者 ヘルトケ, ホルガー
ドイツ連邦共和国 80995 ミュンヘン アム・ブリューテンアンガー 54 ツェー

審査官 阿部 弘

- (56)参考文献 国際公開第2008/126753(WO, A1)
特開2006-039885(JP, A)
特開2008-160370(JP, A)
特開2008-113321(JP, A)
特開昭58-200653(JP, A)
米国特許出願公開第2009/0238576(US, A1)
特開2006-033804(JP, A)
特開2010-050847(JP, A)
特開2001-103028(JP, A)

- (58)調査した分野(Int.Cl., DB名)
H04L 7/00
H04L 25/02