

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 9 月 6 日 (06.09.2024)



(10) 国际公布号
WO 2024/178648 A1

(51) 国际专利分类号:
H10K 59/82 (2023.01)

(21) 国际申请号: PCT/CN2023/078868

(22) 国际申请日: 2023 年 2 月 28 日 (28.02.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

王世龙(WANG, Shilong); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
王梦奇(WANG, Mengqi); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
陈文波(CHEN, Wenbo); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
燕青青(YAN, Qingqing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
王格(WANG, Ge); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
蒋志亮(JIANG, Zhiliang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
方芳(FANG, Fang); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
袁晓敏(YUAN, Xiaomin); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(72) 发明人: 何庆(HE, Qing); 中国北京市大兴区北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京三高永信知识产权代理有限公司(BEIJING SAN GAO YONG XIN INTELLECTUAL

(54) Title: DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 显示面板及显示装置

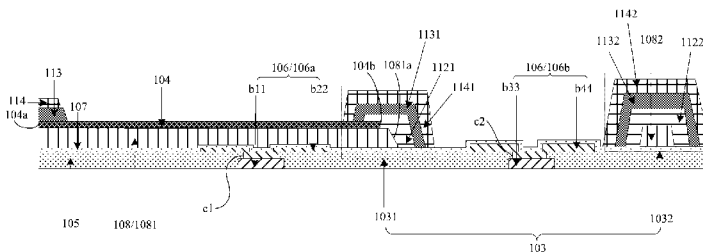


图 2

(57) Abstract: The present application discloses a display panel and a display device, relating to the technical field of display. The display panel comprises a base substrate, a plurality of pixel units, a blocking structure, a connection structure, a first insulating layer, a circuit structure, a second insulating layer, and a third insulating layer. The first insulating layer is located between a first circuit sub-pattern and a second circuit sub-pattern of the first circuit structure, and is provided with a first via. The first circuit sub-pattern and the second circuit sub-pattern are electrically connected by means of the first via. An orthographic projection of the third insulating layer on the base substrate covers an orthographic projection of the first via on the base substrate, so that even if the second insulating layer at the first via is over-etched, the connection structure and the second circuit sub-pattern of the first circuit structure will not be short-circuited, thereby ensuring the yield of the display panel.

(57) 摘要: 本申请公开了一种显示面板及显示装置, 涉及显示技术领域。该显示面板包括衬底基板, 多个像素单元, 阻挡结构, 转接结构, 第一绝缘层, 电路结构, 第二绝缘层以及第三绝缘层。其中, 第一绝缘层位于第一电路结构的第一电路子图案和第二电路子图案之间, 且具有第一过孔, 第一电路子图案和第二电路子图案通过第一过孔电连接。由于第三绝缘层在衬底基板上的正投影覆盖第一过孔在衬底基板上的正投影, 因此即使第一过孔处的第二绝缘层被过刻, 也不会导致转接结构和第一电路结构的第二电路子图案短接, 保证了显示面板的良率。

PROPERTY AGENCY CO., LTD.; 中国北京市海
淀区上地信息产业基地三街1号楼四层
C段457, Beijing 100085 (CN)。

- (81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ,
IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ,
LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN,
MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,
PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

显示面板及显示装置

技术领域

本申请涉及显示技术领域，特别涉及一种显示面板及显示装置。

背景技术

显示面板通常具有显示区域和包围该显示区域的周边区域。并且，显示面板通常包括位于显示区域的多个像素单元，位于周边区域用于为像素单元提供驱动信号的驱动电路，以及位于周边区域用于为显示面板的阴极层提供负极电源信号的电源走线。其中，负极电源信号一般称为 VSS 信号，该电源走线一般称为 VSS 走线。

发明内容

本申请提供了一种显示面板及显示装置，所述技术方案如下：

一方面，提供了一种显示面板，所述显示面板包括：

衬底基板，所述衬底基板具有显示区域以及围绕所述显示区域的周边区域；

多个像素单元，位于所述显示区域，所述像素单元包括发光单元，所述发光单元包括依次层叠的第一电极层，发光层以及第二电极层；

阻挡结构，位于所述周边区域且围绕所述多个像素单元；

转接结构，位于所述周边区域，所述转接结构与所述第一电极层位于同层且具有间隙，且所述转接结构与所述第二电极层电连接；

第一绝缘层，位于所述第一电极层和所述衬底基板之间，且所述第一绝缘层位于所述周边区域的部分具有过孔；

电路结构，位于所述周边区域，所述电路结构包括位于所述阻挡结构围成的区域内的第一电路结构，所述第一电路结构包括第一电路子图案和第二电路子图案，所述第一电路子图案位于第一金属层，所述第二电路子图案位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层两侧，所述第一绝缘层的过孔包括第一过孔，所述第一电路子图案和所述第二电路子图案通

过所述第一过孔电连接；

第二绝缘层，位于所述第二金属层远离所述衬底基板的一侧；

以及位于所述第二绝缘层远离所述衬底基板的一侧的第三绝缘层，第三绝缘层包括位于所述显示区域和所述周边区域的主体图案，所述主体图案包括位于所述周边区域的第三侧面；所述第三侧面在所述衬底基板上的正投影位于所述阻挡结构在所述衬底基板上的正投影内，且所述主体图案位于所述周边区域的部分在所述第三侧面靠近所述显示区域的一侧为连续性图案。

可选的，所述阻挡结构包括第一阻挡坝和第二阻挡坝；所述第一阻挡坝相对于所述第二阻挡坝靠近所述多个像素单元，且所述第一阻挡坝的厚度小于所述第二阻挡坝的厚度；

所述转接结构包括相对的第一侧面和第二侧面，所述第一侧面相对于所述第二侧面更靠近所述多个像素单元；

其中，所述第二侧面在所述衬底基板上的正投影位于所述第一阻挡坝在所述衬底基板上的正投影内，所述转接结构在所述衬底基板上的正投影与所述第二阻挡坝在所述衬底基板上的正投影不重叠。

可选的，所述电路结构还包括位于所述第一阻挡坝和所述第二阻挡坝之间的第二电路结构；

所述第二电路结构包括第三电路子图案和第四电路子图案，所述第三电路子图案位于所述第一金属层，所述第四电路子图案位于所述第二金属层，所述第一绝缘层的过孔包括第二过孔，所述第三电路子图案和所述第四电路子图案通过所述第二过孔电连接。

可选的，所述阻挡结构包括第一阻挡坝和第二阻挡坝；所述第一阻挡坝相对于所述第二阻挡坝靠近所述多个像素单元，且所述第一阻挡坝的厚度小于所述第二阻挡坝的厚度；

所述转接结构包括相对的第一侧面和第二侧面，所述第一侧面相对于所述第二侧面更靠近所述多个像素单元；

其中，所述第二侧面在所述衬底基板上的正投影位于所述第二阻挡坝在所述衬底基板上的正投影内，所述转接结构在所述衬底基板上的正投影与所述第一阻挡坝在所述衬底基板上的在正投影重叠。

可选的，所述电路结构还包括位于所述第一阻挡坝和所述第二阻挡坝之间

的第二电路结构;

所述第二电路结构包括第三电路子图案和第四电路子图案, 所述第一绝缘层的过孔包括第二过孔, 所述第三电路子图案和所述第四电路子图案通过所述第二过孔电连接;

所述显示面板还包括: 位于所述衬底基板上的保护层, 所述保护层包括多个保护图案, 所述保护图案在所述衬底基板上的正投影覆盖所述第二过孔在所述衬底基板上的正投影。

可选的, 所述多个保护图案位于所述第三绝缘层。

可选的, 所述保护层为位于所述第二绝缘层远离所述衬底基板的一侧的第三金属层;

所述第三金属层包括的多个金属图案为所述多个保护图案, 所述金属图案在所述衬底基板上的在正投影覆盖所述第二过孔在所述衬底基板上的正投影。

可选的, 所述保护层为位于所述衬底基板和所述第一金属层之间的有源层;

所述有源层包括的多个有源图案为所述多个保护图案, 所述有源图案在所述衬底基板上的在正投影覆盖所述第二过孔在所述衬底基板上的正投影。

可选的, 所述保护层为位于所述衬底基板和所述第一金属层之间的遮光层;

所述遮光层包括的多个遮光图案为所述多个保护图案, 所述遮光图案在所述衬底基板上的正投影覆盖所述第二过孔在所述衬底基板上的正投影。

可选的, 所述保护图案在所述衬底基板上的正投影的面积, 减去所述第二过孔在所述衬底基板上的正投影的面积, 差值的范围为 1 平方微米至 50 平方微米。

可选的, 所述多个第二过孔包括多个目标第二过孔, 所述多个目标第二过孔在所述衬底基板上的正投影被同一所述保护图案在所述衬底基板上的正投影覆盖;

其中, 所述多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 4 微米。

可选的, 所述电路结构还包括位于所述第一阻挡坝和所述第二阻挡坝之间的第二电路结构;

所述第二电路结构包括第三电路子图案和第四电路子图案, 所述第一绝缘层的过孔包括第二过孔, 所述第三电路子图案和所述第四电路子图案通过所述

第二过孔电连接;

所述转接结构包括多个开口, 所述开口在所述衬底基板上的正投影覆盖所述第二过孔在所述衬底基板上的正投影。

可选的, 所述开口在所述衬底基板上的正投影的面积, 减去所述第二过孔在所述衬底基板上的正投影的面积的差值的范围为 1 平方微米至 50 平方微米。

可选的, 所述多个第二过孔包括多个目标第二过孔, 所述多个目标第二过孔在所述衬底基板上的正投影被同一所述开口在所述衬底基板上的正投影覆盖;

其中, 所述多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 4 微米。

可选的, 所述第三绝缘层还包括: 第一绝缘图案; 所述显示面板还包括位于所述第三绝缘层远离所述衬底基板的一侧的第四绝缘层, 所述第四绝缘层包括第二绝缘图案和第三绝缘图案;

所述第一阻挡坝至少包括所述第二绝缘图案, 所述第二阻挡坝至少包括沿远离所述衬底基板的方向层叠设置的第一绝缘图案和第二绝缘图案。

可选的, 所述转接结构在所述衬底基板上的正投影远离所述显示区域的边缘相对于所述阻挡结构在所述衬底基板上的正投影远离所述显示区域的边缘更靠近所述显示区域;

所述主体图案在所述衬底基板上的正投影与所述第二阻挡坝在所述衬底基板上的正投影不重叠。

可选的, 所述显示面板还包括: 至少一条第一电源线;

所述至少一条第一电源线位于所述周边区域, 所述至少一条第一电源线包括第一部分和第二部分, 所述第一部分位于所述阻挡结构远离所述多个像素单元的一侧, 用于接收第一电源信号, 所述第二部分环绕所述多个像素单元, 且分别与所述第一部分和所述转接结构电连接。

另一方面, 提供了一种显示面板, 所述显示面板包括:

衬底基板, 所述衬底基板具有显示区域以及围绕所述显示区域的周边区域;

多个像素单元, 位于所述显示区域, 所述像素单元包括发光单元, 所述发光单元包括依次层叠的第一电极层, 发光层以及第二电极层;

阻挡结构, 位于所述周边区域且围绕所述多个像素单元;

转接结构，位于所述周边区域，所述转接结构与所述第一电极层位于同层且具有间隙，且所述转接结构与所述第二电极层电连接；

第一绝缘层，位于所述第一电极层和所述衬底基板之间，且所述第一绝缘层位于所述周边区域的部分具有过孔；

电路结构，位于所述周边区域，所述电路结构包括位于所述第一阻挡坝和所述显示区域之间的第一电路结构，所述第一电路结构包括第一电路子图案和第二电路子图案，所述第一子电路图案位于第一金属层，所述第二电路子图案位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层两侧，所述第一绝缘层的过孔包括第一过孔，所述第一电路子图案和所述第二电路子图案通过所述第一过孔电连接；

第二绝缘层，位于所述第二金属层远离所述衬底基板的一侧；

位于所述第二绝缘层远离所述衬底基板的一侧的第三绝缘层，第三绝缘层包括位于所述显示区域和所述周边区域的主体图案，所述主体图案包括位于所述周边区域的第三侧面；所述第三侧面在所述衬底基板上的正投影位于所述阻挡结构和所述显示区域之间；

以及位于所述衬底基板上的保护层，所述保护层包括多个保护图案，所述保护图案在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影。

又一方面，提供了一种显示面板，所述显示面板包括：

衬底基板，所述衬底基板具有显示区域以及围绕所述显示区域的周边区域；

多个像素单元，位于所述显示区域，所述像素单元包括发光单元，所述发光单元包括依次层叠的第一电极层，发光层以及第二电极层；

阻挡结构，位于所述周边区域且围绕所述多个像素单元；

转接结构，位于所述周边区域，所述转接结构与所述第一电极层位于同层且具有间隙，且所述转接结构与所述第二电极层电连接；

第一绝缘层，位于所述第一电极层和所述衬底基板之间，且所述第一绝缘层位于所述周边区域的部分具有过孔；

电路结构，位于所述周边区域，所述电路结构包括位于所述第一阻挡坝和所述显示区域之间的第一电路结构，所述第一电路结构包括第一电路子图案和第二电路子图案，所述第一子电路图案位于第一金属层，所述第二电路子图案

位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层两侧，所述第一绝缘层的过孔包括第一过孔，所述第一电路子图案和所述第二电路子图案通过所述第一过孔电连接；

第二绝缘层，位于所述第二金属层远离所述衬底基板的一侧；

位于所述第二绝缘层远离所述衬底基板的一侧的第三绝缘层，第三绝缘层包括位于所述显示区域和所述周边区域的主体图案，所述主体图案包括位于所述周边区域的第三侧面；所述第三侧面在所述衬底基板上的正投影位于所述第一阻挡坝和所述显示区域之间；

其中，所述转接结构包括多个开口，所述开口在所述衬底基板上的正投影覆盖所述第一过孔在所述衬底基板上的正投影。

再一方面，提供了一种显示装置，所述显示装置包括：供电组件以及如上述方面所述的显示面板；

其中，所述供电组件用于为所述显示面板供电。

附图说明

为了更清楚地说明本申请实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是本申请实施例提供的一种显示面板的结构示意图；

图 2 是本申请实施例提供的一种显示面板在周边区域的局部截面图；

图 3 是本申请实施例提供的一种衬底基板的结构示意图；

图 4 是本申请实施例提供的一种发光单元的结构示意图；

图 5 是本申请实施例提供的另一种显示面板在周边区域的局部截面图；

图 6 是本申请实施例提供的又一种显示面板在周边区域的局部截面图；

图 7 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；

图 8 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；

图 9 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；

图 10 是本申请实施例提供的显示面板的局部截面图；

图 11 是本申请实施例提供的另一种显示面板的结构示意图；

图 12 是本申请实施例提供的一种像素电路的等效电路图；
图 13 是本申请实施例提供的一种移位寄存器单元的等效电路图；
图 14 是图 13 所示的移位寄存器单元在显示面板上的布局示意图；
图 15 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 16 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 17 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 18 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 19 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 20 是本申请实施例提供的一种显示面板在周边区域的局部示意图；
图 21 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 22 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 23 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 24 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 25 是本申请实施例提供的再一种显示面板在周边区域的局部截面图；
图 26 是本申请实施例提供的一种转接结构在周边区域的局部示意图；
图 27 是本申请实施例提供的另一种显示面板在周边区域的局部示意图；
图 28 是本申请实施例提供的一种显示装置的结构示意图。

具体实施方式

为了使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开作进一步地详细描述。

相关技术中，驱动电路中的至少一个电路结构包括显示面板中第一金属层中的第一金属图案和第二金属层中的第二金属图案。其中，第一金属层和第二金属层之间具有一绝缘层，第一金属图案和第二金属图案通过该绝缘层中的过孔搭接。为了降低显示面板的电压降（loading），通常可以使得 VSS 走线与阴极层之间通过显示面板中位于阳极层的转接结构搭接。其中，位于阳极层的转接结构和电路结构的第二金属图案之间具有另一绝缘层，以将转接结构和信号线绝缘。

但是，由于第一金属图案和第二金属图案的搭接位置的另一绝缘层容易被过刻，因此可能导致转接结构与电路结构短接，显示面板的良率较低。

相关技术，显示面板包括衬底基板，位于衬底基板的周边区域的电路结构和转接结构，以及位于衬底基板上的第一绝缘层和第二绝缘层。其中，电路结构包括的第一电路图案（第一电路图案位于第一金属层）和第二电路图案（第二电路图案位于第二金属层）分别位于第一绝缘层的两侧，且通过第一绝缘层中的过孔电连接。第二绝缘层位于第二金属层和转接结构之间，用于将电路结构和转接结构绝缘。

通常情况下，显示面板还包括位于衬底基板的显示区域的第三金属层。该第三金属层位于第二绝缘层和转接结构之间。制备该第三金属层的过程包括：在第二绝缘层远离衬底基板的一侧形成第三金属薄膜，在第三金属薄膜远离衬底基板的一侧涂覆光刻胶，采用掩模板对光刻胶进行曝光，对曝光后的光刻胶进行显影，采用刻蚀液对未被光刻胶保护的第三金属薄膜进行刻蚀，去除剩余光刻胶，进而得到第三金属层。

由于最终制备得到的第三金属层不位于周边区域，因此第三金属薄膜位于周边区域的部分需要经过刻蚀液的刻蚀。而由于周边区域设计有电路结构（电路结构的第一金属图案和第二金属图案通过第一绝缘层的过孔电连接），因此刻蚀第三金属薄膜时，容易导致刻蚀液聚集在过孔的位置，导致第二绝缘层位于过孔处的部分被过刻（第二绝缘层的厚度通常较薄，容易被刻蚀液刻透）。进一步的，若第二绝缘层位于过孔处的部分被过刻，则会导致第二绝缘层失去绝缘电路结构和转接结构的效果，进而导致转接结构与电路结构中的第二电路图案直接接触而短接，显示面板的良率较低。

图 1 是本申请实施例提供的一种显示面板的结构示意图。图 2 是本申请实施例提供的一种显示面板在周边区域的局部截面图。参考图 1，该显示面板 10 可以包括：衬底基板 101，多个像素单元 102，阻挡结构 103，转接结构 104，第一绝缘层 105，电路结构 106，第二绝缘层 107 以及位于第二绝缘层 107 远离衬底基板 101 的一侧的第三绝缘层 108。其中，图 2 可以为图 1 沿 AA 方向的截面图。

图 3 是本申请实施例提供的一种衬底基板的结构示意图。参考图 3，衬底基板 101 可以具有显示区域 101a 以及围绕该显示区域 101a 的周边区域 101b。结

合图 1 至图 3, 该多个像素单元 102 位于显示区域 101a, 阻挡结构 103, 转接结构 104 和电路结构 106 均位于周边区域 101b。

在本申请实施例中, 参考图 4, 像素单元 102 包括发光单元 1021。该发光单元 1021 包括依次层叠的第一电极层 a1, 发光层 a2 以及第二电极层 a3。例如第一电极层 a1 为阳极层, 第二电极层 a3 为阴极层。

结合图 1 至图 3, 阻挡结构 103 可以围绕多个像素单元 102。该转接结构 104 与第一电极层 a1 位于同层且具有间隙, 且转接结构 104 与第二电极层 a3 电连接。也即是, 转接结构 104 与第一电极层 a1 采用相同材料并由同一次构图工艺制备得到。转接结构 104 和第二电极层 a3 所传输的信号为相同信号。

参考图 2, 电路结构 106 位于周边区域 101b, 且电路结构 106 包括第一电路结构 106a, 该第一电路结构 106a 包括第一电路子图案 b11 和第二电路子图案 b22。其中, 第一电路子图案 b11 位于第一金属层, 第二电路子图案 b22 位于第二金属层, 显示面板 10 包括的第一绝缘层 105 位于第一金属层和第二金属层之间。该第一绝缘层 105 位于周边区域 101b 的部分具有过孔 (过孔包括第一过孔 c1), 第一电路子图案 b11 和第二电路子图案 b22 通过第一过孔 c1 电连接。第二绝缘层 107 位于第二金属层远离衬底基板 101 的一侧, 用于将第二金属层中的第二电路子图案 b22 和与第一电极层 a1 位于同层的转接结构 104 绝缘。

在本申请实施例中, 第三绝缘层 108 包括位于显示区域 101a 和周边区域 101b 的主体图案 1081, 该主体图案 1081 包括位于周边区域 101b 的第三侧面 1081a。第三侧面 1081a 在衬底基板 101 上的正投影位于阻挡结构 103 在衬底基板 101 上的正投影内。并且, 主体图案 1081 位于周边区域 101b 的部分在第三侧面 1081a 靠近显示区域 101a 的一侧为连续性图案。

由于第三绝缘层 108 的主体图案 1081 位于周边区域 101b 的部分在第三侧面 1081a 靠近显示区域 101a 的一侧为连续性图案, 且主体图案 1081 的第三侧面 1081a 位于阻挡结构 103 在衬底基板 101 上的正投影内, 因此主体图案 1081 在衬底基板 101 上的正投影可以覆盖第一过孔 c1 在衬底基板 101 上的正投影, 进而可以使得主体图案 1081 对第一过孔 c1 的位置起到保护作用。进一步的, 即使第一过孔 c1 处的第二绝缘层 107 被过刻, 也不会导致转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接, 保证了显示面板 10 的良率。

综上所述, 本申请实施例提供了一种显示面板, 该显示面板包括衬底基板,

多个像素单元，阻挡结构，转接结构，第一绝缘层，电路结构，第二绝缘层以及第三绝缘层。其中，第一绝缘层位于第一电路结构的第一电路子图案和第二电路子图案之间，且具有第一过孔，第一电路子图案和第二电路子图案通过第一过孔电连接。由于第三绝缘层在衬底基板上的正投影覆盖第一过孔在衬底基板上的正投影，因此即使第一过孔处的第二绝缘层被过刻，也不会导致转接结构和第一电路结构的第二电路子图案短接，保证了显示面板的良率。

可选的，第三绝缘层 108 的主体图案 1081 位于周边区域 101b 的部分在第三侧面 1081a 靠近显示区域 101a 的一侧为连续性图案可以用于表示：主体图案 1081 位于周边区域 101b 的左右两侧区域（如下文所描述的第二区域 101b2 和第四区域 101b4）的部分在第三侧面 1081a 靠近显示区域 101a 的一侧为连续性图案。

在本申请实施例中，参考图 1，阻挡结构 103 可以为环绕多个像素单元 102 的环状结构，用于阻挡显示面板 10 中位于该阻挡结构 103 围成的区域内的有机层溢流。该阻挡结构 103 包括第一阻挡坝 1031 和第二阻挡坝 1032。第一阻挡坝 1031 相对于第二阻挡坝 1032 靠近多个像素单元 102，且第一阻挡坝 1031 的厚度小于第二阻挡坝 1032 的厚度。

通过设置两个阻挡坝，且远离多个像素单元 102 的第二阻挡坝 1032 的厚度大于靠近多个像素单元 102 的第一阻挡坝 1031 的厚度，可以进一步防止位于该阻挡结构 103 围成的区域内的有机层溢流。当然，该阻挡结构 103 还可以包括一个阻挡坝，或两个以上的阻挡坝，本申请实施例对此不做限定。

参考图 1，第一阻挡坝 1031 和第二阻挡坝 1032 在衬底基板 101 上的正投影均可以为环形。其中，该第一阻挡坝 1031 相对于该第二阻挡坝 1032 靠近该多个像素单元 102 可以用于表示：该第一阻挡坝 1031 围成的区域位于第二阻挡坝 1032 围成的区域内。

在本申请实施例中，转接结构 104 在衬底基板 101 上的正投影远离显示区域 101a 的边缘相对于阻挡结构 103 在衬底基板 101 上的正投影远离显示区域 101a 的边缘更靠近显示区域 101a。其中，阻挡结构 103 在衬底基板 101 上的正投影远离显示区域 101a 的边缘可以是指第二阻挡坝 1032 在衬底基板 101 上的正投影远离显示区域 101a 的边缘。

参考图 2，电路结构 106 包括的第一电路结构 106a 可以位于第一阻挡坝 1031

和显示区域 101a 之间。并且，电路结构 106 还包括位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的第二电路结构 106b。第二电路结构 106b 包括第三电路子图案 b33 和第四电路子图案 b44，第一绝缘层 105 的过孔包括第二过孔 c2，第三电路子图案 b33 和第四电路子图案 b44 通过第二过孔 c2 电连接。

在本申请实施例中，第一电路结构 106a 可以为显示面板 10 中的阵列基板行驱动（gate driver on array, GOA）电路中的相关结构。第二电路结构 106b 可以为显示面板中为 GOA 电路提供相关信号的信号输入电路中的相关结构。

作为一种可选的实现方式，参考图 1 至图 3，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，且转接结构 104 在衬底基板 101 上的正投影与第二阻挡坝 1032 在衬底基板 101 上的正投影不重叠。也即是，转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域，而不位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

在该实现方式中，由于转接结构 104 的第二侧面 104b（边界）在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，因此转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 会存在短接风险，而与第二电路结构 106b 的第四电路子图案 b44 不会存在短接风险。

由此，由于本申请实施例中的第三绝缘层 108 的主体图案 1081 在衬底基板 101 上的正投影覆盖第二电路子图案 b22 在衬底基板 101 上的正投影（即将第三绝缘层 108 延长至第一阻挡坝 1031），因此可以使得转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 之间除了第二绝缘层 107 之外，还具有第三绝缘层 108。该第三绝缘层 108 可以起到将转接结构 104 和第二电路子图案 b22 绝缘的作用。由此，即使该第一过孔 c1 处的第二绝缘层 107 过刻（如由于第二绝缘层 107 过刻而导致暴露出第一电路结构 106a 的第二电路子图案 b22），由于该第三绝缘层 108 可覆盖第二绝缘层 107 过刻的区域，因此可以避免转接结构 104 和第二电路子图案 b22 短接，保证显示面板 10 的良率。

作为另一种可选的实现方式，参考图 5，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第二阻挡坝 1032 在

衬底基板 101 上的正投影内, 且转接结构 104 在衬底基板 101 上的正投影与第一阻挡坝 1031 在衬底基板 101 上的正投影重叠。也即是, 转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域, 也位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

并且, 参考图 5, 第三绝缘层 108 包括的主体图案 1081 的第三侧面 1081a 在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内, 因此第三绝缘层的主体图案 1081 可以对第一电路结构 106a 的第二电路子图案 b22 起到保护作用, 而无法对第二电路结构 106b 的第四电路子图案 b44 起到保护作用。

由此, 在该实现方式中, 由于转接结构 104 的第二侧面 104b (边界) 在衬底基板 101 上的正投影位于第二阻挡坝 1032 在衬底基板 101 上的正投影内, 因此转接结构 104 与第二电路结构 106b 的第四电路子图案 b44 会存在短接风险。由此, 为了避免转接结构 104 与第二电路结构 106b 的第四电路子图案 b44 短接, 显示面板 10 还可以包括: 位于衬底基板 101 上的保护层 M, 保护层 M 包括多个保护图案。保护图案在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

其中, 保护层 M 可以位于第一金属层和衬底基板 101 之间, 或者保护层 M 可以位于第二绝缘层 107 远离衬底基板 101 的一侧。由此, 通过设计保护层 M, 要么可以避免第二过孔 c2 处的第二绝缘层 107 被过刻, 要么即使第二过孔 c2 处的第二绝缘层 107 被过刻, 也不会导致转接结构 104 和第二电路结构 106b 的第四电路图案 b44 短接, 保证了显示面板 10 的良率。

在本申请实施例中, 保护层 M 可以具有以下几种可选的实现方式:

方案一, 参考图 5, 保护层 M 包括的多个保护图案位于第三绝缘层 108。也即是, 保护层 M 的多个保护图案可以与第三绝缘层 108 的主体图案 1081 采用相同材料并由同一次构图工艺制备得到。例如, 图 5 中, 第三绝缘层 108 包括的第四绝缘图案 1083 即为保护图案。

也即是, 在位于第二过孔 c2 处的第二绝缘层 107 的上方设计有第四绝缘图案 1083, 该第四绝缘图案 1083 可以起到将转接结构 104 和第四电路子图案 b44 绝缘的作用。由此, 即使第二过孔 c2 处的第二绝缘层 107 过刻 (如由于第二绝缘层 107 过刻而导致暴露出第二电路结构 106b 的第四电路子图案 b44), 由于

该第三绝缘层 108 的第四绝缘图案 1083 可覆盖第二绝缘层 107 过刻的区域，因此可以避免转接结构 104 和第四电路子图案 b44 短接，保证显示面板 10 的良率。

方案二，参考图 6，保护层 M 为位于第二绝缘层 107 远离衬底基板 101 的一侧的第三金属层 109。第三金属层 109 包括的多个金属图案 1091 为保护图案。金属图案 1091 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

其中，第三金属层 109 可以为显示面板的第二源漏极层。通常情况下，第三金属层 109 不位于周边区域 101b，因此采用刻蚀液刻蚀用于形成第三金属层 109 的第三金属薄膜时，需将第三金属薄膜位于周边区域 101b 的部分刻蚀掉。但是，刻蚀第三金属薄膜的过程中，容易导致刻蚀液聚集在过孔（第一过孔 c1 或第二过孔 c2）的位置，导致第二绝缘层 107 位于过孔处的部分被过刻。

本申请实施例的方案中，通过使得第三绝缘层 108 的主体图案 1081 覆盖第一过孔 c1，实现对第一电路结构 106a 的第二电路子图案 b22 的保护，避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接。并且，保留第三金属层 109 位于第二过孔 c2 的金属图案 1091，由此可以在刻蚀第三金属薄膜时，无需将位于第二过孔 c2 内的第三金属薄膜刻蚀掉，进而不会导致刻蚀液聚集在第二过孔 c2 内，避免位于第二过孔 c2 处的第二绝缘层 107 过刻。进一步的可以避免转接结构 104 和第二电路结构 106b 的第四电路子图案 b44 短接。由此，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板的良率。

在本申请实施例中，由于第三金属层 109 中的金属图案 1091 具有导电能力，因此可以通过设计信号线与金属图案 1091 连接，以为金属图案 1091 提供一固定电压。当然，由于设计信号线会导致显示面板中的走线较多，版图设计较困难，因此也可以直接使得金属图案 1091 为浮动（floating）图案，无需为金属图案 1091 提供固定电压。

方案三，参考图 7，保护层 M 为位于衬底基板 101 和第一金属层之间的有源层 110。有源层 110 包括的多个有源图案 1101 即为保护图案。有源图案 1101 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

本申请实施例的方案中，通过使得第三绝缘层 108 的主体图案 1081 覆盖第一过孔 c1，实现对第一电路结构 106a 的第二电路子图案 b22 的保护，避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接。并且，由于有源层

110 位于第一金属层靠近衬底基板 101 的一侧，因此通过在第二过孔 c2 处设计有源图案，可以使得位于有源图案 1101 远离衬底基板 101 的一侧的第三电路子图案 b33 和第四电路子图案 b44 的距离均较近，进而可以使得第一绝缘层 105 位于第三电路子图案 b33 和第四电路子图案 b44 的厚度较薄。由此，可以减小第一绝缘层 105 中设计的第二过孔 c2 的深度。由于第一绝缘层 105 中的第二过孔 c2 的深度较小，因此可以减小刻蚀液的聚集程度，降低位于第二过孔 c2 处的第二绝缘层 107 被过刻的概率，进而避免转接结构 104 和第四电路子结构短接。也即是，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板的良率。

需要说明的是，在该方案三中，第一绝缘层 105 可以包括第一子绝缘层 1051 和第二子绝缘层 1052。第一子绝缘层 1051 位于有源层和第一金属层之间，第二绝缘层 1052 位于第一金属层和第二金属层之间。

方案四，参考图 8，保护层 M 为位于衬底基板 101 和第一金属层之间的遮光层 111。遮光层 111 包括的多个遮光图案 1111 即为保护图案。遮光图案 1111 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

本申请实施例的方案中，通过使得第三绝缘层 108 的主体图案 1081 覆盖第一过孔 c1，实现对第一电路结构 106a 的第二电路子图案 b22 的保护，避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接。并且，由于遮光层 111 位于第一金属层靠近衬底基板 101 的一侧，因此通过在第二过孔 c2 处设计遮光图案 1111，可以使得位于遮光图案 1111 远离衬底基板 101 的一侧的第三电路子图案 b33 和第四电路子图案 b44 的距离均较近，进而可以使得第一绝缘层 105 位于第三电路子图案 b33 和第四电路子图案 b44 的厚度较薄。由此，可以减小第一绝缘层 105 中设计的第二过孔 c2 的深度。由于第一绝缘层 105 中的第二过孔 c2 的深度较小，因此可以减小刻蚀液的聚集程度，降低位于第二过孔 c2 处的第二绝缘层 107 被过刻的概率，进而避免转接结构 104 和第四电路子结构短接。也即是，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板的良率。

需要说明的是，在该方案四中，第一绝缘层 105 可以包括第一子绝缘层 1051，第二子绝缘层 1052 以及第三子绝缘层 1053。第一子绝缘层 1051 位于衬底基板 101 和遮光层 111 之间，第二子绝缘层 1052 位于遮光层 111 和第一金属层之间，第三子绝缘层 1053 位于第一金属层和第二金属层之间。

在上述几种方案中，保护图案在衬底基板 101 上的正投影的面积，减去第二过孔 c2 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ (平方微米) 至 $50\mu\text{m}^2$ 。通过使得保护图案稍大于第二过孔 c2，可以避免转接结构 104 和第四电路子图案 b44 短接。

另外，为了降低制备保护层 M 所采用的掩模板的制备难度，需降低保护图案的设置密度。例如，可以使得多个第二过孔 c2 对应一个保护图案（即每个保护图案在衬底基板 101 上的正投影覆盖多个第二过孔 c2 在衬底基板 101 上的正投影，保护图案的数量少于第二过孔 c2 的数量）。可选的，保护图案的形状可以基于第二过孔 c2 的设计调整为长条形或其他形状，本申请实施例对保护图案的形状不做限定。

可选的，多个第二过孔 c2 中包括多个目标第二过孔，多个目标第二过孔在衬底基板 101 上的正投影被同一保护图案在衬底基板 101 上的正投影覆盖。如果多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 $4\mu\text{m}$ (微米)，则可认为这两个目标第二过孔之间的间隙较小，可以通过一个保护图案覆盖。

除了上述设计保护层 M 的方式之外，为了避免转接结构 104 与第二电路结构 106b 的第四电路子图案 b44 短接，参考图 9，可以使得转接结构 104 包括多个开口 d1。开口 d1 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

由于转接结构 104 在第二过孔 c2 处设计开口 d1，因此即使该第二过孔 c2 处的第二绝缘层 107 过刻（如由于第二绝缘层 107 过刻而导致暴露出第二电路结构 106b 的第四电路子图案 b44），也不会导致转接结构 104 与第四电路子图案 b44 短接，保证显示面板 10 的良率。

可选的，开口 d1 在衬底基板 101 上的正投影的面积，减去第二过孔 c2 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ 至 $50\mu\text{m}^2$ 。通过使得开口 d1 稍大于第二过孔 c2，可以进一步确保转接结构 104 和第四电路子图案 b44 不会短接。

另外，显示面板 10 中第二过孔 c2 的孔密度和显示面板 10 中为 GOA 电路提供相关信号的信号输入电路的具体设计相关。如果第二过孔 c2 的孔密度较小，则即使每个第二过孔 c2 对应有一个开口（即每个开口在衬底基板 101 上的正投

影覆盖一个第二过孔 c2 在衬底基板 101 上的正投影,开口的数量和第二过孔 c2 的数量相同),也不会使得开口的设置密度太大。此种情况下,制备该转接结构 104 所采用的掩模板的制备难度不会太大。但是,如果第二过孔 c2 的孔密度较大,则若每个第二过孔 c2 对应一个开口,则会导致开口的设置密度太大,制备该转接结构 104 所采用的掩模板的制备难度较高。此种情况下,为了降低开口的设置密度,可以使得多个第二过孔 c2 对应一个开口 d1 (即每个开口 d1 在衬底基板 101 上的正投影覆盖多个第二过孔 c2 在衬底基板 101 上的正投影,开口的数量少于第二过孔 c2 的数量)。可选的,开口 d1 的形状可以基于第二过孔 c2 的设计调整为长条形或其他形状,本申请实施例对开口 d1 的形状不做限定。

可选的,多个第二过孔 c2 中包括多个目标第二过孔,多个目标第二过孔在衬底基板 101 上的正投影被同一开口在衬底基板 101 上的正投影覆盖。如果多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 $4\mu\text{m}$ (微米),则可认为这两个目标第二过孔之间的间隙较小,可以通过一个开口 d1 覆盖。

在本申请实施例中,参考图 2,以及图 5 至图 9,显示面板 10 中的第三绝缘层 108 还包括:第一绝缘图案 1082。并且,显示面板 10 还包括位于第三绝缘层 108 远离衬底基板 101 的一侧的第四绝缘层 112。第四绝缘层 112 包括第二绝缘图案 1121 和第三绝缘图案 1122。

其中,第一阻挡坝 1031 至少包括第二绝缘图案 1121,第二阻挡坝 1032 至少包括沿远离衬底基板 101 的方向层叠设置的第一绝缘图案 1082 和第三绝缘图案 1122。也即是,第二阻挡坝 1032 的相对于第一阻挡坝 1031 多设置了一层位于第三绝缘层 108 的图案,从而使得第二阻挡坝 1032 的厚度大于第一阻挡坝 1031 的厚度,防止有机层溢流。

另外,显示面板 10 还包括位于第四绝缘层 112 远离衬底基板 101 的一侧的第五绝缘层 113 和第六绝缘层 114。第五绝缘层 113 包括第五绝缘图案 1131 和第六绝缘图案 1132,第六绝缘层 114 包括第七绝缘图案 1141 和第八绝缘图案 1142。第一阻挡坝 1031 还包括第五绝缘图案 1131 和第七绝缘图案 1141,第二阻挡坝 1032 还包括第六绝缘图案 1132 和第八绝缘图案 1142。

在本申请实施例中,每个绝缘层包括的多个图案包括相同材料,并由同一

次构图工艺制得。例如，第四绝缘层 112 中的第二绝缘图案 1121 和第三绝缘图案 1122 可以包括相同材料，并由同一次构图工艺制得。第五绝缘层 113 中的第五绝缘图案 1131 和第六绝缘图案 1132 可以包括相同材料，并由同一次构图工艺制得。第六绝缘层 114 中的第七绝缘图案 1141 和第八绝缘图案 1142 可以包括相同材料，并由同一次构图工艺制得。

其中，该第三绝缘层 108 可以为第一平坦层（planarization, PLN），第四绝缘层 112 可以为第二平坦层，第五绝缘层 113 可以为像素界定层（pixel definition layer, PDL），第六绝缘层 114 可以为支撑层（photo spacer, PS）。

可选的，制成该第一平坦层 108，第二平坦层 112，像素界定层 113，以及支撑层 114 的材料可以包括：树脂等有机材料。本申请实施例对此不做限定。

在本申请实施例中，参考图 1，显示面板 10 还包括：至少一条第一电源线 115。该至少一条第一电源线 115 位于周边区域 101b。该至少一条第一电源线 115 包括第一部分 1151 和第二部分 1152。其中，第一部分 1151 位于阻挡结构 103 远离多个像素单元 102 的一侧，用于接收第一电源信号，第二部分 1152 环绕多个像素单元 102，且分别与第一部分 1151 和转接结构 104 电连接。由此使得，第一电源信号通过第一电源线 115 以及转接结构 104 向第二电极层 a3 传输第一电源信号。

其中，该第一电源线 115 的第二部分 1152 为多个像素单元 102 的第二电极层 a3 提供的第一电源信号可以为负极电源信号，因此该第一电源线 115 也可以称为 VSS 电源线或者 VSS 走线。其中，该第二电极层 a3 可以为阴极层。该第一电源线 115 的材料可以包括金属材料，用于传输第一电源信号。

在本申请实施例中，参考图 3，该周边区域 101b 可以包括：相对且平行排布的第一区域 101b1 和第二区域 101b2，以及相对且平行排布的第三区域 101b3 和第四区域 101b4。该第一区域 101b1 的延伸方向垂直于第三区域 101b3 的延伸方向。

可选的，该第一区域 101b1 可以为显示区域 101a 下侧的区域，该第二区域 101b2 可以为显示区域 101a 上侧的区域，该第三区域 101b3 可以为显示区域 101a 左侧的区域，该第四区域 101b4 可以为显示区域 101a 右侧的区域。

其中，参考图 1，第一电源线 115 的第一部分 1151 可以位于第一区域 101b1，第二部分 1152 可以位于第二区域 101b2，第三区域 101b3 和第四区域 101b4。

也即是，该第一电源线 115 的第二部分 1152 可以围绕显示区域 101a 的三条边。当然，该第二部分 1152 也可以围绕显示区域 101a 的两条边或者四条边，本申请实施例对此不做限定。

在本申请实施例中，阻挡结构 103 中供电电源线穿过的部分可以称为进线口（port 口），如供第一电源线 115 穿过的部分可以称为第一进线口 10a。参考图 1，第一电源线 115 可以包括两个第一部分 1151，由此，两个第一部分 1151 可以分别穿过阻挡结构 103，阻挡结构 103 中可以具有供该两个第一部分 1151 穿过的两个第一进线口 10a。

并且，两个第一部分 1151 可以以衬底基板 101 的轴线为轴对称设置。例如，两个第一部分 1151 可以位于衬底基板 101 的两侧。其中，衬底基板 101 的轴线可以平行于多个像素单元 102 的列方向。

可选的，两个第一部分 1151 位于衬底基板 101 的两侧可以是指：对于与第三区域 101b3 位于轴线同一侧的一个第一部分 1151，该第一部分 1151 和第三区域 101b3 之间的距离，小于该第一部分 1151 与轴线之间的距离；对于与第四区域 101b4 位于轴线同一侧的另一个第一部分 1151，该第一部分 1151 和第四区域 101b4 之间的距离，小于该第一部分 1151 与轴线之间的距离。

参考图 1 还可以看出，该第一电源线 115 还可以包括一个第二部分 1152。该第二部分 1152 的一端可以与一个第一部分 1151 连接，第二部分 1152 的另一端可以与另一个第一部分 1151 连接。可选的，两个第一部分 1151 和一个第二部分 1152 可以为一体结构，且该第一电源线 115 的第二部分 1152 可以为非封闭结构。

参考图 1，该显示面板 10 还可以包括：位于周边区域 101b 的至少一条第二电源线 116。该至少一条第二电源线 116 的一端可以位于阻挡结构 103 远离多个像素单元 102 的一侧，用于接收第二电源信号，另一端可以位于阻挡结构 103 靠近多个像素单元 102 的一侧，且与多个像素单元 102 电连接，从而可以使得第二电源线 116 为多个像素单元 102 提供第二电源信号。可选的，每条第二电源线 116 可以位于周边区域 101b 的第一区域 101b1。

可选的，该至少一条第二电源线 116 的另一端可以与多个像素单元 102 中的薄膜晶体管电连。例如，可以与像素单元 102 中薄膜晶体管的源极或者漏极连接。该第二电源线 116 为像素单元 102 中的薄膜晶体管提供的第二电源信号

可以为正极电源信号,因此该第二电源线 116 也可以称为 VDD 电源线或者 VDD 走线。

参考图 1, 每条第二电源线 116 的一端位于阻挡结构 103 围成的区域之外, 另一端位于阻挡结构 103 围成的区域之内。即每条第二电源线 116 可以穿过阻挡结构 103 进入该阻挡结构 103 围成的区域内。其中, 阻挡结构 103 中供第二电源线 116 穿过的部分可以称为第二进线口 10b。

可选的, 参考图 1, 该显示面板 10 可以包括: 两条第二电源线 116, 其中该两条第二电源线 116 可以以衬底基板 101 的轴线为轴对称设置。由此, 通过两个第二电源线 116 传输第二电源信号相对于仅通过一个第二电源线 116 传输第二电源信号, 可以提高各个像素单元 102 接收到的第二电源信号的可靠性。

图 10 是本申请实施例提供的再一种显示面板的结构示意图。参考图 15 可以看出, 显示面板 10 包括的每个像素单元 102 可以包括: 沿远离衬底基板 101 的方向依次层叠的薄膜晶体管 (thin film transistor, TFT) 1022 和发光单元 1021。其中, 图 10 中示出了一个像素单元 102。

参考图 10, 该薄膜晶体管 1022 可以包括: 沿远离衬底基板 101 的方向依次层叠的第一缓冲层 (buffer) e1, 第三有源图案 e2, 第一栅极绝缘层 (gate insulator, GI) e3, 第一栅极图案 e4, 第二栅极绝缘层 e5, 第二缓冲层 e6, 层间介电层 (inter layer dielectric, ILD) e7, 以及源漏极 e8。其中, 该源漏极可以包括间隔设置的源极 (source, S) 和漏极 (drain, D), 且该源极和漏极可以均与第三有源图案 e2 连接。

参考图 10, 该发光单元 1021 可以包括: 沿远离衬底基板 101 的方向依次层叠的阳极层 a1 中的阳极, 发光层 a2 中的发光图案以及阴极层 a3。

另外, 本申请实施例中的第一电路结构 106a 为 GOA 电路中的相关结构。参考图 10 还可以看出, 显示面板包括的 GOA 电路 f 可以包括: 沿远离衬底基板 101 的方向依次层叠的第一缓冲层 f1, 第四有源图案 f2, 第一栅极绝缘层 f3, 第二栅极图案 f4, 第二栅极绝缘层 f5, 第三栅极图案 f6, 第二缓冲层 f7, 层间介电层 f8, 以及第一源漏层 f9。该第一源漏层包括第二连接图案, 该第二连接图案可以与第一栅极图案 f4 连接, 实现传输信号的作用。

另外, 显示面板 10 还包括钝化层 (第二绝缘层 107), 第一平坦层 (第三绝缘层 108), 第二源漏层 (第三金属层 109) 以及第二平坦层 (第四绝缘层 112)。

在本申请实施例中，显示面板 10 包括的多个像素单元 102 中的薄膜晶体管 1022 以及 GOA 电路 f 的第一缓冲层，第一栅极绝缘层，第二栅极绝缘层，第二缓冲层，层间介电层，钝化层，第一平坦层以及第二平坦层均为共用膜层。

参考图 10，显示面板 10 包括的像素界定层 113 可以位于阳极层远离衬底基板 101 的一侧，支撑层 114 可以位于像素界定层 113 远离衬底基板 101 的一侧。其中，该像素界定层 113 可以具有多个开孔，每个开孔可以用于露出阳极层中的一个阳极，以便于后续形成在开孔内的发光图案能够与该阳极接触，从而实现像素单元 102 发光。

在本申请实施例中，GOA 电路 f 可以包括多个移位寄存器单元。每个移位寄存器单元用于驱动一行或多行像素单元 102。本申请实施例以每个移位寄存器单元用于驱动一行像素单元 102 为例进行说明，但是本申请实施例不以此为限。

其中，每个移位寄存器单元 f0 可以通过至少一条连接走线 117 与一行像素单元 102 连接，如与一行像素单元 102 的发光控制子电路连接，进而为一行像素单元 102 提供发光控制信号。其中，该 GOA 电路可以称为 EM GOA 电路（发光控制栅极扫描驱动电路）。

如图 11 所示，显示面板 10 还包括多条数据线 118 和数据驱动电路 DD，该多条数据线 118 纵向穿过显示区域 101a，数据驱动电路 DD 可以设置在沿数据线 DL 的延伸方向上的侧边，以驱动像素单元 102 中的像素电路 1022，以为阵列排布的像素单元 102 提供数据信号，使显示面板 10 进行显示。例如，各个像素单元 102 可以包括本领域内的具有 7T1C、7T2C、8T2C 或 4T1C 等电路结构 106 的像素电路，像素电路用于在数据线 118 传输的数据信号的控制下驱动发光单元 1021 发光。其中，发光单元 1021 可以为有机发光二极管（OLED）或量子点发光二极管（QLED），本申请的实施例对此不做限定。

图 12 为本申请实施例提供的一种像素单元的像素电路的等效电路图。如图 12 所示，每个像素单元 102 包括的像素电路 1022 包括驱动子电路 10223、数据写入子电路 10224、阈值补偿子电路 10222、复位子电路、发光控制子电路和存储电容 Cst。

第一复位子电路 10221 包括第一复位晶体管 BT1，阈值补偿子电路 10222 包括阈值补偿晶体管 BT2，驱动子电路 10223 包括驱动晶体管 BT3，数据写入子电路 10224 包括数据写入晶体管 BT4，第一发光控制子电路 10225 包括第一发光控制晶体管 BT5，第二发光控制子电路 10226 包括第二发光控制晶体管

BT6, 第二复位子电路 10227 包括第二复位晶体管 BT7。例如, 第一复位晶体管 BT1 和阈值补偿晶体管 BT2 为 N 型晶体管, 数据写入晶体管 BT4 和第二复位晶体管 BT7 为 P 型晶体管。本申请实施例的像素单元 102 的连接关系和工作原理仅为示例, 像素单元 102 还可以根据需要采用其他结构, 本申请实施例对此对此不做限定。

如图 12, 驱动子电路 10223 包括控制端、第一端和第二端, 且配置为控制流经发光单元 1021 的驱动电流。例如, 驱动子电路 10223 的控制端和第一节点 S1 连接, 第一端和第二节点 S2 连接, 第二端和第三节点 S3 连接。

如图 12 所示, 数据写入子电路 10224 与驱动子电路 10223 的第一端、数据线 118 (Vdata) 和第一栅极扫描信号线 GP 连接, 且配置为响应于第一栅极扫描信号线 GP 提供的数据写入控制信号将数据线 118 (Vdata) 提供的的数据信号写入驱动子电路 10224 的第一端。

阈值补偿子电路 10222 与驱动子电路 10223 的控制端和第二端、第二电源线 116 (VDD 走线) 以及第二栅极扫描信号线 GN 连接, 且配置为响应于第二栅极扫描信号线 GN 提供的阈值补偿控制信号以及写入的数据信号对驱动子电路进行补偿。

复位子电路包括第一复位子电路 10221, 第一复位子电路 10221 与驱动子电路 10223 的控制端、初始信号线 Vinit1 和复位信号线 RST 连接, 且配置为响应于复位信号线 RST 提供的复位控制信号将初始信号线提供的初始电压施加至驱动子电路 10223 的第二端。

复位子电路还包括第二复位子电路 10227, 第二复位子电路 10227 与初始信号线 Vinit2、第一栅极扫描信号线 GP 和发光单元 1021 的阳极连接, 且配置为响应于第一栅极扫描信号线 GP 提供的控制信号将初始信号线 Vinit2 提供的初始电压施加至发光单元 1021 的第一端。发光单元 1021 的阴极与第一电源线 115 (VSS 走线) 连接。

发光控制子电路包括第一发光控制子电路 10225, 第一发光控制子电路 10225 与 VDD 走线、驱动子电路 10223 的第一端以及发光控制信号线 E 连接, 且配置为响应于发光控制信号线 E 提供的发光控制信号将 VDD 走线提供的第一电压施加至驱动子电路的第一端。

发光控制子电路还包括第二发光控制子电路 10226, 第二发光控制子电路

10226 和驱动子电路 10223 的第二端、发光单元 1021 的阳极以及发光控制信号线 E 连接，且配置为响应于发光控制信号线 E 提供的发光控制信号，使得驱动电流被施加至发光单元 1021 的阳极。

在本申请实施例中，显示面板 10 还包括位于周边区域 101b 的第一电压信号线 Evgh（图 1 未示出）和第二电压信号线 Evgl（图 1 未示出），第一电压信号线 Evgh 配置为提供第一电压，第二电压信号线 Evgl 配置为提供第二电压，第二电压小于第一电压。EM GOA 电路与第一电压信号线 Evgh 连接以输出第一电压作为发光控制信号的第一部。例如，第一电压信号线 Evgh 与 EM GOA 电路中的多个移位寄存器单元连接。发光控制信号的第一部例如为发光控制信号的高电平部。例如，该发光控制信号的高电平部可以使得第一发光控制晶体管 BT5 和第二发光控制晶体管 BT6 在非发光阶段截止。EM GOA 电路还与第二电压信号线 Evgl 连接以输出第二电压作为发光控制信号的第二部。例如，第二电压信号线 Evgl 与 EM GOA 电路中的多个移位寄存器单元均连接。发光控制信号的第二部例如为发光控制信号的低电平部分。例如，该发光控制信号的低电平可以使得第一发光控制晶体管 BT5 和第二发光控制晶体管 BT6 在发光阶段导通。

图 13 是本申请实施例提供的一种移位寄存器单元的等效电路图。图 14 是图 13 所示的移位寄存器单元在显示面板上的布局示意图。下面结合图 13 和图 14 对该移位寄存器单元进行简要地介绍。

如图 13 和图 14 所示，该移位寄存器单元包括 12 个晶体管（第一晶体管 ET1、第二晶体管 ET2、第三晶体管 ET3、第四晶体管 ET4、第五晶体管 ET5、第六晶体管 ET6、第七晶体管 ET7、第八晶体管 ET8、第九晶体管 ET9（也叫输出晶体管）、第十晶体管 ET10（可以叫做输出控制晶体管，也可以叫输出晶体管，本公开的实施例对此不做限制）、第十一晶体管 ET11 和第十二晶体管 ET12 以及 3 个电容（第一电容 EC1、第二电容 EC2 和第三电容 EC3）。在一些实施例中，该移位寄存器单元也可以为不包括第一晶体管 ET11 和第十二晶体管 ET12 的 10T3C 的电路。

当多个移位寄存器单元级联时，第一级移位寄存器单元中的第一晶体管 ET1 的第二极和输入端 EI 连接，输入端 EI 被配置为与触发信号线 ESTV 连接以接收触发信号作为输入信号，而其它各级移位寄存器单元中的第一晶体管 ET1 的第

二极管和上一级移位寄存器单元的输出端电连接，以接收上一级移位寄存器单元的输出端 EOUT 输出的输出信号作为输入信号，由此实现移位输出，以向显示区域 101a 中阵列排布的像素单元 102 提供例如逐行移位的发光控制信号。例如，下面以第九晶体管 ET9 为输出晶体管为例进行介绍。

如图 13 和图 14 所示，该移位寄存器单元 f0 还包括第一时钟信号端 ECK 和第二时钟信号端 ECB，ECK 还表示第一时钟信号线，ECB 还表示第二时钟信号线。例如，第一时钟信号以及第二时钟信号可以采用占空比大于 50% 的脉冲信号，并且二者例如相差半个周期。

Evgh 表示第一电压信号线以及第一电压信号线提供的第一电压，Evgl 表示第二电压信号线以及第二电压信号线提供的第二电压，且第二电压小于第一电压。例如，第一电压为直流高电平，第二电压为直流低电平。

如图 13 和图 14 所示，第一晶体管 ET1 的栅极和第一时钟信号端 ECK 连接（第一时钟信号端和第一时钟信号线 ECK 连接）以接收第一时钟信号，第一晶体管 ET1 的第二极和输入端 EI 连接，第一晶体管 ET1 的第一极和第一节点 ED1 连接。例如，当该移位寄存器单元为第一级移位寄存器单元时，输入端 EI 与触发信号线 ESTV 连接以接收触发信号，当该移位寄存器单元为除第一级移位寄存器单元以外的其他各级移位寄存器单元时，输入端 EI 与其上一级移位寄存器单元的输出端 EOUT 连接。

第二晶体管 ET2 的栅极和第一节点 ED1 连接，第二晶体管 ET2 的第一极和第二节点 ED2 连接，第二晶体管 ET2 的第二极和第一时钟信号端 ECK 连接以接收第一时钟信号。

第三晶体管 ET3 的栅极和第一时钟信号端 ECK 连接以接收第一时钟信号，第三晶体管 ET3 的第一极和第二节点 ED2 连接，第三晶体管 ET3 的第二极和第二电压信号线 Evgl 连接以接收第二电压。

第四晶体管 ET4 的栅极和第二时钟信号端 ECB（例如，第二时钟信号端 ECB 与第二时钟信号线 ECB 连接）连接以接收第二时钟信号，第四晶体管 ET4 的第一极和第一节点 ED1 连接，第四晶体管 ET4 的第二极和第五晶体管 ET5 的第二极连接。

第五晶体管 ET5 的栅极和第二节点 ED2 连接，第五晶体管 ET5 的第一极与第一电压信号线 Evgh 连接以接收第一电压。

第六晶体管 ET6 的栅极和第十一晶体管 ET11 的第二极连接, 第六晶体管 ET6 的第一极和第二时钟信号端 ECB 连接以接收第二时钟信号, 第六晶体管 ET6 的第二极和第三节点 ED3 连接。

第一电容 EC1 的第一极和第十一晶体管 ET11 的第二极连接, 第一电容 EC2 的第二极和第三节点 ED3 连接。

第七晶体管 ET7 的栅极和第二时钟信号端 ECB 连接以接收第二时钟信号, 第七晶体管 ET7 的第一极和第三节点 ED3 连接, 第七晶体管 ET7 的第二极和第四节点 ED4 连接。

第八晶体管 ET8 的栅极和第一节点 ED1 连接, 第八晶体管 ET8 的第一极和第四节点 ED4 连接, 第八晶体管 ET8 的第二极和第一电压信号线 Evgh 连接以接收第一电压。

输出晶体管 ET9 的栅极和第四节点 ED4 连接, 输出晶体管 ET9 的第一极和第一电压信号线 Evgh 连接以接收第一电压, 输出晶体管 ET9 的第二极和输出端 EOUT 连接。

第三电容 EC3 的第一极和第四节点 ED4 连接, 第三电容 EC3 的第二极和第一电压信号线 Evgh 连接以接收第三电压。

第十晶体管 ET10 的栅极和第十二晶体管 ET12 的第二极连接, 第十晶体管 ET10 的第一极和第二电压信号线 Evgl 连接以接收第二电压, 第十晶体管 ET10 的第二极和输出端 EOUT 连接。

第二电容 EC2 的第一极和第十二晶体管 ET12 的第二极连接, 第二电容 EC2 的第二极和第二时钟信号端 ECB 连接以接收第二时钟信号。

第十一晶体管 ET11 的栅极和第三电压信号线 Evgl 连接以接收第三电压, 第十一晶体管 ET11 的第一极和第二节点 ED2 连接。

第十二晶体管 ET12 的栅极和第三电压信号线 Evgl 连接以接收第三电压, 第十二晶体管 ET12 的第一极和第一节点 ED1 连接。

如图 14 所示, 信号线 ECB、ECK、Evgl、Evgh 可以沿第一方向 (例如 X 轴方向) 排列, 并均沿第二方向 (例如 Y 轴方向) 延伸。

图 14 中所示的移位寄存器单元中的晶体管均是以 P 型晶体管为例进行说明的, 即各个晶体管在栅极接入低电平 (导通电平) 时导通, 而在接入高电平 (截止电平) 时截止。此时, 晶体管的第一极可以是源极, 晶体管的第二极可以是

漏极。

该移位寄存器单元包括但不限于图 13 的配置方式,例如,移位寄存器单元中可以不包括 ET11 和 ET12,也可以在 ED3 或 ED4 节点位置设置同 ET11 或 ET12 类似功能的晶体管,各个晶体管也可以采用 N 型晶体管或混合采用 P 型晶体管和 N 型晶体管,只需同时将选定类型的晶体管的端口极性按照本申请实施例中的相应晶体管的端口极性进行连接即可。图 14 所示的布局仅为示例,移位寄存器单元在显示面板中的布局可以根据实际需求而定,本申请实施例对此不做限定。

参考图 1,该显示面板 10 还可以包括:电源驱动电路 119。该电源驱动电路 119 可以位于周边区域 101b,且位于第一电源线 115 的第一部分 1151 远离阻挡结构 103 的一侧。例如,该电源驱动电路 119 可以位于周边区域 101b 的第一区域 101b1。

该电源驱动电路 119 可以与第一电源线 115 的第一部分 1151 连接,用于为该第一电源线 115 提供第一电源信号,从而使得该第一电源线 115 向多个像素单元 102 的阴极层 a3 提供来自电源驱动电路 119 的第一电源信号。并且,该电源驱动电路 119 还可以与第二电源线 116 连接,用于为该第二电源线 116 提供第二电源信号,从而使得该第二电源线 116 向多个像素单元 102 提供来自电源驱动电路 119 的第二电源信号。

示例的,图 1 中示出了一条第一电源线 115,且该第一电源线 115 包括两个第一部分 1151,且示出了两条第二电源线 116。该电源驱动电路 119 可以与该两个第一部分 1151 以及两条第二电源线 116 均连接。

在本申请实施例中,参考图 10,该显示面板 10 还可以包括:封装膜层 120。该封装膜层 120 可以位于多个像素单元 102 远离衬底基板 101 的一侧,该封装膜层 120 覆盖阻挡结构 103 围成的区域。参考图 10,该封装膜层 120 覆盖的区域的边界可以位于阻挡结构 103 远离多个像素单元 102 的一侧。

在本申请实施例中,封装膜层 120 可以包括:沿远离衬底基板 101 的方向层叠设置的第一膜层 1201,第二膜层 1202 以及第三膜层 1203。

可选的,该第一膜层 1201 和该第三膜层 1203 可以由无机材料制成,该第二膜层 1202 可以由有机材料制成。例如,该第一膜层 1201 和该第三膜层 1203 可以由 SiN_x (氮化硅)、 SiO_x (氧化硅) 和 SiO_xNy (氮氧化硅) 等一种或多种

无机氧化物制成。第二膜层 1202 可以由树脂材料制成。该树脂可以为热塑性树脂或热塑性树脂，热塑性树脂可以包括亚克力(PMMA)树脂，热固性树脂可以包括环氧树脂。

需要说明的是，该第二膜层 1202 可以位于阻挡结构 103 围成的区域内，第一膜层 1201 和第三膜层 1203 可以覆盖阻挡结构 103 围成的区域，且覆盖该阻挡结构 103。即阻挡结构 103 在衬底基板 101 上的正投影，位于该封装膜层 120 覆盖的区域内，由此确保该封装膜层 120 对位于阻挡结构 103 围成的区域内的各个结构的有效封装。

在本申请实施例中，第二膜层 1202 可以采用喷墨打印(ink jet printing, IJP)的方法制作。第一膜层 1201 和第三膜层 1203 可以采用化学气相沉积(chemical vapor deposition, CVD)的方法制作。

综上所述，本申请实施例提供了一种显示面板，该显示面板包括衬底基板，多个像素单元，阻挡结构，转接结构，第一绝缘层，电路结构，第二绝缘层以及保护层。其中，第一绝缘层位于电路结构的第一电路图案和第二电路图案之间，且具有过孔，第一电路图案和第二电路图案通过过孔电连接。转接结构在衬底基板上的正投影与过孔在衬底基板上的正投影不重叠。和/或，保护层在衬底基板上的正投影覆盖过孔在衬底基板上的正投影。由此，可以避免过孔处的第二绝缘层被过刻，或者，即使过孔处的第二绝缘层被过刻，也不会导致转接结构和电路结构的第二电路图案短接，保证了显示面板的良率。

图 15 是本申请实施例提供的再一种显示面板在周边区域的局部截面图。参考图 15，该显示面板 10 包括：衬底基板 101，多个像素单元（图 15 中未示出，可参考图 1），阻挡结构 103，转接结构 104，第一绝缘层 105，电路结构 106，第二绝缘层 107，第三绝缘层 108 以及保护层 M。

结合图 1，图 3 以及图 15，该多个像素单元 102 位于显示区域 101a，阻挡结构 103，转接结构 104 和电路结构 106 均位于周边区域 101b。

参考图 4，像素单元 102 包括发光单元 1021。该发光单元 1021 包括依次层叠的第一电极层 a1，发光层 a2 以及第二电极层 a3。例如第一电极层 a1 为阳极层，第二电极层 a3 为阴极层。

结合图 1，图 3 以及图 15，阻挡结构 103 可以围绕多个像素单元 102。转接

结构 104 在衬底基板 101 上的正投影远离显示区域 101a 的边缘相对于阻挡结构 103 在衬底基板 101 上的正投影远离显示区域 101a 的边缘更靠近显示区域 101a，该转接结构 104 与第一电极层 a1 位于同层且具有间隙，且转接结构 104 与第二电极层 a3 电连接。也即是，转接结构 104 与第一电极层 a1 采用相同材料并由同一次构图工艺制备得到。转接结构 104 和第二电极层 a3 所传输的信号为相同信号。

参考图 15，电路结构 106 位于周边区域 101b，且电路结构 106 包括第一电路结构 106a，该第一电路结构 106a 包括第一电路子图案 b11 和第二电路子图案 b22。其中，第一电路子图案 b11 位于第一金属层，第二电路子图案 b22 位于第二金属层，显示面板 10 包括的第一绝缘层 105 位于第一金属层和第二金属层之间。该第一绝缘层 105 位于周边区域 101b 的部分具有过孔（过孔包括第一过孔 c1），第一电路子图案 b11 和第二电路子图案 b22 通过第一过孔 c1 电连接。第二绝缘层 107 位于第二金属层远离衬底基板 101 的一侧，用于将第二金属层中的第二电路子图案 b22 和与第一电极层 a1 位于同层的转接结构 104 绝缘。

在本申请实施例中，第三绝缘层 108 包括位于显示区域 101a 和周边区域 101b 的主体图案 1081，该主体图案 1081 包括位于周边区域 101b 的第三侧面 1081a。第三侧面 1081a 在衬底基板 101 上的正投影位于阻挡结构 103 和显示区域 101a 之间。也即是，主体图案 1081 在衬底基板 101 上的正投影与第一电路结构 106a 在衬底基板 101 上的正投影不重叠。

由此，为了避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接，可以使得保护层 M 包括的保护图案在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影。

其中，保护层 M 可以位于第一金属层和衬底基板 101 之间，或者保护层 M 可以位于第二绝缘层 107 远离衬底基板 101 的一侧。由此，要么可以避免第一过孔 c1 处的第二绝缘层 107 被过刻，要么第一过孔 c1 处的第二绝缘层 107 被过刻，也不会导致转接结构 104 和第一电路结构 106 的第二电路子图案 b22 短接，保证了显示面板 10 的良率。

综上所述，本申请实施例提供了一种显示面板，该显示面板包括衬底基板，多个像素单元，阻挡结构，转接结构，第一绝缘层，电路结构，第二绝缘层，第三绝缘层以及保护层。其中，第一绝缘层位于第一电路结构的第一电路子图

案和第二电路子图案之间，且具有第一过孔，第一电路子图案和第二电路子图案通过第一过孔电连接。由于第三绝缘层在衬底基板上的正投影与第一过孔在衬底基板上的正投影不重叠，因此通过设计使得保护层的保护图案覆盖第一过孔，可以避免过孔处的第二绝缘层被过刻，或者，即使过孔处的第二绝缘层被过刻，也不会导致转接结构和第一电路结构的第二电路子图案短接，保证了显示面板的良率。

作为一种可选的实现方式，参考图 15，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，且转接结构 104 在衬底基板 101 上的正投影与第二阻挡坝 1032 在衬底基板 101 上的正投影不重叠。也即是，转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域，而不位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

在该实现方式中，由于转接结构 104 的第二侧面 104b（边界）在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，因此转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 会存在短接风险，而与第二电路结构 106b 的第四电路子图案 b44 不会存在短接风险。

并且，由于本申请实施例中的保护层 M 的保护图案在衬底基板 101 上的正投影覆盖第二电路子图案 b22 在衬底基板 101 上的正投影，因此可以避免转接结构 104 和第二电路子图案 b22 短接。

其中，保护层 M 可以位于第一金属层和衬底基板 101 之间，或者保护层 M 可以位于第二绝缘层 107 远离衬底基板 101 的一侧。由此，通过设计保护层 M，要么可以避免第一过孔 c1 处的第二绝缘层 107 被过刻，要么即使第一过孔 c1 处的第二绝缘层 107 被过刻，也不会导致转接结构 104 和第一电路结构 106a 的第二电路图案 b22 短接，保证了显示面板 10 的良率。

在本申请实施例中，保护层 M 可以具有以下几种可选的实现方式：

方案一，参考图 15，保护层 M 包括的多个保护图案位于第三绝缘层 108。也即是，保护层 M 的多个保护图案可以与第三绝缘层 108 的主体图案 1081 采用相同材料并由同一次构图工艺制备得到。例如，图 15 中，第三绝缘层 108 包括的第九绝缘图案 1084 即为保护图案。

也即是，在位于第一过孔 c1 处的第二绝缘层 107 的上方设计有第九绝缘图案，该第九绝缘图案可以起到将转接结构 104 和第二电路子图案 b22 绝缘的作用。由此，即使第一过孔 c1 处的第二绝缘层 107 过刻（如由于第二绝缘层 107 过刻而导致暴露出第一电路结构 106a 的第二电路子图案 b22），由于该第三绝缘层 108 的第九绝缘图案 1084 可覆盖第二绝缘层 107 过刻的区域，因此可以避免转接结构 104 和第二电路子图案 b22 短接，保证显示面板 10 的良率。

方案二，参考图 16，保护层 M 为位于第二绝缘层 107 远离衬底基板 101 的一侧的第三金属层 109。第三金属层 109 包括的多个金属图案 1091 为保护图案。金属图案 1091 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影。

其中，第三金属层 109 可以为显示面板的第二源漏极层。通常情况下，第三金属层 109 不位于周边区域 101b，因此采用刻蚀液刻蚀用于形成第三金属层 109 的第三金属薄膜时，需将第三金属薄膜位于周边区域 101b 的部分刻蚀掉。但是，刻蚀第三金属薄膜的过程中，容易导致刻蚀液聚集在过孔（第一过孔 c1 或第二过孔 c2）的位置，导致第二绝缘层 107 位于过孔处的部分被过刻。

本申请实施例的方案中，保留第三金属层 109 位于第一过孔 c1 的金属图案 1091，由此可以在刻蚀第三金属薄膜时，无需将位于第一过孔 c1 内的第三金属薄膜刻蚀掉，进而不会导致刻蚀液聚集在第一过孔 c1 内，避免位于第一过孔 c1 处的第二绝缘层 107 过刻。进一步的可以避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接。并且，由于转接结构 104 在衬底基板 101 上的正投影与第二电路结构 106b 在衬底基板 101 上的正投影不重叠，因此转接结构 104 和第二电路结构 106b 的第四电路子图案 b44 没有短接风险。由此，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板 10 的良率。

在本申请实施例中，由于第三金属层 109 中的金属图案 1091 具有导电能力，因此可以通过设计信号线与金属图案 1091 连接，以为金属图案 1091 提供一固定电压。当然，由于设计信号线会导致显示面板中的走线较多，版图设计较困难，因此也可以直接使得金属图案 1091 为浮动（floating）图案，无需为金属图案 1091 提供固定电压。

方案三，参考图 17，保护层 M 为位于衬底基板 101 和第一金属层之间的有源层 110。有源层 110 包括的多个有源图案 1101 即为保护图案。有源图案 1101

在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影。

本申请实施例的方案中,由于有源层 110 位于第一金属层靠近衬底基板 101 的一侧,因此通过在第一过孔 c1 处设计有源图案 1101,可以使得位于有源图案 1101 远离衬底基板 101 的一侧的第一电路子图案 b11 和第二电路子图案 b22 的距离均较近,进而可以使得第一绝缘层 105 位于第一电路子图案 b11 和第二电路子图案 b22 的厚度较薄。由此,可以减小第一绝缘层 105 中设计的第一过孔 c1 的深度。由于第一绝缘层 105 中的第一过孔 c1 的深度较小,因此可以减小刻蚀液的聚集程度,降低位于第一过孔 c1 处的第二绝缘层 107 被过刻的概率,进而避免转接结构 104 和第二电路子结构 22 短接。并且,由于转接结构 104 在衬底基板 101 上的正投影与第二电路结构 106b 在衬底基板 101 上的正投影不重叠,因此转接结构 104 和第二电路结构 106b 的第四电路子图案 b44 没有短接风险。由此,第一过孔 c1 和第二过孔 c2 均没有短接风险,保证显示面板的良率。

需要说明的是,在该方案二中,第一绝缘层 105 可以包括第一子绝缘层 1051 和第二子绝缘层 1052。第一子绝缘层 1051 位于有源层和第一金属层之间,第二绝缘层 1052 位于第一金属层和第二金属层之间。

方案四,参考图 18,保护层 M 为位于衬底基板 101 和第一金属层之间的遮光层 111。遮光层 111 包括的多个遮光图案 1111 即为保护图案。遮光图案 1111 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影。

本申请实施例的方案中,由于遮光层 111 位于第一金属层靠近衬底基板 101 的一侧,因此通过在第一过孔 c1 处设计遮光图案,可以使得位于遮光图案 1111 远离衬底基板 101 的一侧的第一电路子图案 b11 和第二电路子图案 b22 的距离均较近,进而可以使得第一绝缘层 105 位于第一电路子图案 b11 和第二电路子图案 b22 的厚度较薄。由此,可以减小第一绝缘层 105 中设计的第一过孔 c1 的深度。由于第一绝缘层 105 中的第一过孔 c1 的深度较小,因此可以减小刻蚀液的聚集程度,降低位于第一过孔 c1 处的第二绝缘层 107 被过刻的概率,进而避免转接结构 104 和第二电路子结构 22 短接。并且,由于转接结构 104 在衬底基板 101 上的正投影与第二电路结构 106b 在衬底基板 101 上的正投影不重叠,因此转接结构 104 和第二电路结构 106b 的第四电路子图案 b44 没有短接风险。由此,第一过孔 c1 和第二过孔 c2 均没有短接风险,保证显示面板的良率。

需要说明的是,在该方案三中,第一绝缘层 105 可以包括第一子绝缘层 1051,

第二子绝缘层 1052 以及第三子绝缘层 1053。第一子绝缘层 1051 位于衬底基板 101 和遮光层 111 之间，第二子绝缘层 1052 位于遮光层 111 和第一金属层之间，第三子绝缘层 1053 位于第一金属层和第二金属层之间。

作为另一种可选的实现方式，参考图 19，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第二阻挡坝 1032 在衬底基板 101 上的正投影内，且转接结构 104 在衬底基板 101 上的正投影与第一阻挡坝 1031 在衬底基板 101 上的正投影重叠。也即是，转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域，也位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

在该实现方式中，由于转接结构 104 的第二侧面 104b（边界）在衬底基板 101 上的正投影位于第二阻挡坝 1032 在衬底基板 101 上的正投影内，因此转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 以及第二电路结构 106b 的第四电路子图案 b44 均会存在短接风险。由此，为了避免转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 以及第二电路结构 106b 的第四电路子图案 b44 短接，保护层 M 包括多个第一保护图案和多个第二保护图案。第一保护图案在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影，第二保护图案在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

其中，保护层 M 可以位于第一金属层和衬底基板 101 之间，或者保护层 M 可以位于第二绝缘层 107 远离衬底基板 101 的一侧。由此，通过设计保护层 M，要么可以避免第一过孔 c1 处和第二过孔 c2 处的第二绝缘层 107 被过刻，要么即使第一过孔 c1 处和第二过孔 c2 处的第二绝缘层 107 被过刻，也不会导致转接结构 104 和电路结构短接，保证了显示面板 10 的良率。

在本申请实施例中，保护层 M 可以具有以下几种可选的实现方式：

方案一，参考图 19 和图 20，保护层 M 包括的多个保护图案位于第三绝缘层 108。也即是，保护层 M 的多个保护图案可以与第三绝缘层 108 的主体图案 1081 采用相同材料并由同一次构图工艺制备得到。例如，图 19 中，第三绝缘层 108 包括的第九绝缘图案 1084 即为第一保护图案，第十绝缘图案 1085 即为第二保护图案。

也即是，在位于第一过孔 c1 处的第二绝缘层 107 的上方设计有第九绝缘图案，在位于第二过孔 c2 处的第二绝缘层 107 的上方设计有第十绝缘图案。该第九绝缘图案可以起到将转接结构 104 和第二电路子图案 b22 绝缘的作用，该第十绝缘图案可以起到将转接结构 104 和第四电路子图案 b44 绝缘的作用。由此，即使第一过孔 c1 处和第二过孔 c2 处的第二绝缘层 107 过刻（如由于第二绝缘层 107 过刻而导致暴露出第一电路结构 106a 的第二电路子图案 b22 以及暴露出第二电路结构 106b 的第四电路子图案 b44），由于该第三绝缘层 108 的第九绝缘图案 1083 和第十绝缘图案 1084 可覆盖第二绝缘层 107 过刻的区域，因此可以避免转接结构 104 和第二电路子图案 b22 以及第四电路子图案 b44 短接，保证显示面板 10 的良率。

方案二，参考图 21，保护层 M 为位于第二绝缘层 107 远离衬底基板 101 的一侧的第三金属层 109。第三金属层 109 包括多个第一金属图案 1091 和多个第二金属图案 1092，第一金属图案 1091 为第一保护图案，第二金属图案 1092 为第二保护图案。第一金属图案 1091 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影，第二金属图案 1092 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

其中，第三金属层 109 可以为显示面板的第二源漏极层。通常情况下，第三金属层 109 不位于周边区域 101b，因此采用刻蚀液刻蚀用于形成第三金属层 109 的第三金属薄膜时，需将第三金属薄膜位于周边区域 101b 的部分刻蚀掉。但是，刻蚀第三金属薄膜的过程中，容易导致刻蚀液聚集在过孔（第一过孔 c1 或第二过孔 c2）的位置，导致第二绝缘层 107 位于过孔处的部分被过刻。

本申请实施例的方案中，保留第三金属层 109 位于第一过孔 c1 的第一金属图案 1091 以及位于第二过孔 c2 的第二金属图案 1092，由此可以在刻蚀第三金属薄膜时，无需将位于第一过孔 c1 内和第二过孔 c2 内的第三金属薄膜刻蚀掉，进而不会导致刻蚀液聚集在第一过孔 c1 和第二过孔 c2 内，避免位于第一过孔 c1 和第二过孔 c2 处的第二绝缘层 107 过刻。进一步的可以避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 以及第二电路结构 106b 的第四电路子图案 b44 短接。由此，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板的良率。

方案三，参考图 22，保护层 M 为位于衬底基板 101 的第一金属层之间的有

源层 110。有源层 110 包括的多个第一有源图案 1101 即为第一保护图案，多个第二有源图案 1102 即为第二保护图案。第一有源图案 1101 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影，第二有源图案 1102 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

本申请实施例的方案中，由于有源层 110 位于第一金属层靠近衬底基板 101 的一侧，因此通过在第一过孔 c1 处设计第一有源图案 1101，在第二过孔 c2 处设计第二有源图案 1102，可以使得位于第一有源图案 1101 远离衬底基板 101 的一侧的第一电路子图案 b11 和第二电路子图案 b22 的距离较近，且使得位于第二有源图案 1102 远离衬底基板 101 的一侧的第三电路子图案 b33 和第四电路子图案 b44 的距离较近，进而可以使得第一绝缘层 105 位于第一电路子图案 b11 和第二电路子图案 b22 的区域，以及位于第三电路子图案 b33 和第四电路子图案 b44 的区域的厚度较薄。由此，可以减小第一绝缘层 105 中设计的第一过孔 c1 和第二过孔 c2 的深度。由于第一绝缘层 105 中的第一过孔 c1 和第二过孔 c2 的深度较小，因此可以减小刻蚀液的聚集程度，降低位于第一过孔 c1 和第二过孔 c2 处的第二绝缘层 107 被过刻的概率，进而避免转接结构 104 和第二电路子结构 b11 以及第四电路子结构 b44 短接。也即是，第一过孔 c1 和第二过孔 c2 均没有短接风险，保证显示面板的良率。

需要说明的是，在该方案三中，第一绝缘层 105 可以包括第一子绝缘层 1051 和第二子绝缘层 1052。第一子绝缘层 1051 位于有源层和第一金属层之间，第二绝缘层 1052 位于第一金属层和第二金属层之间。

方案四，参考图 23，保护层 M 为位于衬底基板 101 和第一金属层之间的遮光层 111。遮光层 111 包括的多个第一遮光图案 1111 即为第一保护图案，多个第二遮光图案 1112 即为第二保护图案。第一遮光图案 1111 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影，第二遮光图案 1112 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

本申请实施例的方案中，由于遮光层 111 位于第一金属层靠近衬底基板 101 的一侧，因此通过在第一过孔 c1 处设计第一遮光图案 1111，在第二过孔 c2 处设计第二遮光图案 1112，可以使得位于第一遮光图案 1111 远离衬底基板 101 的一侧的第一电路子图案 b11 和第二电路子图案 b22 的距离较近，且使得位于第二遮光图案 1112 远离衬底基板 101 的一侧的第三电路子图案 b33 和第四电路子

图案 b44 的距离较近,进而可以使得第一绝缘层 105 位于第一电路子图案 b11 和第二电路子图案 b22 的区域,以及位于第三电路子图案 b33 和第四电路子图案 b44 的区域的厚度较薄。由此,可以减小第一绝缘层 105 中设计的第一过孔 c1 和第二过孔 c2 的深度。由于第一绝缘层 105 中的第一过孔 c1 和第二过孔 c2 的深度较小,因此可以减小刻蚀液的聚集程度,降低位于第一过孔 c1 和第二过孔 c2 处的第二绝缘层 107 被过刻的概率,进而避免转接结构 104 和第二电路子结构以及第四电路子结构短接。也即是,第一过孔 c1 和第二过孔 c2 均没有短接风险,保证显示面板的良率。

需要说明的是,在该方案四中,第一绝缘层 105 可以包括第一子绝缘层 1051,第二子绝缘层 1052 以及第三子绝缘层 1053。第一子绝缘层 1051 位于衬底基板 101 和遮光层 111 之间,第二子绝缘层 1052 位于遮光层 111 和第一金属层之间,第三子绝缘层 1053 位于第一金属层和第二金属层之间。

在本申请实施例中,第一保护图案在衬底基板 101 上的正投影的面积,减去第一过孔 c1 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ 至 $50\mu\text{m}^2$ 。通过使得第一保护图案稍大于第一过孔 c1,可以避免转接结构 104 和第二电路子图案 b22 短接。第二保护图案在衬底基板 101 上的正投影的面积,减去第二过孔 c2 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ 至 $50\mu\text{m}^2$ 。通过使得第二保护图案稍大于第二过孔 c2,可以避免转接结构 104 和第四电路子图案 b44 短接。

另外,为了降低制备保护层 M 所采用的掩模板的制备难度,需降低保护图案的设置密度。例如,可以使得多个第一过孔 c1 对应一个第一保护图案,多个第二过孔 c2 对应一个第二保护图案(即每个第一保护图案在衬底基板 101 上的正投影覆盖多个第一过孔 c1 在衬底基板 101 上的正投影,第一保护图案的数量少于第一过孔 c1 的数量;每个第二保护图案在衬底基板 101 上的正投影覆盖多个第二过孔 c2 在衬底基板 101 上的正投影,第二保护图案的数量少于第二过孔 c2 的数量)。可选的,第一保护图案的形状可以基于第一过孔 c1 的设计调整,第二保护图案的形状可以基于第二过孔 c2 的设计调整,例如第一保护图案和第二保护图案设计为长条形或其他形状,本申请实施例对保护图案的形状不做限定。

可选的,多个第一过孔 c1 中包括多个目标第一过孔,多个目标第一过孔在

衬底基板 101 上的正投影被同一第一保护图案在衬底基板 101 上的正投影覆盖。如果过多个目标第一过孔中任一目标第一过孔与另一目标第一过孔之间的间隙小于 $4\mu\text{m}$ ，则可认为这两个目标第一过孔之间的间隙较小，可以通过一个第一保护图案覆盖。多个第二过孔 c2 中包括多个目标第二过孔，多个目标第二过孔在衬底基板 101 上的正投影被同一第二保护图案在衬底基板 101 上的正投影覆盖。如果多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 $4\mu\text{m}$ ，则可认为这两个目标第二过孔之间的间隙较小，可以通过一个第二保护图案覆盖。

综上所述，本申请实施例提供了一种显示面板，该显示面板包括衬底基板，多个像素单元，阻挡结构，转接结构，第一绝缘层，电路结构，第二绝缘层，第三绝缘层以及保护层。其中，第一绝缘层位于第一电路结构的第一电路子图案和第二电路子图案之间，且具有第一过孔，第一电路子图案和第二电路子图案通过第一过孔电连接。由于第三绝缘层在衬底基板上的正投影与第一过孔在衬底基板上的正投影不重叠，因此通过设计使得保护层的保护图案覆盖第一过孔，可以避免过孔处的第二绝缘层被过刻，或者，即使过孔处的第二绝缘层被过刻，也不会导致转接结构和第一电路结构的第二电路子图案短接，保证了显示面板的良率。

本申请实施例提供的显示面板中的其他相关描述可以与前面的实施例描述的显示面板的内容相同，因此，出于简洁的目的，此处不再赘述。

图 24 是本申请实施例提供的再一种显示面板在周边区域的局部截面图。参考图 24，该显示面板 10 包括：衬底基板 101，多个像素单元（图 24 中未示出，可参考图 1），阻挡结构 103，转接结构 104，第一绝缘层 105，电路结构 106，第二绝缘层 107，以及第三绝缘层 108。

结合图 1，图 3 以及图 24，该多个像素单元 102 位于显示区域 101a，阻挡结构 103，转接结构 104 和电路结构 106 均位于周边区域 101b。

参考图 4，像素单元 102 包括发光单元 1021。该发光单元 1021 包括依次层叠的第一电极层 a1，发光层 a2 以及第二电极层 a3。例如第一电极层 a1 为阳极层，第二电极层 a3 为阴极层。

结合图 1，图 3 和图 24，阻挡结构 103 可以围绕多个像素单元 102。转接结

构 104 在衬底基板 101 上的正投影远离显示区域 101a 的边缘相对于阻挡结构 103 在衬底基板 101 上的正投影远离显示区域 101a 的边缘更靠近显示区域 101a, 该转接结构 104 与第一电极层 a1 位于同层且具有间隙, 且转接结构 104 与第二电极层 a3 电连接。也即是, 转接结构 104 与第一电极层 a1 采用相同材料并由同一次构图工艺制备得到。转接结构 104 和第二电极层 a3 所传输的信号为相同信号。

参考图 24, 电路结构 106 位于周边区域 101b, 且电路结构 106 包括第一电路结构 106a, 该第一电路结构 106a 包括第一电路子图案 b11 和第二电路子图案 b22。其中, 第一电路子图案 b11 位于第一金属层, 第二电路子图案 b22 位于第二金属层, 显示面板 10 包括的第一绝缘层 105 位于第一金属层和第二金属层之间。该第一绝缘层 105 位于周边区域 101b 的部分具有过孔 (过孔包括第一过孔 c1), 第一电路子图案 b11 和第二电路子图案 b22 通过第一过孔 c1 电连接。第二绝缘层 107 位于第二金属层远离衬底基板 101 的一侧, 用于将第二金属层中的第二电路子图案 b22 和与第一电极层 a1 位于同层的转接结构 104 绝缘。

在本申请实施例中, 第三绝缘层 108 包括位于显示区域 101a 和周边区域 101b 的主体图案 1081, 该主体图案 1081 包括位于周边区域 101b 的第三侧面 1081a。第三侧面 1081a 在衬底基板 101 上的正投影位于阻挡结构 103 和显示区域 101a 之间。也即是, 主体图案 1081 在衬底基板 101 上的正投影与第一电路结构 106a 在衬底基板 101 上的正投影不重叠。

由此, 为了避免转接结构 104 和第一电路结构 106a 的第二电路子图案 b22 短接, 可以使得转接结构 104 包括多个开口 d1, 开口 d1 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影, 即转接结构 104 在衬底基板 101 上的正投影与第一过孔 c1 在衬底基板 101 上的正投影不重叠。由此即使第一过孔处的第二绝缘层 107 被过刻, 也不会导致转接结构 104 和第一电路结构 106 的第二电路子图案 b22 短接, 保证了显示面板 10 的良率。

综上所述, 本申请实施例提供了一种显示面板, 该显示面板包括衬底基板, 多个像素单元, 阻挡结构, 转接结构, 第一绝缘层, 电路结构, 第二绝缘层, 第三绝缘层以及保护层。其中, 第一绝缘层位于第一电路结构的第一电路子图案和第二电路子图案之间, 且具有第一过孔, 第一电路子图案和第二电路子图案通过第一过孔电连接。由于转接结构包括的开口在衬底基板上的正投影覆盖第一过孔在衬底基板上的正投影, 因此即使第一过孔处的第二绝缘层 107 被过

刻，也不会导致转接结构和第一电路结构的第二电路子图案短接，保证了显示面板的良率。

作为一种可选的实现方式，参考图 24，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，且转接结构 104 在衬底基板 101 上的正投影与第二阻挡坝 1032 在衬底基板 101 上的正投影不重叠。也即是，转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域，而不位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

在该实现方式中，由于转接结构 104 的第二侧面 104b（边界）在衬底基板 101 上的正投影位于第一阻挡坝 1031 在衬底基板 101 上的正投影内，因此转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 会存在短接风险，而与第二电路结构 106b 的第四电路子图案 b44 不会存在短接风险。

并且，由于本申请实施例中的转接结构 104 的开口 d1 在衬底基板 101 上的正投影覆盖第一过孔 c1，因此转接结构 104 在衬底基板 101 上的正投影和第二电路子结构 b22 在衬底基板上的正投影不重叠。由此，即使第一过孔 c1 处的第二绝缘层 107 被过刻，也不会导致转接结构 104 和第一电路结构 106a 的第二电路图案 b22 短接，保证了显示面板 10 的良率。

作为另一种可选的实现方式，参考图 25 至图 27，转接结构 104 可以包括相对的第一侧面 104a 和第二侧面 104b，第一侧面 104a 相对于第二侧面 104b 更靠近多个像素单元 102。第二侧面 104b 在衬底基板 101 上的正投影位于第二阻挡坝 1032 在衬底基板 101 上的正投影内，且转接结构 104 在衬底基板 101 上的正投影与第一阻挡坝 1031 在衬底基板 101 上的正投影重叠。也即是，转接结构 104 可以位于第一阻挡坝 1031 和显示区域 101a 之间的区域，也位于第一阻挡坝 1031 和第二阻挡坝 1032 之间的区域。

在该实现方式中，由于转接结构 104 的第二侧面 104b（边界）在衬底基板 101 上的正投影位于第二阻挡坝 1032 在衬底基板 101 上的正投影内，因此转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 以及第二电路结构 106b 的第四电路子图案 b44 均会存在短接风险。由此，为了避免转接结构 104 与第一电路结构 106a 的第二电路子图案 b22 以及第二电路结构 106b 的第四电路子

图案 b44 短接, 可以使得转接结构 104 的开口包括第一开口 d1 和第二开口 d2。第一开口 d1 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影, 第二开口 d2 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。

参考图 26 至图 27, 转接结构 104 包括多个第一开口 d1 和多个第二开口 d2。图 26 中以虚线为分界线, 左侧的较小尺寸的开口为第二开口 d2, 右侧的较小尺寸的开口为第一开口 d1。并且, 转接结构 104 中的较大开口可以为排气孔。图 27 中未标注的两个大括号的位置为第三绝缘层 108 挖除的区域。可见, 转接结构 104 中设计的多个第一开口 d1 和多个第三开口 d2 可以位于第三绝缘层 108 挖除的区域。

其中, 第一开口 d1 在衬底基板 101 上的正投影覆盖第一过孔 c1 在衬底基板 101 上的正投影。第二开口 d2 在衬底基板 101 上的正投影覆盖第二过孔 c2 在衬底基板 101 上的正投影。由于转接结构 104 在第一过孔 c1 处具有第一开口 d1, 在第二过孔 c2 处具有第二开口 d2, 因此即使该第一过孔 c1 和第二过孔 c2 处的第二绝缘层 107 过刻 (如由于第二绝缘层 107 过刻而导致暴露出第一电路结构 106a 的第二电路子图案 b22 和第二电路结构 106b 的第四电路子图案 b44), 也不会导致转接结构 104 与第二电路子图案 b22 以及第四电路子图案 b44 短接, 保证显示面板 10 的良率。

可选的, 第一开口 d1 在衬底基板 101 上的正投影的面积, 减去第一过孔 c1 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ 至 $50\mu\text{m}^2$ 。第二开口 d2 在衬底基板 101 上的正投影的面积, 减去第二过孔 c2 在衬底基板 101 上的正投影的面积的范围为 $1\mu\text{m}^2$ 至 $50\mu\text{m}^2$ 。

通过使得第一开口 d1 稍大于第一过孔 c1, 可以进一步确保转接结构 104 和第二电路子图案 b22 不会短接。并且, 通过使得第二开口 d2 稍大于第二过孔 c2, 可以进一步确保转接结构 104 和第四电路子图案 b44 不会短接。

另外, 显示面板 10 中第一过孔 c1 的孔密度以及第二过孔 c2 的孔密度和显示面板中 GOA 电路的具体设计相关。如果第一过孔 c1 或第二过孔 c2 的孔密度较小, 则即使每个第一过孔 c1 对应有一个第一开口 d1, 每个第二过孔 c2 对应有一个第二开口 d2, 也不会使得第一开口 d1 或第二开口 d2 的设置密度太大。此种情况下, 制备该转接结构 104 所采用的掩模板的制备难度不会太大。但是,

如果第一过孔 c1 或第二过孔 c2 的孔密度较大, 则若每个第一过孔 c1 或第二过孔 c2 对应一个开口, 则会导致开口的设置密度太大, 制备该转接结构 104 所采用的掩模板的制备难度较高。此种情况下, 为了降低开口的设置密度, 可以使得多个第一过孔 c1 对应一个第一开口 d1, 多个第二过孔 c2 对应一个第二开口 d2。可选的, 第一开口 d1 的形状可以基于第一过孔 c1 的设计调整, 第二开口 d2 的形状可以基于第二过孔 c2 的设计调整。例如调整为长条形或其他形状, 本申请实施例对开口的形状不做限定。

可选的, 多个第一过孔 c1 包括多个目标第一过孔, 多个目标第一过孔在衬底基板 101 上的正投影被同一第一开口 d1 在衬底基板 101 上的正投影覆盖。如果多个目标第一过孔中任一目标第一过孔与另一目标第一过孔之间的间隙小于 $4\mu\text{m}$, 则可认为这两个目标第一过孔之间的间隙较小, 可以通过一个第一开口 d1 覆盖。相应的, 多个第二过孔 c2 包括多个目标第二过孔, 多个目标第二过孔在衬底基板 101 上的正投影被同一第二开口 d2 在衬底基板 101 上的正投影覆盖。如果多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 $4\mu\text{m}$, 则可以认为这两个目标第一过孔之间的间隙较小, 可以通过一个第二开口 d3 覆盖。

综上所述, 本申请实施例提供了一种显示面板, 该显示面板包括衬底基板, 多个像素单元, 阻挡结构, 转接结构, 第一绝缘层, 电路结构, 第二绝缘层, 第三绝缘层以及保护层。其中, 第一绝缘层位于第一电路结构的第一电路子图案和第二电路子图案之间, 且具有第一过孔, 第一电路子图案和第二电路子图案通过第一过孔电连接。由于转接结构包括的开口在衬底基板上的正投影覆盖第一过孔在衬底基板上的正投影, 因此即使第一过孔处的第二绝缘层 107 被过刻, 也不会导致转接结构和第一电路结构的第二电路子图案短接, 保证了显示面板的良率。

本申请实施例提供的显示面板中的其他相关描述可以与前面的实施例描述的显示面板的内容相同, 因此, 出于简洁的目的, 此处不再赘述。

图 28 是本申请实施例提供的一种显示装置的结构示意图。参考图 28, 该显示装置包括供电组件 20 以及如上述实施例所提供的显示面板 10。其中, 供电组件 20 可以用于为显示面板 10 供电。

可选的，该显示装置可以为 OLED 显示装置、液晶显示装置、电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框或导航仪等任何具有显示功能的产品或部件。

由于显示装置可以与前面实施例描述的显示面板具有基本相同的技术效果，因此，出于简洁的目的，此处不再重复描述显示装置的技术效果。

将理解的是，尽管术语第一和第二等在本文中可以用来描述各种元件、部件、区、层和/或部分，但是这些元件、部件、区、层和/或部分不应当由这些术语限制。这些术语仅用来将一个元件、部件、区、层或部分与另一个区、层或部分相区分。因此，上面讨论的第一元件、部件、区、层或部分可以被称为第二元件、部件、区、层或部分而不偏离本公开的教导。

诸如“在...之下”、“在...之上”、“左”、“右”等等之类的空间相对术语在本文中可以为了便于描述而用来描述如图中所图示的一个元件或特征与另一个（些）元件或特征的关系。将理解的是，这些空间相对术语意图涵盖除了图中描绘的取向之外在使用或操作中的器件的不同取向。例如，如果翻转图中的器件，那么被描述为“在其他元件或特征之下”的元件将取向为“在其他元件或特征之上”。因此，示例性术语“在...之下”可以涵盖在...之上和在...之下的取向两者。器件可以取向为其他方式（旋转 90 度或以其他取向）并且相应地解释本文中使用的空间相对描述符。另外，还将理解的是，当层被称为“在两个层之间”时，其可以是在该两个层之间的唯一的层，或者也可以存在一个或多个中间层。

本文中使用的术语仅出于描述特定实施例的目的并且不意图限制本公开。如本文中使用的，单数形式“一个”、“一”和“该”意图也包括复数形式，除非上下文清楚地另有指示。将进一步理解的是，术语“包括”和/或“包含”当在本说明书中使用指定所述特征、整体、步骤、操作、元件和/或部件的存在，但不排除一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组的存在或添加一个或多个其他特征、整体、步骤、操作、元件、部件和/或其群组。如本文中使用的，术语“和/或”包括相关联的列出项目中的一个或多个的任意和全部组合。在本说明书中，描述的具体特征、结构、材料或者特点可以在任一个或多个实施例或示例中以合适的方式结合。此外，在不相互矛盾的

情况下，本领域的技术人员可以将本说明书中描述的不同实施例或示例以及不同实施例或示例的特征进行结合和组合。

除非另有定义，本文中使用的术语（包括技术术语和科学术语）具有与本公开所属领域的普通技术人员所通常理解的相同含义。将进一步理解的是，诸如那些在通常使用的字典中定义的之类的术语应当被解释为具有与其在相关领域和/或本说明书上下文中的含义相一致的含义，并且将不在理想化或过于正式的含义上进行解释，除非本文中明确地如此定义。

以上所述仅为本申请的可选实施例，并不用以限制本申请，凡在本申请的精神和原则之内，所作的任何修改、等同替换、改进等，均应包含在本申请的保护范围之内。

权 利 要 求 书

1.一种显示面板，其特征在于，所述显示面板（10）包括：

衬底基板（101），所述衬底基板（101）具有显示区域（101a）以及围绕所述显示区域（101a）的周边区域（101b）；

多个像素单元（102），位于所述显示区域（101a），所述像素单元（102）包括发光单元（1021），所述发光单元（1021）包括依次层叠的第一电极层（a1），发光层（a2）以及第二电极层（a3）；

阻挡结构（103），位于所述周边区域（101b）且围绕所述多个像素单元（102）；

转接结构（104），位于所述周边区域（101b），所述转接结构（104）与所述第一电极层（a1）位于同层且具有间隙，且所述转接结构（104）与所述第二电极层（a3）电连接；

第一绝缘层（105），位于所述第一电极层（a1）和所述衬底基板（101）之间，且所述第一绝缘层（105）位于所述周边区域（101b）的部分具有过孔；

电路结构（106），位于所述周边区域（101b），所述电路结构（106）包括位于所述阻挡结构（103）围成的区域内的第一电路结构（106a），所述第一电路结构（106a）包括第一电路子图案（b11）和第二电路子图案（b22），所述第一电路子图案（b11）位于第一金属层，所述第二电路子图案（b22）位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层（105）两侧，所述第一绝缘层（105）的过孔包括第一过孔（c1），所述第一电路子图案（b11）和所述第二电路子图案（b22）通过所述第一过孔（c1）电连接；

第二绝缘层（107），位于所述第二金属层远离所述衬底基板（101）的一侧；

以及位于所述第二绝缘层（107）远离所述衬底基板（101）的一侧的第三绝缘层（108），第三绝缘层（108）包括位于所述显示区域（101a）和所述周边区域（101b）的主体图案（1081），所述主体图案（1081）包括位于所述周边区域（101b）的第三侧面（1081a）；所述第三侧面（1081a）在所述衬底基板（101）上的正投影位于所述阻挡结构（103）在所述衬底基板（101）上的正投影内，且所述主体图案（1081）位于所述周边区域（101b）的部分在所述第三侧面（1081a）靠近所述显示区域（101a）的一侧为连续性图案。

2.根据权利要求 1 所述的显示面板，其特征在于，所述阻挡结构（103）包括第一阻挡坝（1031）和第二阻挡坝（1032）；所述第一阻挡坝（1031）相对于所述第二阻挡坝（1032）靠近所述多个像素单元（102），且所述第一阻挡坝（1031）的厚度小于所述第二阻挡坝（1032）的厚度；

所述转接结构（104）包括相对的第一侧面（104a）和第二侧面（104b），所述第一侧面（104a）相对于所述第二侧面（104b）更靠近所述多个像素单元（102）；

其中，所述第二侧面（104b）在所述衬底基板（101）上的正投影位于所述第一阻挡坝（1031）在所述衬底基板（101）上的正投影内，所述转接结构（104）在所述衬底基板（101）上的正投影与所述第二阻挡坝（1032）在所述衬底基板（101）上的正投影不重叠。

3.根据权利要求 2 所述的显示面板，其特征在于，所述电路结构（106）还包括位于所述第一阻挡坝（1031）和所述第二阻挡坝（1032）之间的第二电路结构（106b）；

所述第二电路结构（106b）包括第三电路子图案（b33）和第四电路子图案（b44），所述第三电路子图案（b33）位于所述第一金属层，所述第四电路子图案（b44）位于所述第二金属层，所述第一绝缘层（105）的过孔包括第二过孔（c2），所述第三电路子图案（b33）和所述第四电路子图案（b44）通过所述第二过孔（c2）电连接。

4.根据权利要求 1 所述的显示面板，其特征在于，所述阻挡结构（103）包括第一阻挡坝（1031）和第二阻挡坝（1032）；所述第一阻挡坝（1031）相对于所述第二阻挡坝（1032）靠近所述多个像素单元（102），且所述第一阻挡坝（1031）的厚度小于所述第二阻挡坝（1032）的厚度；

所述转接结构（104）包括相对的第一侧面（104a）和第二侧面（104b），所述第一侧面（104a）相对于所述第二侧面（104b）更靠近所述多个像素单元（102）；

其中，所述第二侧面（104b）在所述衬底基板（101）上的正投影位于所述

第二阻挡坝(1032)在所述衬底基板(101)上的正投影内,所述转接结构(104)在所述衬底基板(101)上的正投影与所述第一阻挡坝(1031)在所述衬底基板(101)上的在正投影重叠。

5.根据权利要求4所述的显示面板,其特征在于,所述电路结构(106)还包括位于所述第一阻挡坝(1031)和所述第二阻挡坝(1032)之间的第二电路结构(106b);

所述第二电路结构(106b)包括第三电路子图案(b33)和第四电路子图案(b44),所述第一绝缘层(105)的过孔包括第二过孔(c2),所述第三电路子图案(b33)和所述第四电路子图案(b44)通过所述第二过孔(c2)电连接;

所述显示面板(10)还包括:位于所述衬底基板上的保护层(M),所述保护层(M)包括多个保护图案,所述保护图案在所述衬底基板(101)上的正投影覆盖所述第二过孔(c2)在所述衬底基板(101)上的正投影。

6.根据权利要求5所述的显示面板,其特征在于,所述多个保护图案位于所述第三绝缘层(108)。

7.根据权利要求5所述的显示面板,其特征在于,所述保护层(M)为位于所述第二绝缘层(107)远离所述衬底基板(101)的一侧的第三金属层(109);

所述第三金属层(109)包括的多个金属图案(1091)为所述多个保护图案,所述金属图案(1091)在所述衬底基板(101)上的在正投影覆盖所述第二过孔(c2)在所述衬底基板(101)上的正投影。

8.根据权利要求5所述的显示面板,其特征在于,所述保护层(M)为位于所述衬底基板(101)和所述第一金属层之间的有源层(110);

所述有源层(110)包括的多个有源图案(1101)为所述多个保护图案,所述有源图案(1101)在所述衬底基板(101)上的在正投影覆盖所述第二过孔(c2)在所述衬底基板(101)上的正投影。

9.根据权利要求5所述的显示面板,其特征在于,所述保护层(M)为位于

所述衬底基板（101）和所述第一金属层之间的遮光层（111）；

所述遮光层（111）包括的多个遮光图案（1111）为所述多个保护图案，所述遮光图案（1111）在所述衬底基板（101）上的正投影覆盖所述第二过孔（c2）在所述衬底基板（101）上的正投影。

10.根据权利要求 5 至 9 任一所述的显示面板，其特征在于，所述保护图案在所述衬底基板（101）上的正投影的面积，减去所述第二过孔（c2）在所述衬底基板（101）上的正投影的面积的差值的范围为 1 平方微米至 50 平方微米。

11.根据权利要求 5 至 10 任一所述的显示面板，其特征在于，所述多个第二过孔（c2）包括多个目标第二过孔，所述多个目标第二过孔在所述衬底基板（101）上的正投影被同一所述保护图案在所述衬底基板（101）上的正投影覆盖；

其中，所述多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于 4 微米。

12.根据权利要求 4 所述的显示面板，其特征在于，所述电路结构（106）还包括位于所述第一阻挡坝（1031）和所述第二阻挡坝（1032）之间的第二电路结构（106b）；

所述第二电路结构（106b）包括第三电路子图案（b33）和第四电路子图案（b44），所述第一绝缘层（105）的过孔包括第二过孔（c2），所述第三电路子图案（b33）和所述第四电路子图案（b44）通过所述第二过孔（c2）电连接；

所述转接结构（104）包括多个开口，所述开口在所述衬底基板（101）上的正投影覆盖所述第二过孔（c2）在所述衬底基板（101）上的正投影。

13.根据权利要求 12 所述的显示面板，其特征在于，所述开口在所述衬底基板（101）上的正投影的面积，减去所述第二过孔（c2）在所述衬底基板（101）上的正投影的面积的差值的范围为 1 平方微米至 50 平方微米。

14.根据权利要求 12 或 13 所述的显示面板，其特征在于，所述多个第二过孔（c2）包括多个目标第二过孔，所述多个目标第二过孔在所述衬底基板（101）

上的正投影被同一所述开口在所述衬底基板（101）上的正投影覆盖；

其中，所述多个目标第二过孔中任一目标第二过孔与另一目标第二过孔之间的间隙小于4微米。

15.根据权利要求2至14任一所述的显示面板，其特征在于，所述第三绝缘层（108）还包括：第一绝缘图案（1082）；所述显示面板（10）还包括位于所述第三绝缘层（108）远离所述衬底基板（101）的一侧的第四绝缘层（112），所述第四绝缘层（112）包括第二绝缘图案（1121）和第三绝缘图案（1122）；

所述第一阻挡坝（1031）至少包括所述第二绝缘图案（1121），所述第二阻挡坝（1032）至少包括沿远离所述衬底基板（101）的方向层叠设置的第一绝缘图案（1082）和第二绝缘图案（1122）。

16.根据权利要求1至15任一所述的显示面板，其特征在于，所述转接结构（104）在所述衬底基板（101）上的正投影远离所述显示区域（101a）的边缘相对于所述阻挡结构（103）在所述衬底基板（101）上的正投影远离所述显示区域（101a）的边缘更靠近所述显示区域（101a）；

所述主体图案（1081）在所述衬底基板（101）上的正投影与所述第二阻挡坝（1032）在所述衬底基板（101）上的正投影不重叠。

17.根据权利要求1至16任一所述的显示面板，其特征在于，所述显示面板（10）还包括：至少一条第一电源线（115）；

所述至少一条第一电源线（115）位于所述周边区域（101b），所述至少一条第一电源线（115）包括第一部分（1151）和第二部分（1152），所述第一部分（1151）位于所述阻挡结构（103）远离所述多个像素单元（102）的一侧，用于接收第一电源信号，所述第二部分（1152）环绕所述多个像素单元（102），且分别与所述第一部分（1151）和所述转接结构（105）电连接。

18.一种显示面板，其特征在于，所述显示面板（10）包括：

衬底基板（101），所述衬底基板（101）具有显示区域（101a）以及围绕所述显示区域（101a）的周边区域（101b）；

多个像素单元(102)，位于所述显示区域(101a)，所述像素单元(102)包括发光单元(1021)，所述发光单元(1021)包括依次层叠的第一电极层(a1)，发光层(a2)以及第二电极层(a3)；

阻挡结构(103)，位于所述周边区域(101b)且围绕所述多个像素单元(102)；

转接结构(104)，位于所述周边区域(101b)，所述转接结构(104)与所述第一电极层(a1)位于同层且具有间隙，且所述转接结构(104)与所述第二电极层(a3)电连接；

第一绝缘层(105)，位于所述第一电极层(a1)和所述衬底基板(101)之间，且所述第一绝缘层(105)位于所述周边区域(101b)的部分具有过孔；

电路结构(106)，位于所述周边区域(101b)，所述电路结构(106)包括位于所述第一阻挡坝(1031)和所述显示区域(101a)之间的第一电路结构(106a)，所述第一电路结构(106a)包括第一电路子图案(b11)和第二电路子图案(b22)，所述第一子电路图案(b11)位于第一金属层，所述第二电路子图案(b22)位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层(105)两侧，所述第一绝缘层(105)的过孔包括第一过孔(c1)，所述第一电路子图案(b11)和所述第二电路子图案(b22)通过所述第一过孔(c1)电连接；

第二绝缘层(107)，位于所述第二金属层远离所述衬底基板(101)的一侧；

位于所述第二绝缘层(107)远离所述衬底基板(101)的一侧的第三绝缘层(108)，第三绝缘层(108)包括位于所述显示区域(101a)和所述周边区域(101b)的主体图案(1081)，所述主体图案(1081)包括位于所述周边区域(101b)的第三侧面(1081a)；所述第三侧面(1081a)在所述衬底基板(101)上的正投影位于所述阻挡结构(103)和所述显示区域(101a)之间；

以及位于所述衬底基板(101)上的保护层(M)，所述保护层(M)包括多个保护图案，所述保护图案在所述衬底基板(101)上的正投影覆盖所述第一过孔在所述衬底基板(101)上的正投影。

19.一种显示面板，其特征在于，所述显示面板(10)包括：

衬底基板(101)，所述衬底基板(101)具有显示区域(101a)以及围绕

所述显示区域(101a)的周边区域(101b)；

多个像素单元(102)，位于所述显示区域(101a)，所述像素单元(102)包括发光单元(1021)，所述发光单元(1021)包括依次层叠的第一电极层(a1)，发光层(a2)以及第二电极层(a3)；

阻挡结构(103)，位于所述周边区域(101b)且围绕所述多个像素单元(102)；

转接结构(104)，位于所述周边区域(101b)，所述转接结构(104)与所述第一电极层(a1)位于同层且具有间隙，且所述转接结构(104)与所述第二电极层(a3)电连接；

第一绝缘层(105)，位于所述第一电极层(a1)和所述衬底基板(101)之间，且所述第一绝缘层(105)位于所述周边区域(101b)的部分具有过孔；

电路结构(106)，位于所述周边区域(101b)，所述电路结构(106)包括位于所述第一阻挡坝(1031)和所述显示区域(101a)之间的第一电路结构(106a)，所述第一电路结构(106a)包括第一电路子图案(b11)和第二电路子图案(b22)，所述第一子电路图案(b11)位于第一金属层，所述第二电路子图案(b22)位于第二金属层，所述第一金属层和所述第二金属层位于所述第一绝缘层(105)两侧，所述第一绝缘层(105)的过孔包括第一过孔(c1)，所述第一电路子图案(b11)和所述第二电路子图案(b22)通过所述第一过孔(c1)电连接；

第二绝缘层(107)，位于所述第二金属层远离所述衬底基板(101)的一侧；

位于所述第二绝缘层(107)远离所述衬底基板(101)的一侧的第三绝缘层(108)，第三绝缘层(108)包括位于所述显示区域(101a)和所述周边区域(101b)的主体图案(1081)，所述主体图案(1081)包括位于所述周边区域(101b)的第三侧面(1081a)；所述第三侧面(1081a)在所述衬底基板(101)上的正投影位于所述第一阻挡坝(1031)和所述显示区域(101a)之间；

其中，所述转接结构(104)包括多个开口，所述开口在所述衬底基板(101)上的正投影覆盖所述第一过孔在所述衬底基板(101)上的正投影。

20.一种显示装置，其特征在于，所述显示装置包括：供电组件(20)以及如权利要求1至19任一所述的显示面板(10)；

其中，所述供电组件（20）用于为所述显示面板（10）供电。

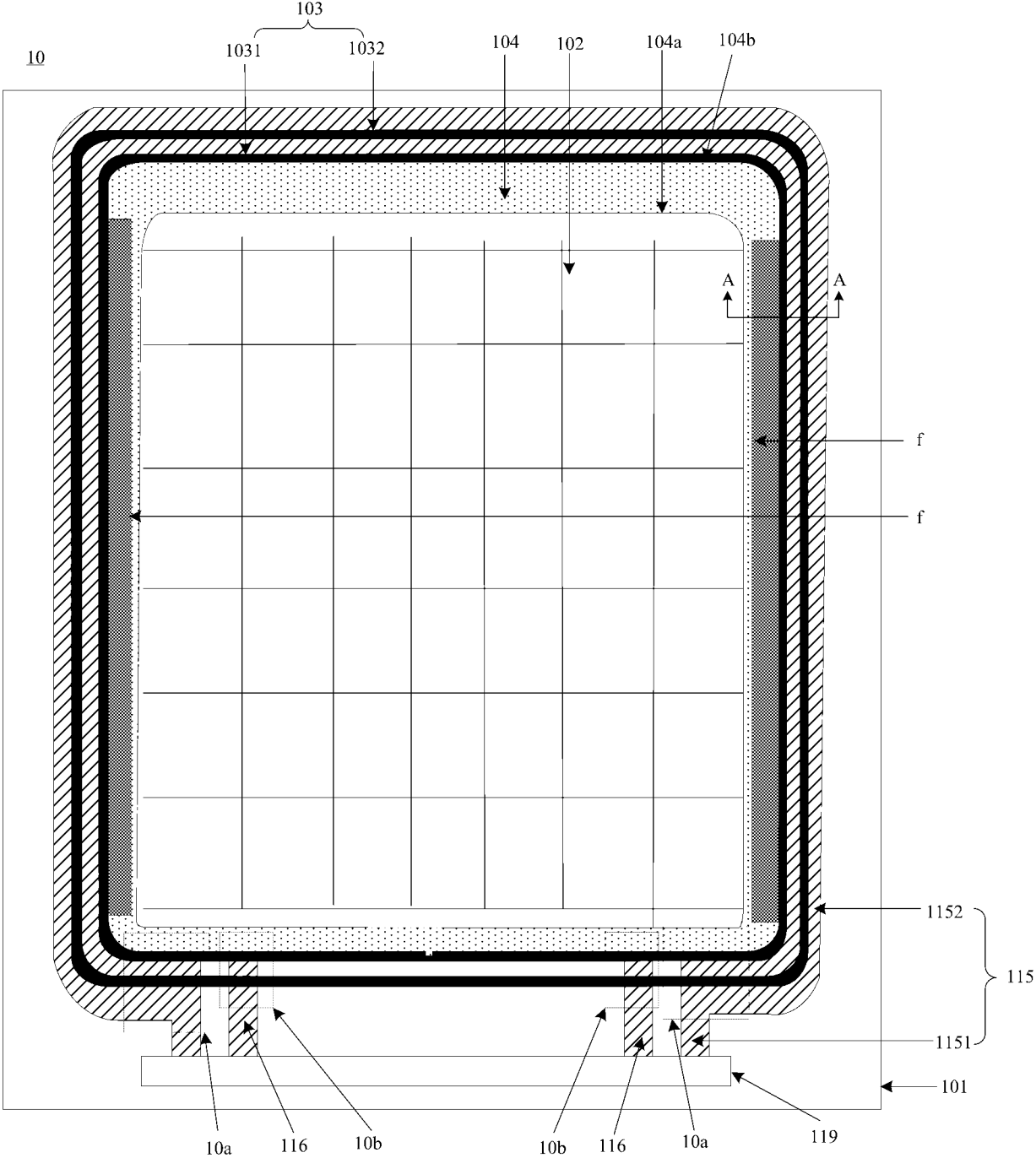


图 1

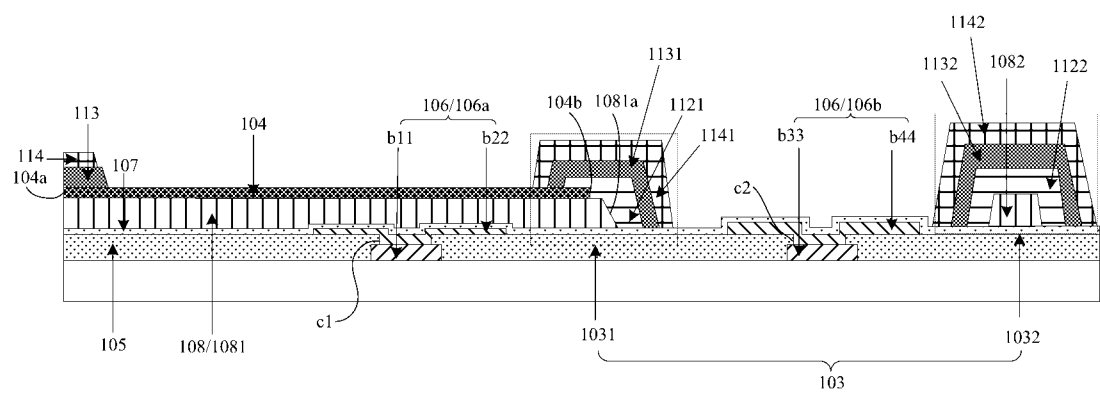


图 2

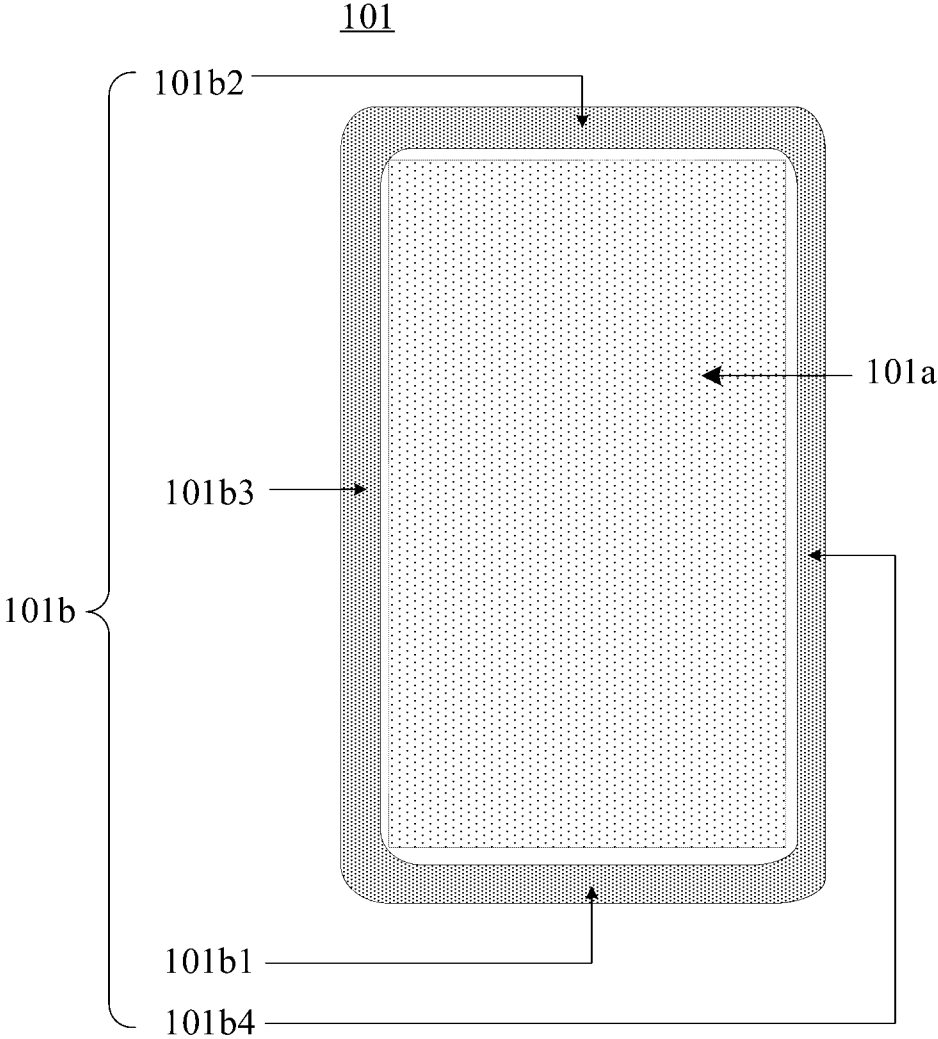


图 3

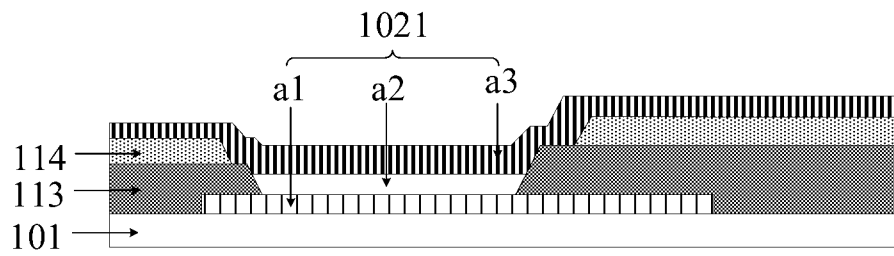


图 4

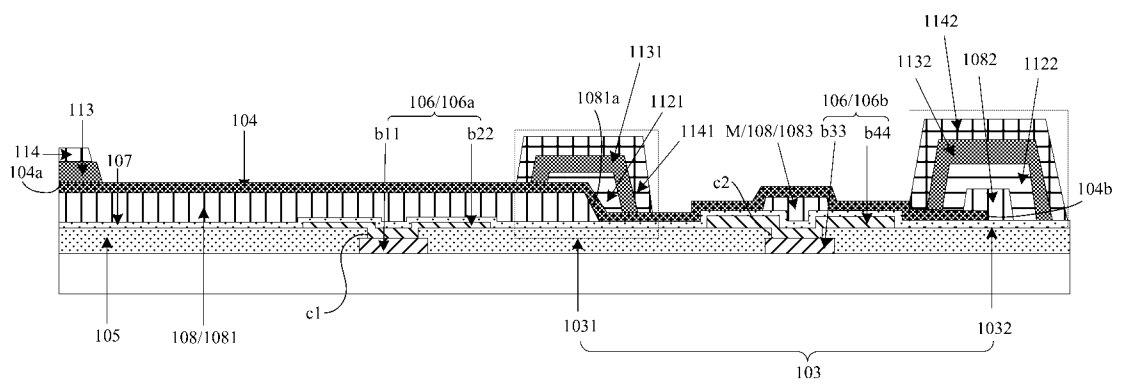


图 5

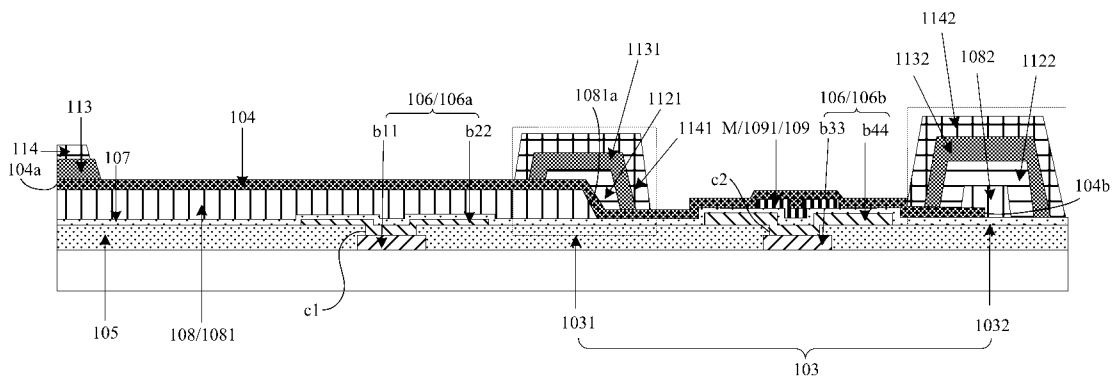


图 6

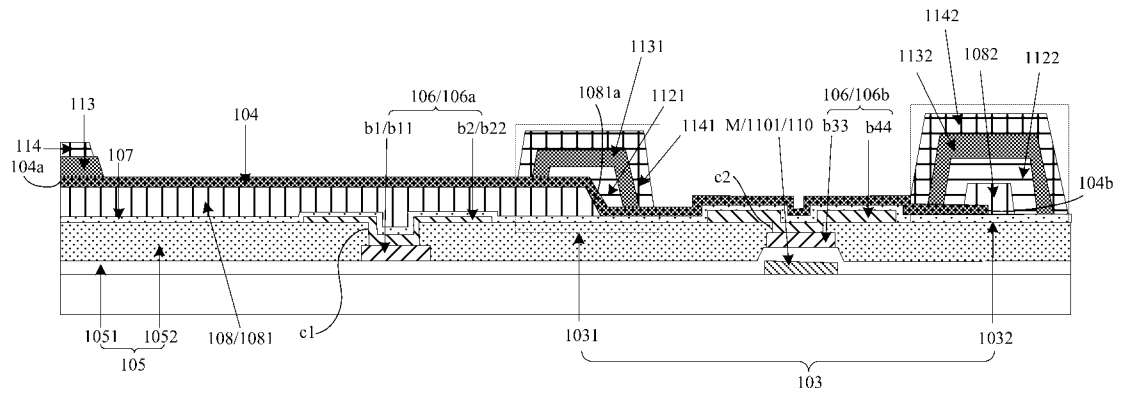


图 7

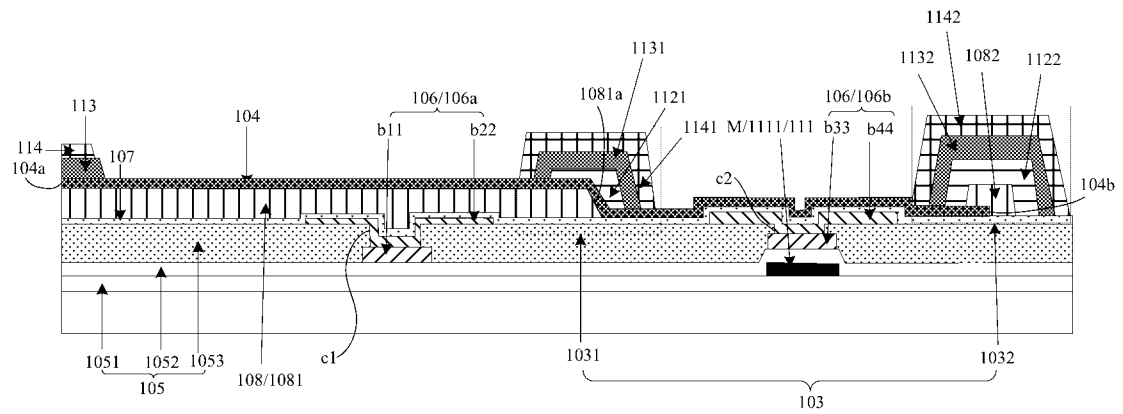


图 8

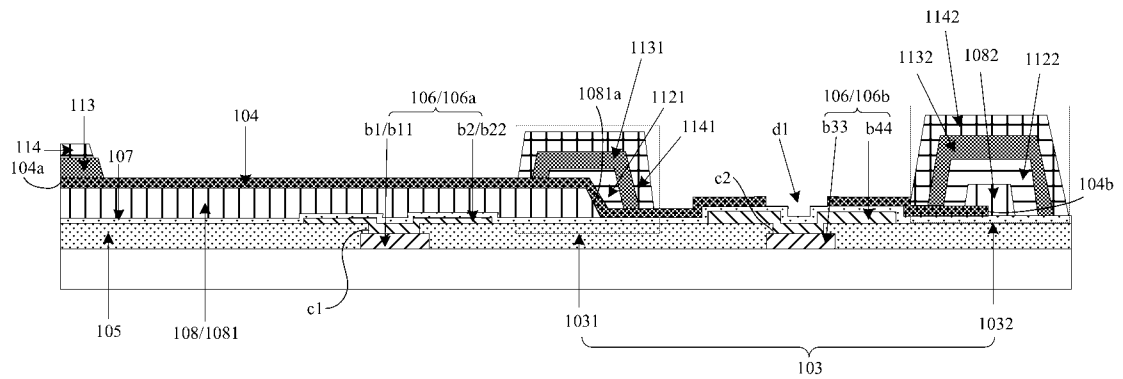


图 9

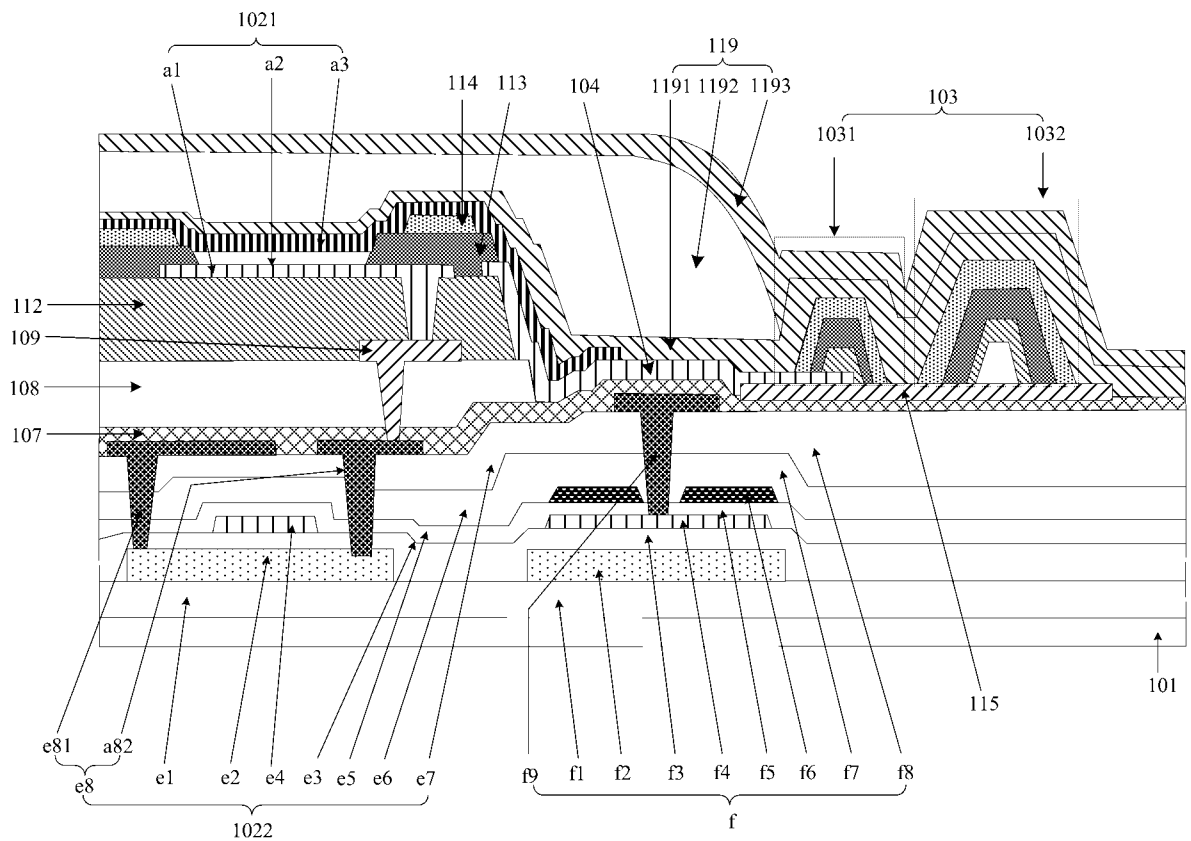


图 10

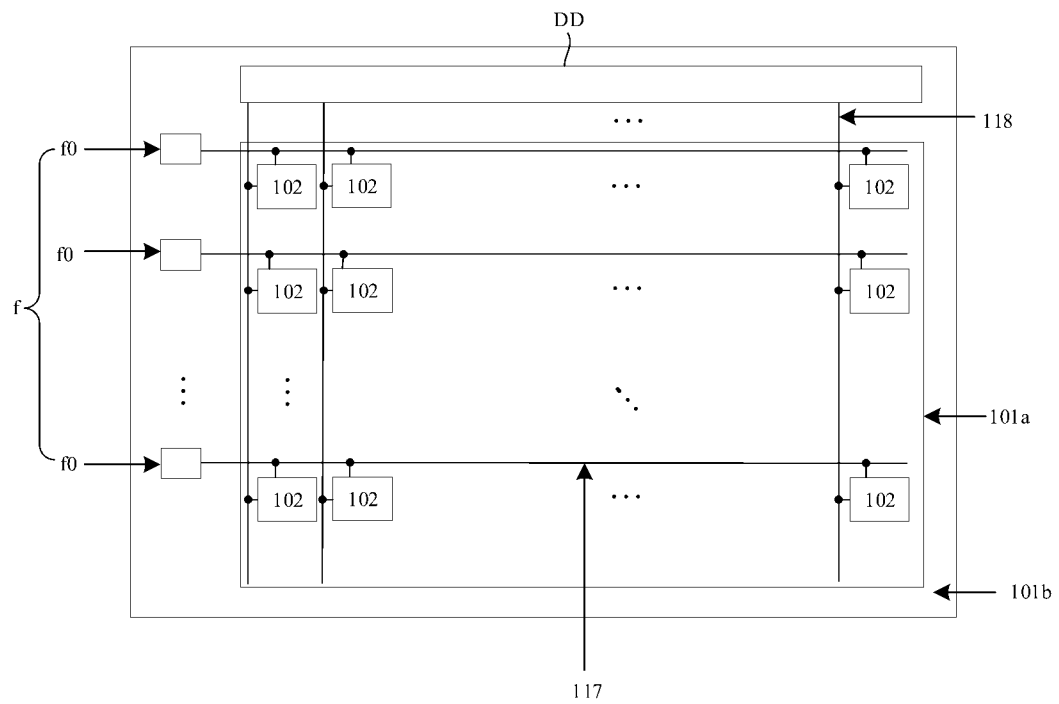


图 11

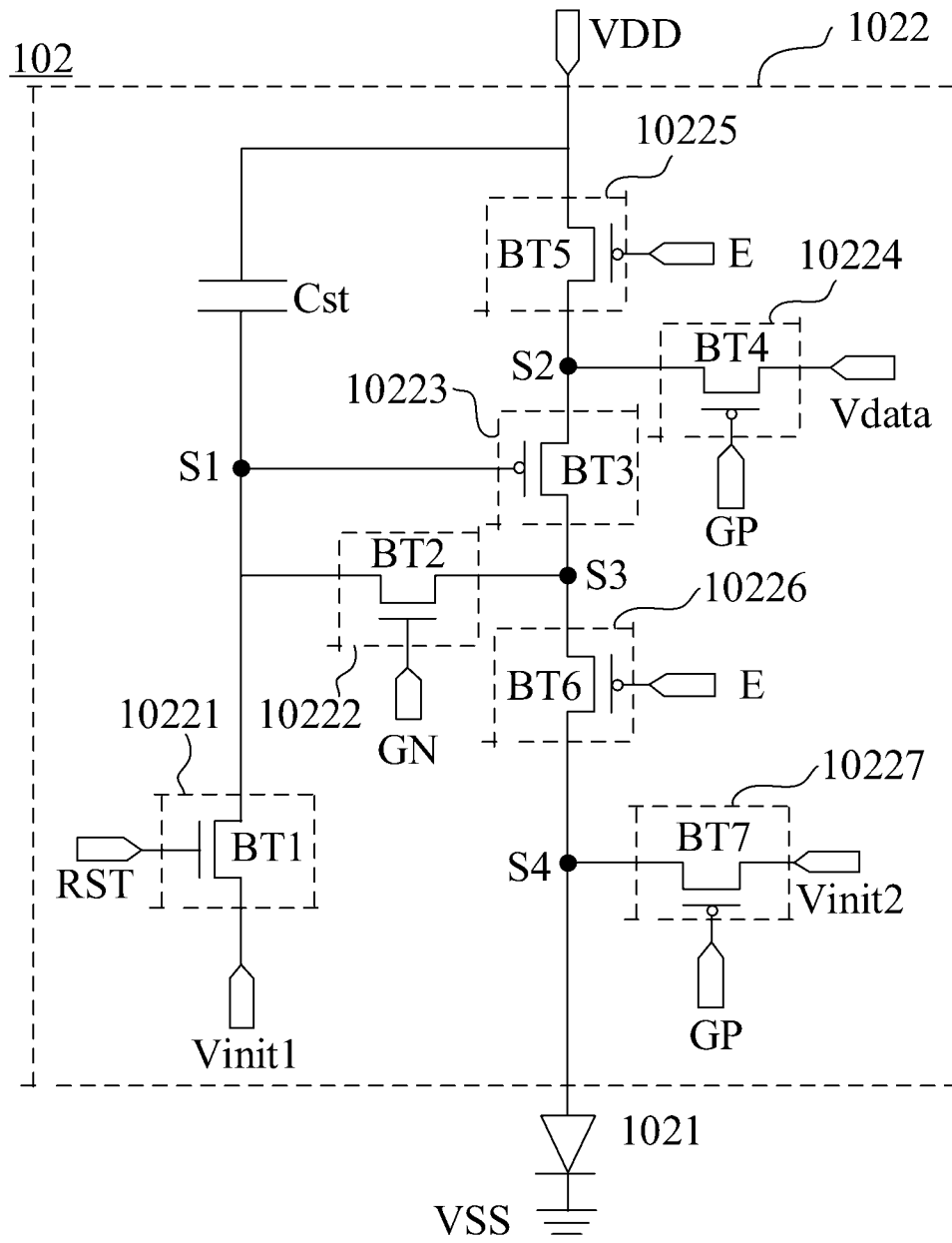


图 12

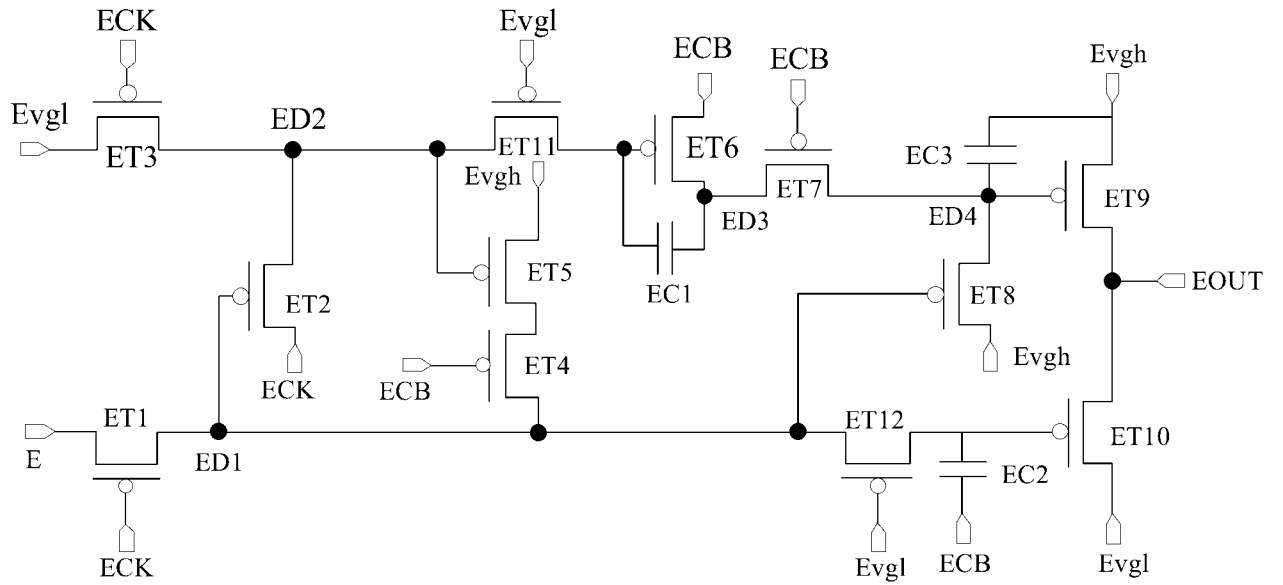


图 13

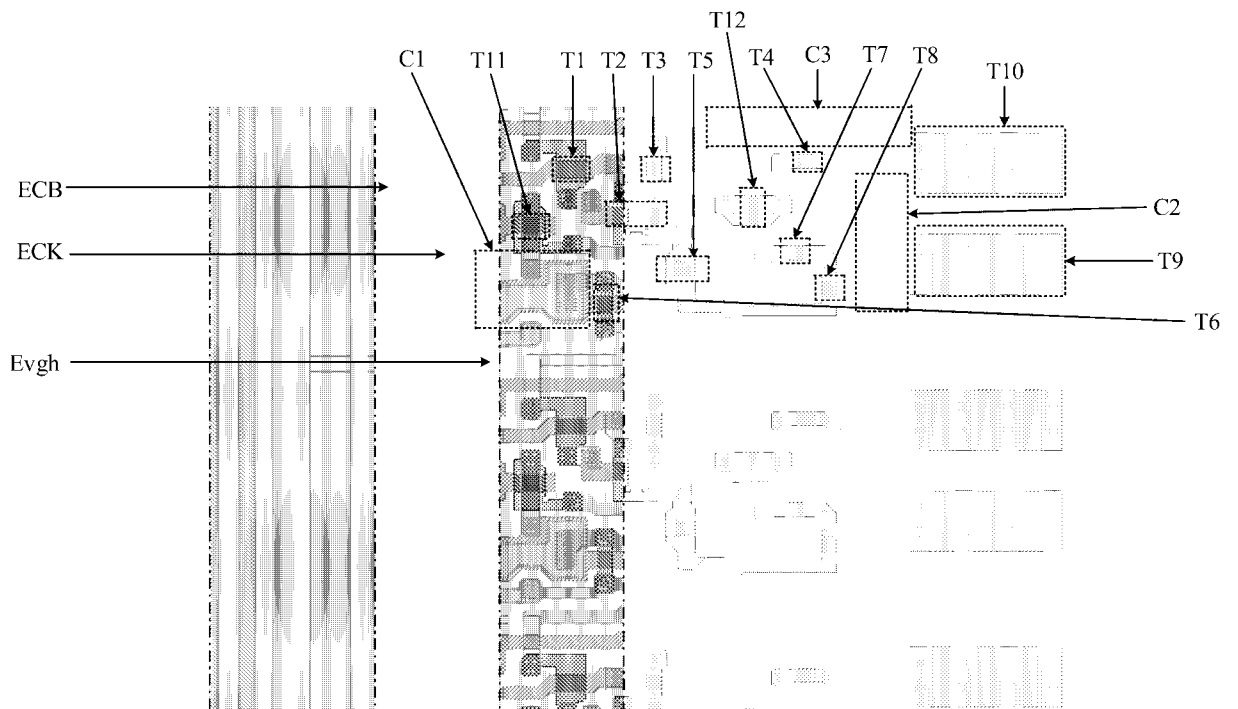


图 14

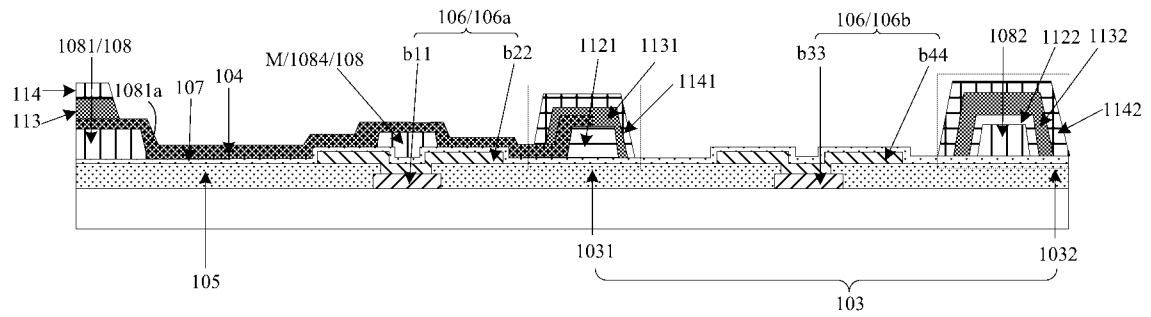


图 15

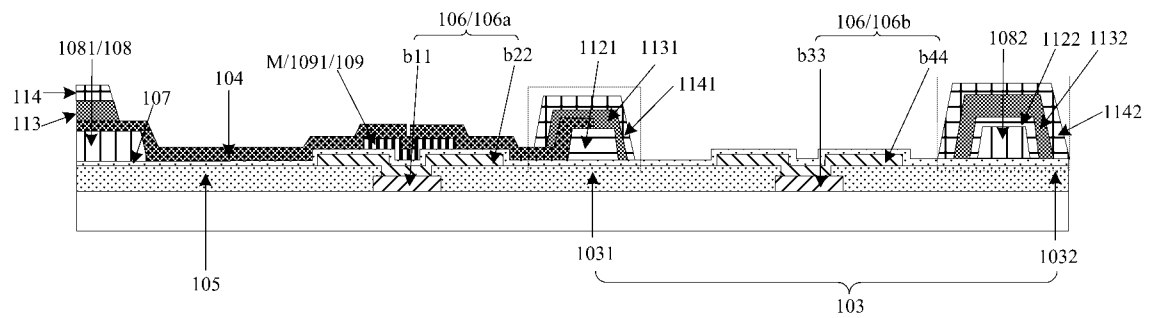


图 16

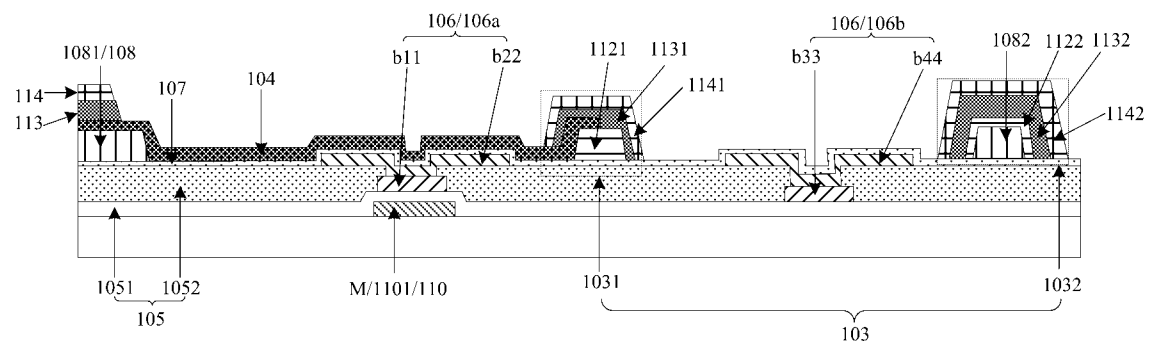


图 17

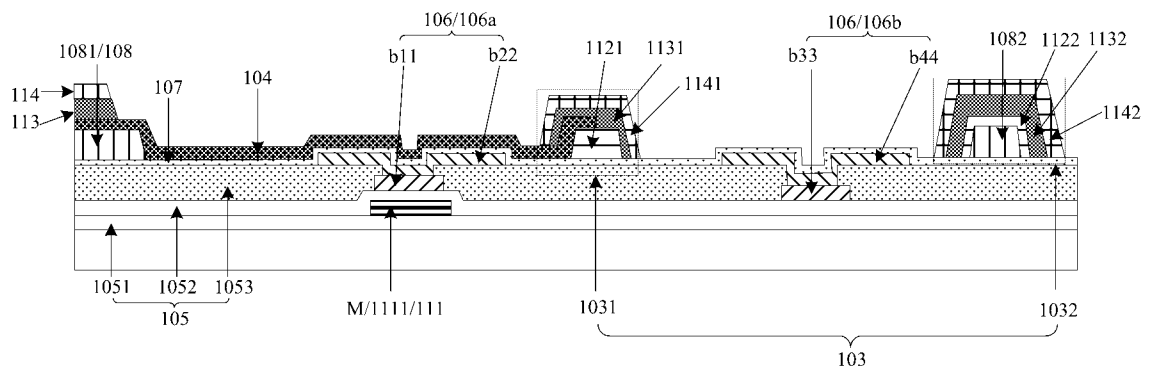


图 18

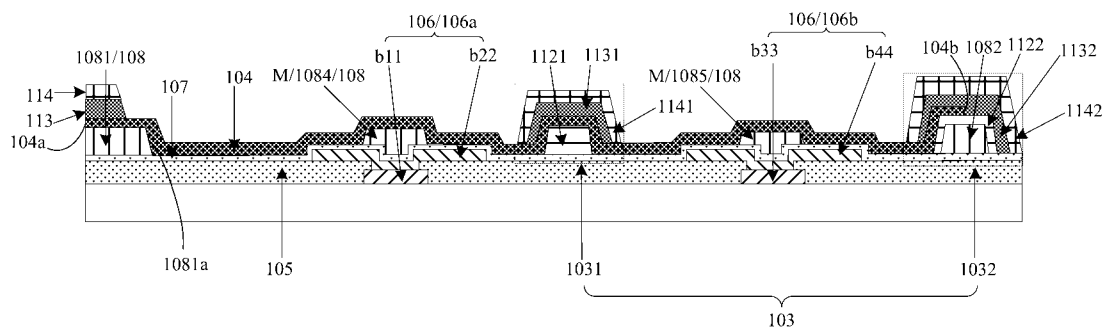


图 19

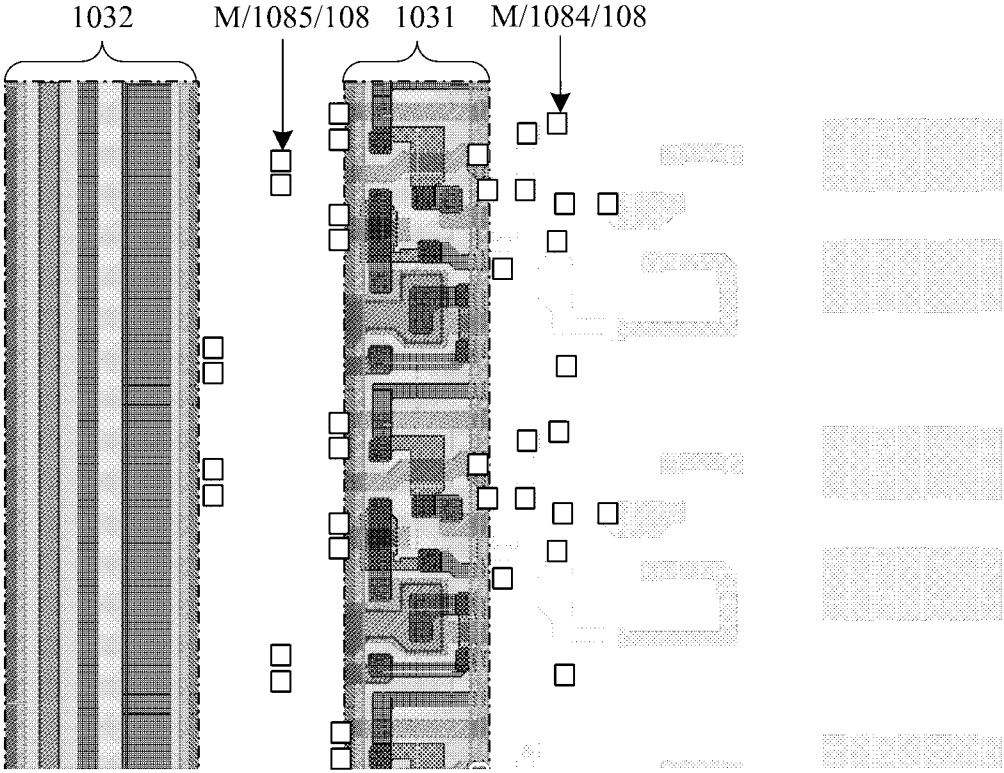


图 20

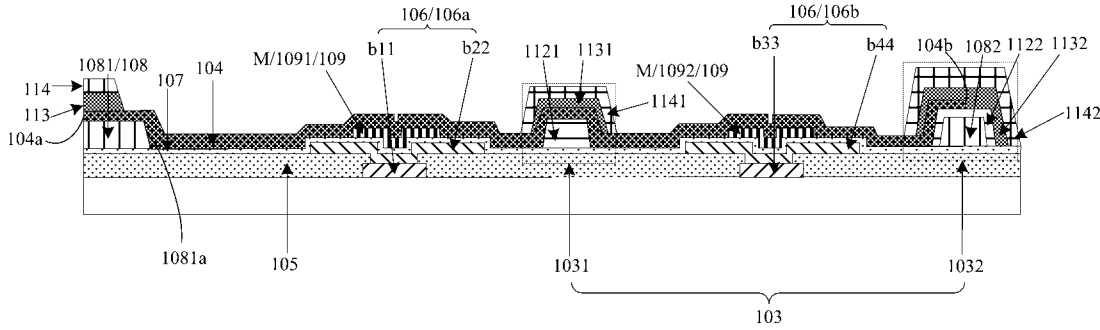


图 21

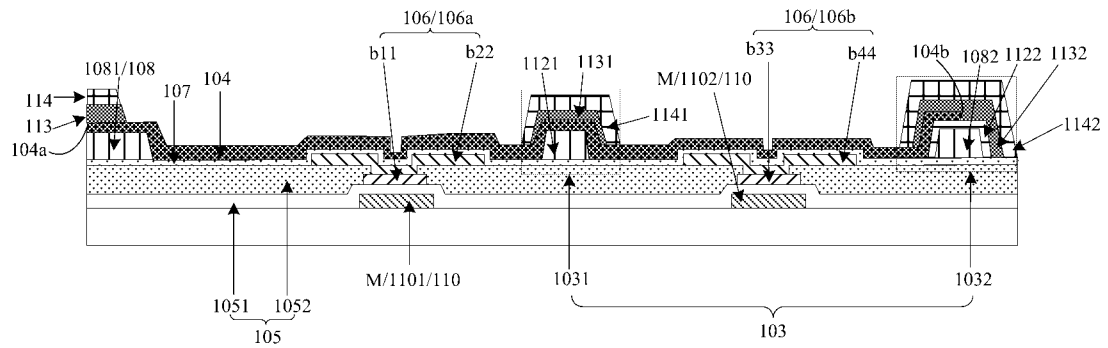


图 22

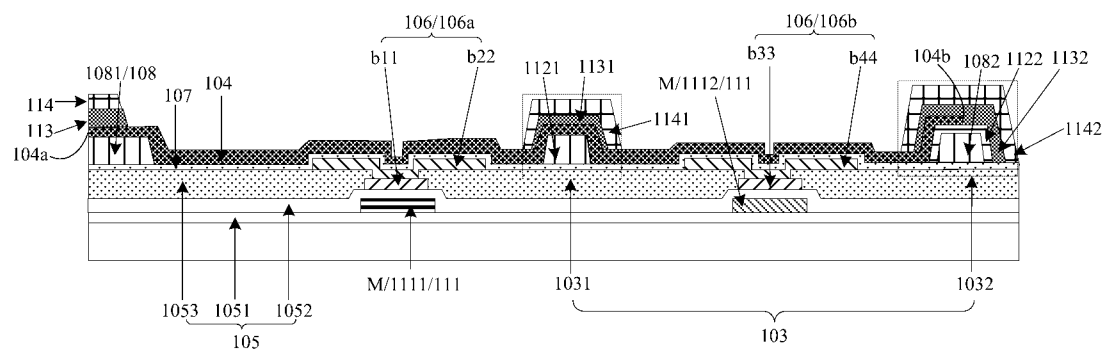


图 23

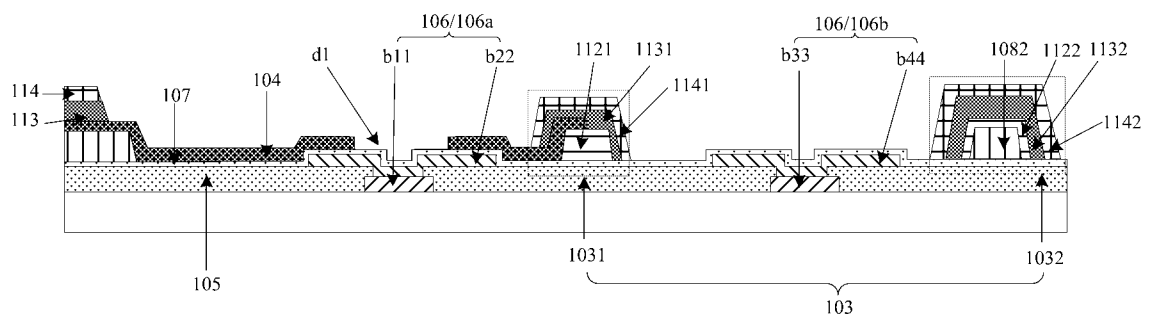


图 24

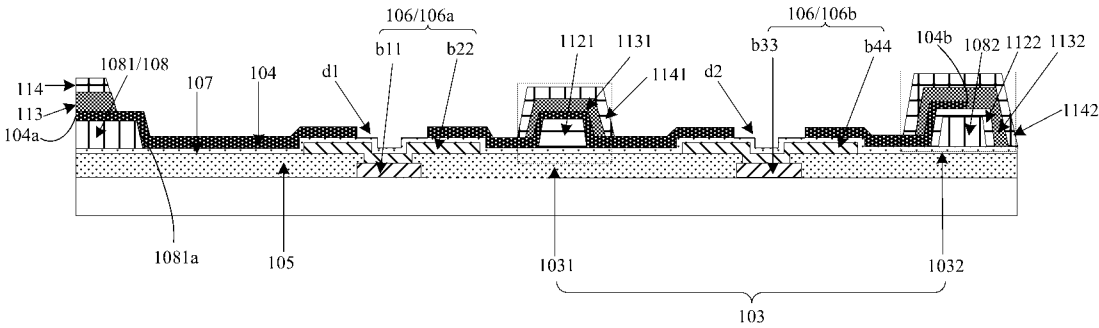


图 25

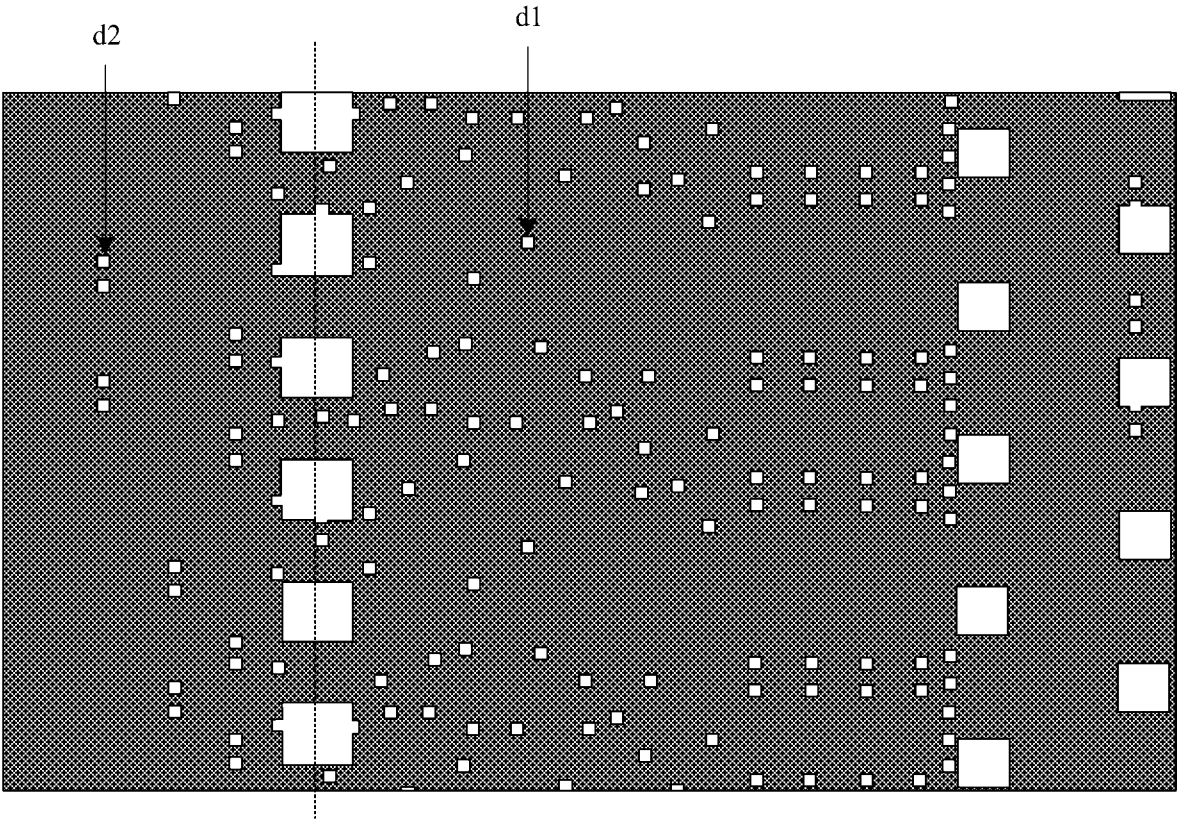


图 26

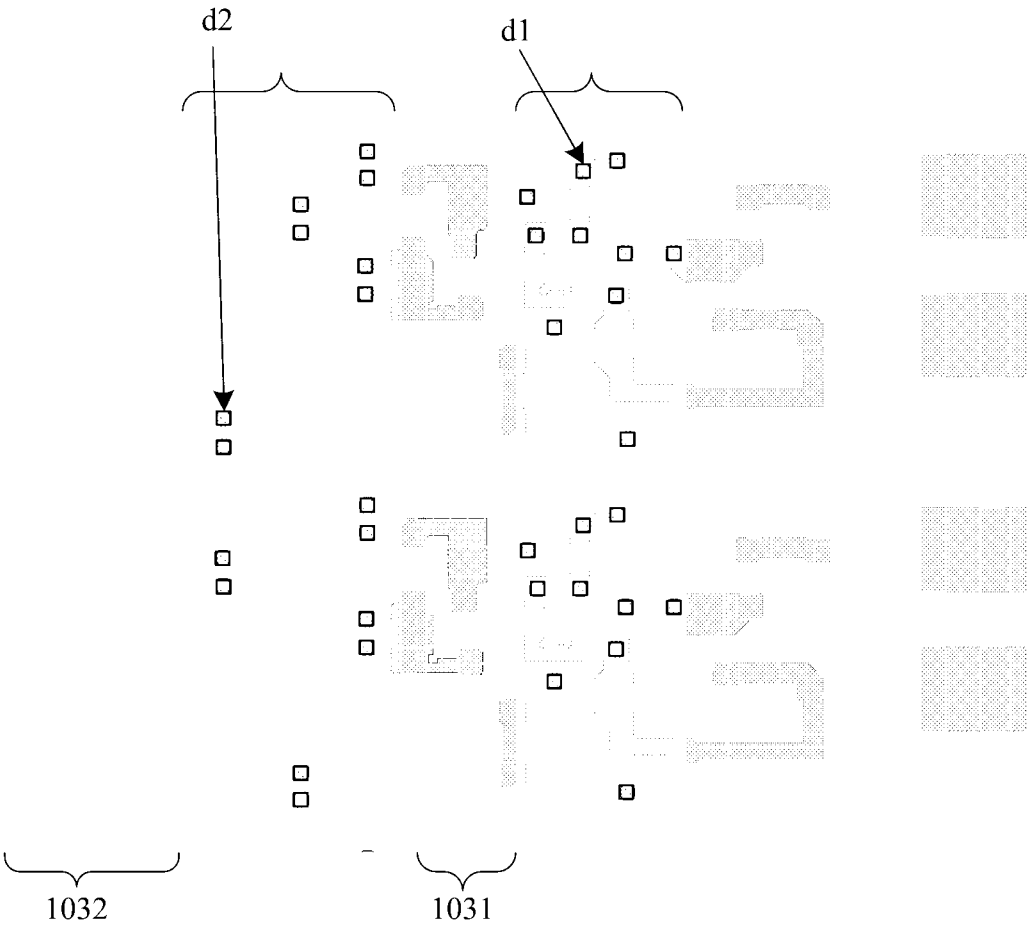


图 27

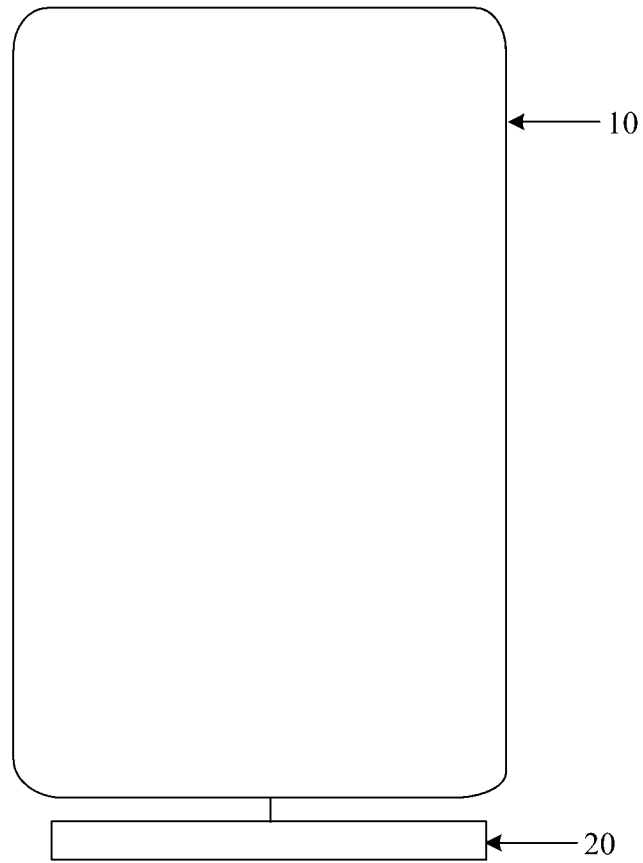


图 28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/078868

A. CLASSIFICATION OF SUBJECT MATTER

H10K59/82(2023.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10K; H01L; G09F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN, CNABS, CNTXT, WOTXT, EPTXT, USTXT, CNKI: 显示, 像素, 电极, 阴极, 孔, 阻挡, display, pixel, electrode, cathode, hole, barrier

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021017011 A1 (BOE TECHNOLOGY GROUP CO., LTD. et al.) 04 February 2021 (2021-02-04) description, page 6, line 25 to page 23, line 20, and figures 1-21	1-20
A	CN 107527551 A (SAMSUNG DISPLAY CO., LTD.) 29 December 2017 (2017-12-29) description, paragraphs 44-117, and figures 1-7	1-20
A	CN 113130541 A (LG DISPLAY CO., LTD.) 16 July 2021 (2021-07-16) entire document	1-20
A	CN 109509771 A (SAMSUNG DISPLAY CO., LTD.) 22 March 2019 (2019-03-22) entire document	1-20
A	KR 20180013225 A (LG DISPLAY CO., LTD.) 07 February 2018 (2018-02-07) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

02 November 2023

Date of mailing of the international search report

07 November 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/078868

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021017011	A1	04 February 2021	JP	2022550490	A	02 December 2022
				US	2021225992	A1	22 July 2021
				TW	202107700	A	16 February 2021
				AU	2019279976	B1	19 November 2020
				BR	112020000834	A2	08 February 2022
				EP	4009373	A1	08 June 2022
				RU	2729699	C1	11 August 2020
				MX	2020000612	A	22 February 2021
				IN	201947051746	A	05 February 2021
				CN	112602199	A	02 April 2021
				CN	112602199	B	04 April 2023
				TW	1753513	B	21 January 2022
CN	107527551	A	29 December 2017	US	2017365814	A1	21 December 2017
				US	9947898	B2	17 April 2018
				KR	20170142232	A	28 December 2017
				CN	107527551	B	01 October 2021
CN	113130541	A	16 July 2021	KR	20210086040	A	08 July 2021
				US	2021202895	A1	01 July 2021
CN	109509771	A	22 March 2019	US	10170534	B1	01 January 2019
				KR	20190031397	A	26 March 2019
				KR	102360094	B1	09 February 2022
				CN	109509771	B	04 August 2023
KR	20180013225	A	07 February 2018	KR	101878186	B1	17 August 2018

A. 主题的分类 H10K59/82(2023.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) IPC: H10K; H01L; G09F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) VEN、CNABS、CNTXT、WOTXT、EPTXT、USTXT、CNKI: 显示, 像素, 电极, 阴极, 孔, 阻挡, display, pixel, electrode, cathode, hole, barrier		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	WO 2021017011 A1 (京东方科技集团股份有限公司 等) 2021年2月4日 (2021 - 02 - 04) 说明书第6页第25行至第23页第20行, 图1-21	1-20
A	CN 107527551 A (三星显示有限公司) 2017年12月29日 (2017 - 12 - 29) 说明书第44-117段, 图1-7	1-20
A	CN 113130541 A (乐金显示有限公司) 2021年7月16日 (2021 - 07 - 16) 全文	1-20
A	CN 109509771 A (三星显示有限公司) 2019年3月22日 (2019 - 03 - 22) 全文	1-20
A	KR 20180013225 A (LG DISPLAY CO LTD) 2018年2月7日 (2018 - 02 - 07) 全文	1-20
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
★ 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年11月2日		国际检索报告邮寄日期 2023年11月7日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 潘元真 电话号码 (+86) 020-28950417

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/078868

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
WO	2021017011	A1	2021年2月4日	JP	2022550490	A	2022年12月2日
				US	2021225992	A1	2021年7月22日
				TW	202107700	A	2021年2月16日
				AU	2019279976	B1	2020年11月19日
				BR	112020000834	A2	2022年2月8日
				EP	4009373	A1	2022年6月8日
				RU	2729699	C1	2020年8月11日
				MX	2020000612	A	2021年2月22日
				IN	201947051746	A	2021年2月5日
				CN	112602199	A	2021年4月2日
				CN	112602199	B	2023年4月4日
				TW	I753513	B	2022年1月21日
CN	107527551	A	2017年12月29日	US	2017365814	A1	2017年12月21日
				US	9947898	B2	2018年4月17日
				KR	20170142232	A	2017年12月28日
				CN	107527551	B	2021年10月1日
CN	113130541	A	2021年7月16日	KR	20210086040	A	2021年7月8日
				US	2021202895	A1	2021年7月1日
CN	109509771	A	2019年3月22日	US	10170534	B1	2019年1月1日
				KR	20190031397	A	2019年3月26日
				KR	102360094	B1	2022年2月9日
				CN	109509771	B	2023年8月4日
KR	20180013225	A	2018年2月7日	KR	101878186	B1	2018年8月17日