

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4980960号  
(P4980960)

(45) 発行日 平成24年7月18日(2012.7.18)

(24) 登録日 平成24年4月27日(2012.4.27)

(51) Int. Cl. F I  
 HO 1 L 23/12 (2006.01) HO 1 L 23/12 Q  
 HO 1 L 21/60 (2006.01) HO 1 L 23/12 F  
 HO 1 L 21/60 3 1 1 W

請求項の数 24 (全 21 頁)

(21) 出願番号	特願2008-66040 (P2008-66040)	(73) 特許権者	308033711
(22) 出願日	平成20年3月14日 (2008.3.14)		ラピスセミコンダクタ株式会社
(65) 公開番号	特開2009-224478 (P2009-224478A)		東京都八王子市東浅川町550番地1
(43) 公開日	平成21年10月1日 (2009.10.1)	(74) 代理人	100079049
審査請求日	平成23年2月21日 (2011.2.21)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	国松 大介
			東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 テープ配線基板及び半導体チップパッケージ

(57) 【特許請求の範囲】

【請求項1】

配線が形成されたベースフィルムと、

前記ベースフィルム上に形成され、複数の第1の電極パッド及び複数の第2の電極パッドを備えた半導体チップが実装される平面視四角形のチップ実装部と、

前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第1の配線であって、前記チップ実装部の第1の辺を横切って前記チップ実装部に入る形状に設けられた当該第1の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第2の配線であって、前記チップ実装部の第1の辺と交差する第2の辺及び第3の辺のうち、前記第2の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって前記第1の辺と対向する前記チップ実装部の第4の辺に向って延びる形状に設けられた当該第2の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第3の配線であって、前記第2の辺と対向する前記第3の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって前記第4の辺に向って延びる形状に設けられた当該第3の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第2の電極パッドと電氣的に接続される第4の配線であって、前記第4の辺に沿って延びると共に、曲げられて前記第4の辺を横切って前記実装部の内部に入る形状に設けられた当該第4の配線と、

10

20

を備えることを特徴とするテープ配線基板。

【請求項 2】

前記チップ実装部は、平面視で長方形であることを特徴とする請求項 1 に記載のテープ配線基板。

【請求項 3】

前記第 1 の配線、前記第 2 の配線、前記第 3 の配線及び前記第 4 の配線は、前記第 1 の辺と平行な前記ベースフィルムの一辺から延びることを特徴とする請求項 1 又は 2 に記載のテープ配線基板。

【請求項 4】

テープ配線基板と、該テープ配線基板に搭載される半導体チップとを有する半導体チップパッケージであって、

前記半導体チップは、

第 1 辺と、該第 1 辺の一端に接続された第 2 辺、該第 1 辺の他端に接続された第 3 辺、及び該第 1 辺に対向する第 4 辺を備え、

前記第 1 辺に沿って、及び前記第 4 辺の両端側に該第 4 辺に沿って、設けられた複数の第 1 の電極パッドと、

前記第 4 辺に沿って設けられ、該第 4 辺の両端に設けられた前記第 1 の電極パッドの間に設けられた複数の第 2 の電極パッドと、

を有し、

前記テープ配線基板は、

配線が形成されたベースフィルムと、

前記ベースフィルム上に形成され、前記半導体チップが実装された平面視四角形のチップ実装部と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 1 辺に沿って設けられた前記第 1 の電極パッドと電氣的に接続された第 1 の配線であって、該第 1 辺に対応する前記チップ実装部の第 1 の辺を横切って前記チップ実装部に入る形状に設けられた当該第 1 の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 4 辺に沿って前記第 2 辺側に配置された前記第 1 の電極パッドと電氣的に接続された第 2 の配線であって、該第 2 辺に対応する前記チップ実装部の第 2 の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって該第 4 辺に対応する前記チップ実装部の第 4 の辺に向かって延びる形状に設けられた当該第 2 の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 4 辺に沿って前記第 3 辺側に配置された前記第 1 の電極パッドと電氣的に接続された第 3 の配線であって、該第 3 辺に対応する前記チップ実装部の第 3 の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって前記第 4 の辺に向かって延びる形状に設けられた当該第 3 の配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 2 の電極パッドと電氣的に接続された第 4 の配線であって、前記第 4 の辺に沿って延びるとともに、曲げられて前記第 4 の辺を横切って前記実装部の内部に入る形状に設けられた当該第 4 の配線と、

を備えることを特徴とする半導体チップパッケージ。

【請求項 5】

前記半導体チップは、前記第 2 の配線及び前記第 3 の配線の少なくとも一方が前記第 2 の電極パッドに至るまでに接続される第 1 の補強パッドを備えることを特徴とする請求項 4 に記載の半導体チップパッケージ。

【請求項 6】

前記ベースフィルム上には、前記第 2 の辺及び前記第 3 の辺の少なくとも一方を横切るダミー配線が設けられ、

前記半導体チップには、前記ダミー配線と接続される第 2 の補強パッドが設けられることを特徴とする請求項 4 に記載の半導体チップパッケージ。

10

20

30

40

50

## 【請求項 7】

第 1 の辺と前記第 1 の辺に隣接する第 2、第 3 の辺と、前記第 1 の辺の対辺の第 4 の辺とから構成され、複数の第 1 の電極パッド及び複数の第 2 の電極パッドを備えた半導体チップが実装される平面視四角形のチップ実装部を備えたベースフィルムと、

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第 1 の辺に沿って前記チップ実装領域内に配置され、前記半導体チップの前記第 1 の電極パッドと電氣的に接続される第 1 の出力配線群であって、該一方の端部と該他方の端部とを接続する第 1 接続部が第 1 の方向に向かって配置された当該第 1 の出力配線群と、

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の前記第 4 の辺に沿って前記チップ実装領域内に配置され、前記半導体チップの前記第 1 の電極パッドと電氣的に接続される第 2 の出力配線群であって、該一方の端部と該他方の端部とを接続する第 2 接続部が前記第 2 の辺と交差すると共に、第 1 の方向に向かって該他方の端部と接続する当該第 2 の出力配線群と、

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第 4 の辺に沿って前記チップ実装領域内に配置され、前記半導体チップの前記第 1 の電極パッドと電氣的に接続される第 3 の出力配線群であって、該一方の端部と該他方の端部とを接続する第 3 接続部が前記第 3 の辺と交差すると共に、第 1 の方向に向かって該他方の端部と接続する当該第 3 の出力配線群と、

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第 4 の辺に沿って前記チップ実装領域内に配置され、前記半導体チップの前記第 2 の電極パッドと電氣的に接続される第 1 の入出力配線群であって、該一方の端部と該他方の端部とを接続する第 4 接続部が前記第 4 の辺と交差すると共に、第 1 の方向と反対の方向に向かって該他方の端部と接続する当該第 1 の入出力配線群と、

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第 4 の辺に沿って前記チップ実装領域内に配置され、前記半導体チップの前記第 2 の電極パッドと電氣的に接続される第 2 の入出力配線群であって、該一方の端部と該他方の端部とを接続する第 5 接続部が前記第 4 の辺と交差すると共に、第 1 の方向と反対の方向に向かって該他方の端部と接続する当該第 2 の入出力配線群と

を備えたテープ配線基板。

## 【請求項 8】

前記第 1 の辺は、前記ベースフィルム的一端に最も近い辺であることを特徴とする請求項 7 に記載のテープ配線基板。

## 【請求項 9】

前記第 1 の出力配線群の一端は、前記第 2 の出力配線群の一端と前記第 3 の出力配線群の一端との間に配置されることを特徴とする請求項 7 又は 8 のいずれかに記載のテープ配線基板。

## 【請求項 10】

前記第 2 の出力配線群の一端及び前記第 3 の出力配線群の一端は、前記第 1 の入出力配線群の一端と前記第 2 の入出力配線群の一端との間に配置されることを特徴とする請求項 7 ~ 9 のいずれかに記載のテープ配線基板。

## 【請求項 11】

前記第 1 の入出力配線群の他端及び前記第 2 の入出力配線群の他端は、前記第 2 の出力配線群の他端と前記第 3 の出力配線群の他端との間に配置されることを特徴とする請求項 7 ~ 10 のいずれかに記載のテープ配線基板。

## 【請求項 12】

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第 4 の辺に沿って前記チップ実装領域内に配置され、該一方の端部と該他方の端部とを接続する第 6 接続部が前記第 4 の辺と交差すると共に、第 1 の方向と反対の方向に向かって該他方の端部と接続する第 4 の出力配線群と、

10

20

30

40

50

前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第4の辺に沿って前記チップ実装領域内に配置され、該一方の端部と該他方の端部とを接続する第7接続部が前記第4の辺と交差すると共に、第1の方向と反対の方向に向かって該他方の端部と接続する第5の出力配線群と、

を備えた請求項7～11のいずれかに記載のテープ配線基板。

【請求項13】

前記第4の出力配線群の一端は、前記第2の出力配線群の一端と前記第1の入出力配線群の一端との間に配置されることを特徴とする請求項12に記載のテープ配線基板。

【請求項14】

前記第5の出力配線群の一端は、前記第3の出力配線群の一端と前記第2の入出力配線群の一端との間に配置されることを特徴とする請求項12又は請求項13のいずれかに記載のテープ配線基板。

10

【請求項15】

請求項7に記載のテープ配線基板と、

第1の辺に沿って設けられた第1出力電極パッド群と、前記第1の辺の対辺である第2の辺に沿って設けられた第2出力電極パッド群と、前記第2の辺に沿って設けられた第3出力電極パッド群と、前記第2の辺に沿って設けられた第1入出力電極パッド群と、前記第2の辺に沿って設けられた第2入出力電極パッド群と、を有する矩形の半導体チップと、を備え、

前記第1出力電極パッド群と前記第1の出力配線群とが接続され、

20

前記第2出力電極パッド群と前記第2の出力配線群とが接続され、

前記第3出力電極パッド群と前記第3の出力配線群とが接続され、

前記第1入出力電極パッド群と前記第1の入出力配線群とが接続され、

前記第2入出力電極パッド群と前記第2の入出力配線群とが接続され、

たことを特徴とする半導体チップパッケージ。

【請求項16】

前記半導体チップは、前記第2の辺に沿って設けられた第4出力電極パッド群と、前記第2の辺に沿って設けられた第5出力電極パッド群と、を備え、

前記テープ配線基板は、前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第4の辺に沿って前記チップ実装領域内に配置され、該一方の端部と該他方の端部とを接続する第6接続部が前記第4の辺と交差すると共に、第1の方向と反対の方向に向かって該他方の端部と接続する第4の出力配線群と、前記ベースフィルム的一端に沿って一方の端部が配置され、他方の端部が前記チップ実装領域の第4の辺に沿って前記チップ実装領域内に配置され、該一方の端部と該他方の端部とを接続する第7接続部が前記第4の辺と交差すると共に、第1の方向と反対の方向に向かって該他方の端部と接続する第5の出力配線群と、を備え、

30

前記第4出力電極パッド群と前記第4の出力配線群とが接続され、

前記第5出力電極パッド群と前記第5の出力配線群とが接続され、

たことを特徴とする請求項15に記載の半導体チップパッケージ。

【請求項17】

40

前記第2の出力配線群の配線の並び順と、前記第2出力電極パッドの並び順とが同じ順序であることを特徴とする請求項15又は請求項16のいずれかに記載の半導体チップパッケージ。

【請求項18】

前記第4の出力配線群の配線の並び順と、前記第4出力電極パッドの並び順とが逆の順序であることを特徴とする請求項16に記載の半導体チップパッケージ。

【請求項19】

前記半導体チップは、前記第1の辺に隣接する第3の辺に沿って第1の補強パッド群を備え、

前記第2の出力配線群と接続されることを特徴とする請求項15～18のいずれかに記

50

載の半導体チップパッケージ。

【請求項 20】

前記半導体チップは、前記第 1 の辺に隣接する第 3 の辺に沿って第 2 の補強パッドを備え、

前記テープ配線基板は、前記第 2 の出力配線群の配線間にダミー配線を備え、

前記ダミー配線は、前記第 2 の補強パッドと接続されることを特徴とする請求項 15 ~ 18 のいずれかに記載の半導体チップパッケージ。

【請求項 21】

テープ配線基板と、該テープ配線基板にフリップチップ実装された半導体チップとを有する半導体チップパッケージであって、

前記半導体チップは、

第 1 辺と、該第 1 辺の一端に接続された第 2 辺、該第 1 辺の他端に接続された第 3 辺、及び該第 1 辺に対向する第 4 辺を備え、

前記第 1 辺に沿って、及び前記第 4 辺の両端側に該第 4 辺に沿って、設けられた複数の第 1 の出力パッドと、

前記第 4 辺に沿って設けられ、該第 4 辺の両端に設けられた前記第 1 の出力パッドの間に設けられた複数の第 1 の入出力パッドと、

を有し、

前記テープ配線基板は、

配線が形成されたベースフィルムと、

前記ベースフィルム上に形成され、前記半導体チップがフリップチップ実装された平面視四角形のチップ実装部と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 1 辺に沿って設けられた前記第 1 の出力パッドと電気的に接続された複数の第 1 の出力配線であって、該第 1 辺に対応する前記チップ実装部の第 1 の辺を横切って前記チップ実装部に入る形状に設けられた複数の当該第 1 の出力配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 4 辺に沿って前記第 2 辺側に配置された前記第 1 の出力パッドと電気的に接続された複数の第 2 の出力配線であって、該第 2 辺に対応する前記チップ実装部の第 2 の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって該第 4 辺に対応する前記チップ実装部の第 4 の辺に向かって延びる形状に設けられた複数の当該第 2 の出力配線と、

前記ベースフィルム上に形成され、前記半導体チップの前記第 1 の入出力パッドと電気的に接続された複数の第 1 の入出力配線であって、前記第 4 の辺に沿って延びるとともに、曲げられて前記第 4 の辺を横切って前記実装部の内部に入る形状に設けられた複数の当該第 1 の入出力配線と、を備え、

前記複数の第 1 の出力配線の一方の端部と前記複数の第 1 の入出力配線の一方の端部との間に前記第 2 の出力配線の一方の端部が配置され、

前記テープ配線基板の一端から見て、前記複数の第 1 の出力配線及び前記複数の第 2 の出力配線と前記複数の第 1 の出力配線及び前記複数の第 2 の出力配線に対応する前記複数の第 1 の出力パッド及び前記複数の第 2 の出力パッドの並び順が同じであると共に、前記複数の第 1 の入出力配線と前記複数の第 1 の入出力配線に対応する前記複数の第 1 の入出力パッドの並び順が逆であることを特徴とする半導体チップパッケージ。

【請求項 22】

前記半導体チップは、

前記第 1 の出力配線群が接続される前記第 1 出力電極パッド群に対応する第 1 のシフトレジスタと、

前記第 2 の出力配線群が接続される前記第 2 出力電極パッド群に対応する第 2 のシフトレジスタと、

前記第 3 の出力配線群が接続される前記第 3 出力電極パッド群に対応する第 3 のシフトレジスタと、

10

20

30

40

50

前記第 4 の出力配線群が接続される前記第 4 出力電極パッド群に対応する第 4 のシフトレジスタと、

前記第 5 の出力配線群が接続される前記第 5 出力電極パッド群に対応する第 5 のシフトレジスタと、を備え、

前記第 4 のシフトレジスタのシフト方向と前記第 1 のシフトレジスタ及び前記第 2 のシフトレジスタのシフト方向が逆となり、前記第 5 のシフトレジスタのシフト方向と前記第 1 のシフトレジスタ及び前記第 3 のシフトレジスタのシフト方向が逆となることを特徴とする請求項 16 に記載された半導体チップパッケージ。

【請求項 23】

前記第 1 のシフトレジスタは、第 1 の辺に沿って設けられた第 1 出力電極パッド群の近傍に設けられ、

前記第 2 のシフトレジスタ、前記第 3 のシフトレジスタ、前記第 4 のシフトレジスタ、及び前記第 5 のシフトレジスタは、第 4 の辺に沿って設けられた前記第 2 出力電極パッド群、前記第 3 出力電極パッド群、前記第 4 出力電極パッド群、及び前記第 5 出力電極パッド群の近傍に設けられることを特徴とする請求項 22 に記載された半導体チップパッケージ。

【請求項 24】

前記第 1 のシフトレジスタと第 1 出力電極パッド群の距離と、前記第 2 のシフトレジスタと第 2 出力電極パッド群の距離と、前記第 3 のシフトレジスタと第 3 出力電極パッド群の距離と、前記第 4 のシフトレジスタと第 4 出力電極パッド群の距離と、前記第 5 のシフトレジスタと第 5 出力電極パッド群の距離との距離がそれぞれ等しいことを特徴とする請求項 22 又は 23 に記載された半導体チップパッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テープ配線基板と、それを用いた半導体チップパッケージに関する。

【背景技術】

【0002】

最近、表示装置の販売価格の低下に伴い様々な部品に関しても低コスト化が望まれている。表示装置用の駆動 IC（半導体チップパッケージ）においても同様であり、駆動 IC に使用されるテープ配線基板一つであっても低コスト化が望まれている。例えば、配線が形成されたテープ配線基板に矩形状の半導体チップを実装して構成される半導体チップパッケージが、特許文献 1 に記載されている。

【0003】

このテープ配線基板には、実装される半導体チップに対応するように、矩形状のチップ実装部が設けられている。そして、このチップ実装部へ延びる配線がテープ配線基板に形成されている。

【0004】

一方、半導体チップには、半導体チップの一辺に沿って配置される電極パッドと、一辺と対向する他辺に沿って配置される電極パッドが設けられている。半導体チップの一辺に沿って配置されている電極パッドは、表示装置を駆動するための出力信号用の電極パッドである。また、他辺に沿って配置される電極パッドは、当該半導体チップを動作させる入力信号用の電極パッドと、他の駆動 IC に搭載された半導体チップを動作させる出力信号用の電極パッドとで構成されている。

【0005】

ここで、テープ基板上であって、半導体チップの一辺に配置される表示装置用の電極パッドに接続される配線は、チップ実装部の半導体チップの一辺に対応する辺を横切ってチップ実装部内に入るように形成され、また、半導体チップの他辺に配置される電極パッド、言い換えれば、入力信号用の電極パッドに接続される配線は、チップ実装部の半導体チップの他辺と直交する直交辺に対応する辺を横切ってチップ実装内に入るように形成され

10

20

30

40

50

ている。

【特許文献1】特開2005-167238号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年では表示装置自体の低コスト化の一環で、駆動ICの搭載個数を減らすことが望まれている。言い換えれば、表示装置自体の端子数が同じであれば、1つのIC当りの出力端子数の増加が望まれることとなる。

【0007】

しかしながら、特許文献1に記載されたテープ配線基板では、半導体チップの1辺に沿ってのみ表示装置用の電極パッドを形成することを前提としているため、半導体チップとテープ配線基板の接着強度の問題を考慮すると、表示装置用の電極パッドの急激な増加に対して対応が困難である。

【0008】

特に半導体チップの他辺に配置される電極パッドと電氣的接続を取っているテープ配線基板上の配線が、チップ実装部の半導体チップの他辺と直交する直交辺に対応する辺を横切ってチップ実装内に入るように形成されているため、テープ配線基板の設計を困難としている。

【0009】

テープ配線基板に形成される配線によると、半導体チップの他辺に配置された電極パッドに接続される配線は、半導体チップの他辺と直交する直交辺を横切ってチップ実装内に入るように配置されている。ここで、半導体チップの直交辺の長さが短い場合は、直交辺を横切ってチップ実装部内に入ることができる配線数も制限されてしまう。つまり、半導体チップの他辺に配置される電極パッドの数が多い場合は、このテープ配線基板では対応できないことが考えられる。また、表示装置用の駆動ICの出力端子の配列は、表示装置側に依存しているため、指定された配列で実現する必要が生じ、テープ配線基板の設計を困難としている。

【0010】

本発明は、上記事実を考慮して、多くの電極パッドを備える半導体チップであっても、小面積で実現可能なテープ配線基板及び半導体チップパッケージを提供する。

【課題を解決するための手段】

【0011】

本発明の請求項1に係るテープ配線基板は、配線が形成されたベースフィルムと、前記ベースフィルム上に形成され、複数の第1の電極パッド及び複数の第2の電極パッドを備えた半導体チップが実装される平面視四角形のチップ実装部と、前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第1の配線であって、前記チップ実装部の第1の辺を横切って前記チップ実装部に入る形状に設けられた当該第1の配線と、前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第2の配線であって、前記チップ実装部の第1の辺と交差する第2の辺及び第3の辺のうち、前記第2の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって前記第1の辺と対向する前記チップ実装部の第4の辺に向って延びる形状に設けられた当該第2の配線と、前記ベースフィルム上に形成され、前記半導体チップの前記第1の電極パッドと電氣的に接続される第3の配線であって、前記第2の辺と対向する前記第3の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって前記第4の辺に向って延びる形状に設けられた当該第3の配線と、前記ベースフィルム上に形成され、前記半導体チップの前記第2の電極パッドと電氣的に接続される第4の配線であって、前記第4の辺に沿って延びると共に、曲げられて前記第4の辺を横切って前記実装部の内部に入る形状に設けられた当該第4の配線と、を備えることを特徴とする。

【0012】

10

20

30

40

50

上記構成によれば、例えば、このテープ配線基板に実装される半導体チップが、半導体チップの一辺に沿って配置された電極パッドと、一辺と対向する他辺に沿って配置された電極パッドを備える場合は、一辺に沿って配置された電極パッドと第1の配線を接続し、他辺に沿って配置された電極パッドと第2の配線、第3の配線、及び第4の配線を接続する。

【0013】

つまり、半導体チップの他辺に沿って配置される電極パッドに接続される配線が、第4の辺を横切ってチップ実装部に入る配線だけの場合と比較して、第4の辺に交差する方向のベースフィルムの形状を小さくすることができる。

【0014】

また、半導体チップの他辺に沿って配置された電極パッドに接続される配線が、第2の辺及び第3の辺を横切ってチップ実装部に入る配線だけの場合と比較して、半導体チップの他辺に配置される電極パッドが多いときでもこの半導体チップに対応することができる。すなわち、多くの電極パッドを備える半導体チップに対応できる。

【0015】

本発明の請求項2に係る半導体チップパッケージは、テープ配線基板と、該テープ配線基板にフリップチップ実装された半導体チップとを有する半導体チップパッケージであって、前記半導体チップは、第1辺と、該第1辺の一端に接続された第2辺、該第1辺の他端に接続された第3辺、及び該第1辺に対向する第4辺を備え、前記第1辺に沿って、及び前記第4辺の両端側に該第4辺に沿って設けられた複数の第1の出力パッドと、前記第4辺に沿って設けられ、該第4辺の両端に設けられた前記第1の出力パッドの間に設けられた複数の第1の入出力パッドと、を有し、前記テープ配線基板は、配線が形成されたベースフィルムと、前記ベースフィルム上に形成され、前記半導体チップがフリップチップ実装された平面視四角形のチップ実装部と、前記ベースフィルム上に形成され、前記半導体チップの前記第1辺に沿って設けられた前記第1の出力パッドと電気的に接続された複数の第1の出力配線であって、該第1辺に対応する前記チップ実装部の第1の辺を横切って前記チップ実装部に入る形状に設けられた複数の当該第1の出力配線と、前記ベースフィルム上に形成され、前記半導体チップの前記第4辺に沿って前記第2辺側に配置された前記第1の出力パッドと電気的に接続された複数の第2の出力配線であって、該第2辺に対応する前記チップ実装部の第2の辺を横切って前記チップ実装部の内部へ入り、前記チップ実装部の内部で曲がって該第4辺に対応する前記チップ実装部の第4の辺に向かって延びる形状に設けられた複数の当該第2の出力配線と、前記ベースフィルム上に形成され、前記半導体チップの前記第1の入出力パッドと電気的に接続された複数の第1の入出力配線であって、前記第4の辺に沿って延びるとともに、曲げられて前記第4の辺を横切って前記実装部の内部に入る形状に設けられた複数の当該第1の入出力配線と、を備え、前記複数の第1の出力配線の一方の端部と前記複数の第1の入出力配線の一方の端部との間に前記第2の出力配線の一方の端部が配置され、前記テープ配線基板の一端から見て、前記複数の第1の出力配線及び前記複数の第2の出力配線と前記複数の第1の出力配線及び前記複数の第2の出力配線に対応する前記複数の第1の出力パッド及び前記複数の第2の出力パッドの並び順が同じであると共に、前記複数の第1の入出力配線と前記複数の第1の入出力配線に対応する前記複数の第1の入出力パッドの並び順が逆であることを特徴とする。

【0016】

上記構成によれば、半導体チップには、第1の辺に沿って第1の出力パッドと、第4の辺に沿って第2の出力パッド及び第1の入出力パッドが設けられている。

【0017】

ここで、第1の入出力パッドの並び順を、第1の出力パッド及び複数の第2の出力パッドの並び順に対して逆にすることにより、テープ配線基板の一端に一方の端部が配置された第1の出力配線、第2の出力配線、及び第1の入出力配線の他方の端部と各パッドを対応させることができる。

10

20

30

40

50

## 【0018】

このように、多くの電極パッドを備える半導体チップであっても、小面積で実現可能な半導体チップパッケージを提供することができる。

## 【発明の効果】

## 【0019】

本発明によれば、多くのパッド、特に出力用電極パッドを多く備える半導体チップであっても、小面積で実現可能なテープ配線基板及び半導体チップパッケージを提供することが可能となる。

## 【発明を実施するための最良の形態】

## 【0020】

本発明の本第1実施形態に係るテープ配線基板、及びこのテープ配線基板が採用された半導体チップパッケージについて図1～図5に従って説明する。

## 【0021】

図1、図2に示されるように、半導体チップパッケージとしてのゲート半導体チップパッケージ10は、軟性材質のベースフィルム12と、第1の配線としての第1出力配線14と、第2の配線としての第2出力配線16と、第3の配線としての第3出力配線18と、第4の配線としての入力配線20と、各配線16, 18, 20と電気的に接続されたゲート駆動用半導体チップ22を含んで構成されている。

## 【0022】

入力配線20は、当該ゲート駆動用半導体チップ22を制御する信号が入力されるものと、他のゲート駆動用半導体チップを制御する信号を出力するものが含まれる。よって、入力配線20は、第1の入出力配線と第2の入出力配線とで分けて表現することも可能である。説明の便宜上以下では、入力配線20として説明する。

## 【0023】

なお、ゲート駆動用半導体チップ22は、ベースフィルム12にフリップチップ方式で実装される。つまり、このゲート半導体チップパッケージ10はベースフィルム12にゲート駆動用半導体チップ22を備えた半導体装置である。

## 【0024】

また、ベースフィルム12と、このベースフィルム12の一面に形成された第1出力配線14、第2出力配線16、第3出力配線18、及び入力配線20を含んでテープ配線基板24が構成されおり、ベースフィルム12の一端24Aに沿って、第1出力配線14、第2出力配線16、第3出力配線18、及び入力配線20の一方の端部が形成されている。

## 【0025】

さらに、ベースフィルム12上の半導体チップ22が実装される領域には、平面視長方形のチップ実装部26が形成されている。このチップ実装部26は、ベースフィルム12の一端24Aに最も近い第1の辺26Cと、第1の辺26Cに隣接する第2の辺26A、及び第3の辺26Dと、第1の辺26Cの対辺となる第4の辺26Bとで囲まれた領域を示す。

## 【0026】

なお、ベースフィルム12は、厚さ20 $\mu\text{m}$ ～100 $\mu\text{m}$ の絶縁性材料より形成されている。そして、こうした絶縁性のベースフィルム12には、ポリイミド樹脂、ポリエステル樹脂等の絶縁材料を主材料として用いることができる。

## 【0027】

図5で示されるように、半導体チップ22の主面22Aは、チップ実装部26に対応して第1の辺23C、第2の辺23A、第3の辺23D、及び第4の辺23Bを備えている。半導体チップ22には、第1の辺23Cに沿って出力パッド40が配置され、第4の辺23Bに沿って出力パッド42、44、及び入出力パッド48が配置される。

## 【0028】

複数の入出力パッド48は、複数の出力パッド42と複数の出力パッド44で構成され

10

20

30

40

50

る出力パッド群 4 3 と出力パッド群 4 5 との間に配置される。

【 0 0 2 9 】

一方、図 1、図 2 に示されるように、チップ実装部 2 6 には、第 1 出力配線 1 4、第 2 出力配線 1 6、第 3 出力配線 1 8、及び入力配線 2 0 の他方の端部が設けられている。第 1 出力配線 1 4 の他方の端部は、チップ実装部の第 1 の辺 2 6 C に沿って設けられている。第 2 の出力配線 1 6、第 3 の出力配線 1 8、及び入力配線 2 0 の他方の端部は、チップ実装部の第 4 の辺 2 6 B に沿って設けられている。

【 0 0 3 0 】

また、入力配線 2 0 の他方の端部は、第 2 の出力配線 1 6 の他方の端部と第 3 の出力配線 1 8 の他方の端部の間に配置されている。

【 0 0 3 1 】

さらに、外部衝撃からテープ配線基板 2 4 に形成された各配線 1 4、1 6、1 8、2 0 の保護と、各配線 1 4、1 6、1 8、2 0 と半導体チップ 2 2 との必要としない電氣的短絡とを防止するため、チップ実装部 2 6 以外の部分は、保護膜 2 8 に覆われている。なお、このような保護膜 2 8 としては、ソルダレジストが代表的に使用される。

【 0 0 3 2 】

また、第 1 出力配線 1 4、第 2 出力配線 1 6、第 3 出力配線 1 8、及び入力配線 2 0 の配線層は、5  $\mu\text{m}$  ~ 20  $\mu\text{m}$  程度の厚さで形成されており、一般に銅箔 (Cu) などの金属材料が用いられている。望ましくは、銅箔の表面に真鍮、金、ニッケル又は半田の鍍金が施される。

【 0 0 3 3 】

なお、ベースフィルム 1 2 上に配線層の一例である銅箔を形成する方法は、キャストイング (casting)、ラミネーティング (laminating)、電気鍍金 (electroplating) などがある。キャストイングは、圧延銅箔上に液相ベースフィルムを播いて熱硬化させる方法である。ラミネーティングは、ベースフィルム圧延銅箔を置いて熱圧着する方法である。電気鍍金は、ベースフィルム上に銅シード層 (seed layer) を蒸着し、銅が溶けている電解質内にベースフィルムを入れ、電気を流して銅箔を形成する方法である。また、銅箔に配線をパターンする方法は、銅箔に写真/エッチング (photo/etching) 工程を進行して銅箔を選択的にエッチングして所定回路を構成する配線を形成する。

【 0 0 3 4 】

図 2 に示されるように、第 1 出力配線 1 4、第 2 出力配線 1 6、第 3 出力配線 1 8、及び入力配線 2 0 は、それぞれ複数本の配線で構成されることが技術的に一般であり、群を成しているものである。以下の説明では、説明の簡略化のためにそれぞれの配線を単数で説明する。

【 0 0 3 5 】

第 1 出力配線 1 4 は、ベースフィルム 1 2 の一端 2 4 A から延びてチップ実装部 2 6 の第 1 の辺 2 6 C を横切って (第 1 の方向に向かって) チップ実装部 2 6 内へ延びている。そして、第 1 出力配線 1 4 の他方の端部は、半導体チップ 2 2 の主面 2 2 A (図 5 参照) において第 1 の辺 2 3 C に沿って配置された出力パッド 4 0 と電氣的に接続されるようになっている。

【 0 0 3 6 】

また、第 2 出力配線 1 6 は、ベースフィルム 1 2 の一端 2 4 A からチップ実装部 2 6 の第 2 の辺 2 6 A に沿って延び、途中から曲がるように配置され、第 2 の辺 2 6 A を横切ってチップ実装部 2 6 内に入り込む。

【 0 0 3 7 】

さらに、第 2 出力配線 1 6 の他方の端部は、チップ実装部 2 6 内で途中から曲がり、チップ実装部 2 6 の第 2 の辺 2 6 A と直交する第 4 の辺 2 6 B に向かって延びている。つまり、チップ実装部 2 6 内での第 2 出力配線 1 6 は、チップ実装部 2 6 の第 2 の辺 2 6 A に対して垂直方向に進行しつつ第 4 の辺 2 6 B に向かって折れ曲がるように配置されている。

10

20

30

40

50

のチップ実装部 26 内に配置された他方の端部は、半導体チップ 22 に設けられている出力パッド 42 と電氣的に接続されるようになっている。

【0038】

また、第3出力配線 18 は、ベースフィルム 12 の一端 24 A からチップ実装部 26 の第3の辺 26 D に沿って延び、途中から曲がるように配置され、第3の辺 26 D を横切ってチップ実装部 26 内に入り込む。

【0039】

さらに、第3出力配線 18 の他方の端部は、チップ実装部 26 内で途中から曲がり、チップ実装部 26 の第4の辺 26 B に向って延びている。つまり、チップ実装部 26 内での第3出力配線 18 は、チップ実装部 26 の第3の辺 26 D に対して垂直方向に進行しつつ第4の辺 26 B に向って折れ曲がるように配置されている。このチップ実装部 26 内の配置された他方の端部は、半導体チップ 22 に設けられている出力パッド 44 と電氣的に接続されるようになっている。

【0040】

また、入力配線 20 は、ベースフィルム 12 の一端 24 A から延びてチップ実装部 26 の第2の辺 26 A 及び第3の辺 26 D に沿って延び、途中から曲げられ、チップ実装部 26 の第4の辺 26 B に沿って延びている。さらに、入力配線 20 は、途中から曲げられ、チップ実装部 26 の第4の辺 26 B を横切った（第1の方向とは逆の方向）後、チップ実装部 26 内に入り込む。チップ実装部 26 内の配置された他方の端部は、半導体チップ 22 に設けられている入出力パッド 48 と電氣的に接合部にて接続されるようになっている。

【0041】

なお、出力パッド 42、出力パッド 44 は、チップ実装部 26 の第4の辺 26 B を横切って配線をチップ実装部 26 内に入れる場合と比較して配列順序を逆転させなければならない。言い換えれば、テープ配線基板 24 の一端 24 A から見て、第2出力配線 16 及び第3出力配線 18 の並びと、出力パッド 42 及び出力パッド 44 の並びを同じにすることが可能である。

【0042】

図2を用いてテープ配線基板 24 を詳細に説明する。テープ配線基板 24 上に形成された第1出力配線 14、第2出力配線 16、及び第3出力配線 18 は、上述の通り一般的に複数本で構成される。第1出力配線 14 が 1 本、第2出力配線 16 が m 本、第3出力配線 18 が n 本である場合を例にとると、第3出力配線群 19 は、1 ~ n の出力端子番号、第1出力配線群 15 は、n + 1 ~ 1 + n の端子番号、第2出力配線群 17 は、1 + n + 1 ~ 1 + m + n の端子番号が順次割り当てられる。

【0043】

端子番号 1 に対応する出力パッドは、出力パッド群 45 のうち第3の辺 26 D に最も近い位置に配置される。端子番号 n に対応する出力パッドは、出力パッド群 45 のうち第3の辺 26 D に最も離れた位置に配置される。

【0044】

また、入力配線 20 は、上述の通り複数本で形成される。入力配線 20 の一つである第2の入出力配線 20 A が x 本である場合を例にとると、第2の入出力配線群 21 は、1 ~ x の端子番号が順次割り当てられる。

【0045】

端子番号 1 に対応する第2の入出力配線 20 A は、第2の入出力配線群 21 のうち、第3の辺 26 D に最も離れた位置に配置される。端子番号 x に対応する第2の入出力配線 20 A は、第2の入出力配線群 21 のうち、第3の辺 26 D に最も近い位置に配置される。

【0046】

第2の入出力配線群 21 の端子番号 1 に対応する入出力パッド 48 は、第3の辺 26 D に最も離れた位置に配置される。第2の入出力配線群 21 の端子番号 x に対応する入出力パッド 48 は、第3の辺 26 D に最も近い位置に配置される。

## 【0047】

よって、テープ配線基板24の一端24Aから見て、第1出力配線群15、第2出力配線群17、及び第3出力配線群19に対応する出力パッド群41、43、45の並びは同じに構成される。また、第1入出力配線群25と第2入出力配線群21の並びと入出力パッド群49の配列は逆に構成される。

## 【0048】

図3、図4に示されたように、半導体チップ22が実装されるチップ実装部26内に、第2出力配線16は形成されている。

## 【0049】

そして、チップ実装部26の内部で半導体チップ22の各電極パッドと各配線の他方の端部が電氣的に接続され、かつその他の部分において不要な短絡を防止するために、チップ実装部26の外部に形成された各配線は、保護膜28で覆われている。

10

## 【0050】

また、テープ配線基板24上において、保護膜28から露出されてチップ実装部26に配置された各配線の一方の端部と、半導体チップ22に形成された各電極パッドは、封止樹脂50で封じられている。なお、この封止樹脂50の材料としては、例えばエポキシ樹脂又はシリコン樹脂を使用することができる。

## 【0051】

前述したように、第2出力配線16及び第3出力配線18を、第2の辺26A及び第3の辺26Dを横切らせてチップ実装部26内へ入れ込むことで、ベースフィルム12の長さL1(図1、図2参照)を短くすることができ、テープ配線基板24を小型化することができる。

20

## 【0052】

また、入力配線20をチップ実装部26の第4の辺26Bに沿って延ばし、途中から曲げてチップ実装部26の第4の辺26Bを横切ってチップ実装部26内に入り込むことで、多くの電極パッドを備える半導体チップにこのテープ配線基板24を対応させることができる。

## 【0053】

また、第2出力配線16及び第3出力配線18を、第2の辺26A及び第3の辺26Dを横切らせてチップ実装部26内へ入れ込むことで、第2出力配線16及び第3出力配線18を、第4の辺26Bを横切らせてチップ実装部26内へ入れ込むのと比較して、半導体チップ22の配置自由度を向上させることができる。

30

## 【0054】

また、チップ実装部26は、平面視で長方形であるため、チップ実装部の各辺に沿って、又は各辺に直交させて各配線を形成することができ、ベースフィルム12の歩留まりを向上させることができる。

## 【0055】

また、全ての各配線は、ベースフィルム12の一端24Aからチップ実装部26へ向って延びている。このため、これらの配線と接続される電極端子の配置を簡略化することができる。

40

## 【0056】

次に、本発明のテープ配線基板89の第2実施形態を図6～図8に従って説明する。

## 【0057】

なお、第1実施形態と同一部材については、同一符号を付してその説明を省略する。

## 【0058】

図6、図7に示されるように、この実施形態では第1実施形態のように、第2出力配線16と入力配線20の間には、第4出力配線90が設けられている。同様に、第3出力配線18と入力配線20の間には、第5出力配線92が設けられている。

## 【0059】

詳細には、第4出力配線90、第5出力配線92の一方の端部は、一端89Aからチップ

50

チップ実装部 26 の第 2 の辺 26 A 及び第 3 の辺 26 D に沿って延び、途中から曲げられ、チップ実装部 26 の第 4 の辺 26 B に沿って延びる。さらに、第 4 出力配線 90、第 5 出力配線 92 は、途中から曲げられ、チップ実装部 26 の第 4 の辺 26 B を横切った後、チップ実装部 26 内に入り込むようになっている。さらに、第 4 出力配線 90、第 5 出力配線 92 の他方の端部は、半導体チップ 22 に設けられた出力パッド 94、96 に接続される。なお、第 4 出力配線 90 の一方の端部は、第 2 出力配線 16 の一方の端部と入力配線 20 の一方の端部の間に配置されている。第 5 出力配線 92 の一方の端部は、第 3 出力配線 18 の一方の端部と入力配線 20 の一方の端部の間に配置されている。

【0060】

出力パッド 94、96 は、出力パッド 42、44、及び入出力パッド 48 と同様に半導体チップ 22 の第 4 の辺 23 B に沿って配置される。出力パッド 94 は、出力パッド 42 と入出力パッド 48 との間に配置され、出力パッド 96 は、出力パッド 44 と入出力パッド 48 との間に配置される。

【0061】

図 7 を用いてテープ配線基板 89 に形成された第 4 出力配線 90 及び第 5 出力配線 92 について説明する。テープ配線基板 89 に形成された第 4 出力配線 90、第 5 出力配線 92 は、上述の通り一般的に複数本で構成される。

【0062】

第 1 出力配線 14 が  $b$  本、第 2 出力配線 16 が  $m$  本、第 3 出力配線 18 が  $n$  本、第 4 出力配線 90 が  $k$  本、第 5 出力配線 92 が  $p$  本である場合を例にとると、第 5 出力配線群 93 は、 $1 \sim p$  の出力端子番号、第 3 出力配線群 19 は、 $p + 1 \sim p + n$  の出力端子番号、第 1 出力配線群 15 は、 $p + n + 1 \sim p + n + b$  の端子番号、第 2 出力配線群 17 は、 $p + n + b + 1 \sim p + n + b + m$ 、第 4 出力配線群 91 は、 $p + n + b + m + 1 \sim p + n + b + m + k$  の端子番号が順次割り当てられる。

【0063】

端子番号 1 に対応する出力パッド 96 は、出力パッド群 97 のうち第 3 の辺 26 D に最も離れた位置に配置される。端子番号  $p$  に対応する出力パッド 96 は、出力パッド群 97 のうち第 3 の辺 26 D に最も近い位置に配置される。

【0064】

また、入力配線 20 は、上述の通り複数本で形成される。入力配線 20 の一つである第 2 の入出力配線 20 A が  $x$  本である場合を例にとると、第 2 の入出力配線群 21 は、 $1 \sim x$  の端子番号が順次割り当てられる。

【0065】

端子番号 1 に対応する第 2 の入出力配線 20 A は、第 2 の入出力配線群 21 のうち、第 3 の辺 26 D に最も離れた位置に配置される。端子番号  $x$  に対応する第 2 の入出力配線 20 A は、第 2 の入出力配線群 21 のうち、第 3 の辺 26 D に最も近い位置に配置される。

【0066】

第 2 の入出力配線群 21 の端子番号 1 に対応する入出力パッド 48 は、第 3 の辺 26 D に最も離れた位置に配置される。第 2 の入出力配線群 21 の端子番号  $x$  に対応する入出力パッド 48 は、第 3 の辺 26 D に最も近い位置に配置される。

【0067】

よって、テープ配線基板 89 の一端 89 A から見て、第 1 出力配線群 15、第 2 出力配線群 17、及び第 3 出力配線群 19 に対応する出力パッド群 41、43、45 の並びは同じに構成される。また、第 1 入出力配線群 25 及び第 2 入出力配線群 21 の並びと出力パッド群 97 及び入出力パッド群 49 の配列は逆に構成される。

【0068】

一方、ゲート駆動用として用いられる半導体チップ 22 は、一般的に出力パッド 40、42、44、94、96、のそれぞれに対応するフリップフロップを備え、それぞれのフリップフロップを直列に接続することでシフトレジスタを構成している。

【0069】

10

20

30

40

50

図8(A)(B)を用いて、半導体チップ22のシフトレジスタの配置を詳細に説明する。シフトレジスタ30は、出力パッド40に対応するシフトレジスタ30Aと、出力パッド42に対応するシフトレジスタ30Bと、出力パッド94に対応するシフトレジスタ30Cから構成される。(説明の都合上、出力パッド44、96に対応するシフトレジスタは、省略する)。

【0070】

シフトレジスタ30Cの出力がシフトレジスタ30Bの入力に接続され、シフトレジスタ30Bの出力がシフトレジスタ30Aの入力に接続される。(一例としてシフトレジスタ30A~30Cの接続関係を示したが、双方向シフトレジスタを使用する場合等では、入力と出力の関係が逆になる)。

10

【0071】

シフトレジスタ30Aは、出力パッド40の近傍に配置され、シフトレジスタ30Bは、出力パッド42の近傍に配置され、シフトレジスタ30Cは、出力パッド94の近傍に配置される。出力パッド40、42、94、とシフトレジスタ30A、30B、30Cの距離は略等しく配置されている。シフトレジスタ30Cのシフト方向と、シフトレジスタ30A、30Bのシフト方向は逆となるようにそれぞれのフリップフロップの接続が行われている。

【0072】

詳細には、シフトレジスタ30Cの出力に対応するフリップフロップ(シフトレジスタ30Cの最終段のフリップフロップの出力)の出力に対して、シフトレジスタ30Bの入力に対応するフリップフロップの方が、シフトレジスタ30Bの出力に対応するフリップフロップより遠い位置に配置されていることである。なお、半導体チップ22のチップ中央の領域や、入出力パッド48の近傍には、入出力信号に基づいて、出力信号を生成する制御回路等が配置される。

20

【0073】

図6、図7に示されるように、第4出力配線90、第5出力配線92の他方の端部をチップ実装部26の第4の辺26Bを横切らせてチップ実装部26内に入り込ませ、半導体チップ22の第4の辺23Bに沿って設けられた出力パッド94、96と接続することで、半導体チップ22に設けられた多くの出力パッド94、96に対応することができる。なお、出力パッド94は出力パッド42と入出力パッド48の間に、出力パッド96は出力パッド44と入出力パッド48の間に配置されている。また、第4出力配線90の他方の端部は、第2出力配線16の他方の端部と入力配線20の他方の端部の間に配置されている。第5出力配線92の他方の端部は、第3出力配線18の他方の端部と入力配線20の他方の端部の間に配置されている。

30

【0074】

また、従来の構成の半導体チップであれば、本願の第1の辺23Cに相当する箇所に沿って単純にシフトレジスタを一行に配置するだけで実現可能であったが、従来の構成の半導体チップでは、本願発明のテープ配線基板24を用いて半導体チップパッケージ10を実現することは配線が非常に煩雑になってしまう問題を解決し、出力パッドに対応するシフトレジスタをそれぞれのパッド近傍に配置することで容易に設計をすることが可能となる。

40

【0075】

また、それぞれのシフトレジスタから出力パッドまでの距離が等しくなることで、シフトレジスタから出力パッドまでの信号遅延を出力間で調整する必要がなくなり、より設計を容易にすることが可能となる。

【0076】

さらに、入出力パッド48と出力パッド42との間に出力パッド94を配置することにより、チップ中央に配置された処理回路からの信号をシフトレジスタ30Cが無駄なく受け取れることを可能とする。

【0077】

50

また、出力パッド42と出力パッド94の位置を本願発明と逆にした場合に比べて、シフトレジスタ30Bの出力とシフトレジスタ30Aの距離を短くすることを可能とし、より信号遅延を少なくすることが出来る。

【0078】

次に、本発明のテープ配線基板101の第3実施形態を図9、図10に従って説明する。

【0079】

なお、第1実施形態と同一部材については、同一符号を付してその説明を省略する。

【0080】

図9、図10に示されるように、この実施形態では第1実施形態とは違い、第2出力配線16がチップ実装部26の第2の辺26Aを横切ってチップ実装部26の内部に入り込んだ直後の第2出力配線16と対向する半導体チップ22の対向面には、補強パッド98が設けられている。そして、補強パッド98と第2出力配線16は接続されている。

【0081】

同様に、第3出力配線18と対向する半導体チップ22の対向面には、補強パッド100が設けられている。そして、補強パッド100と第3出力配線18は接続されている。補強パッド98、100は、半導体チップ22の内部配線と独立して設けられていることが望ましい。必要に応じて、第2、3出力配線16、18に対応する出力パッド42、44と対応する補強パッド98、100を内部配線で接続することにより配線抵抗を減らすことも可能である。

【0082】

このように、補強パッド98及び補強パッド100と、第2出力配線16及び第3出力配線18を接続することで、半導体チップ22がテープ配線基板24から剥がれるのを抑制することができる。

【0083】

次に本発明のテープ配線基板103の第4実施形態を図11、図12に従って説明する。

【0084】

なお、第1実施形態と同一部材については、同一符号を付してその説明を省略する。

【0085】

図11、図12に示されるように、この実施形態では第1実施形態とは違い、チップ実装部26の第2の辺26A及び第3の辺26Dを横切るように、ベースフィルム12上には、ダミー配線104、ダミー配線106が形成されている。ダミー配線104及びダミー配線106と対向する半導体チップ22の対向面には、補強パッド108及び補強パッド110が設けられている。そして、ダミー配線104及びダミー配線106と、補強パッド108及び補強パッド110は接続されている。

【0086】

このように、既存の配線の位置に合わせて補強パッドを設ける場合と比較して、補強パッド108、110の配置位置が自由になるため、効果的に半導体チップ22がテープ配線基板24から剥がれるのを抑制することができる。

【図面の簡単な説明】

【0087】

【図1】本発明の第1実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した斜視図である。

【図2】本発明の第1実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した平面図である。

【図3】本発明の第1実施形態に係るテープ配線基板が採用された半導体チップパッケージを示し、図2に示すKK線断面図である。

【図4】本発明の第1実施形態に係るテープ配線基板が採用された半導体チップパッケージを示し、図2に示すLL線断面図である。

10

20

30

40

50

【図5】本発明の第1実施形態に係るテープ配線基板に実装される半導体チップを示した斜視図である。

【図6】本発明の第2実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した斜視図である。

【図7】本発明の第2実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した平面図である。

【図8】(A)(B)本発明の第2実施形態に係るテープ配線基板及び半導体チップを示した平面図である。

【図9】本発明の第3実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した斜視図である。

10

【図10】本発明の第3実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した平面図である。

【図11】本発明の第4実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した斜視図である。

【図12】本発明の第4実施形態に係るテープ配線基板が採用された半導体チップパッケージを示した平面図である。

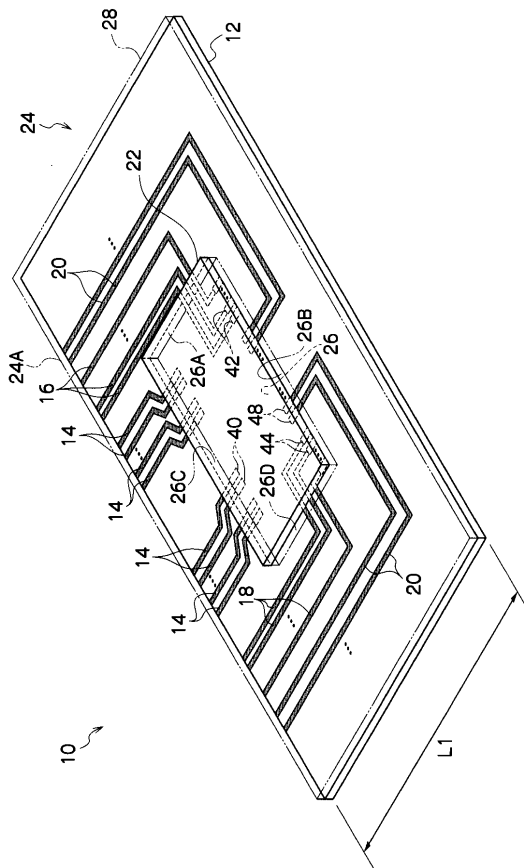
【符号の説明】

【0088】

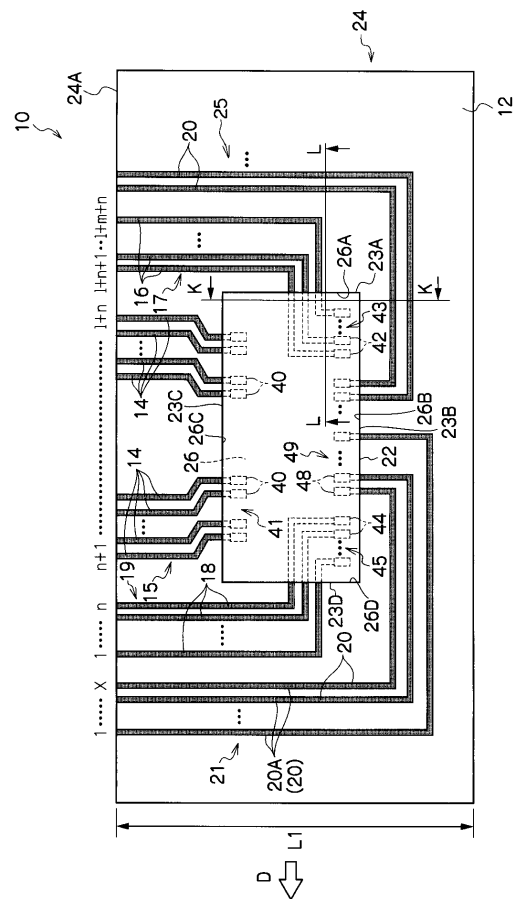
10	ゲート半導体チップパッケージ(半導体チップパッケージ)	
12	ベースフィルム	20
14	第1出力配線(第1の配線)	
15	第1出力配線群	
16	第2出力配線(第2の配線)	
17	第2出力配線群	
18	第3出力配線(第3の配線)	
19	第3出力配線群	
20	入力配線(第4の配線)	
21	第2の入出力配線群	
22	ゲート駆動用半導体チップ(半導体チップ)	
22A	主面	30
24	テープ配線基板	
24A	一端	
26	チップ実装部	
26A	第2の辺	
26B	第4の辺	
26C	第1の辺	
26D	第3の辺	
40	出力パッド(第1の電極パッド)	
41	出力パッド群	
42	出力パッド(第1の電極パッド)	40
43	出力パッド群	
44	出力パッド(第1の電極パッド)	
45	出力パッド群	
48	入力パッド(第2の電極パッド)	
49	入出力パッド群	
89	テープ配線基板	
89A	一端	
90	第4出力配線	
91	第4出力配線群	
92	第5出力配線	50

- 9 3 第5出力配線群
- 9 4 出力パッド
- 9 6 出力パッド
- 9 7 出力パッド群
- 9 8 補強パッド(第1の補強パッド)
- 1 0 0 補強パッド(第1の補強パッド)
- 1 0 1 テープ配線基板
- 1 0 3 テープ配線基板
- 1 0 4 ダミー配線
- 1 0 6 ダミー配線
- 1 0 8 補強パッド(第2の補強パッド)
- 1 1 0 補強パッド(第2の補強パッド)

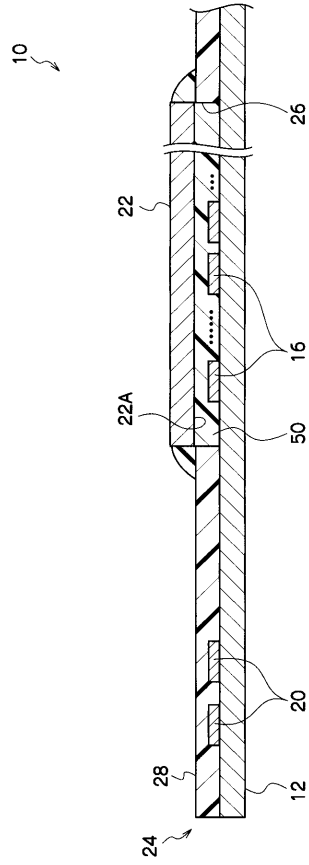
【図1】



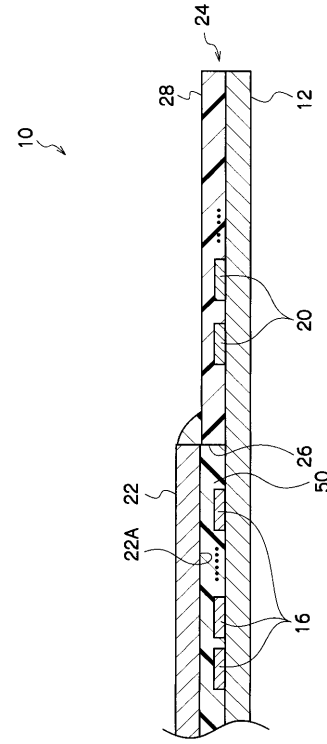
【図2】



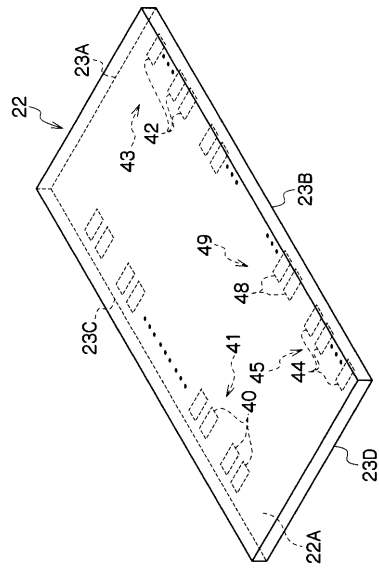
【 図 3 】



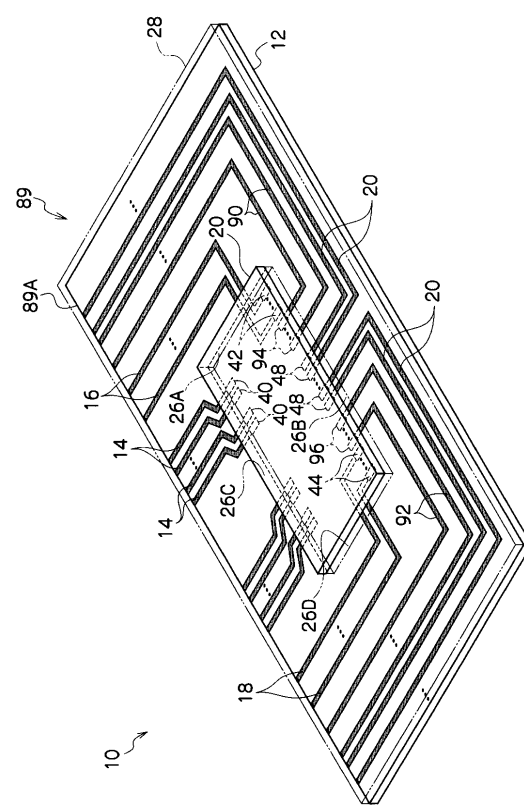
【 図 4 】



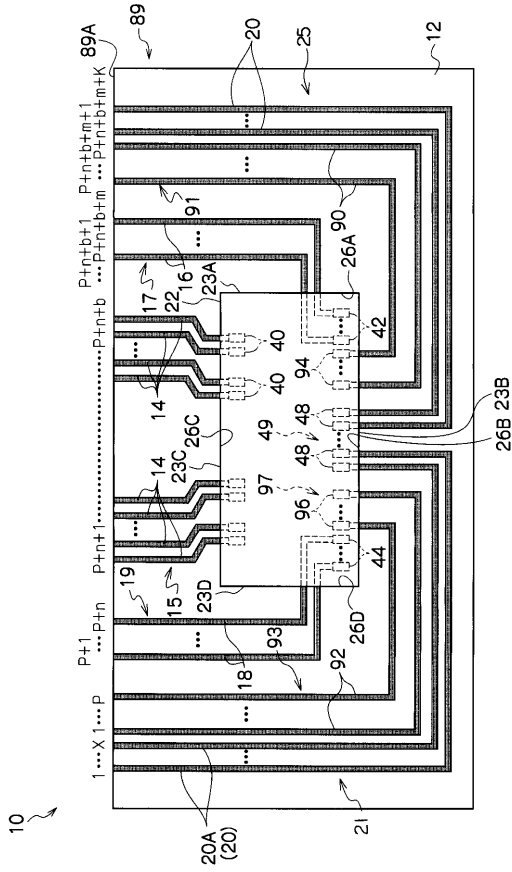
【 図 5 】



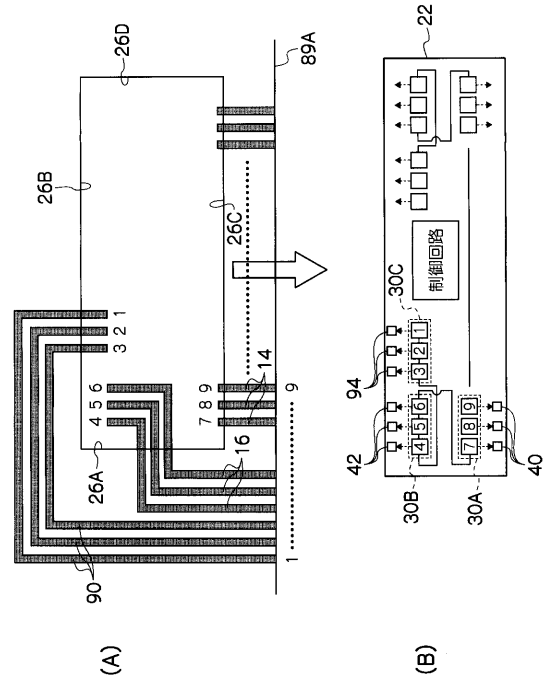
【 図 6 】



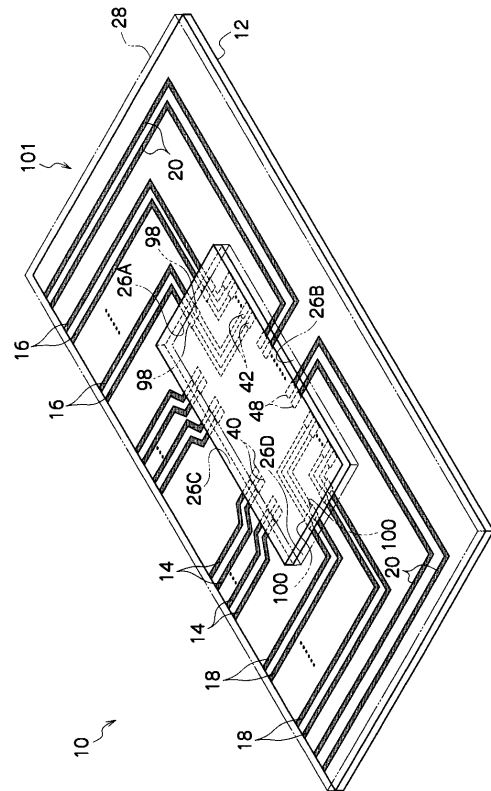
【 図 7 】



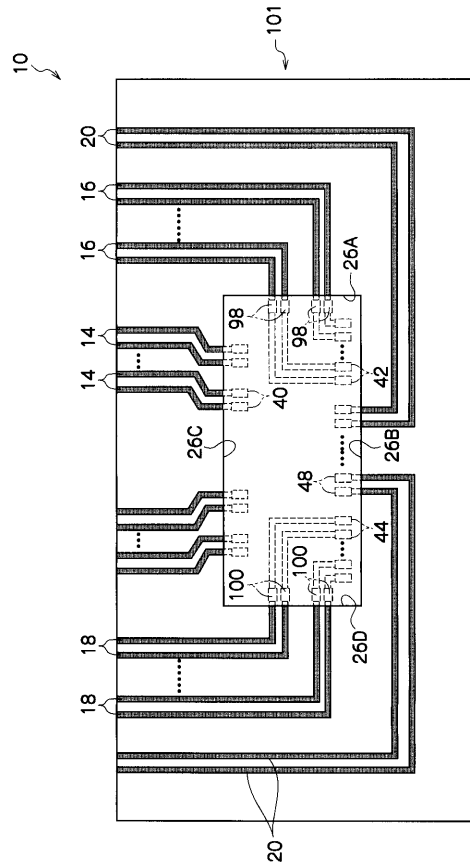
【 図 8 】



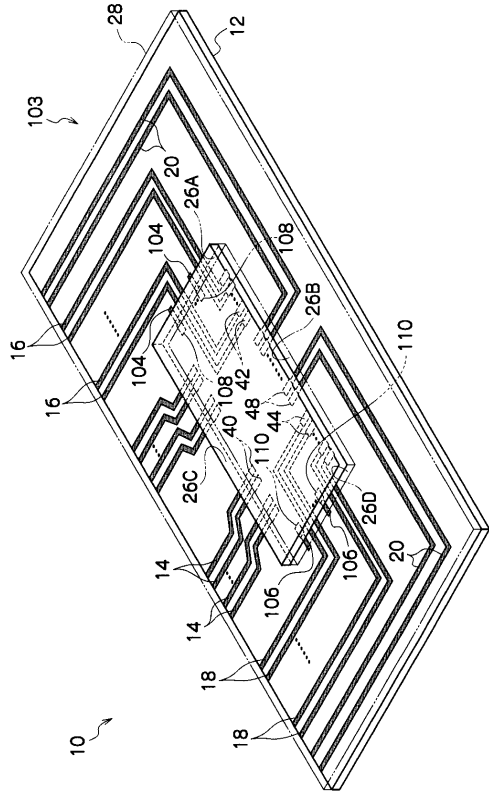
【 図 9 】



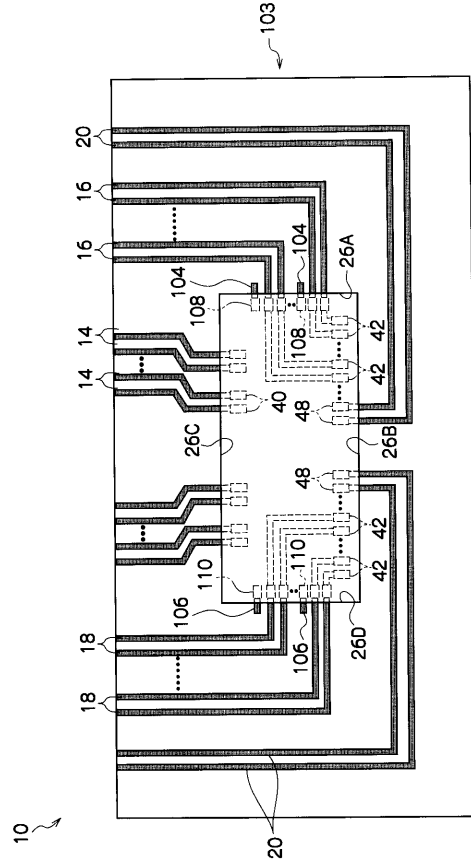
【 図 10 】



【図 1 1】



【図 1 2】



---

フロントページの続き

(72)発明者 高柳 武浩  
東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

審査官 山本 雄一

(56)参考文献 特開2005-167238(JP,A)  
特開2006-332544(JP,A)  
特開2005-107239(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 23/12  
H01L 21/60  
G09F 9/00