

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-45405

(P2010-45405A)

(43) 公開日 平成22年2月25日(2010.2.25)

(51) Int.Cl.	F I	テーマコード (参考)
<i>H O 1 L 21/82 (2006.01)</i>	<i>H O 1 L 21/82 L</i>	5 F 0 3 8
<i>H O 1 L 21/822 (2006.01)</i>	<i>H O 1 L 27/04 D</i>	5 F 0 6 4
<i>H O 1 L 27/04 (2006.01)</i>	<i>H O 3 K 19/00 A</i>	5 J 0 5 5
<i>H O 3 K 19/00 (2006.01)</i>	<i>H O 3 K 19/00 C</i>	5 J 0 5 6
<i>H O 3 K 17/00 (2006.01)</i>	<i>H O 3 K 17/00 A</i>	
審査請求 有 請求項の数 10 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2009-266037 (P2009-266037)
(22) 出願日 平成21年11月24日 (2009.11.24)
(62) 分割の表示 特願2007-289250 (P2007-289250)
の分割
原出願日 平成19年11月7日 (2007.11.7)

(71) 出願人 000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74) 代理人 100094053
弁理士 佐藤 隆久
(72) 発明者 緒方 博美
神奈川県横浜市保土ヶ谷区神戸町134番
地 ソニー・エルエスアイ・デザイン株式
会社内
Fターム(参考) 5F038 BH19 CA03 CD02 CD12 CD13
CD16 EZ20
5F064 BB27 BB28 BB37 CC12 DD14
DD34 EE12 EE16 EE27 EE42
EE43 EE45 EE52

最終頁に続く

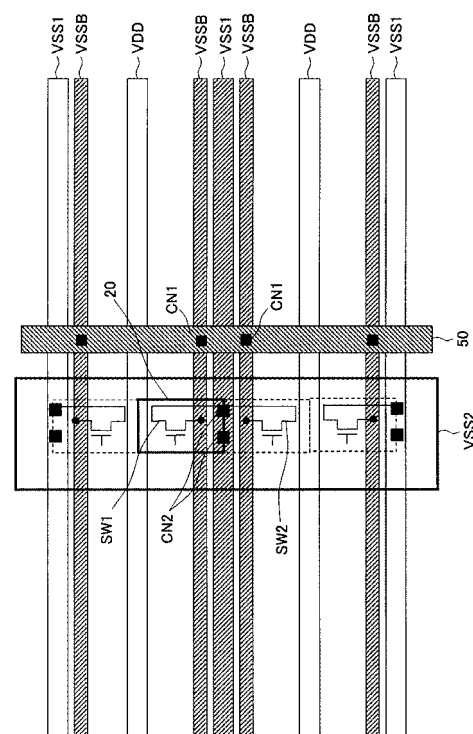
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 電源ノイズを抑制する。

【解決手段】 電源電圧 V_{dd} または基準電圧 V_{ss} が印加される主配線（第1基準電圧幹線 V_{SS1} ）と、複数の副配線（基準電圧枝線 V_{SSB} ）と、複数の基準電圧枝線 V_{SSB} に接続されている複数の回路セル（不図示）と、入力される制御信号に応じて、複数の基準電圧枝線 V_{SSB} のうち、所定の回路セルが接続されている基準電圧枝線 V_{SSB} と第1基準電圧幹線 V_{SS1} との接続および遮断を制御する電源スイッチセル $SW1$, $SW2$, ... と、複数の基準電圧枝線 V_{SSB} を相互に接続する補助配線 50 と、を有する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

電源電圧または基準電圧が印加される主配線と、
複数の副配線と、
前記複数の副配線に接続されている複数の回路セルと、
入力される制御信号に応じて、前記複数の副配線のうち、所定の前記回路セルが接続されている副配線と前記主配線との接続および遮断を制御する電源スイッチセルと、
前記複数の副配線を相互に接続する補助配線と、
を有する半導体集積回路。

【請求項 2】

前記主配線と前記複数の副配線が直交する方向に配置され、
前記補助配線が前記主配線と平行に配置され、前記複数の副配線と交差する箇所で前記補助配線が各副配線に接続されている
請求項 1 に記載の半導体集積回路。

【請求項 3】

複数の前記電源スイッチセルが、前記主配線の配置方向と同じ方向に列をなして配置され、所定の接続規則に従って複数の制御線に接続されている
請求項 2 に記載の半導体集積回路。

【請求項 4】

前記主配線と前記複数の副配線が同じ方向に平行に配置され、
前記補助配線が前記主配線と直交して配置され、前記複数の副配線と交差する箇所で前記補助配線が各副配線に接続されている
請求項 1 に記載の半導体集積回路。

【請求項 5】

複数の前記電源スイッチセルが、前記主配線の配置方向と直交する方向に列をなして配置され、所定の接続規則に従って複数の制御線に接続されている
請求項 4 に記載の半導体集積回路。

【請求項 6】

2 本の前記副配線が前記主配線の幅方向両側に配置され、
前記 2 本の副配線が、異なる前記制御線により制御される
請求項 5 に記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、電源電圧または基準電圧の回路セルへの供給と遮断を制御する電源スイッチセルを有する半導体集積回路に関する。

【背景技術】**【0002】**

電源電圧または基準電圧の回路セルへの供給と遮断を制御することは、例えば、MTC MOS (multi-threshold complementary metal oxide semiconductor) と称される回路技術として知られている。MTC MOS では、例えば特定の機能を果たす回路ブロックごとに、電源電圧や基準電圧 (例えば GND 電圧) を供給する経路に、機能回路のトランジスタより閾値電圧が高い電源スイッチトランジスタを接続する。回路ブロックが未使用状態になったとき、電源スイッチトランジスタがオフに設定されて、回路ブロック中の各トランジスタに流れるリーク電流が遮断される。これにより、未使用の回路ブロックに流れる無駄なリーク電流を大幅に減らすことができる。

【0003】

本願の発明者は、MTC MOS 技術が適用された回路ブロックを含む半導体集積回路の設計において人手により電源スイッチトランジスタを配置することの煩わしさをなくす意図で、電源スイッチトランジスタをセル化し、回路セルの配置領域内に、電源スイッチセ

10

20

30

40

50

ルを適宜配置した半導体集積回路を既に提案している（特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2005 - 259879 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明は、上記特許文献 1 で提案したように電源スイッチセルを配置した構造の半導体集積回路に対し、より電源ノイズを抑制できるように改善を加えるものである。

10

【課題を解決するための手段】

【0006】

本発明の一形態に関わる半導体集積回路は、電源電圧または基準電圧が印加される主配線と、複数の副配線と、前記複数の副配線に接続されている複数の回路セルと、入力される制御信号に応じて、前記複数の副配線のうち、所定の前記回路セルが接続されている副配線と前記主配線との接続および遮断を制御する電源スイッチセルと、前記複数の副配線を相互に接続する補助配線と、を有する。

本発明では、好適に、複数の前記電源スイッチセルが、前記主配線の配置方向と同じ方向または直交する方向に列をなして配置され、所定の接続規則に従って複数の制御線に接続されている。

20

【0007】

上記構成によれば、電源スイッチセルがオンする前に、複数の回路セルに接続されている複数の副配線間で蓄積電荷量の平均化が補助配線を介して行われている。したがって、補助配線を設けない場合に比べると、電源スイッチを最初にオンしたときに主配線に出現する電源ノイズのピークが十分小さく抑圧される。

【発明の効果】

【0008】

本発明によれば、電源スイッチトランジスタをセル化し、回路セルの配置領域内に、電源スイッチセルを適宜配置した半導体集積回路において、電源ノイズを有効かつ十分に抑圧できるという利益が得られる。また、リーク削減、電源スイッチセル面積の削減、および、オンすべきスイッチセルを決める際の設計期間の短縮という諸利益も得られる。

30

【図面の簡単な説明】

【0009】

【図 1】実施形態に関わる半導体集積回路の構成の一例を示す図である。

【図 2】実施形態に関わる半導体集積回路のレイアウトの一例を示す図である。

【図 3】（A）は、実施形態に関わる半導体集積回路の領域 A 1 の構成を模式的に示す図である。（B 1）及び（B 2）は、行方向のライン構造（配線形態）を示す図である。

【図 4】図 3（B 1）の配線のセル間接続関係を 4 × 2 セル配置において示す図である。

【図 5】図 3（B 2）の配線のセル間接続関係を 4 × 2 セル配置において示す図である。

【図 6】実施形態に関わる半導体集積回路の具体的な配線と電源スイッチセルとの接続の形態を示す図である。

40

【図 7】実施形態に関わる半導体集積回路の、他の具体的な配線形態を示す図である。

【図 8】実施形態に関わる半導体集積回路の効果を説明するための、図 6 の一部修正図面である。

【発明を実施するための形態】

【0010】

以下、本発明の実施形態を、図面を参照して説明する。

【0011】

< 全体構成 >

図 1 は、本発明の実施形態に関わる半導体集積回路の構成の一例を示す図である。同図

50

においては、電源電圧または基準電圧（例えばGND電圧）を供給するための配線と、これに接続される回路セルとが概略的に図解されている。

【0012】

図1に示す半導体集積回路は、「主配線」としての複数の電源線対PL1と、複数の電源線対PL2と、複数の分岐線群BL1と、「副配線」としての複数の分岐線群BL2と、複数の回路セル10と、複数の電源スイッチセル20と、回路ブロック30と、複数の電源入力セル41,42とを有する。

【0013】

電源線対PL1は、列（カラム）方向に長く、行（ロウ）方向で所定間隔となるように互いに平行配置されている。

10

電源線対PL2は、電源線対PL1に対して直交する行方向に長く、列方向で所定間隔となるように互いに平行配置されている。

図1では5対の電源線対PL1と、5対の電源線対PL2とが互いに交差し、全体としては格子状の電源線パターンを形成している。

【0014】

電源線対PL1およびPL2は、それぞれ、1本の電源電圧幹線VDDと1本の基準電圧幹線VSSが対をなして並行配置されている。上述した格子状の電源線パターンの交点において、電源電圧幹線VDD同士、基準電圧幹線VSS同士が、コンタクトを介して互いに接続されている。

【0015】

20

格子状の電源線パターンにおいて、四方の外枠の電源線対PL1,PL2には、それぞれ電源入力セル41,42が接続されている。基準電圧幹線VSSは電源入力セル41に、電源電圧幹線VDDは電源入力セル42に、それぞれ接続されている。

電源入力セル41を介して半導体集積回路の外部から基準電圧Vssが供給される。電源入力セル42を介して半導体集積回路の外部から電源電圧Vddが供給される。

【0016】

分岐線群BL1およびBL2は、「主配線」としての電源線対PL1から分岐して、半導体集積回路における回路の基本単位である回路セル10に電源を供給する。

また、分岐線群BL1およびBL2は、それぞれ、列方向に長い「主配線」としての電源線対PL1から行方向に延びて形成されている。

30

【0017】

1つの電源線対PL1から、このような分岐線群が複数分岐しており、それぞれの分岐線群には、複数の回路セル10が接続される。

半導体集積回路に含まれる回路セル10は、当該回路セル10に接続されている2つの分岐線、すなわち電源電圧Vddが印加される分岐線と、基準電圧Vssが印加される分岐線から電源供給を受ける。

一方、常時動作する等により電源線の遮断が不要な回路については、例えば図1に示す回路ブロック30のように、分岐線群を経由せず、電源線対から直接電源供給を受ける。

【0018】

40

分岐線群BL1は、回路セル10に電源供給を行う上記2つの分岐線として、電源電圧枝線VDDAおよび基準電圧枝線VSSAを有する。電源電圧枝線VDDAは電源電圧幹線VDDに、基準電圧枝線VSSAは基準電圧幹線VSSに、それぞれ接続される。

一方、分岐線群BL2も、上記2つの分岐線として、電源電圧枝線VDDBおよび基準電圧枝線VSSBを有する。電源電圧枝線VDDBは電源電圧幹線VDDに、基準電圧枝線VSSBは基準電圧幹線VSSにそれぞれ接続される。

【0019】

分岐線群BL1とBL2との違いは、電源スイッチセル20の挿入の有無にある。すなわち、両者のうち、分岐線群BL2と電源線対PL1との間に電源スイッチセル20が挿入されているが、分岐線群BL1と電源線対PL1の間には電源スイッチセル20が挿入されていない。分岐線群BL1とBL2のうち、分岐線群BL2は、電源スイッチセル

50

20により電源線対PL1との接続が制御されるため、「副配線」の一例に該当する。

【0020】

電源スイッチセル20は、図示しない制御信号を入力し、これに応じて、電源線対PL1と分岐線群BL2において、電源電圧と基準電圧の少なくとも一方を遮断可能に構成されている。例えば、電源スイッチセル20は電源スイッチトランジスタを含んでおり、入力される制御信号の論理に応じて当該電源スイッチトランジスタをオフすることにより、分岐線群BL2に接続される回路セル10への電源電流経路を遮断する。

MTCMOS型の半導体集積回路の場合、電源スイッチトランジスタとして、回路セル10内の導電型が同じタイプのトランジスタより閾値電圧が高いMOSトランジスタが用いられる。例えば、制御信号に応じて、基準電圧枝線VSSBを基準電圧幹線VSSから電氣的に切断する場合、電源スイッチトランジスタとして高閾値電圧のn型MOSトランジスタが用いられる。制御信号に応じて、電源電圧枝線VDDBを電源電圧幹線VDDから電氣的に切断する場合は、電源スイッチトランジスタとして高閾値電圧のp型MOSトランジスタが用いられる。

【0021】

図2は、本実施形態に関わる半導体集積回路のレイアウトの一例を示す図である。

図2において、符号“40”は、電源入力セル41,42を含む入出力セル(以下、IOセルという)を示す。その他、図1と図2の同一符号は同一の構成要素を示している。

【0022】

半導体集積回路が形成される矩形の半導体チップにおいて、その4つの辺に沿う周縁部には、それぞれ複数のIOセル40が列をなして配置されており、これらのIOセル40に囲まれたエリアに、上述した格子状の電源線パターンが形成されている。

【0023】

図2における電源線パターンの外枠部分より内側のエリアは、図1を参照すると、「副配線」としての分岐線群BL2に接続された回路セル10が配置され、電源スイッチセル20により電源遮断が可能であり、MTCMOS技術が適用される領域A1と、分岐線群BL1に接続された回路セル10が配置され、MTCMOS技術が非適用な領域A2と、電源線対PL2(PL1でも可)から直接電源供給を受けて動作し、MTCMOSが非適用な他の領域(図1では回路ブロック30の配置領域)とに大別される。

図2に示す領域A1,A2の範囲は、電源線対PL1と分岐線群間に電源スイッチセル20を挿入するか否かを選択することによって、それぞれ自由に定めることが可能である。

【0024】

< 制御線接続構造 >

上記図1および図2は電源スイッチセル20を制御する制御線を省略していた。ここで本実施形態において好適な制御線の電源スイッチセル20に対する接続を説明する。

図1に示すように、電源スイッチセル20は「主配線」としての電源線対PL1と並行に配置される。ここでは電源スイッチセル20は列方向に一行に配置されている。

【0025】

図3(A)は、領域A1の配置を示す図である。図3(A)において、電源スイッチセル20の列に対する制御線接続構造を模式的に示す。

図解するように、電源スイッチセル20が列方向に並んで配置され、4つに1つの割合で電源スイッチセル20が第1制御線CL1に接続されている。また、第1制御線CL1に接続されている電源スイッチセル20間に位置し3つ連続した他の電源スイッチセル20が、第2制御線CL2に接続されている。

第1制御線CL1と第2制御線CL2の途中に、それぞれ適宜、バッファ回路BUFが設けられている。バッファ回路BUFは、伝送途中に減衰した制御信号を電源電圧Vddと基準電圧Vss間の振幅を持つ波形に整形するために設けられている。バッファ回路BUFは図2のIOセル40に少なくとも配置される。また、必要に応じて図2のIOセル40に囲まれたエリア内にバッファ回路BUFを適宜配置してよい。

10

20

30

40

50

【 0 0 2 6 】

以上は 2 本の制御線の接続例であるが、2 本に限らず 3 本以上の制御線を設けてもよい。

いずれにしても、制御線は所定の接続規則に従って、列をなす各電源スイッチセル 2 0 の制御ノード（電源スイッチトランジスタのゲート）に接続される。所定の接続規則は、上記例では「1 : 3 の割合で接続する」となるが、その決め方は任意である。

【 0 0 2 7 】

複数の制御線により複数の電源スイッチセル 2 0 を制御する理由を、つぎに述べる。

M T C M O S 技術において、電源スイッチトランジスタ（電源スイッチセル 2 0 ）を設ける箇所は、起動と停止が繰り返される回路セル 1 0 に接続された電源電圧枝線 V D D B と電源電圧幹線 V D D との間、当該回路セル 1 0 が接続された基準電圧枝線 V S S B と電源電圧幹線 V D D との間、および、その両方の 3 通りがある。ただし、本実施形態では前者の 2 通りをとることが可能であり、さらに、n 型 M O S トランジスタの駆動能力が p 型 M O S トランジスタの駆動能力より大きいことから、回路セル 1 0 が接続された基準電圧枝線 V S S B と電源電圧幹線 V D D との間に電源スイッチセル 2 0 を設けることが望ましい。以下、この望ましい場合を前提として説明を続ける。

【 0 0 2 8 】

M T C M O S 技術が適用された領域 A 1（図 1 および図 2 参照）において、回路セル 1 0 は電源オフの期間が長いと、回路セル 1 0 内のトランジスタリーク電流によって基準電圧枝線 V S S B が高い電位まで充電されることがある。1 本の制御線によって、起動したい領域の全ての電源スイッチセル 2 0 をオフからオンすると、大きな放電電流が電源電圧幹線 V D D に流れ、これが他の領域や回路ブロックに対する電源ノイズとなる。

【 0 0 2 9 】

図 3（A）に示すように複数の制御線を設け、複数の制御線によって所定の接続規則でオンする電源スイッチセル 2 0 を徐々に増やす制御を行うと、この電源ノイズのピーク値を抑制できる。

【 0 0 3 0 】

なお、電源スイッチセル 2 0 の列を設ける箇所は、図 1 に示すように電源線対 P L 1 と重ねてよい。具体的には、電源線対 P L 1 の「主配線」としての電源電圧幹線 V D D より下方の基板領域に電源スイッチセル 2 0 の電源スイッチトランジスタを形成する。多層配線構造の、電源電圧幹線 V D D と異なる他の階層の配線を利用して、「副配線」としての基準電圧枝線 V S S B を形成する。そして、コンタクトを利用して、電源スイッチトランジスタと基準電圧枝線 V S S B との接続、電源スイッチトランジスタと基準電圧幹線 V S S とを接続を実現する。

この電源スイッチセル 2 0 と電源線対 P L 1 の重なる部分における、多層配線の階層利用形態、接続、および、配線パターンは種々の形態がある。これらの点に関しては、本願発明者による先願（特開 2 0 0 5 - 2 5 9 8 7 9 号公報）に記載された種々の形態を採用可能である。

【 0 0 3 1 】

また、図 3（A）は、行方向の分岐線を 1 本のラインにより描いているが、実際には、例えば、A 部を拡大した図 3（B 1）または（B 2）の形態を取りうる。

図 3（B 1）は、図 3（A）で符号“1 0”を付した 3 つの回路セルのように、列方向に隣接する 2 つの回路セル 1 0 同士で、電源電圧枝線 V D D B と基準電圧枝線 V S S B の各々を共有する場合である。この場合、図 3（A）の行方向のラインは 1 本の配線を描いたものであり、全体としては電源電圧枝線 V D D B と基準電圧枝線 V S S B が列方向に交互に配置される。

【 0 0 3 2 】

図 4 に、図 3（B 1）の配線のセル間接続関係を 4 × 2 セル配置において示す。

図 4 から、電源電圧枝線 V D D B と基準電圧枝線 V S S B が列方向に交互に配置され、電源電圧枝線 V D D B と基準電圧枝線 V S S B の各々が、列方向に隣接する 2 セル間で共

10

20

30

40

50

有されている。よって、１つのセル、例えば回路セル１０Ａ（１０Ｂも同様）を見ると、電源電圧枝線ＶＤＤＢの半分の幅を有する配線セグメントと、基準電圧枝線ＶＳＳＢの半分の幅を有する他の配線セグメントを有するため、この配線構造を「２線式」と有する。

図４に示す回路セル群が、常に電源供給が必要な回路セル（図１では領域Ａ２に配置されていた回路セル）の場合、基準電圧枝線ＶＳＳＢは列方向の主配線（基準電圧ＶＳＳで保持）に直接、接続される。一方、図４に示す回路セル群が、電源供給の遮断をする必要がある回路セル（図１では領域Ａ１に、領域Ａ２とは分離して配置されている回路セル）の場合、基準電圧枝線ＶＳＳＢは電源スイッチセル２０を介して主配線（基準電圧ＶＳＳで保持）に接続される。

なお、形成する回路が同じで、入出力ノードがセル高さ（列方向、即ち図４の上下方向）の中央に位置することを前提とすると、回路セル１０Ａをコピーし、基準電圧枝線ＶＳＳＢの中心線を軸として反転（flip）することにより、回路セル１０Ｂが配置可能である。

【００３３】

図３（Ｂ２）は、上記先願（特開２００５－２５９８７９号公報）で「３線式」と称している配線構造である。３線式では、例えば基準電圧枝線ＶＳＳＢが３本近接して配置され、これに対し、電源電圧枝線ＶＤＤＢは１本で孤立して配置される。

【００３４】

図５に、図３（Ｂ２）の配線のセル間接続関係を４×２セル配置において示す。

３本配置の中央の基準電圧枝線ＶＳＳＢ（０）が隣接する２セル間で共有され、電源電圧枝線ＶＤＤＢも隣接する２セル間で共有されている。よって、１つのセル、例えば回路セル１０Ａ（１０Ｂも同様）を見ると、基準電圧枝線ＶＳＳＢ（０）の半分の幅を有する配線セグメントと、電源電圧枝線ＶＤＤＢの半分の幅を有する配線セグメントと、その他の基準電圧枝線ＶＳＳＢ（Ａ）（またはＶＳＳＢ（Ｂ））との３線式となっている。

このように基準電圧枝線ＶＳＳＢが３本で分岐線群を構成する意図は、常に電源供給が必要な回路セル（図１では領域Ａ２に分離して配置されていた回路セル）を、領域Ａ１内の分岐線群に対し自由に配置できるようにするためである。

【００３５】

図５に示す、例えば回路セル１０Ａにおいて、３本のうち中央の基準電圧枝線ＶＳＳＢ（０）と電源電圧枝線ＶＤＤＢ間に、常時電源供給を受ける図１の領域Ａ２に配置すべき回路セルを接続する。中央の基準電圧枝線ＶＳＳＢ（０）と、他の基準電圧枝線ＶＳＳＢ（Ａ）（またはＶＳＳＢ（Ｂ））との間に、電源スイッチセル２０を接続し、電源スイッチセル２０によって電源供給の制御が行われる領域Ａ１の回路セルを、他の基準電圧枝線ＶＳＳＢ（Ａ）（またはＶＳＳＢ（Ｂ））と電源電圧枝線ＶＤＤＢとの間に接続する。

なお、形成する回路が同じで、入出力ノードがセル高さ（列方向、即ち図５の上下方向）の中央に位置することを前提とすると、回路セル１０Ａをコピーし、基準電圧枝線ＶＳＳＢの中心線を軸として反転（flip）することにより、回路セル１０Ｂが配置可能である。

また、平面パターンとして基準電圧枝線ＶＳＳＢが１本あるいは２本に見える場合でも、上記のように３本の機能を有する基準電圧枝線ＶＳＳＢが多層配線構造に形成されている場合は「３線式」の範疇に含まれる。

【００３６】

図３（Ｂ１）の「２線式」、図３（Ｂ２）の「３線式」のいずれを採用するかは任意である。また、同じ半導体集積化回路の別領域に異なる方式の配線構造を混載してもよい。

「２線式」および「３線式」の具体的な、多層配線の階層利用形態、接続、および、配線パターンに関しては、本願発明者による先願（特開２００５－２５９８７９号公報）に記載した種々の形態を採用可能である。

【００３７】

以上のように電源電圧Ｖｄｄまたは基準電圧Ｖｓｓを供給する配線を、主配線（電源電圧幹線ＶＤＤまたは基準電圧幹線ＶＳＳ）と、副配線（電源電圧枝線ＶＤＤＢまたは基準

10

20

30

40

50

電圧枝線 V S S B) とから構成し、その必要な主配線と副配線の間に電源スイッチセル 20 を設ける構造によれば、以下の利益が得られる。

【 0 0 3 8 】

電源スイッチセル 20 を、回路セル 10 の配置可能な領域に広く分散して配置して、電源スイッチセル 20 による電源供給の遮断を、比較的少数の回路セルごとに、きめ細かく行うことが可能になる。

これにより、回路ブロックごとに電源スイッチを設ける方法に比べて、電源スイッチセル 20 に流れる電源電流が減少して、その電源電圧降下が小さくなるため、電源スイッチセル 20 で生じる電圧降下が信号遅延に与える影響を緩和できる。

また、回路ブロックの外部に電源スイッチを配置する方法に比べて、電源スイッチセル 20 の配置の自由度が高くなり、電源遮断を行う領域 A 1 を自由に定めることが可能になるため、電源スイッチセル 20 を含めたレイアウトの自動設計を容易に実現できる。また、特に「3 線式」では、電源遮断を行う領域 A 1 と、電源遮断を行わない領域 A 2 を分離することなく、混在して 1 つの領域に形成できる。

したがって、人手で行われていた設計作業の負担を軽減し、開発期間の短縮を図ることができる。

【 0 0 3 9 】

複数の電源スイッチセル 20 のうち、それぞれ所定数の電源スイッチセル 20 を異なる複数の制御線で別々に制御すると、前述した電源ノイズのピーク値を抑制できるという効果が得られる。

【 0 0 4 0 】

本実施形態では、以上の構成に加え、さらに大きな電源ノイズの抑制効果を得ることを意図して、図 3 (A) のように、補助配線 50 を設けている。補助配線 50 は、行方向に配線された電源電圧枝線 V D D B や基準電圧枝線 V S S B に交差するため、これらの配線とは異なる階層の配線層で形成される。そして補助配線 50 は、図 3 (B 1) 及び図 3 (B 2) に示す基準電圧枝線 V S S B 同士を相互に接続する。ただし、電源遮断を行わない領域 A 2 の回路セルが接続される、例えば図 3 (B 2) の 3 本が近接配置された配線構造の中央の基準電圧枝線 V S S B に対しては、その回路セルに信号遅延を与える影響を排除する必要がある場合、補助配線 50 を接続しなくてもよい。

【 0 0 4 1 】

図 3 (A) では、電源スイッチセル 20 を複数の制御線により制御する構成と、補助配線 50 を設けたことの両方が適用されているが、本実施形態では、少なくとも補助配線 50 が設けられていればよい。

【 0 0 4 2 】

補助配線 50 を設けない場合、ある基準電圧枝線 V S S B の電位が最も高いと、その電位の基準電圧枝線 V S S B に溜まった電荷が基準電圧幹線 V S S に一気に放電されるため、基準電圧幹線 V S S に出現する電源ノイズのピークが高くなる。

しかし、補助配線 50 を設けると、その放電の前に、複数の基準電圧枝線 V S S B 間で蓄積電荷量が均一化される。このため、補助配線 50 を設けて複数の基準電圧枝線 V S S B を相互接続すると、電源ノイズのピーク抑制効果がある。

【 0 0 4 3 】

電源ノイズのピーク値抑制は、補助配線 50 を設けて放電前に蓄積電荷量を均一化することのほかに、電源スイッチング時の接続インピーダンスを大きくすることによっても達成できる。放電電荷の出口を小さくする方法である。

電源スイッチセル 20 を複数の制御線により制御する場合、全ての電源スイッチセル 20 を同時にオンする場合と比べると、電源ノイズのピーク値を決める最初の電源スイッチング時の接続インピーダンスを大きくできる。このため、電源ノイズ抑制効果がある。

【 0 0 4 4 】

補助配線 50 と複数の制御線による電源スイッチングとを併用すると、複数の制御線による電源スイッチングにより、上述したように、基準電圧枝線 V S S B から基準電圧幹線

10

20

30

40

50

VSSに排出される単位時間当たりの電荷量（電源ノイズとなる電荷量）が減るため、上述したように電源ノイズのピーク抑制効果がある。その上、補助配線50を介した、電源スイッチング前の蓄積電荷の均一化により、さらに、電源ノイズのピーク抑制が可能である。

【0045】

以上より、補助配線50を設ける場合、補助配線50を設けることと、複数の制御線により電源スイッチングを行うことの双方で、電源ノイズを有効に抑圧することができる。

【0046】

電源スイッチセル20の制御を決める前述した規則、例えば、最初にスイッチオンする電源スイッチセル20の数と、その後にスイッチオンする時の電源スイッチセル20の数との割合などは、補助配線50の配線抵抗や配線容量などを考慮して決められる。

逆に、スイッチトランジスタを一度に制御する数に適合して、電源ノイズのピークを十分抑制できるように、補助配線50の配線抵抗や用いる階層を決めてもよい。ただし、補助配線50の配線抵抗や用いる階層はプロセス上の制約があるため、一度にオンする電源スイッチセル20の制御数を、補助配線50の仕様に合わせる前者の方法が、より容易である。

なお、第1制御線CL1に接続され、最初にオンする電源スイッチセル20を図3(A)のように等距離で均等配置すると、補助配線50による電荷量の平均化に適合して、より一層電源ノイズ抑制効果を高めるため、好ましい。

【0047】

また、補助配線50を設けると、回路セル10の電源遮断の復帰時に、基準電圧枝線VSSBから基準電圧幹線VSSに流れ出す電流の均一化によって、トランジスタのサイズが小さくでき、また、設計がしやすく設計期間が短縮できる、さらには、リーク電流の削減にも寄与するという効果がある。この効果の詳細は後述する。

【0048】

<具体例>

図6は、より具体的な配線例を示す図である。

本例では、今まで説明してきた、列方向の基準電圧幹線VSS（図1）が、行方向の第1基準電圧幹線VSS1と、それより上層の配線層で形成される列方向の第2基準電圧幹線VSS2により形成されている。このうち第1基準電圧幹線VSS1が「主配線」に該当する。

第1基準電圧幹線VSS1の幅方向両側に、2本の基準電圧枝線VSSBが配置され、基準電圧枝線VSSB同士がコンタクトCN1および補助配線50を介して相互接続されている。これらの第1基準電圧幹線VSS1と2本の基準電圧枝線VSSBは、例えば第2層目のメタル配線層など、同一階層の配線層から形成してよい。

【0049】

第1基準電圧幹線VSS1は、それより上層の第2基準電圧幹線VSS2と、コンタクトCN2を介して接続されている。また、第1基準電圧幹線VSS1が形成された配線の階層より下方の基板領域に、電源スイッチトランジスタSW1、SW2が形成されている。電源スイッチトランジスタSW1は、一方の基準電圧枝線VSSBと第1基準電圧幹線VSS1間に接続され、電源スイッチトランジスタSW2は、他方の基準電圧枝線VSSBと第1基準電圧幹線VSS1間に接続されている。

以上の構成が、列方向に繰り返し配置されている。

【0050】

図6に示す構成では、電源スイッチトランジスタSW1、SW2の一方がオンされると、第1基準電圧幹線VSS1の両側に配置された2本の基準電圧枝線VSSBのうち、オンされたトランジスタ側の基準電圧枝線VSSBの電荷が、オンされたトランジスタを介して排出される。このとき、基準電圧枝線VSSB同士が補助配線50により接続されているため、他方の基準電圧枝線VSSBに溜まった電荷が、オンされたトランジスタを介して排出された一方の基準電圧枝線VSSBの電位低下にともなって移動し、これにより

、他方の基準電圧枝線VSSBの蓄積電荷も減少することが可能となる。ただし、電源ノイズのピーク値は、電源スイッチトランジスタSW1がオンする初期段階で、当該電源スイッチトランジスタSW1に接続されている基準電圧枝線VSSBの蓄積電荷量で決まり、補助配線50により、その後にくっくりと移動する電荷量では決まらない。よって、電源スイッチングの前に、排出すべき電荷量が平均化されている分だけ、電源ノイズのピーク値を決める電荷排出が緩慢となり、第2基準電圧幹線VSS2に出現する電源ノイズは抑圧される。

【0051】

図7に、他の具体例を示す。

この場合、基準電圧枝線VSSBと電源電圧幹線VDDが交互に配置されている。この配置は、図3(B1)と同様な「2線式」であるが、図7では、図3(B1)と異なり、電源電圧幹線VDDは行方向に配置されており、その分岐線を有しない。

また、図6の電源スイッチトランジスタSW1を含む電源スイッチセル20と、第2スイッチSW2を含む電源スイッチセル20とが、基準電圧枝線VSSBを共有して配置されている。電源スイッチトランジスタSW1の隣に、電源スイッチトランジスタSW1と電源電圧幹線VDDを共有する電源スイッチトランジスタSW0が配置されている。また、電源スイッチトランジスタSW2の隣に、電源スイッチトランジスタSW2と電源電圧幹線VDDを共有する電源スイッチトランジスタSW3が配置されている。

上記と同様な電源ノイズ抑制効果を得るために、基準電圧枝線VSSB同士が補助配線50により相互接続されている。

【0052】

図8は、図6の構成にランダムに配置された回路セル10を加えたもので、この図8を用いて、補助配線50を設けたことによる、回路セル動作時の消費電力のばらつき低減効果等について説明する。なお、図8では第2基準電圧幹線VSS2を省略している。

【0053】

回路セル10は、例えば図8に示すように、ランダムに配置される。また、回路セル10が動作する、しないも一律でなく、設計時に想定する動作によって予め決められる。よって、各回路セル10のVSS電位は、回路セルの場所によって、あるいは、時間によって大きくばらつく。このため、複数の回路セル10は、回路構成が同じであっても、その動作時の消費電力にばらつきが生じ、補助配線50が設けられていない場合を仮定すると、図では4本設けられている基準電圧枝線VSSBへ流れる電流もばらつく。このバラツキを予測してオンすべきスイッチを選択する場合、ダイナミックに変化する各回路セル10の消費電力から、基準電圧枝線VSSBの各々に流れる電流を予測する必要があるため、設計に手間を要し、設計時間が増大することが予想される。また、期待通りの動作を保障するには、必要なサイズよりも、ある程度余裕をとって大きいサイズにスイッチSW0～SW3を設計する必要がある。このようなサイズが大きいスイッチは、オン抵抗が小さく電荷排出能力が高いため、動作保障のため安全度は高まるが、回路面積の増大を招き、また、リーク電流も増大する不都合がある。

【0054】

このような不都合は、本実施形態では補助配線50を設けているため解消されている。つまり、補助配線50を介した電荷移動によって基準電圧枝線VSSB間の電流のバラツキがなくなり、スイッチSW0～SW3の何れがオンする場合でも、平均化した電流が、選択されオンするスイッチに流れる。

以上より、補助配線50を設けたことによって電源スイッチセル20の選択を容易にし、結果として、必要な小さいサイズのスイッチSW0～SW3によって電源スイッチセル20を構成できる。その結果、リーク電流の削減効果、電源スイッチセル20の面積削減効果、および、設計期間が短縮するという効果が得られる。

【符号の説明】

【0055】

10 ... 回路セル、20 ... 電源スイッチセル、30 ... 回路ブロック、40 ... IOセル、4

10

20

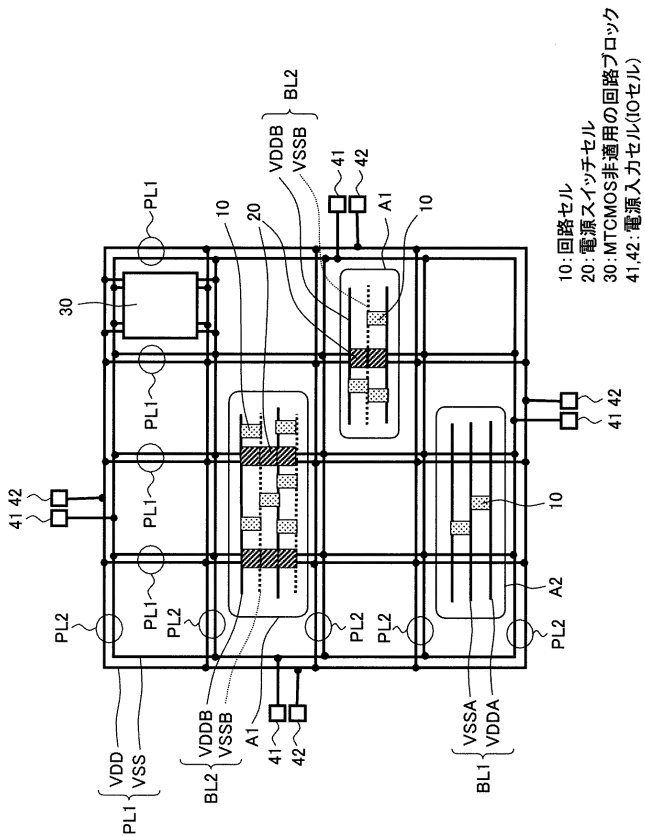
30

40

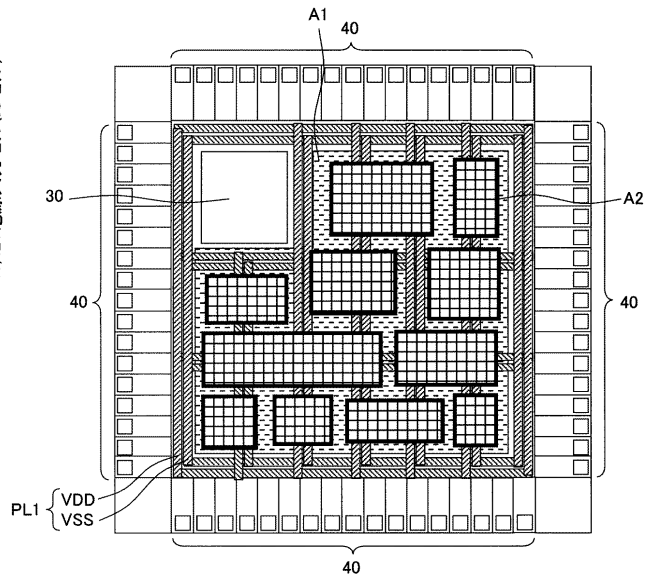
50

1 ... 電源入力セル、4 2 ... 電源入力セル、5 0 ... 補助配線、P L 1 ... 電源線対、P L 2 ... 電源線対、B L 1 ... 分岐線群、B L 2 ... 分岐線群、V D D ... 電源電圧幹線、V S S ... 基準電圧幹線、V S S 1 ... 第 1 基準電圧幹線、V S S 2 ... 第 2 基準電圧幹線、V S S A ... 基準電圧幹線、V D D B ... 電源電圧枝線、C N 1 ... コンタクト、C N 2 ... コンタクト、S W ... 電源スイッチトランジスタ、S W 1 ... 電源スイッチトランジスタ、S W 2 ... 電源スイッチトランジスタ

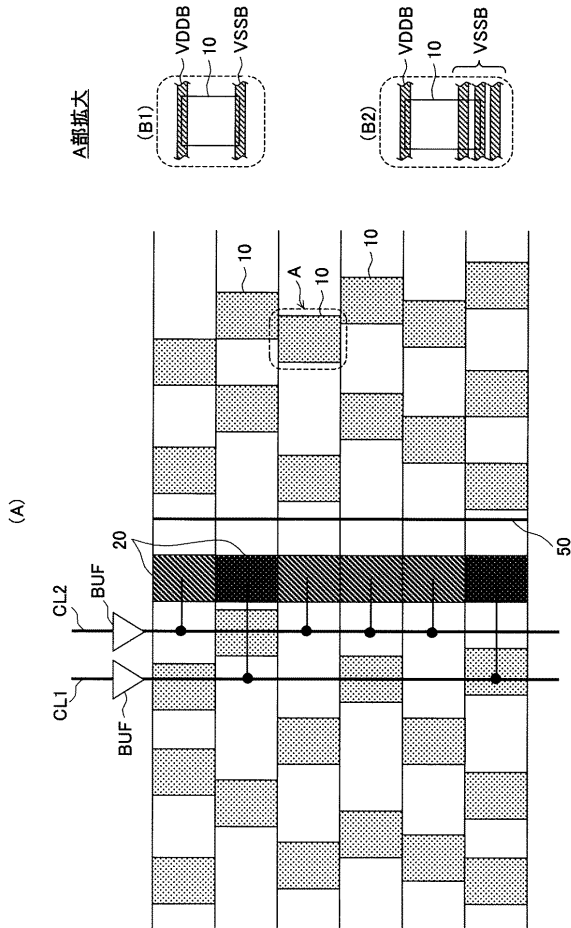
【 図 1 】



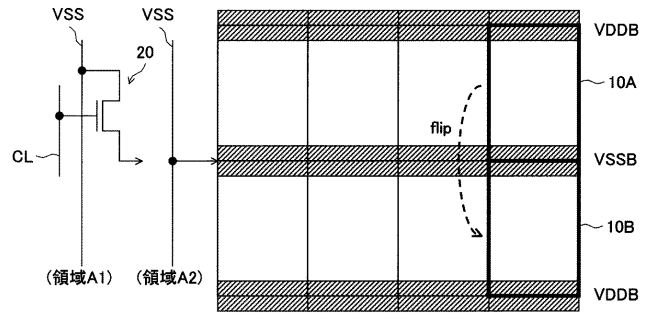
【 図 2 】



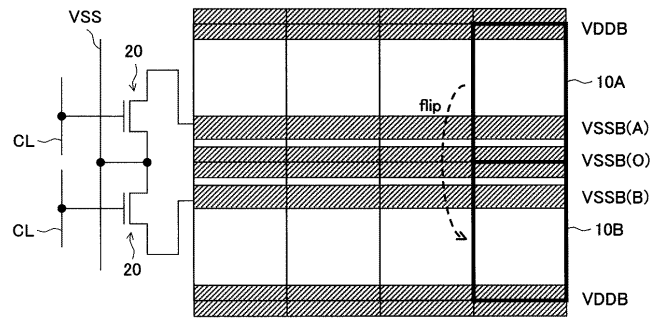
【図 3】



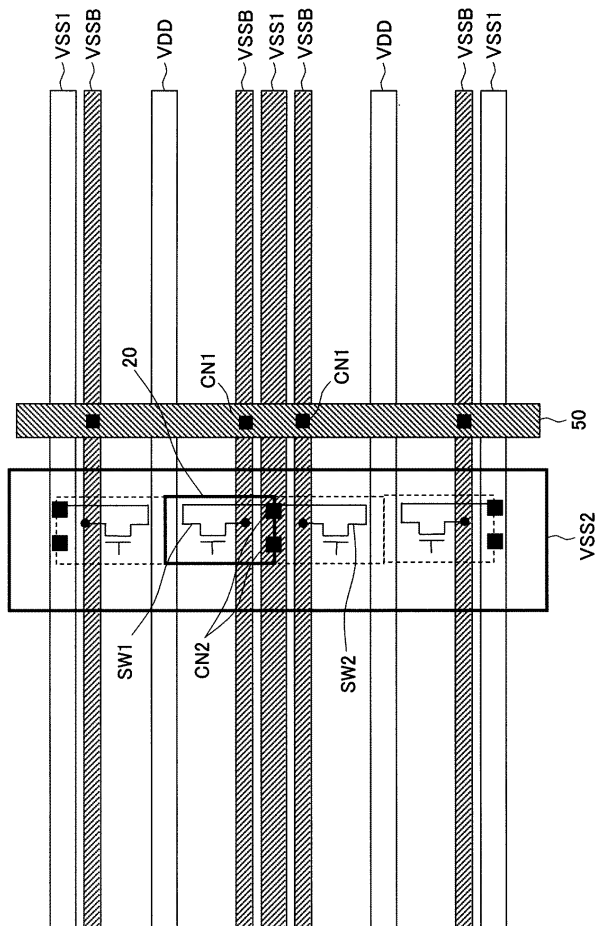
【図 4】



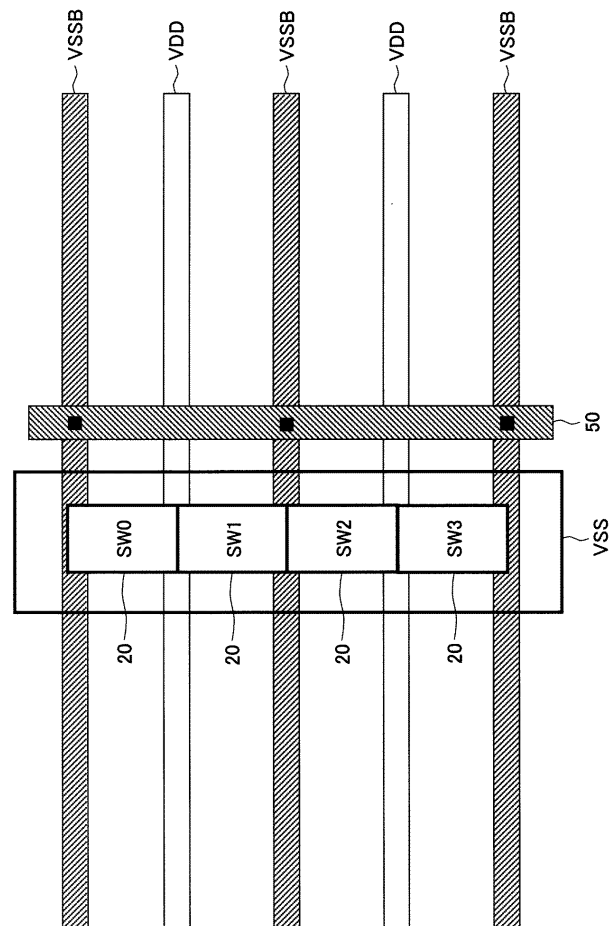
【図 5】



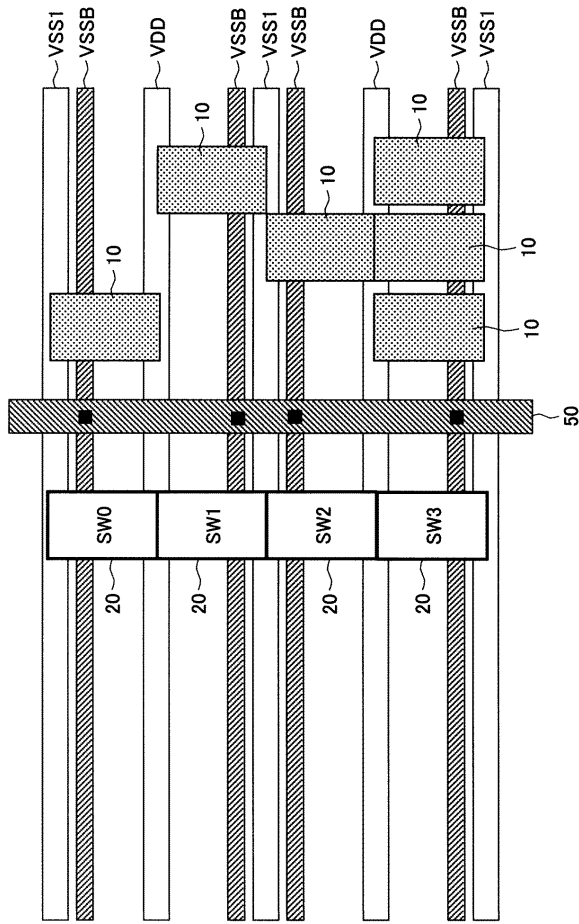
【図 6】



【図 7】



【図 8】



【手続補正書】

【提出日】平成21年12月21日(2009.12.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

一方向のセルサイズが揃えられて配置された複数の回路セルと、
 電源電圧または基準電圧が印加される主配線と、
 前記一方向と直交する他方向に配置され、前記複数の回路セルのうち前記他方向に並ぶ
所定の回路セルでそれぞれ共有されている複数の副配線と、
入力される制御信号に応じて、各副配線と前記主配線との接続および遮断を制御する複
数の電源スイッチセルと、
 前記複数の副配線を相互に接続する補助配線と、
 を有する半導体集積回路。

【請求項 2】

前記主配線が前記一方向に配置され、
 前記補助配線が、前記主配線に対応して平行に隣接配置され、前記複数の補助配線と交
 差する箇所で各副配線に接続されている
 請求項 1 に記載の半導体集積回路。

【請求項 3】

前記主配線と前記補助配線は、前記複数の副配線より上層の配線層である
請求項 2 に記載の半導体集積回路。

【請求項 4】

前記複数の電源スイッチセルが、前記主配線の下方の基板領域に形成されている
請求項 3 に記載の半導体集積回路。

【請求項 5】

前記複数の電源スイッチセルが、前記主配線の配置方向と同じ方向に列をなして配置され、
所定の接続規則に従って複数の制御線に接続されている
請求項 4 に記載の半導体集積回路。

【請求項 6】

前記複数の制御線が、所定の割合で対応する複数の電源スイッチセルに規則的に接続されている

請求項 5 に記載の半導体集積回路。

【請求項 7】

前記複数の電源スイッチセルが、前記一方向に列をなして配置され、所定の接続規則に従って複数の制御線に接続されている

請求項 1 に記載の半導体集積回路。

【請求項 8】

前記複数の制御線が、所定の割合で対応する複数の電源スイッチセルに規則的に接続されている

請求項 7 に記載の半導体集積回路。

【請求項 9】

前記主配線が、電源電圧または基準電圧が印加される幹配線を含み、
前記副配線が、前記所定の回路セルの対向する 2 辺の一方に沿って配線され、前記幹配線から電源電圧または基準電圧の供給を受ける枝配線であり、

前記電源スイッチセルが、前記幹配線と前記枝配線との間の接続と遮断を制御する

請求項 1 ～ 8 の何れかに記載の半導体集積回路。

【請求項 10】

前記主配線が、電源電圧または基準電圧が印加される幹配線を含み、

前記副配線が、

前記幹配線と直交する方向の回路セル境界に沿って配線され、当該境界で隣接する 2 つの前記所定の回路セルで共有され、前記幹配線に電源スイッチセルを介することなく接続された共有枝線と、

前記共有枝線と平行に隣接配置され、対応する前記電源スイッチセルを介して前記幹配線との接続が制御される 2 本の非共有枝線と、
の 3 線構造を有し、

前記所定の回路セルの各回路セルは、前記非共有枝線と前記共有枝線の何れに接続されているかによって、前記電源スイッチセルを介した電源遮断制御の適用または非適用が決められている

請求項 1 ～ 8 の何れかに記載の半導体集積回路。

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 3 K 17/693 (2006.01) H 0 3 K 17/693 C

F ターム(参考) 5J055 AX22 BX09 CX27 DX13 DX72 DX73 DX83 EX02 EY21 EZ12
FX04 FX12 FX18 FX37 GX01 GX02 GX08
5J056 AA00 BB25 CC00 DD12 DD27 EE06 EE15 FF07 GG07 GG13
KK02