

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-252005

(P2009-252005A)

(43) 公開日 平成21年10月29日(2009.10.29)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 12/16 (2006.01)	G06F 12/16 310P	5B018
G11C 29/04 (2006.01)	G11C 29/00 603B	5L106
G11C 11/401 (2006.01)	G11C 11/34 371A	5M024

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21) 出願番号 特願2008-100192 (P2008-100192)
 (22) 出願日 平成20年4月8日(2008.4.8)

(71) 出願人 501285133
 川崎マイクロエレクトロニクス株式会社
 千葉県千葉市美浜区中瀬一丁目3番地
 (74) 代理人 100083194
 弁理士 長尾 常明
 (72) 発明者 武信 聖児
 千葉県千葉市美浜区中瀬一丁目3番地 川崎マイクロエレクトロニクス株式会社内
 Fターム(参考) 5B018 GA06 HA25 KA15 QA16
 5L106 AA01 CC21 CC32 DD24 DD25
 EE07 FF01 FF08 GG07
 5M024 AA74 AA90 BB07 BB27 BB33
 BB34 DD80 KK35 MM04 PP01

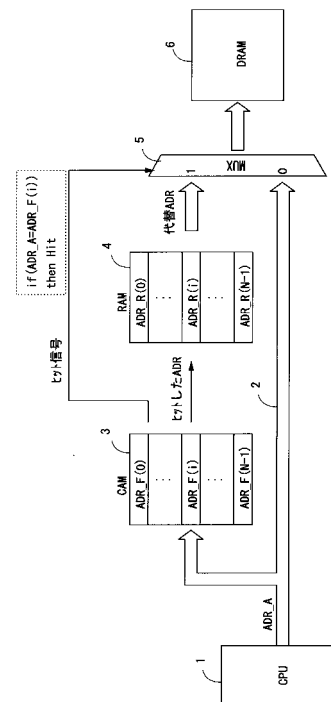
(54) 【発明の名称】 不良アドレス変換装置

(57) 【要約】

【課題】不良アドレスを有するメモリをそのまま使用でき、事後的に欠陥が発生してもそのメモリを使用できるようにして、冗長メモリを必要としない不良アドレス変換を行う。

【解決手段】DRAM 6の不良アドレスが登録され、アクセスされたアドレスがその不良アドレスと一致するときヒット信号を有効にするCAM 3と、前記不良アドレスに対応して代替アドレスが登録され、前記ヒット信号が有効のとき前記不良アドレスに対応した代替アドレスが読み出されるRAM 4と、前記ヒット信号が無効のとき前記CAM 3をアクセスするアドレスを選択し前記ヒット信号が有効のとき前記RAM 3から読み出された代替アドレスを選択するセレクタ5とを備える。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

メモリの不良アドレスが登録され、アクセスされたアドレスが前記不良アドレスと一致するときヒット信号を有効にする C A M と、

前記不良アドレスに対応して代替アドレスが登録され、前記ヒット信号が有効のとき前記不良アドレスに対応した代替アドレスが読み出される R A M と、

前記ヒット信号が無効のとき前記 C A M をアクセスするアドレスを選択し、前記ヒット信号が有効のとき前記 R A M から読み出された代替アドレスを選択するセレクタと、
を備えることを特徴とする不良アドレス変換装置。

【請求項 2】

メモリの不良アドレスのインデックスビットに対応するインデックスのブロックに前記不良アドレスのノンインデックスビットが登録されるタグ R A M と、

アクセスされたアドレスのインデックスによって前記タグ R A M から読み出されたノンインデックスビットが前記アクセスされたアドレスのノンインデックスビットと一致するときヒット信号を有効にする比較器と、

前記タグ R A M のインデックスと同一インデックスに代替アドレスが登録され、アクセスされたアドレスのインデックスに応じて代替アドレスが読み出されるデータ R A M と、

前記ヒット信号が無効のとき前記アクセスされたアドレスを選択し、前記ヒット信号が有効のとき前記データ R A M から読み出された代替アドレスを選択するセレクタと、
を備えることを特徴とする不良アドレス変換装置。

【請求項 3】

請求項 2 に記載の不良アドレス変換装置において、

前記タグ R A M は、不良アドレス用フラグとキャッシュ用フラグを備え、前記インデックスのブロックに、前記不良アドレスのノンインデックスビットが登録されたときは不良アドレス用フラグが有効となり、キャッシュされたデータのアドレスのノンインデックスビットが登録される時はキャッシュ用フラグが有効となり、

前記データ R A M は、前記インデックスのブロックに前記代替アドレス又はキャッシュデータが登録され、

アクセスされたアドレスのインデックスビットが、前記不良アドレス用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データ R A M から読み出された前記代替アドレスが前記セレクタから出力され、

アクセスされたアドレスのインデックスビットが、前記キャッシュ用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データ R A M からキャッシュデータが読み出される、

ことを特徴とする不良アドレス変換装置。

【請求項 4】

請求項 3 に記載の不良アドレス変換装置において、

前記タグ R A M は、さらに代替キャッシュ用フラグを備え、前記インデックスのブロックに、前記代替アドレスでキャッシュされた不良アドレスのノンインデックスビットが登録されたときは該代替キャッシュ用フラグが有効となり、

前記データ R A M は、前記インデックスのブロックにさらに前記代替アドレスでキャッシュされたキャッシュデータが登録され、

アクセスされたアドレスのインデックスビットが、前記キャッシュ用フラグと前記代替キャッシュ用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データ R A M から前記代替アドレスでキャッシュされたキャッシュデータが読み出される、

ことを特徴とする不良アドレス変換装置。

【発明の詳細な説明】**【技術分野】**

【 0 0 0 1 】

本発明は、半導体チップの内部メモリ、外部メモリに拘わらず、メモリの不良アドレスを管理し、不良アドレスへのアクセスがあった場合に、別アドレス空間へアクセスさせるようにした不良アドレス変換装置に関するものである。

【 背景技術 】

【 0 0 0 2 】

従来から不良メモリへの対策として、E C C (Error Check and Collect) の機能をメモリに持たせることが行われている。これは、メモリからデータを読み出す際に、データの誤りを訂正するために、本来のデータとは別に冗長なデータを付加し、特定ビット数までのエラーのチェックとその復元を可能にするものである。

10

【 0 0 0 3 】

ところが、このE C Cはメモリに冗長ビットを付加するので、ハードウェアとしてのコストが高くなる問題と、E C Cでは訂正できるビット数に上限があるため特定のアドレスのデータの大半の損失が発生すると、対応が不可能になる問題がある。

【 0 0 0 4 】

そこで、メモリの1ブロックに欠陥が発見されたとき、この欠陥ブロックを冗長ブロックに置き換える手法が提案されている(特許文献1)。これは、C A Mセットを用意して、特定のメモリブロックに欠陥が発見され、それを冗長ブロックに置換する必要があるとき、当該メモリブロックのアドレスと冗長ブロックのアドレスをC A Mセットに蓄積して、アドレス変換を行うものである。

20

【特許文献1】特開2004-342282号公報

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところが、上記特許文献1に記載の手法は、特別に冗長ブロックが必要になり、回路規模が大きくなり、さらにハードウェアのコストが高くなる問題がある。

【 0 0 0 6 】

本発明の目的は、不良アドレスを有するメモリをそのまま使用でき、事後的に欠陥が発生してもそのメモリを使用できるようにして、冗長メモリを必要としない不良アドレス変換装置を提供することである。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

上記目的を達成するために、請求項1にかかる発明は、メモリの不良アドレスが登録され、アクセスされたアドレスが前記不良アドレスと一致するときヒット信号を有効にするC A Mと、前記不良アドレスに対応して代替アドレスが登録され、前記ヒット信号が有効のとき前記不良アドレスに対応した代替アドレスが読み出されるR A Mと、前記ヒット信号が無効のとき前記C A Mをアクセスするアドレスを選択し、前記ヒット信号が有効のとき前記R A Mから読み出された代替アドレスを選択するセレクタと、を備えることを特徴とする。

請求項2にかかる発明は、メモリの不良アドレスのインデックスビットに対応するインデックスのブロックに前記不良アドレスのノンインデックスビットが登録されるタグR A Mと、アクセスされたアドレスのインデックスによって前記タグR A Mから読み出されたノンインデックスビットが前記アクセスされたアドレスのノンインデックスビットと一致するときヒット信号を有効にする比較器と、前記タグR A Mのインデックスと同一インデックスに代替アドレスが登録され、アクセスされたアドレスのインデックスに応じて代替アドレスが読み出されるデータR A Mと、前記ヒット信号が無効のとき前記アクセスされたアドレスを選択し、前記ヒット信号が有効のとき前記データR A Mから読み出された代替アドレスを選択するセレクタと、を備えることを特徴とする。

40

請求項3にかかる発明は、請求項2に記載の不良アドレス変換装置において、前記タグR A Mは、不良アドレス用フラグとキャッシュ用フラグを備え、前記インデックスのプロ

50

ックに、前記不良アドレスのノンインデックスビットが登録されたときは不良アドレス用フラグが有効となり、キャッシュされたデータのアドレスのノンインデックスビットが登録される時はキャッシュ用フラグが有効となり、前記データRAMは、前記インデックスのブロックに前記代替アドレス又はキャッシュデータが登録され、アクセスされたアドレスのインデックスビットが、前記不良アドレス用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データRAMから読み出された前記代替アドレスが前記セクタから出力され、アクセスされたアドレスのインデックスビットが、前記キャッシュ用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データRAMからキャッシュデータが読み出される、ことを特徴とする。

請求項4にかかる発明は、請求項3に記載の不良アドレス変換装置において、前記タグRAMは、さらに代替キャッシュ用フラグを備え、前記インデックスのブロックに、前記代替アドレスでキャッシュされた不良アドレスのノンインデックスビットが登録されたときは該代替キャッシュ用フラグが有効となり、前記データRAMは、前記インデックスのブロックにさらに前記代替アドレスでキャッシュされたキャッシュデータが登録され、アクセスされたアドレスのインデックスビットが、前記キャッシュ用フラグと前記代替キャッシュ用フラグが有効なインデックスと一致し、且つ前記ヒット信号が有効なときは、前記データRAMから前記代替アドレスでキャッシュされたキャッシュデータが読み出される、ことを特徴とする。

【発明の効果】

【0008】

本発明の不良アドレス変換装置によれば、チップ検査でチップ内メモリに不良アドレスが発見されても、その代替アドレスを当該チップ内メモリに持たせることが可能になるため、予め冗長ブロック等を用意する必要はなく、チップをそのまま使用でき、チップの歩留まりが向上する。また、システム化された製品基板上のメモリに不良アドレスが発見されたときでも、その不良アドレスを当該メモリ内の別アドレスで代替できるので、当該不良メモリをそのまま使用でき、コストダウンが可能となる。さらに、製品完成の後に経年変化等でメモリに不良アドレスが発生した場合であっても、システム不良を招くことなく、そのメモリの使用を継続することができる。さらに、ECCでは対応できないような多ビットの不良に対しても、対応できる利点がある。さらに、本発明の不良アドレス変換装置自体は簡単な構成であり、チップ内に予め存在するキャッシュとの兼用も可能であり、

装備のためのコストは僅かで済む。

【発明を実施するための最良の形態】

【0009】

<第1の実施例>

図1は本発明の第1の実施例の不良アドレス変換装置の構成を示す図である。1はCPU、2はこのCPU1に接続されるアドレスバス、3は不良アドレスの変換テーブルが登録されるCAM、4は代替アドレスが登録されるRAM、5はCAM3がヒット信号を「0」にすれば入力「0」側を選択し、ヒット信号を「1」にすれば入力「1」側を選択するセクタ、6はCPU1によってアクセスされるDRAMである。

【0010】

さて、本実施例では、システムスタート時あるいは定期的に、DRAM6のメモリチェックが行われ、そのDRAM6内のメモリ素子に不良が発見されたときは、当該不良素子をアクセスする例えばワード単位のアドレス(不良アドレス)がCAM3に登録され、変換テーブルが作成される。一方、RAM4には、DRAM6の通常使用しない部分の良品メモリ素子のアドレスが、例えばワード単位の代替アドレスとして予め複数個登録されていて、CAM3の変換テーブルの被参照側との対応が取られている。

【0011】

いま、CAM3にDRAM6の不良アドレスとして、N個のADR_F(0)~ADR_F(N-1)が登録されていて、それら不良アドレスADR_F(0)~ADR_F(N-1)の代替アドレスとしてRAM4に同様にN個のアドレスADR_R(0)~ADR_R(N-1)が登録されているとする。

10

20

30

40

50

【 0 0 1 2 】

C P U 1 が D R A M 6 をアクセスするアドレスADR_Aが、C A M 3 に登録されていないアドレスであるときは、サーチされてもC A M 3 からのヒット信号は「 0 」であるので、セクタ5は入力「 0 」側を選択し、D R A M 6 は当該アドレスADR_Aによって直接アクセスされる。

【 0 0 1 3 】

一方、C P U 1 からアクセスされるアドレスADR_Aが、例えばADR_F(i)であるとき、C A M 3 にはそのアドレスADR_F(i)が不良アドレスとして登録されているので、そのC A M 3 はヒット信号を「 1 」にするとともに、C A M 3 の変換テーブルによってR A M 4 がアクセスされ、当該不良アドレスADR_F(i)の代替アドレスADR_R(i)が出力する。このとき、セクタ5はC A M 3 からヒット信号が「 1 」となっているので、入力「 1 」側を選択し、その代替アドレスADR_R(i)をD R A M 6 に入力させる。よって、D R A M 6 は不良メモリ素子を含む不良アドレスADR_F(i)に代えて、代替アドレスADR_R(i)のメモリ素子がアクセスされ、そこにデータが書き込まれる。

10

【 0 0 1 4 】

< 第 2 の実施例 >

図 2 は本発明の第 2 の実施例の不良アドレス変換装置の構成を示す図である。図 1 で示したものと同一のものには同じ符号を付けた。7 は不良アドレスが登録される M 枚のタグ R A M、8 は代替アドレスが登録される M 枚のデータ R A M、9 は比較器である。2 A はアドレスバス 2 のうちの下位数ビット（インデックスビット）のアドレスバス、2 B は残り上位ビット（ノンインデックスビット）のアドレスバスである。

20

【 0 0 1 5 】

M 枚のタグ R A M 7 は、インデックスで識別される複数ブロックをそれぞれ備え、不良アドレスは、当該不良アドレスの下位数ビット（インデックスビット）で特定されるインデックスのブロックに、当該不良アドレスの残り上位ビット（ノンインデックスビット）が格納される。すなわち、不良アドレスが例えば「 1 0 1 1 0 1 1 1 」であるときは、タグ R A M 7 のインデックスが「 1 1 1 」（不良アドレスの下位 3 ビットと同じ）のブロックに、不良アドレスの上位 5 ビットである「 1 0 1 1 0 」が登録される。そして、当該インデックスの有効フラグ V が「 1 」にセットされ、有効を示す。このタグ R A M 7 は M 枚が用意されるので、同一インデックスであっても、つまりインデックスビットが同一の不良アドレスが M 個存在しても、それを全部登録することができる。

30

【 0 0 1 6 】

M 枚のデータ R A M 8 の各 R A M は、前記 M 枚のタグ R A M 7 の各 R A M に対応しており、タグ R A M 7 と同じインデックスのブロックに、代替アドレスが登録される。すなわち、上記のように、不良アドレスが例えば「 1 0 1 1 0 1 1 1 」であり、1 枚目のタグ R A M 7 のインデックスが「 1 1 1 」のブロックに「 1 0 1 1 0 」が登録されるときは、1 枚目のデータ R A M 8 のインデックスが「 1 1 1 」のブロックに、代替アドレスが、例えば「 0 0 1 1 0 1 0 1 」として登録される。

【 0 0 1 7 】

比較器 9 は、タグ R A M 7 から読み出されたノンインデックスビットと、C P U 1 から出力するアドレスADR_Aのノンインデックスビットとを比較し、両者が一致するときにヒット信号を「 1 」にする。

40

【 0 0 1 8 】

以上のようにして、タグ R A M 7 には、D R A M 6 の最大で N × M 個の不良アドレスの上位数ビット（ノンインデックスビット）がそのインデックスのブロックに登録され、データ R A M 8 の対応するインデックスのブロックには、それら不良アドレスの代替アドレスが登録される。このときは、タグ R A M 7 の登録されたインデックスは、そのフラグ V が「 1 」にセットされる。

【 0 0 1 9 】

さて、C P U 1 が D R A M 6 のアドレスADR_Aをアクセスするとき、そのアドレスADR_A

50

のインデックスビットと同じインデックスによって、タグRAM 7から取り出されたノンインデックスビットが、アドレスADR_Aのノンインデックスビットと一致しないときは、比較器9はヒット信号を「0」にする。よって、このときは、セクタ5は入力「0」側を選択し、DRAM 6は当該アドレスによって直接アクセスされる。

【0020】

一方、CPU 1がDRAM 6をアクセスするアドレスADR_Aが、不良アドレスADR_F(i)のとき、タグRAM 7にはその不良アドレスADR_F(i)のインデックスビットと同じビットのADDR_F(i)が登録されているので、比較器9はヒット信号を「1」にするとともに、データRAM 8の当該インデックスのブロックの代替アドレスADR_R(i)がアクセスされ、出力する。このとき、セクタ5は比較器9からのヒット信号が「1」になっているので、10入力「1」側を選択し、その代替アドレスADR_R(i)によってDRAM 6がアクセスされ、そこにデータが書き込まれる。

【0021】

< 第3の実施例 >

図3は本発明の第3の実施例の不良アドレス変換装置の構成を示す図である。図1および図2で示したものと同一のものには同じ符号を付けた。10はキャッシュ用タグとして使用され且つ不良アドレスが登録されるM枚のタグRAM、11はキャッシュ用データが格納され且つ代替アドレスが登録されるM枚のデータRAMである。すなわち、本実施例は、CPUの一般的なキャッシュを不良アドレス変換用に兼用させるものである。

【0022】

M枚のタグRAM 10は、図2のタグRAM 7と同様に、インデックスで識別される複数ブロックを備え、不良アドレスは当該不良アドレスのインデックスビットで特定されるインデックスのブロックに、当該不良アドレスのノンインデックスビットが格納される。ただし、このタグRAM 10には、各インデックスに、有効フラグVの他に、キャッシュ用フラグDと不良アドレス用フラグFが追加されている。各フラグV, D, Fはそのビットが「1」のとき有効、「0」のとき無効を表す。20

【0023】

M枚のデータRAM 11は、前記タグRAM 10と同じインデックスのブロックに、キャッシュデータあるいは代替アドレスが登録される。

【0024】

本実施例では、キャッシュの初期化の後にDRAM 6のメモリチェックを行い、不良アドレスが発見されると、当該不良アドレスの下位数ビットをインデックスビットと同じタグRAM 10のインデックスのブロックに、当該不良アドレスの上位数ビットをノンインデックスとして登録し、当該インデックスのフラグV, Fを「1」に、Dを「0」にセットし、これにより特定枚数目の当該インデックスを不良アドレス変換用とする。また、データRAM 11の同じインデックスのブロックには、代替アドレスを登録する。30

【0025】

以上のようにして、タグRAM 10の所定のインデックスのブロックには、DRAM 6の不良アドレスADR_F(i)のノンデックスビットが、ADDR_F(i)として登録されていて、データRAM 11には、その不良アドレスADR_F(i)の代替アドレスADR_R(i)が登録されて40いるとする。

【0026】

さて、CPU 1がDRAM 6のアドレスADR_Aをアクセスするとき、そのアドレスADR_AのインデックスビットでアクセスされたタグRAM 10のインデックスのフラグFが「0」のときは、比較器9からのヒット信号は「0」であり、セクタ5は入力「0」側を選択するので、DRAM 6が直接アクセスされる。このとき、DRAM 6が読み出しモードの場合は、当該アドレスADR_Aによってデータが読み出されてデータバス12からCPU 1に取り込まれる。また、この読み出されたデータは、データRAM 11の当該インデックスのブロックに書き込まれるとともに、タグRAM 10の当該インデックスのブロックに、アドレスADR_Aのノンインデックスビットが登録され、さらに、当該インデックスの50

フラグV, Dが「1」にセットされる。フラグFは「0」のままである。

【0027】

この後、CPU1が同一のアドレスADR_Aをアクセスすると、そのアドレスADR_Aのインデックスビットにより、タグRAM10からそのアドレスADR_Aのノンインデックスビットが読み出されるので、比較器9からのヒット信号が「1」となる。このとき、タグRAM10のアクセスされたインデックスのフラグV、Dが「1」でFが「0」であるので、DRAM6の読み出しは行われず、データRAM11の同一インデックスのブロックに登録されているデータがそこから読み出され、データバス12に転送される。つまり、キャッシュ動作が行われる。

【0028】

一方、CPU1がDRAM6をアクセスするアドレスADR_Aが、不良アドレスADR_F(i)のとき、タグRAM10には、その不良アドレスADR_F(i)のインデックスビットと同じインデックスのブロックにその不良アドレスADR_F(i)のノンインデックスビットと同じADDR_F(i)が登録されているので、比較器9はヒット信号を「1」にするとともに、データRAM11の当該インデックスのブロックから代替アドレスADR_R(i)が出力する。このとき、比較器9のヒット信号が「1」であるので、セクタ5は入力「1」側を選択し、その代替アドレスADR_R(i)でDRAM6がアクセスされ、そこにデータが書き込まれる。

【0029】

このように、本実施例では、通常ではキャッシュ用として使用されるタグRAM10が、不良アドレス用として使用されるときは、その不良アドレスのインデックスビットに一致するインデックスの不良アドレス用フラグFが「1」にセットされ、キャッシュ用としては使用できなくなるが、不良アドレス変換用装置を構成する要素として特別のメモリを用意する必要がない利点がある。

【0030】

<第4の実施例>

図4は本発明の第4の実施例の不良アドレス変換装置の構成を示す図である。図3で示したものと同一のものには同じ符号を付けた。13はキャッシュ用タグとして使用され且つ不良アドレスが登録されるM枚のタグRAMである。本実施例では、データRAM11に、通常のキャッシュデータ、代替アドレス、および代替アドレスでアクセスされたキャッシュデータを登録可能とする。このために、データRAM11の特定のインデックスに格納されているデータが、代替アドレスでアクセスされたキャッシュデータであることを示す代替キャッシュ用フラグCを、タグRAM13の当該インデックスに追加する。

【0031】

本実施例では、通常のキャッシュ動作と不良アドレスの変換動作は、図3で説明した実施例の動作と同じである。ただ、この図3の実施例では、代替アドレスでDRAM6をアクセスして読み出したデータについては、キャッシュが出来なかった。

【0032】

そこで、本実施例では、代替アドレスでアクセスされることでDRAM6からデータが一度読み出されると、そのデータがキャッシュデータとしてデータRAM11に格納されるようにした。つまり、CPU1からDRAM6に対して本来のアドレスADR_Aでアクセスすると、タグRAM13とデータRAM11とによって、DRAM6が代替アドレスによってアクセスされ、その代替アドレスに書き込まれているデータが読み出される。このデータは、CPU1に取り込まれるとともに、データRAM11に登録されるキャッシュ登録動作が行われる。

【0033】

このキャッシュ動作では、タグRAM13のM枚のRAMの内のフラグC, F, D, Vが「0」で、且つアドレスADR_Aのインデックスビットと同じインデックスが検索されて、一致したインデックスの内の1つのブロックにアドレスADR_Aのノンインデックスビットが登録され、データRAM11のM枚のRAMの内の対応するインデックスのブロックに、前記DRAM6から読み出されたデータが格納される。そして、タグRAM13の当

10

20

30

40

50

該インデックスのフラグC, Vが「1」にセットされる。

【0034】

この後、CPU1がアドレスADR_Aをアクセスすると、そのアドレスのインデックスビットにより、タグRAM10からそのアドレスADR_Aのノンインデックスビットが読み出されるので、比較器9からのヒット信号が「1」になる。このとき、タグRAM13のアクセスされたインデックスのフラグC, Vが「1」、D, Fが「0」であるので、DRAM6からの読み出しは行われず、データRAM11の同一インデックスのブロックに登録されているデータがそこから読み出され、データバス12に転送されるキャッシュ読み出し動作が行われる。

【0035】

<その他の実施例>

なお、RAM4、データRAM8, 11等に登録する代替アドレスは、必ずしもDRAM6のメモリ素子をアクセスするアドレスに限られるものではなく、別の記憶装置をアクセスするアドレスであってもよい。つまり、代替アドレスには、不良アドレスが存在するメモリ内のアドレスを割り当てるのが効率的であるが、これに限られず、別のメモリのアドレスを当てても良い。また、アドレスのインデックスビットは、アドレスの下位数ビットに限られず、他の部分をインデックスビットとしてもよく、このときは、残りビット部分が、ノンインデックスビットとなる。さらに、第1の実施例の不良アドレス変換装置(CAM3、RAM4、セレクタ5)および第2の実施例の不良アドレス変換装置(セレクタ5、タグRAM7、データRAM8、比較器9)は、キャッシュ無しのCPUの間近くに限られず、レベル1キャッシュの外側に、さらにはレベル2、3、・・・のキャッシュの外側に設けても良い。第3の実施例の不良アドレス変換装置(セレクタ5、比較器9、タグRAM10、データRAM11)と第4の実施例の不良アドレス変換装置(セレクタ5、比較器9、タグRAM13、データRAM11)は、どのレベルのキャッシュとも兼用することができる。

【図面の簡単な説明】

【0036】

【図1】本発明の第1の実施例の不良アドレス変換装置の構成を示すブロック図である。

【図2】本発明の第2の実施例の不良アドレス変換装置の構成を示すブロック図である。

【図3】本発明の第3の実施例の不良アドレス変換装置の構成を示すブロック図である。

【図4】本発明の第4の実施例の不良アドレス変換装置の構成を示すブロック図である。

【符号の説明】

【0037】

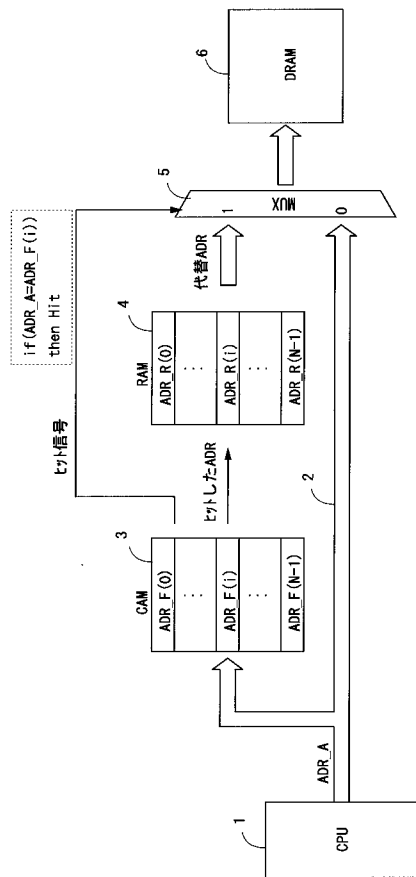
1: CPU、2: アドレスバス、2A: アドレスバス2のインデックスビット分、2B: アドレスバス2のノンインデックスビット分、3: CAM、4: RAM、5: セレクタ、6: DRAM、7: タグRAM、8: データRAM、9: 比較器、10: タグRAM、11: データRAM、12: データバス、13: タグRAM。

10

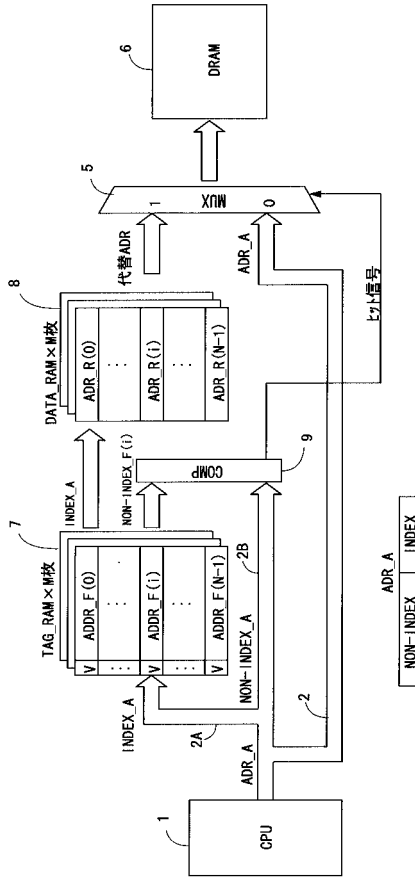
20

30

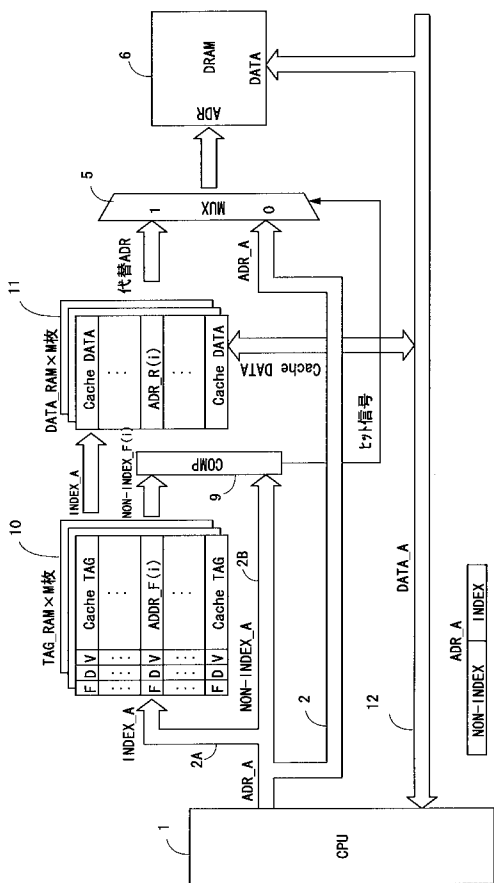
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

