

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年1月18日(2018.1.18)

【公表番号】特表2017-501586(P2017-501586A)

【公表日】平成29年1月12日(2017.1.12)

【年通号数】公開・登録公報2017-002

【出願番号】特願2016-543645(P2016-543645)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/78 (2006.01)

H 01 L 21/20 (2006.01)

H 01 L 21/76 (2006.01)

【F I】

H 01 L 29/78 301Y

H 01 L 29/78 301B

H 01 L 29/78 301X

H 01 L 21/20

H 01 L 21/76 L

【手続補正書】

【提出日】平成29年12月1日(2017.12.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

F i n F E T デバイスの半導体フィンを形成する方法であって、

前記半導体フィン上にシリコンゲルマニウム、S i G e のアモルファス薄膜または多結晶薄膜を共形堆積させるステップと、

前記半導体フィンと前記フィンを支持する単結晶基板との間にインターフェースを提供するため、前記半導体フィン内に、及び、前記半導体 S i G e フィンを支持する基板の表面内に、前記アモルファス薄膜または前記多結晶薄膜からゲルマニウムを前記半導体フィン内に拡散するために、前記アモルファス薄膜または前記多結晶薄膜を酸化させるステップと、

前記アモルファス薄膜または前記多結晶薄膜の酸化部分を除去するステップとを含む、方法。

【請求項2】

前記半導体フィン内の圧縮歪みが、前記半導体フィンを支持する前記基板内よりも大きい、請求項1に記載の方法。

【請求項3】

前記半導体フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項2に記載の方法。

【請求項4】

前記アモルファス薄膜または前記多結晶薄膜を酸化させる前の前記半導体フィンの前記結晶配向が、前記アモルファス薄膜または前記多結晶薄膜を酸化させた後の前記半導体フィンの前記結晶配向と同じである、請求項3に記載の方法。

【請求項5】

前記半導体フィンが実質的に单一結晶である、請求項 1 に記載の方法。

【請求項 6】

前記共形堆積させるステップが、複数の異なる材料の表面上の非選択的堆積を含む、請求項 1 に記載の方法。

【請求項 7】

前記半導体フィン上に SiGe スペーサを提供するために、前記薄膜をエッティングするステップをさらに含む、請求項 6 に記載の方法。

【請求項 8】

前記エッティングするステップが異方性である、請求項 7 に記載の方法。

【請求項 9】

前記共形堆積させるステップが、前記半導体フィンの表面上の選択的堆積を含む、請求項 1 に記載の方法。

【請求項 10】

前記半導体フィンがシリコンゲルマニウムまたはシリコンを含む、請求項 1 に記載の方法。

【請求項 11】

基板上のフィン電界効果トランジスタ、FinFET デバイスであって、

半導体シリコンゲルマニウム、SiGe、フィンと、

前記半導体 SiGe フィンと前記フィンを支持する単結晶基板との間にインターフェースを提供するために、前記基板の表面上に拡散されたゲルマニウムの一部とを含む、フィン電界効果トランジスタ、FinFET デバイス。

【請求項 12】

前記半導体 SiGe フィン内の圧縮歪みが、前記半導体 SiGe フィンを支持する前記基板内よりも大きい、請求項 11 に記載の FinFET デバイス。

【請求項 13】

前記半導体 SiGe フィンが、実質的に、前記基板の表面と同じ結晶配向にある、請求項 12 に記載の FinFET デバイス。

【請求項 14】

前記半導体 SiGe フィンが実質的に単結晶である、請求項 11 に記載の FinFET デバイス。

【請求項 15】

前記半導体 SiGe フィンの SiGe 部分が前記基板のシャロートレンチ分離領域から延在し、前記半導体 SiGe フィンのシリコン部分が前記基板の前記シャロートレンチ分離領域を通じて延在する、請求項 11 に記載の FinFET デバイス。