

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-513572

(P2006-513572A)

(43) 公表日 平成18年4月20日(2006.4.20)

(51) Int. Cl.

H01L 29/78 (2006.01)

F I

H01L 29/78 301B

テーマコード (参考)

5F140

審査請求 未請求 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2004-566580 (P2004-566580)  
 (86) (22) 出願日 平成15年12月18日 (2003.12.18)  
 (85) 翻訳文提出日 平成17年8月15日 (2005.8.15)  
 (86) 国際出願番号 PCT/US2003/040680  
 (87) 国際公開番号 W02004/064172  
 (87) 国際公開日 平成16年7月29日 (2004.7.29)  
 (31) 優先権主張番号 10/339,379  
 (32) 優先日 平成15年1月9日 (2003.1.9)  
 (33) 優先権主張国 米国 (US)

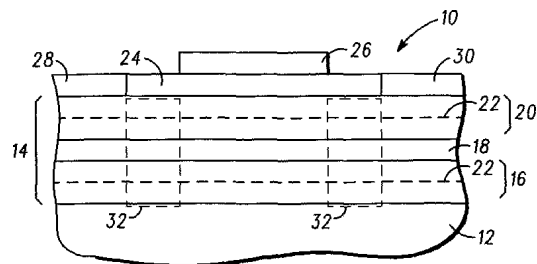
(71) 出願人 504199127  
 フリースケール セミコンダクター イン  
 コーポレイテッド  
 アメリカ合衆国テキサス州78729, オ  
 ースティン, ウェスト・パーマー・レーン  
 7700  
 (74) 代理人 100116322  
 弁理士 桑垣 衛  
 (72) 発明者 パスラック、マティアス  
 アメリカ合衆国 85226 アリゾナ州  
 チャンドラー ウェスト リンダ レー  
 ン 5382

最終頁に続く

(54) 【発明の名称】 エンハンスメントモード金属酸化膜半導体電界効果トランジスタ及びその形成方法

## (57) 【要約】

注入フリーエンハンスメントモード金属酸化膜半導体電界効果トランジスタ (EMOSFET) を提供する。EMOSFETは、III-V化合物半導体基板と、III-V化合物半導体基板上のエピタキシャル層構造とを有する。エピタキシャル材料層は、チャネル層と、少なくとも1つのドープ層とを有する。ゲート酸化膜層は、エピタキシャル層構造の上にある。EMOSFETは、更に、ゲート酸化膜層上の金属ゲート電極と、エピタキシャル層構造上のソース及びドレイン・オーミックコンタクトと、を含む。



## 【特許請求の範囲】

## 【請求項 1】

注入フリーエンハンスメントモード金属酸化膜半導体電界効果トランジスタ（E M O S F E T）であって、

ⅠⅠⅠ-V化合物半導体基板と、

前記ⅠⅠⅠ-V化合物半導体基板上のエピタキシャル層構造であって、チャネル層及び少なくとも1つのドーブ層を含む前記エピタキシャル層構造と、

前記エピタキシャル層構造上のゲート酸化膜層と、

前記ゲート酸化膜層上の金属ゲート電極と、

前記エピタキシャル層構造上のソース及びドレイン・オーミックコンタクトと、  
が含まれるE M O S F E T。 10

## 【請求項 2】

注入フリーエンハンスメントモード金属酸化膜半導体電界効果トランジスタを組み立てるための方法であって、

ⅠⅠⅠ-V化合物半導体基板を提供する段階と、

前記ⅠⅠⅠ-V化合物基板上に第1厚さのエピタキシャル層構造を成長する段階と、

前記第1厚さの前記エピタキシャル層構造をドーブして、前記第1厚さの前記エピタキシャル層構造内にドーブ層を形成する段階と、

前記エピタキシャル層構造を第2厚さに成長する段階と、

前記エピタキシャル層構造上にゲート酸化膜層を形成する段階と、 20

前記エピタキシャル層構造上にソース及びドレイン・オーミックコンタクトを形成する段階と、

前記ゲート酸化膜層上に金属ゲート電極を形成する段階と、

が含まれる方法。

## 【請求項 3】

エンハンスメントモード金属酸化膜半導体電界効果トランジスタ（E M O S F E T）であって、

ⅠⅠⅠ-V化合物半導体基板と、

前記ⅠⅠⅠ-V化合物半導体基板上のエピタキシャル層構造であって、チャネル層及び少なくとも1つのデルタドーブ層を含む前記エピタキシャル層構造と、 30

前記エピタキシャル層構造上のゲート酸化膜層と、

前記ゲート酸化膜層上の金属ゲート電極であって、仕事関数を有する前記金属ゲート電極と、

前記エピタキシャル層構造上のソース及びドレイン・オーミックコンタクトであって、前記金属ゲート電極は、仕事関数を有するように選択され、前記デルタドーブ層は、エンハンスメントモード動作が実現されるように選択される前記ソース及びドレイン・オーミックコンタクトと、

が含まれるE M O S F E T。

## 【発明の詳細な説明】

## 【技術分野】 40

## 【0001】

本発明は、一般的に、化合物半導体電界効果デバイスに関し、特に、エンハンスメントモード金属酸化膜化合物半導体電界効果トランジスタ及びその組立て方法に関する。

## 【背景技術】

## 【0002】

エンハンスメントモード金属酸化膜半導体電界効果トランジスタ（E M O S F E T）は、金属酸化膜半導体（M O S）集積回路の設計において、最も広く用いられているデバイスの1つである。シリコン相補型M O S（C M O S）技術は、E M O S F E T設計用の成熟した技術であり、設計が簡易であり、消費電力が小さい。しかしながら、ⅠⅠⅠ-V族化合物半導体技術は、その速度/電力性能及び効率が優れていることから、E M O S F E 50

T 設計用の魅力的な技術としての役割を継続的に果たしている。

【 0 0 0 3 】

ある種類の E M O S F E T は、自己整合型イオン注入で低抵抗率のソース及びドレイン領域を形成するように設計されている。しかしながら、イオン注入したソース及びドレイン領域を備えた I I I - V 化合物半導体 E M O S F E T の製造は、困難である。注入材料は、それぞれ、格子中の I I I 族又は V 族部位との関連に依存して、ドナー又はアクセプタの双方として機能し得る。更に、ソース及びドレイン領域の形成に用いるアニール温度は、通常、n チャネルデバイスでは 7 0 0 より高く、半導体 / ゲート酸化膜界面安定性には不適合である。また、ソース及びドレイン領域の形成に用いるイオン注入プロセスは、半導体 / ゲート酸化膜界面で望ましくない高いトラップ密度を生じ得る。更に、ソース及びドレイン領域を形成するには、ほとんどの技術において、ゲート電極が、マスクとして用いられるため、イオン注入前に形成する必要があるため、従って、製造の自由度が制限される。更に、このようなデバイスのソース及びドレイン領域は、約 8 0 0 以上の温度でアニールすると、通常、3 0 0 乃至 4 0 0 オーム / を超えるシート抵抗を有し、約 7 0 0 の温度でアニールすると、約 5 0 0 オーム / のシート抵抗を有する。

【 0 0 0 4 】

従って、“注入フリー” I I I - V 化合物半導体 E M O S F E T に対するニーズが存在する。本明細書に用いる用語“注入フリー”は、イオン注入によって形成されるソース及びドレイン領域がないことを意味するものとする。また、注入フリーエンハンスメントモード金属酸化膜半導体電界効果トランジスタを組み立てるための方法に対するニーズが存在する。本発明の他の望ましい特徴及び特性は、添付図面と共に解釈すると、以下の説明及び添付の請求項から明らかになるであろう。

【発明を実施するための最良の形態】

【 0 0 0 5 】

本発明は、添付図において、限定せず一例として説明する。図では、同様な参照符号は、同様な要素を示す。

当業者は、図の要素が、簡単明瞭に示されおり、必ずしも縮尺通りに描かれていないことを認識されたい。例えば、本発明の実施形態を理解し易くするために、図中の要素には、他の要素に対して寸法が誇張されたものがある。

【 0 0 0 6 】

以下の詳細な説明は、実施形態例のみについての説明であり、本発明又は本発明の用途や使用方法を制限しようとするものではない。むしろ、以下の説明は、本発明の実施形態例を実現するための好都合な例証を提供する。説明される実施形態に対する様々な変更は、添付の請求項に記載した本発明の範囲を逸脱することなく、記述される要素の機能や構成について行い得る。

【 0 0 0 7 】

図 1 は、本発明の一実施形態例に基づく、エンハンスメントモード化合物半導体 M O S F E T デバイス 1 0 を示す概略横断面図である。デバイス 1 0 は、いずれか適切な単結晶 I I I - V 化合物半導体材料で形成される基板 1 2 を有する。好適には、基板 1 2 は、半導体業界で用いられる高品質の単結晶ガリウム砒素 ( G a A s ) 基板である。

【 0 0 0 8 】

エピタキシャル層構造 1 4 は、基板 1 2 の上にある。エピタキシャル層構造 1 4 は、バッファ層 1 6、チャンネル層 1 8 及びスペーサ層 2 0 を含む。バッファ層 1 6、チャンネル層 1 8 及びスペーサ層 2 0 は、各々、いずれか適切な I I I - V 材料で形成し得るが、好適には、バッファ層 1 6、チャンネル層 1 8 及びスペーサ層 2 0 は、各々異なる I I I - V 材料で形成される。本発明の好適な実施形態において、バッファ層 1 6 は、ガリウム砒素 ( G a A s ) で形成され、チャンネル層 1 8 は、インジウムガリウム砒素 ( I n G a A s ) を含み、スペーサ層 2 0 は、アルミニウムガリウム砒素 ( A l G a A s ) を含む。バッファ層 1 6 は、基板 1 2 から分離した層として図 1 に示すが、バッファ層 1 6 及び基板 1 2 は、これらの層を形成する材料に依存して、1 つの連続層を形成し得ることを認識されたい

。

## 【0009】

また、エピタキシャル層構造14は、図1に示すドープ層22等の少なくとも1つのドープ層を含む。エピタキシャル層構造14は、2つのドープ層を有するように図1に示すが、エピタキシャル層構造14は、1つ又は複数のドープ層を有し得ることを認識されたい。ドープ層22は、チャンネル層18の上や下及び/又はその内部に配置し得る。ドープ層22、及びあらゆる追加ドープ層は、半導体業界で公知のいずれか適切なドーピング素材、例えば、シリコン(Si)(nチャネルデバイス)及びベリリウム(Be)(pチャネルデバイス)等を含み得る。更に詳細に後述するように、エピタキシャル層構造14のドープ層は、選択し得る。即ち、特定のMOSFET構成に対して、エンハンスメントモード動作を実現するように、ドープ層22のドーピングレベルを選択し得る。

## 【0010】

ゲート酸化膜層24は、エピタキシャル層構造14の上にある。好適には、ゲート酸化膜層24は、ガリウム酸化膜(Ga<sub>2</sub>O<sub>3</sub>)を含むが、ゲート酸化膜層24は、いずれか他の適切な酸化膜材料を含み得る。

## 【0011】

ゲート酸化膜材料が存在する状態で安定な金属ゲート電極26が、ゲート酸化膜層24の上にある。更に詳細に後述するように、金属ゲート電極24用の材料は、特定のMOSFET構成に対して、エンハンスメントモード動作を実現する仕事関数を有するように選択し得る。

## 【0012】

ソース及びドレイン・オーミックコンタクト28、30は、エピタキシャル層構造14上に形成され、ソース及びドレインアクセス領域32によって金属ゲート電極26から分離される。ソース及びドレインアクセス領域32は、それぞれソース・オーミックコンタクト28と金属ゲート電極26との間及びドレイン・オーミックコンタクト30と金属ゲート電極26との間のエピタキシャル層構造14の領域を含む。ソース及びドレイン・オーミックコンタクト28、30は、半導体業界において公知ないずれか適切な導電性材料で形成し得る。

## 【0013】

デバイス10のエンハンスメントモード動作は、金属ゲート電極26の仕事関数とドープ層22のドーパントレベルとの間の関係に基づき実現し得る。エピタキシャル層構造14のドープ層22は、自由キャリア源として機能するため、適切な金属ゲート電極がない状態で、エピタキシャル層構造14内でのイオン注入ソース及びドレイン領域の必要性がなくなる。一方、ドープ層22は、デバイス10のしきい電圧を悪い方向にシフトし、エンハンスメントモード動作を阻止し得る。例えば、ドープ層22は、nチャネルMOSFETのしきい電圧を負の値にすることでエンハンスメントモード動作を阻止し得る。適度に大きい仕事関数を有する金属ゲート電極26を用いると、このシフトが補償され、しきい電圧がゼロより大きくなって、エンハンスメントモード動作を可能にし得る。同様に、ドープ層22は、pチャネルMOSFETのしきい電圧を正の値にして、エンハンスメントモード動作を阻止する。適度に小さい仕事関数を有する金属ゲート電極26を用いると、このシフトが補償され、しきい電圧がゼロより小さくなって、エンハンスメントモード動作を可能にし得る。

## 【0014】

いずれか特定の理論に限定されることなく、本発明の一実施形態例において、金属ゲート電極26の仕事関数とドープ層22のドーピングレベルとの間の関係は、以下の一次方程式から得ることができる。即ち、

$$\phi_s = 1 / (Q_s \times \mu \times q) \cdots (1)$$

ここで、 $\phi_s$ は、ソース及びドレインアクセス領域32のシート抵抗率(オーム/ )、 $\mu$ は、チャンネル移動度、 $q$ は、電子電荷( $1.6 \times 10^{-19}$  As)である。また、

$$Q_s = ( \phi_{ox} \times ( \phi_m - (0) ) ) / ( t_{ox} \times q ) \cdots (2)$$

10

20

30

40

50

ここで、 $Q_s$  は、ソース及びドレインアクセス領域 32 で測定されたドーブ層 22 のシート電荷 ( $\text{cm}^{-2}$ )、 $\epsilon_{ox}$  は、ゲート酸化膜層 24 の誘電率、 $t_{ox}$  は、ゲート酸化膜層 24 の厚さ、 $\gamma_m$  は、金属ゲート電極 26 の仕事関数、 $\phi(0)$  は、特定のしきい電圧及びドーピング層がない場合の金属ゲート電極 26 の基準仕事関数である ( $\phi(0)$  は、2次元デバイスのシミュレーションによって得ることができる)。金属ゲート電極 26 の仕事関数とドーブ層 22 のドーピングレベルとの間の関係は、上記一次方程式から得ることができるが、このような関係は、他の高次の方程式から得ることができることを認識されたい。

# 【0015】

表 1 及び 2 は、n チャンネル MOSFET 用の金属ゲート電極 26 の仕事関数とドーブ層 22 のドーピングレベルとの間の関係の例を示す。本例において、シート抵抗  $R_s$  及びシート電荷  $Q_s$  は、0.3 V のしきい電圧  $V_T$  の場合について、20 である誘電率  $\epsilon_{ox}$ 、 $5900 \text{ cm}^2/\text{Vs}$  のチャネル移動度  $\mu$ 、4.6 eV の  $\phi(0)$ 、及び酸化膜 - エピタキシャル層構造界面に位置する電荷中心を用いて、計算される。電荷中心の実際位置は、動作条件及びエピタキシャル層構造構成と共に変化し、また、ある程度、本例で仮定した位置からずれることがある。

# 【0016】

## 【表 1】

$Q_s(\text{cm}^{-2}), V_T=0.3\text{V}$						
$\Phi_m(\text{eV})$	$t_{ox}(\text{nm})$	50	40	30	20	10
4.7		$2.2 \times 10^{11}$	$2.8 \times 10^{11}$	$3.7 \times 10^{11}$	$5.5 \times 10^{11}$	$1.1 \times 10^{12}$
4.8		$4.4 \times 10^{11}$	$5.5 \times 10^{11}$	$7.4 \times 10^{11}$	$1.1 \times 10^{12}$	$2.2 \times 10^{12}$
4.9		$6.6 \times 10^{11}$	$8.3 \times 10^{11}$	$1.1 \times 10^{12}$	$1.7 \times 10^{12}$	$3.3 \times 10^{12}$
5.0		$8.8 \times 10^{11}$	$1.1 \times 10^{12}$	$1.5 \times 10^{12}$	$2.2 \times 10^{12}$	$4.4 \times 10^{12}$
5.1		$1.1 \times 10^{12}$	$1.4 \times 10^{12}$	$1.8 \times 10^{12}$	$2.8 \times 10^{12}$	$5.5 \times 10^{12}$
5.2		$1.3 \times 10^{12}$	$1.7 \times 10^{12}$	$2.2 \times 10^{12}$	$3.3 \times 10^{12}$	$6.6 \times 10^{12}$
5.3		$1.5 \times 10^{12}$	$1.9 \times 10^{12}$	$2.6 \times 10^{12}$	$3.9 \times 10^{12}$	$7.7 \times 10^{12}$
5.4		$1.8 \times 10^{12}$	$2.2 \times 10^{12}$	$2.9 \times 10^{12}$	$4.4 \times 10^{12}$	$8.8 \times 10^{12}$
5.5		$2.0 \times 10^{12}$	$2.5 \times 10^{12}$	$3.3 \times 10^{12}$	$5.0 \times 10^{12}$	$9.9 \times 10^{12}$
5.6		$2.2 \times 10^{12}$	$2.8 \times 10^{12}$	$3.7 \times 10^{12}$	$5.5 \times 10^{12}$	$1.1 \times 10^{13}$
5.7		$2.4 \times 10^{12}$	$3.0 \times 10^{12}$	$4.1 \times 10^{12}$	$6.1 \times 10^{12}$	$1.2 \times 10^{13}$

# 【0017】

【表 2】

$\rho_s$ (オーム/平方), $V_T = 0.3V$						
$\Phi_m$ (eV)	$t_{ox}$ (nm)	50	40	30	20	10
4.7		4786	3829	2871	1914	957
4.8		2393	1914	1436	957	479
4.9		1595	1276	957	638	319
5.0		1196	957	718	479	239
5.1		957	766	574	383	191
5.2		798	638	479	319	160
5.3		684	547	410	273	137
5.4		598	479	359	239	120
5.5		532	425	319	213	106
5.6		479	383	287	191	96
5.7		435	348	261	174	87

10

20

## 【0018】

図2は、ゲート酸化膜が5つの異なる厚さである場合、金属ゲート電極26の仕事関数とソース及びドレインアクセス領域32のシート抵抗 $\rho_s$ との間の関係をグラフにより示し、ここで、 $V_T = 0.3V$ である。曲線40は、厚さ50nmを有するゲート酸化膜24のシート抵抗を表し、曲線42は、厚さ40nmを有するゲート酸化膜24のシート抵抗を表し、曲線44は、厚さ30nmを有するゲート酸化膜24のシート抵抗を表し、曲線46は、厚さ20nmを有するゲート酸化膜24のシート抵抗を表し、曲線48は、厚さ10nmを有するゲート酸化膜24のシート抵抗を表す。曲線から明らかなように、デバイス10の金属ゲート電極26の仕事関数が高い程、シート抵抗は小さい。同様に、デバイス10のゲート酸化膜24が薄い程、シート抵抗は小さい。

30

## 【0019】

表3及び4は、0.5Vのしきい電圧 $V_T$ の場合について、20である誘電率 $\epsilon_{ox}$ 、 $5900\text{ cm}^2/\text{Vs}$ のチャネル移動度 $\mu$ 、4.8eVの基準仕事関数 $\Phi_m(0)$ 、及び酸化膜-エピタキシャル層構造界面に位置する電荷中心を用いて、計算されたシート抵抗 $\rho_s$ 及びシート電荷 $Q_s$ を示す。また、電荷中心の実際位置は、動作条件及びエピタキシャル層構造構成と共に変化し、また、ある程度、本例で仮定した位置からずれることがある。

## 【0020】

【表 3】

$Q_s(\text{cm}^{-2}), V_T = 0.5\text{V}$						
$\Phi_m(\text{eV})$	$t_{\text{ox}}(\text{nm})$	50	40	30	20	10
4.9		$2.2 \times 10^{11}$	$2.8 \times 10^{11}$	$3.7 \times 10^{11}$	$5.5 \times 10^{11}$	$1.1 \times 10^{12}$
5.0		$4.4 \times 10^{11}$	$5.5 \times 10^{11}$	$7.4 \times 10^{11}$	$1.1 \times 10^{12}$	$2.2 \times 10^{12}$
5.1		$6.6 \times 10^{11}$	$8.3 \times 10^{11}$	$1.1 \times 10^{12}$	$1.7 \times 10^{12}$	$3.3 \times 10^{12}$
5.2		$8.8 \times 10^{11}$	$1.1 \times 10^{12}$	$1.5 \times 10^{12}$	$2.2 \times 10^{12}$	$4.4 \times 10^{12}$
5.3		$1.1 \times 10^{12}$	$1.4 \times 10^{12}$	$1.8 \times 10^{12}$	$2.8 \times 10^{12}$	$5.5 \times 10^{12}$
5.4		$1.3 \times 10^{12}$	$1.7 \times 10^{12}$	$2.2 \times 10^{12}$	$3.3 \times 10^{12}$	$6.6 \times 10^{12}$
5.5		$1.5 \times 10^{12}$	$1.9 \times 10^{12}$	$2.6 \times 10^{12}$	$3.9 \times 10^{12}$	$7.7 \times 10^{12}$
5.6		$1.8 \times 10^{12}$	$2.2 \times 10^{12}$	$2.9 \times 10^{12}$	$4.4 \times 10^{12}$	$8.8 \times 10^{12}$
5.7		$2.0 \times 10^{12}$	$2.5 \times 10^{12}$	$3.3 \times 10^{12}$	$5.0 \times 10^{12}$	$9.9 \times 10^{12}$

10

【0021】

20

【表 4】

$\rho_s(\text{オーム/平方}), V_T = 0.5\text{V}$						
$\Phi_m(\text{eV})$	$t_{\text{ox}}(\text{nm})$	50	40	30	20	10
4.9		4786	3829	2871	1914	957
5.0		2393	1914	1436	957	479
5.1		1595	1276	957	638	319
5.2		1196	957	718	479	239
5.3		957	766	574	383	191
5.4		798	638	479	319	160
5.5		684	547	410	273	137
5.6		598	479	359	239	120
5.7		532	425	319	213	106

30

【0022】

40

以下の例は、本発明の一実施形態に基づく、図1に示す構造10等のEMOSFET半導体構造を組み立てるための方法を示す。図3を参照すると、本方法は、ステップ50において、単結晶III-V半導体基板を提供することによって開始する。本発明の好適な実施形態に基づき、半導体基板は、単結晶ガリウム砒素(GaAs)基板である。

【0023】

次に、ドーパされるエピタキシャル層構造14が、ガリウム砒素基板12上に成長される。エピタキシャル層構造14は、好適にはGaAsのパッファ層16を成長し、次に、好適にはInGaAsのチャネル層18を成長し、次に、好適にはAlGaAsのスペーサ層20を成長することによって形成される。エピタキシャル層構造14を組み立てる方法として、これらに限定しないが、分子線エピタキシ(MBE)法及び金属有機化学気相

50

成長 (MOCVD) 法が挙げられる。好適には、エピタキシャル層構造 14 は、原子的に順序良く配列され化学的に清浄な半導体表面で形成されるように、超高真空 (UHV) MBE システム中で形成される。

#### 【0024】

エピタキシャル層構造 14 の成長中、1つ又は複数のドーブ層 22 が、いずれか標準のドーピング手法を用いて、チャンネル層 18 の上や下又はその中に形成される。本発明の好適な実施形態において、ドーブ層 22 は、半導体業界で行われる公知のデルタドーピングを用いて、形成される。従って、ステップ 52 に示すように、ある厚さのエピタキシャル層構造 14 を成長し、次に、ステップ 54 に示すように、デルタドーピングを実施して第 1 デルタドーブ層 22 を形成する。そして、エピタキシャル層構造成長は、もう 1 つの所望の厚さまで継続し得るが、本発明の他の実施形態では、もう 1 つのデルタドーピング手順を実施して第 2 デルタドーブ層を形成し得る。このプロセスは、所望数のデルタドーブ層 22 が形成されるまで継続し得る。こうして、エピタキシャル層構造 14 は、ステップ 56 に示すように、その最終厚さまで成長し得る。

10

#### 【0025】

デルタドーブ層 22 を形成するために用いられるドーパントのレベルは、上述した方程式から生成したモデルを用いて、決定し得る。例えば、0.3 V のしきい電圧が望ましい n チャンネル MOSFET の場合、表 1 及び 2 を用い得る。表 1 及び 2 において、一例として、n チャンネル MOSFET の設計制約により厚さ 30 nm のゲート酸化膜 26 が必要であり、500 オーム / 未満のシート抵抗が望ましい場合、表 2 は、仕事関数 5.2 乃至 5.7 eV を有する金属ゲート電極 26 を用い得ることを示す。イリジウム ( $\phi_m = 5.3 \text{ eV}$ ) が、金属ゲート電極 26 に利用可能である場合、許容可能なシート抵抗は 410 オーム / になる。従って、表 1 は、ゲート酸化膜厚さが 30 nm 及び仕事関数  $\phi_m$  が 5.3 eV の場合、デルタドーピングレベルが、約  $2.6 \times 10^{12} \text{ cm}^{-2}$  以下であり得ることを示す。従って、ドーブ層 22 は、約  $2.6 \times 10^{12} \text{ cm}^{-2}$  以下にドーブして、 $V_T \geq 0.3 \text{ V}$  を実現し得る。即ち、ゲート酸化膜 24 の厚さ 30 nm 及びイリジウム金属ゲート電極 26 で動作可能な n チャンネルエンハンスメントモード MOSFET を実現し得る。プラチナ ( $\phi_m = 5.7$ ) が金属ゲート電極 26 に利用可能な場合、表 2 は、シート抵抗が 261 オーム / と極めて小さくなることを示す。表 1 は、ゲート酸化膜厚さが 30 nm で仕事関数  $\phi_m$  が 5.7 eV の場合、デルタドーピングレベルが、約  $4.1 \times 10^{12} \text{ cm}^{-2}$  以下であり得ることを示す。従って、ドーブ層 22 は、約  $4.1 \times 10^{12} \text{ cm}^{-2}$  以下にドーブして、 $V_T \geq 0.3 \text{ V}$  を実現し得る。即ち、ゲート酸化膜 24 の厚さ 30 nm 及びプラチナ金属ゲート電極 26 で動作可能な n チャンネルエンハンスメントモード MOSFET を実現し得る。

20

30

#### 【0026】

図 3 に戻ると、ステップ 58 に示すように、ゲート酸化膜層 24 が、エピタキシャル層構造 14 上に形成される。III-V 化合物半導体基板上にゲート品質酸化膜を形成する方法が知られている。III-V 化合物半導体基板上にゲート品質酸化膜を形成するための 1 つの方法は、2000 年 12 月 12 日、ユー (Yu) らに交付された米国特許第 6,159,834 号に開示されており、この特許は、その全文を本明細書中に引用して参照する。

40

#### 【0027】

ステップ 60 に示すように、ソース及びドレイン・オーミックコンタクト 28、30 は、半導体業界において公知の標準プロセスを用いて、エピタキシャル層構造 14 上に成膜される。

#### 【0028】

次に、ステップ 62 に示すように、金属ゲート電極 26 は、ゲート酸化膜層 24 上に形成される。金属ゲート電極 26 は、ゲート酸化膜層 24 上に金属層を成膜し、そして引き続き、半導体業界において公知な標準リソグラフィ及びリフトオフ又はエッチング手法を用いて、金属層をパターニングすることによって形成される。上述したように、金属ゲー

50



ト電極 26 用の材料は、ドーブ層 22 のドーパントレベルとの関係に基づき、選択し得る。

#### 【0029】

本発明の一実施形態は、簡略エネルギーバンド図を用いて、説明し得る。図 4 は、従来技術の E M O S F E T、即ち、イオン注入したソース及びドレイン領域を有する E M O S F E T 用の簡略エネルギーバンド図 70 を示す。エネルギーバンド図 70 に示すのは、I I I - V 化合物半導体基板 72、アンドーブチャンネル層 74、スペーサ層 76、ゲート酸化膜層 78、金属ゲート電極 80、フェルミ準位 84、オフ状態の伝導帯端 82、及びオン状態の伝導帯端 86 を示す。図 4 に示すように、ゲート酸化膜層 78 とスペーサ層 76 との間の界面におけるフェルミ準位は、E M O S F E T がオフ状態からオン状態に切り替えられた時、オフ状態におけるほぼギャップ中心からスペーサ層伝導帯端の近傍に移動する。図 4 に示す特定の実施形態において、伝導帯端 ( $E_c$ ) は、参照番号 88 によって示すように、オン状態において、フェルミ準位より約  $0.2 \text{ eV}$  だけ大きい。

10

#### 【0030】

図 5 は、本発明の実施形態例に基づく E M O S F E T の簡略エネルギーバンド図 90 を示す。エネルギーバンド図 90 には、I I I - V 化合物半導体基板 92、チャンネル層 94、スペーサ層 96、ゲート酸化膜層 98、金属ゲート電極 100、フェルミ準位 104、オフ状態の伝導帯端 106、及びオン状態の伝導帯端 108 を示す。また、ドーブ層 102 を示す。図 5 に示すように、ゲート酸化膜 98 とスペーサ層 96 との間の界面におけるフェルミ準位 104 は、デバイスがオフ状態からオン状態に切り替えられた時、スペーサ層伝導帯端の近傍に移動しない。図 5 に示す特定の実施形態において、伝導帯端 ( $E_c$ ) は、参照番号 110 によって示すように、オン状態において、フェルミ準位より約  $0.5 \text{ eV}$  だけ大きい。

20

#### 【0031】

図 6 は、 $\text{Ga}_2\text{O}_3$  -  $\text{GaAs}$  界面の伝導帯端  $E_c$  に関するトラップエネルギー  $E_T$  と総トラップ密度との間の測定した関係をグラフにより示す。フェルミ準位が  $E_c$  側に動くにつれて、フェルミ準位より小さいエネルギー  $E_T$  のトラップは、占有され (帯電状態になり)、フェルミ準位より大きいエネルギー  $E_T$  のトラップは、空 (中性) のままである。曲線 120 によって示すように、フェルミ準位が  $E_c$  より  $0.2 \text{ eV}$  小さい帯電状態のトラップの総密度 (約  $4 \times 10^{12} \text{ cm}^{-2} \text{ eV}^{-1}$ ) は、例えば、従来技術の図 4 に示す総密度は、フェルミ準位が  $E_c$  より  $0.5 \text{ eV}$  小さい帯電状態トラップの総密度 (約  $4 \times 10^{11} \text{ cm}^{-2} \text{ eV}^{-1}$ ) より、例えば、図 5 に示す総密度よりはるかに大きい。

30

#### 【0032】

図 7 は、本発明の他の実施形態例に基づくエンハンスメントモード化合物半導体 M O S F E T デバイス 130 を示す概略横断面図である。図 1 と同じ参照番号を有する図 7 の要素は、対応する図 1 の要素と同じである。デバイス 130 は、I I I - V 化合物半導体基板 12、及び基板 12 の上にあるエピタキシャル層構造 14 を含む。エピタキシャル層構造 14 は、バッファ層 16、チャンネル層 18、スペーサ層 20、及び 1 つ又は複数のドーブ層 22 を含む。デバイス 130 は、更に、ゲート酸化膜層 24、金属ゲート電極 26 及びソース及びドレイン・オーミックコンタクト 28 及び 30 を含む。

40

#### 【0033】

デバイス 130 は、更に、フィールドプレート 132 を含む。フィールドプレート 132 は、これに限定しないが、高いブレークダウン電圧が必要なパワーデバイスを含む様々なデバイスに用い得る。フィールドプレート 132 は、ゲート酸化膜層 24 上に形成し得る。あるいは、図 7 に示すように、少なくとも部分的にゲート酸化膜層 24 内部に入り込んだ状態で形成し得る。フィールドプレート 132 は、低不純物濃度ドレイン (L D D) 領域と等価なものを生成し得る。フィールドプレート下の領域における自由キャリアの部分的空乏化は、少なくとも部分的にフィールドプレート 132 をゲート酸化膜層 24 内部に入り込ませることによって、及び / 又は適切な仕事関数の金属でフィールドプレート 132 を組み立てることによって制御し得る。

50

## 【 0 0 3 4 】

図 8 において、本発明の他の実施形態例において、デバイス 1 4 0 は、ドーブ層 2 2 とは反対の伝導型の低ドーブ注入を利用して、エピタキシャル層構造 1 4 における L D D 領域 1 4 2 の自由キャリア濃度を低減し得る。L D D 領域は、公知であり、M O S F E T 等の半導体デバイスに広く用いられる。n チャンネルデバイスの場合、低ドーブアクセプタ注入には、ゲート酸化膜 - エピタキシャル層構造界面の熱収支に適合する約 6 0 0 の温度での熱アニール処理ステップが必要である。

## 【 0 0 3 5 】

他の任意の数の修正を本発明の E M O S F E T に対して行い、所望の用途に適した様々な構成を実現し得ることを認識されたい。例えば、図 9 は、本発明の更に他の実施形態例に基づくエンハンスメントモード化合物半導体 M O S F E T デバイス 1 5 0 の概略横断面図を示す。図 1 と同じ参照番号を有する図 9 の要素は、対応する図 1 の要素と同じである。デバイス 1 5 0 は、I I I - V 化合物半導体基板 1 2、及び基板 1 2 の上にあるエピタキシャル層構造 1 4 を含む。エピタキシャル層構造 1 4 は、バッファ層 1 6、チャンネル層 1 8、スペーサ層 2 0、及び 1 つ又は複数のドーブ層 2 2 を含む。デバイス 1 5 0 は、更に、ゲート酸化膜層 2 4、及びソース及びドレイン・オーミックコンタクト 2 8 及び 3 0 を含む。本実施形態例では、デバイス 1 5 0 は、更に、金属段差ゲート電極 1 5 2 を含む。金属ゲート電極 2 6 を参照して上述したように、金属段差ゲート電極 1 5 2 は、特定の M O S F E T 構成に対して、エンハンスメントモード動作を実現する仕事関数を有するように選択し得る。金属段差ゲート電極 1 5 2 は、誘電層 1 5 4 によって、ドレインアクセス領域 3 2 から絶縁される。誘電層 1 5 4 は、シリコン窒化膜、シリコン酸化膜又はいずれか他の適切な絶縁材料を含み得る。

## 【 0 0 3 6 】

上記明細書において、特定の実施形態を参照して、本発明について説明した。しかしながら、当業者は、下記請求項に記載した本発明の範囲から逸脱することなく、様々な修正及び変更を成し得ることを理解されたい。従って、明細書及び図は、限定的意味ではなくむしろ例示の意味で解釈するものとし、また、このような全ての修正は、本発明の範囲内に含まれるものとする。

## 【 0 0 3 7 】

恩恵、他の利点及び問題に対する解決策について、特定の実施形態について上述した。しかしながら、これらの恩恵、利点、問題に対する解決策、及び何らかの恩恵、利点及び解決策を生じさせる又はより明らかにし得るあらゆる要素（1 つ又は複数）は、全ての請求項の決定的な、必要な、又は本質的な特徴もしくは要素と解釈してはならない。本明細書に用いる用語“含む”、“含んでいる”、又はそのいずれか他の変形語は、非排他的包含を網羅するものであり、このため、リスト化された要素を含むプロセス、方法、物、又は装置は、それらの要素を含むだけでなく、明確にリスト化されていない又はこのようなプロセス、方法、物、もしくは装置に固有の他の要素も含み得る。

## 【 図面の簡単な説明 】

## 【 0 0 3 8 】

【図 1】本発明の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタを示す概略横断面図。

【図 2】本発明の実施形態例に基づく、金属ゲート電極の仕事関数とエンハンスメントモード金属酸化膜半導体電界効果トランジスタのシート抵抗との間の関係を示すグラフ。

【図 3】本発明の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタを形成するための方法を示すフローチャート。

【図 4】従来技術のエンハンスメントモード金属酸化膜半導体電界効果トランジスタのエネルギーバンドを示す図。

【図 5】本発明の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタのエネルギーバンドを示す図。

【図 6】本発明の実施形態例に基づく、金属酸化膜半導体コンデンサのガリウム酸化膜 /

10

20

30

40

50

ガリウム砒素界面におけるトラップエネルギーと総トラップ密度との間の測定された関係を示すグラフ。

【図 7】本発明の他の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタを示す概略横断面図。

【図 8】本発明の更に他の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタを示す概略横断面図。

【図 9】本発明の更に他の実施形態例に基づく、エンハンスメントモード金属酸化膜半導体電界効果トランジスタを示す概略横断面図。

【図 1】

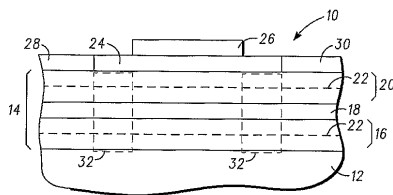
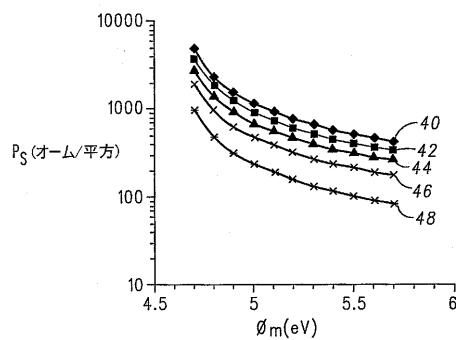
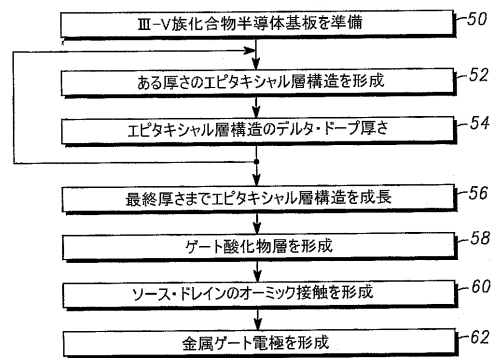


FIG. 1

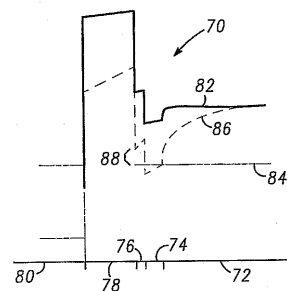
【図 2】



【図 3】



【図 4】



-従来技術-



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No  
PCT/JP 03/40680

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H01L29/772 H01L21/336 H01L29/78		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 140 169 A (IMANAGA SHUNJI ET AL) 31 October 2000 (2000-10-31)  figure 11	1,3-7, 11,12, 14,15,20
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 248 (E-0933), 28 May 1990 (1990-05-28) & JP 02 071563 A (SONY CORP), 12 March 1990 (1990-03-12) abstract; figures 1,4	1-7, 11-16,20
X	US 5 930 611 A (OKAMOTO NAOYA) 27 July 1999 (1999-07-27)  figures 5A-5C	1,4-7, 11,12, 14,15,20
----- -/--		
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search  2 April 2004		Date of mailing of the international search report  19. 07. 2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl Fax: (+31-70) 340-3016		Authorized officer  Nesso, S

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP 03/40680

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 873 558 A (TEMKIN HENRYK ET AL) 10 October 1989 (1989-10-10)  the whole document	1,4-7, 11,12, 14,15,20
A	----- "INSB N-CHANNEL ENHANCEMENT MODE MISFET GROWN BY MOLECULAR BEAM EPITAXY" ELECTRONICS LETTERS, IEE STEVENAGE, GB, vol. 25, no. 4, 16 February 1989 (1989-02-16), pages 289-290, XP000052053 ISSN: 0013-5194 the whole document	1-20
A	----- LIU B-D ET AL: "DETAILED INVESTIGATION OF INSB -CHANNEL METAL-OXIDE-SEMICONDUCTOR FIELD EFFECT TRANSISTOR PREPARED BY PHOTO-ENHANCED CHEMICAL VAPOR DEPOSITION" IEEE TRANSACTIONS ON ELECTRON DEVICES, IEEE INC. NEW YORK, US, vol. 42, no. 5, 1 May 1995 (1995-05-01), pages 795-803, XP000500490 ISSN: 0018-9383 the whole document -----	1-20

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/US 03/40680**Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)**

This International Search Report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:  
because they relate to parts of the International Application that do not comply with the prescribed requirements to such an extent that no meaningful International Search can be carried out, specifically:
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

see additional sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this International Search Report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this International Search Report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this International Search Report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1-20

**Remark on Protest**

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

International Application No. PCT/ US 03/40681

## FURTHER INFORMATION CONTINUED FROM PCT/ISA/ 210

This International Searching Authority found multiple (groups of) inventions in this international application, as follows:

## 1. claims: 1-20

Implant-free enhancement mode MOSFET comprising: a III-V compound semiconductor substrate; and epitaxial layer overlying the substrate and comprising a channel layer and a doped layer; a gate oxide overlying the epitaxial layer; a metal gate electrode overlying the oxide layer; and source and drain ohmic contacts overlying the epitaxial structure.

---

## 2. claims: 21, 22

An enhancement mode MOSFET comprising: a III-V compound semiconductor substrate; and epitaxial layer overlying the substrate and comprising a channel layer and a delta-doped layer; a gate oxide overlying the epitaxial layer; a metal gate electrode overlying the oxide layer having a work function; and source and drain ohmic contacts overlying the epitaxial structure wherein the work function and the delta-doping are selected so that the enhancement mode operation is achieved.

---



## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US 03/40680

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 6140169	A	31-10-2000	JP	10223901 A	21-08-1998
			US	5929467 A	27-07-1999
JP 02071563	A	12-03-1990	JP	2770340 B2	02-07-1998
US 5930611	A	27-07-1999	JP	10247636 A	14-09-1998
US 4873558	A	10-10-1989	CA	1252914 A1	18-04-1989
			JP	63204650 A	24-08-1988

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 ハーティン、オリン エル.

アメリカ合衆国 8 5 0 4 4 アリゾナ州 フェニックス イースト ホワイト アスター ストリート 4 0 3 0

(72)発明者 レイ、マーカス

アメリカ合衆国 8 5 2 8 4 アリゾナ州 テンペ サウス デートランド ドライブ 8 0 6 2

(72)発明者 メデンドープ、ニコラス

アメリカ合衆国 9 3 1 1 7 カリフォルニア州 サンタ バーバラ メドウレース コート 6 8 9 8

F ターム(参考) 5F140 AA01 BA07 BA09 BB15 BB18 BC05 BC12 BD01 BD04 BD05  
BD07 BD11 BD16 BD18 BF01 BF05 BF42 BF44 BG36 BG37  
BH15 BH21 BH30 BH47 BK01 BK12 BK13 BK38 CD09 CE02