

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5763314号
(P5763314)

(45) 発行日 平成27年8月12日 (2015. 8. 12)

(24) 登録日 平成27年6月19日 (2015. 6. 19)

(51) Int. Cl.	F I
HO 1 L 21/8234 (2006. 01)	HO 1 L 27/08 1 O 2 E
HO 1 L 27/088 (2006. 01)	HO 1 L 27/08 1 O 2 D
HO 1 L 27/08 (2006. 01)	HO 1 L 27/08 3 3 1 E
HO 1 L 21/02 (2006. 01)	HO 1 L 27/12 B
HO 1 L 27/12 (2006. 01)	HO 1 L 29/78 6 2 7 A

請求項の数 9 外国語出願 (全 15 頁) 最終頁に続く

(21) 出願番号	特願2010-198903 (P2010-198903)	(73) 特許権者	502124444
(22) 出願日	平成22年9月6日 (2010. 9. 6)		コミッサリア ア レネルジー アトミー
(65) 公開番号	特開2011-91370 (P2011-91370A)		ク エ オ ゼネルジ ザルタナテイヴ
(43) 公開日	平成23年5月6日 (2011. 5. 6)		フランス国 エフー75015 パリ、
審査請求日	平成25年8月7日 (2013. 8. 7)		バテイマン 「ル ポナン デー」、
(31) 優先権主張番号	0956081		リュ ルブラン 25
(32) 優先日	平成21年9月7日 (2009. 9. 7)	(74) 代理人	100108453
(33) 優先権主張国	フランス (FR)		弁理士 村山 靖彦
		(74) 代理人	100064908
			弁理士 志賀 正武
		(74) 代理人	100089037
			弁理士 渡邊 隆
		(74) 代理人	100110364
			弁理士 実広 信哉

最終頁に続く

(54) 【発明の名称】 静電的に結合されたMOSトランジスタを有する集積回路およびこのような集積回路を製造するための方法

(57) 【特許請求の範囲】

【請求項1】

第1のMOSタイプのトランジスタ(101a)と、
前記第1のMOSタイプのトランジスタ(101a)上に配置され、そのチャンネル領域(109b)が、2つのほぼ平行な一次面(106b、108b)を含む少なくとも1つの半導体層(104b)内に形成されている、第2のMOSタイプのトランジスタ(101b)と、

前記第1のトランジスタ(101a)のゲート(113a)に電気的に接続され、前記第1のトランジスタ(101a)の前記ゲート(113a)と、前記第2のトランジスタ(101b)の前記チャンネル領域(109b)との間に配置される少なくとも1つの導電性材料の部分(117)と、

少なくとも、前記導電性材料の前記部分(117)と、前記第2のトランジスタ(101b)の前記チャンネル領域(109b)との間に配置される誘電体層(103)とを少なくとも含む集積回路(100)において、

前記半導体層(104b)の前記2つの一次面(106b、108b)に平行な平面内の前記第2のトランジスタ(101b)の前記チャンネル領域(109b)の断面は、前記平面内に投影された前記導電性材料の前記部分(117)の断面内に含まれており、

前記第2のトランジスタ(101b)の前記チャンネル領域(109b)は、前記導電性材料の前記部分(117)と、前記第2のトランジスタ(101b)のゲート(113b)との間に配置されており、

10

20

前記導電性材料の前記部分(117)と前記第1のトランジスタ(101a)の前記ゲート(113a)との間の電氣的接続は、前記第2のトランジスタ(101b)の前記チャンネル領域(109b)の少なくとも一部の下に配列されている、
集積回路。

【請求項2】

前記導電性材料の前記部分(117)は、前記第1のトランジスタ(101a)の前記ゲート(113a)上に、および/またはそれに接して配置されている、請求項1に記載の集積回路(100)。

【請求項3】

前記半導体層の前記2つの一次面(106b、108b)に平行な前記平面内の前記第1のトランジスタ(101a)の前記ゲート(113a)の断面の寸法は、前記平面内の前記第2のトランジスタ(101b)の前記チャンネル領域(109b)の断面の寸法にほぼ等しい、請求項1または2に記載の集積回路(100)。

10

【請求項4】

前記誘電体層(103)の厚さは、約5nmおよび50nmの間である、請求項1から3のいずれか一項に記載の集積回路(100)。

【請求項5】

2つずつ重ね合わせられた少なくとも2つのレベルのMOSタイプのトランジスタ(101a、101b)を含み、それぞれの層は、複数のMOSトランジスタ(101a、101b)を含む、請求項1から4のいずれか一項に記載の集積回路(100)。

20

【請求項6】

前記導電性材料の前記部分(117)は、複数の導電性材料の少なくとも1つのスタックを含む、請求項1から5のいずれか一項に記載の集積回路(100)。

【請求項7】

前記導電性材料の前記部分(117)は、タンゲステン部分と、窒化チタンから成る部分との間に配置される少なくとも1つのチタン部分を含む、請求項1から6のいずれか一項に記載の集積回路(100)。

【請求項8】

少なくとも第1のMOSタイプのトランジスタ(101a)を製造するステップと、前記第1のトランジスタ(101a)のゲート(113a)に電氣的に接続される少なくとも1つの導電性材料の部分(117)を製造するステップと、

30

前記導電性材料の前記部分(117)をカバーする少なくとも1つの誘電体層(129)を堆積するステップと、

前記第1のトランジスタ(101a)上に少なくとも1つの第2のMOSタイプのトランジスタ(101b)を製造するステップであって、前記第2のトランジスタ(101b)のチャンネル領域(109b)が、前記誘電体層(129)上に配置された、2つのほぼ平行な一次面(106b、108b)を含む少なくとも1つの半導体層(104b)内に形成され、前記導電性材料の前記部分(117)は、前記第1のトランジスタ(101a)の前記ゲート(113a)と、前記第2のトランジスタ(101b)の前記チャンネル領域(109b)との間に配置される、ステップとを少なくとも含む、集積回路(100)を製造するための方法において、

40

前記半導体層の前記2つの一次面(106b、108b)に平行な平面内の前記第2のトランジスタ(101b)の前記チャンネル領域(109b)の断面は、前記平面内に投影された前記導電性材料の前記部分(117)の断面内に含まれており、

前記第2のトランジスタ(101b)の前記チャンネル領域(109b)は、前記導電性材料の前記部分(117)と、前記第2のトランジスタ(101b)のゲート(113b)との間に配置されてあり、

前記導電性材料の前記部分(117)と前記第1のトランジスタ(101a)の前記ゲート(113a)との間の電氣的接続は、前記第2のトランジスタ(101b)の前記チャンネル領域(109b)の少なくとも一部の下に配列されている、

50

方法。

【請求項 9】

前記導電性材料の前記部分(117)を製造するための前記ステップは、

前記第1のトランジスタ(101a)上に第1の誘電体層(121)を共形堆積するステップと、

前記第1の誘電体層(121)上に第2の誘電体層(123)を堆積するステップと、

前記第1の誘電体層(121)上のストップにより前記第2の誘電体層(123)を平坦化し、前記第1のトランジスタ(101a)の前記ゲート(113a)の尖部をカバーする前記第1の誘電体層(121)の一部分を暴露させるステップと、

前記第1の誘電体層(121)の前記一部分をエッチングし、前記第1のトランジスタ(101a)の前記ゲート(113a)の少なくとも尖部を暴露させるステップと、

少なくとも、前記第1のトランジスタ(101a)の前記ゲート(113a)上、および前記第2の誘電体層(123)の残りの部分(125)上に、導電性材料から成る少なくとも1つの層(127)を堆積するステップと、

前記導電性材料から成る前記層(127)を平坦化し、前記第1のトランジスタ(101a)の前記ゲート(113a)に電氣的に接続される前記導電性材料の前記部分(117)を形成するステップと

を実行することによって得られる、請求項8に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、重ね合わせられたMOSトランジスタ、すなわち、複数の積層レベルのMOSトランジスタを含むことが可能で、互いに静電的に結合されたMOSトランジスタを有する集積回路の分野に関する。本発明はまた、このような集積回路を製造するための方法に関する。

【背景技術】

【0002】

MOSトランジスタを含む集積回路においては、これらのトランジスタは、一般に、単一の半導体層から製造され、その中にこれらのトランジスタのチャネルが形成される。この半導体層は、トランジスタのゲートに、ならびにソース領域およびドレイン領域に電氣的に接続される接点を形成する金属相互接続部により覆われる。

【0003】

集積回路内のMOSトランジスタの集積密度を向上させるために、複数の積層のトランジスタを含む集積回路を製造することが知られている。このような集積回路1の一例を図1に示す。この図1には、集積回路1の一方の上部にもう一方を重ね合わせられた2つのトランジスタ3aおよび3bのみを示している。上側トランジスタ3bは、下側トランジスタ3aをカバーする誘電体層5上に製造され、この下側トランジスタはそれ自体、例えばSOI(絶縁体上のシリコン)基板の埋込み誘電体層に対応する誘電体層7上に実現される。それぞれのトランジスタ3a、3bは、半導体部分を含み、その中にソース領域9a、9bおよびドレイン領域11a、11bが、ならびにトランジスタ3a、3bのチャネルを形成するように設計されている領域13a、13bが製造される。ゲート17a、17bにより覆われているゲート誘電体15a、15bは、それぞれのトランジスタ3a、3bのチャネル領域13a、13b上に配置される。ゲート17a、17bのうち的一方と、ゲート誘電体15a、15bのうち的一方とによって形成されるそれぞれのスタックは、1つまたは複数の誘電材料によって形成されるスペーサ19a、19bによって囲まれている。

【0004】

単一の半導体層から製造されるトランジスタに対して、このような構造は、集積回路内のトランジスタの集積密度を高めることを可能にする。さらには、このような構造は、上側トランジスタ3bのチャネルを形成するように設計されている領域13bと、誘電体層5との間のインターフェースの電気状態を調整することを可能にし、またはFD(完全に空乏化し

10

20

30

40

50

た)トランジスタの場合でも、互いの上に重ね合わせられたトランジスタ同士を静電的に結合することを可能にする。したがって、図1に示す例においては、特に誘電体層5の薄い厚さ、例えば約50nm未満、または約30nm未満、もしくはさらに10nmのこの厚さのために、下側トランジスタ3aのゲート17aは、上側トランジスタ3bのチャンネル13bに極性を与えるように働くことが可能である。

【0005】

このような静電結合の有効性は、下側トランジスタ3aのゲート17aと、上側トランジスタ3bのチャンネル13bとの間の垂直位置合わせ(図1に示すy軸に沿う位置合わせ)によって直接的に条件付けられる。したがって、これらの2つのトランジスタ3a、3bは、図1の場合のように、下側トランジスタ3aのゲート17aが上側トランジスタ3bのチャンネル13bとよく位置合わせされる場合に、正確に結合される。しかし、これらの要素が互いに対してもはや正確に位置合わせされない場合では、ゲート17aを介してチャンネル13bに極性を与えることに困難が生じる場合がある。

10

【0006】

このような集積回路1は、下側レベルおよび上側レベル(それぞれ、下側トランジスタ3aおよび上側トランジスタ3bを含む)を個別に実現し、次いで、誘電体層5を介してそれらを一緒に組み立てることによって得ることが可能である。しかし、異なるレベルのトランジスタ相互間の優れた位置合わせをこの技術により得ることは困難であり、得られる最良の結果は、100nm程度の位置合わせを得ることを可能にするものである。

【0007】

より優れた位置合わせを得るためには、異なるレベルのトランジスタを連続的に製造することによって集積回路1を製造することが好ましく、まず、下側トランジスタ3aを含む下側レベルを製造し、次いで、ゲート17bを実現するために実装されるリソグラフィステップの間に、下側トランジスタ3aのゲート17aに対して、上側トランジスタ3bの当該ゲート17bを位置合わせすることによって、上側トランジスタ3bを含む上側レベルを下側レベル上に直接、製造する。

20

【0008】

トランジスタのレベルの連続的な製造により得られる位置合わせは、トランジスタのレベルを個別に製造し、次いで、組み立てることによって得られる位置合わせよりも優れているが、なおもトランジスタの最小ゲート長(図1に示すx軸に沿う寸法)の少なくとも約40%に等しい位置合わせ不確実性がある。

30

【先行技術文献】

【特許文献】

【0009】

【特許文献1】米国特許第5863818号明細書

【特許文献2】国際公開第2007/139862号

【特許文献3】特許第61043463号公報

【特許文献4】米国特許出願公開第2008/128780号明細書

【特許文献5】米国特許出願公開第2003/094633号明細書

【特許文献6】米国特許第5998273号明細書

【特許文献7】米国特許第6767835号明細書

40

【非特許文献】

【0010】

【非特許文献1】P. Batudeらによる文献「3D CMOS Integration: Introduction of Dynamic coupling and Application to Compact and Robust 4T SRAM」Integrated Circuit Design and Technology and Tutorial、2008. ICICDT 2008; IEEE International Conference on Volume、2~4、2008年6月; 281~284頁

【非特許文献2】Rousseau M.らによる文献「Impact of substrate coupling induced by 3D-IC architecture on advanced CMOS technology」2009 EUROPEAN MICROELECTRONICS AND PACKAGING CONFERENCE (EMPC) RIMINI, ITALY, 15 June 2009 (2009-06-15), - 18

50

June 2009 (2009-06-18) pages 1-5, XP002575211 2009 European Microelectronics and Packaging Conference (EMPC) IEEE Piscataway, NJ, USA ISBN; 978-1-4244- 4722-0

【発明の概要】

【発明が解決しようとする課題】

【0011】

本発明の1つの目的は、静電的に互いに結合可能な重ね合わせられたMOSトランジスタを有する集積回路を提案することであり、その構造は、集積回路の2つの重ね合わせられたMOSトランジスタ間の静電結合を保証するものであり、それは、集積回路の製造中に、2つのトランジスタ間に見られることがある位置ずれに対して、ほんのわずかに敏感であるか、または全く敏感でない。

10

【課題を解決するための手段】

【0012】

このため、少なくとも、第1のMOSタイプのトランジスタを含み、その上に少なくとも第2のMOSタイプのトランジスタが配置され、そのチャンネル領域が、2つのほぼ平行な一次面を含む少なくとも1つの半導体層内に形成され、第1のトランジスタのゲートに電気的に接続され、第1のトランジスタのゲートと、第2のトランジスタのチャンネル領域との間に配置される少なくとも1つの導電性材料の少なくとも一部分を含む集積回路であって、この半導体層の2つの一次面に平行な平面内の第2のトランジスタのチャンネル領域の断面は、当該平面内に投影された導電性材料の部分の断面内に含まれる、集積回路が提案される。

20

【0013】

この半導体層の2つの一次面に平行な平面内の第2のトランジスタのチャンネル領域の断面は、当該平面内に投影された導電性材料の部分の断面内に含まれ、それは、当該平面内に投影された導電性材料の部分の断面の寸法が、当該平面内の第2のトランジスタのチャンネル領域の断面の寸法よりも大きいという事実を換言している。したがって、位置ずれが、集積回路の製造中にトランジスタ間に見られる場合であっても、上側トランジスタのチャンネルと、下側トランジスタのゲートとの間の静電的結合を保証することが可能である。

【0014】

本発明は、具体的には、少なくとも、
 -第1のMOSタイプのトランジスタと、
 -第1のMOSタイプのトランジスタ上に配置され、そのチャンネル領域が、2つのほぼ平行な一次面を含む少なくとも1つの半導体層内に形成される、第2のMOSタイプのトランジスタと、
 -第1のトランジスタのゲートに電気的に接続され、第1のトランジスタのゲートと、第2のトランジスタのチャンネル領域との間に配置される少なくとも1つの導電性材料の一部分と、
 -少なくとも、導電性材料の部分と、第2のトランジスタのチャンネル領域との間に配置される誘電体層と
 を含む集積回路において、

30

この半導体層の2つの一次面に平行な平面内の第2のトランジスタのチャンネル領域の断面は、当該平面内に投影された導電性材料の部分の断面内に含まれ、

40

この第2のトランジスタのチャンネル領域は、導電性材料の部分と、第2のトランジスタのゲートとの間に配置される、集積回路に関する。

【0015】

導電性材料の部分は、第1のトランジスタのゲート上に、および/またはそれに接して配置可能である。

【0016】

半導体層の2つの一次面に平行な平面内に投影された導電性材料の部分の断面の寸法は、当該平面内の第2のトランジスタのチャンネル領域の断面の寸法に対して、少なくとも10%、または20%、または30%、または40%、または50%だけ大きくてよい。

【0017】

50

この半導体層の2つの一次面に平行な平面内に投影された第1のトランジスタのゲートの断面の寸法は、当該平面内の第2のトランジスタのチャンネル領域の断面の寸法とほぼ等しくてよい。

【0018】

この集積回路はまた、少なくとも、導電性材料の部分と、第2のトランジスタのチャンネル領域との間に配置される少なくとも1つの誘電体層を含むことが可能である。この誘電体層は、酸化ケイ素、ならびに/あるいは例えば HfO_2 および/または ZrO_2 および/または Al_2O_3 などの高誘電率(高K)の酸化物から成ることが可能である。

【0019】

この誘電体層の厚さは、約1nmと500nmとの間、好ましくは、約5nmと50nmとの間であってよい。

10

【0020】

この集積回路は、2つずつ重ね合わせられた少なくとも2つのレベルのMOSタイプのトランジスタを含むことが可能であり、それぞれのレベルは、複数のMOSトランジスタを含むことができる。

【0021】

この場合では、少なくとも1つの導電性材料の部分は、上側トランジスタのチャンネルと、下側トランジスタのゲートとの間の静電結合を達成するために、下側レベルのトランジスタのそれぞれのゲートに電気的に接続されることが可能である。しかし、下側トランジスタのほんの一部が、当該下側トランジスタのゲートを、当該下側トランジスタ上に重ね合わせられる上側トランジスタのチャンネルと静電的に結合する導電性材料のある部分を含むことも可能である。導電性材料は、得ることが望ましい静電結合に応じて、トランジスタごとに類似していても、または異なってもよい。

20

【0022】

この導電性材料の部分は、複数の導電性材料の少なくとも1つのスタックを含むことが可能である。導電性材料の部分を形成することができるこの、またはこれらの材料は、具体的には、平坦化されるためのそれらの適性に応じて、および/またはそれらの動作機能に応じて選択可能であり、その動作機能は、(スレッシュホールド電圧を下げることによる)高性能か、または(スレッシュホールド電圧を上げることによる)低消費かのいずれかに向かって、上側トランジスタをオフセットすることによって、直接的にその特徴に影響を及ぼす。

30

【0023】

この場合では、導電性材料の部分は、タングステン部分と、窒化チタンから成る部分との間に配置される少なくとも1つのチタン部分を含むことが可能である。

【0024】

また、

a) 少なくとも第1のMOSタイプのトランジスタを製造するステップと、

b) 第1のトランジスタのゲートに電気的に接続される少なくとも1つの導電性材料の少なくとも一部分を製造するステップと、

c) 第1のトランジスタ上に少なくとも1つの第2のMOSタイプのトランジスタを製造するステップであって、第2のトランジスタのチャンネル領域が、2つのほぼ平行な一次面を含む少なくとも1つの半導体層内に形成され、導電性材料の部分は、第1のトランジスタのゲートと、第2のトランジスタのチャンネル領域との間に配置される、ステップと

40

を少なくとも含む集積回路を製造するための方法において、

この半導体層の2つの一次面に平行な平面内の第2のトランジスタのチャンネル領域の断面は、当該平面内に投影された導電性材料の部分の断面内に含まれる、方法が提案される。

【0025】

本発明はまた、少なくとも、

-少なくとも1つの第1のMOSタイプのトランジスタを製造するステップと、

50

-第1のトランジスタのゲートに電氣的に接続される少なくとも1つの導電性材料の少なくとも一部分を製造するステップと、

-導電性材料の少なくともこの部分をカバーする少なくとも1つの誘電体層を堆積させるステップと、

-第1のトランジスタ上に少なくとも1つの第2のMOSタイプのトランジスタを製造するステップであって、第2のトランジスタのチャンネル領域が、2つのほぼ平行な一次面を含み、誘電体層上に配置される少なくとも1つの半導体層内に形成され、この導電性材料の部分は、第1のトランジスタのゲートと、第2のトランジスタのチャンネル領域との間に配置される、ステップと

を含む、集積回路を製造するための方法において、

10

この半導体層の2つの一次面に平行な平面内の第2のトランジスタのチャンネル領域の断面は、当該平面内に投影された導電性材料の部分の断面内に含まれ、

この第2のトランジスタのチャンネル領域は、導電性材料の部分と、第2のトランジスタのゲートとの間に配置される、方法に関する。

【0026】

この導電性材料の部分の製造するためのステップは、

-第1のトランジスタ上に第1の誘電体層を共形堆積するステップと、

-この第1の誘電体層上に第2の誘電体層を堆積するステップと、

-第1の誘電体層上のストップにより第2の誘電体層を平坦化し、第1のトランジスタのゲートの尖部をカバーする第1の誘電体層のある部分を暴露するステップと、

20

-第1の誘電体層の当該部分をエッチングし、第1のトランジスタのゲートの少なくとも尖部を暴露するステップと、

-少なくとも、第1のトランジスタのゲート上、および第2の誘電体層の残りの部分上に、導電性材料から成る少なくとも1つの層を堆積するステップと、

-この導電性材料から成る層を平坦化し、第1のトランジスタのゲートに電氣的に接続される導電性材料の部分を形成するステップと

を実行することによって得ることが可能である。

【0027】

この方法はまた、b)導電性材料の部分を製造するためのステップと、c)第2のトランジスタを製造するためのステップとの間に、少なくとも導電性材料の部分をカバーする少なくとも1つの誘電体層を堆積するためのステップを含むことが可能であり、半導体層は、当該誘電体層上に配置される。

30

【0028】

この方法は、集積回路が、2つずつ重ね合わせられた少なくとも2つのレベルのMOSタイプのトランジスタを含むことが可能なように実装可能であり、それぞれのレベルは、複数のMOSトランジスタを含むことができる。

【0029】

この場合では、少なくとも1つの導電性材料の部分は、上側トランジスタのチャンネルと、下側トランジスタのゲートとの間の静電結合を達成するために、下側レベルのトランジスタのそれぞれの、または一部のゲートに電氣的に接続可能である。

40

【0030】

1つの代替では、導電性材料の部分は、標準フォトリソグラフィプロセスによって製造可能である。

【0031】

本発明は、純粹に情報のために、および添付の図面に関して限定しないようにして、提供される実施形態の説明を読むとより理解されるであろう。

【図面の簡単な説明】

【0032】

【図1】従来技術による複数の積層のMOSトランジスタを含む集積回路の例を示す図である。

50

【図2A】特定の実施形態による本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路の実施形態を示す図である。

【図2B】特定の実施形態による本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路の実施形態を示す図である。

【図3A】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3B】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3C】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

10

【図3D】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3E】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3F】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3G】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3H】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

20

【図3I】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【図3J】1つの特定の実施形態によるさらなる本発明の目的の静電的に結合されたMOSトランジスタを有する集積回路を製造するための方法のステップを示す図である。

【発明を実施するための形態】

【0033】

本明細書において後述する種々の図面の同一、類似または均等の部分は、ある図面から別の図面への移行を容易にするために同じ参照符号を有する。

【0034】

図面に示す種々の部分は、図面をより読み取り易くするために、必ずしも均一の縮尺を用いて示しているわけではない。

30

【0035】

種々の可能性(代替形態および実施形態)は、相互に排他的でないとして理解すべきであり、互いと組み合わせ可能である。

【0036】

まず、1つの具体的な実施形態による静電的に互いに結合されたMOSトランジスタを有する集積回路100の1つの実施形態を示す図2Aを参照することにする。

【0037】

この図2Aにおいては、集積回路100は、2つのレベルのMOSトランジスタを含む。さらには、一方を他方の上部に重ね合わせられた集積回路100の2つのトランジスタ101aおよび101bだけを図2Aに示す。上側トランジスタ101bは、例えばSiO₂ベースの、下側トランジスタ101aをカバーする誘電体層103上に製造され、その下側トランジスタはそれ自体、図2Aに示していない誘電体層上に製造され、それは、例えばSiO₂ベースの、SOI(絶縁体上のシリコン)基板の例えば埋め込まれた誘電体層である。あるいは、下側トランジスタ101aは、塊状の基板、例えばシリコン上に製造されることも可能である。それぞれのトランジスタ101a、101bは、層の一部分、例えばシリコンの半導体材料からそれぞれ成る参照層104aおよび104bを含み、それらのトランジスタにおいて、ソース領域105a、105bおよびドレイン領域107a、107bは、トランジスタ101a、101bのチャンネルを形成するように設計されている領域109a、109bとともに製造される。半導体層104a、104bは、ほぼ平坦な形状であり、それぞれは、ほぼ互いに平行で、図2Aに示す平面(X、Z)に平行な2つの一次面106a、106bお

40

50

よび108a、108bを含む。

【0038】

それぞれのトランジスタ101a、101bの場合、高誘電率(高K)の、すなわちその誘電率が約3.9よりも、例えば Ta_2O_5 よりも大きい、例えば SiO_2 または誘電材料から成り、タンゲステンなどの例えば金属またはドーブ多結晶半導体から成るゲート113a、113bにより覆われたゲート誘電体111a、111bは、それぞれのトランジスタ101a、101bのチャネル領域109a、109b上に配置される。ゲート113a、113bおよびゲート誘電体111a、111bによって形成されるそれぞれのスタックは、1つまたは複数の誘電体層から成り、例えば SiO_2 および/または Si_3N_4 から成るスペーサ115a、115bによって囲まれている。

【0039】

集積回路100はまた、下側トランジスタ101aのソース領域105aおよびドレイン領域107aをカバーする誘電体部分119を含む。これらの誘電体部分119はまた、この下側トランジスタ101aのスペーサ115aの少なくとも一部をカバーする。集積回路100はまた、下側トランジスタ101aのゲート113aに電気的に接続される1つまたは複数の導電性材料から成る部分117を含む。図2Aの例では、この導電性部分117は、ゲート113a上に、およびそれに接して配置され、ゲート113aの上端部を全体的にカバーする。さらには、部分117はまた、スペーサ115aの一部ならびに誘電体部分119の一部をカバーする。半導体層104bの2つの一次面106a、108bに平行な平面内の上側トランジスタ101bのチャネル領域109bの断面は、この平面内に投影された導電性材料の部分117の断面内に含まれる。平面(X、Z)に平行な平面内の導電性部分117の断面の寸法は、その同一平面内の上側トランジスタ101bのチャネル領域109bの断面の寸法よりも大きい。

【0040】

導電性部分117と、上側トランジスタ101bのチャネル領域109bと間の誘電体層103の厚さが薄いこと、例えば約1nmおよび500nmの間、有利には約5nmおよび50nmの間であることを考慮すると、導電性部分117を介して、下側トランジスタ101aのゲート113aから上側トランジスタ101bのチャネルに極性を与えることが可能である。そのため、2つのトランジスタ101a、101bは、静電的にともに結合され得る。

【0041】

そのため、導電性部分117の((X、Z)平面に平行な平面における)寸法は、その同一平面内の上側トランジスタ101bのチャネル領域109bのものよりも大きいと仮定すると、集積回路100は、トランジスタ101aと、101bとの間の位置ずれ、すなわち、下側トランジスタ101aのゲート113aと、上側トランジスタ101bのチャネル領域109bとの間の位置ずれを許容することが分かる。図2Aの例においては、トランジスタ101aおよび101bは、互いに対してよく位置合わせされており、それにより、いずれの静電結合上の問題も生じない。しかし、図2Bの例においては、下側トランジスタ101aのゲート113aは、上側トランジスタ101bのチャネル領域109bと位置合わせされていないことが分かる。このような位置ずれは、従来技術の2つの重ね合わせられたトランジスタ間の静電結合を行うことを可能にしていなかったものである。しかし、この場合では、導電性部分117が下側トランジスタ101aのゲート113aに電気的に接続され、半導体層104bの2つの一次面106b、108bに平行な平面内の上側トランジスタ101bのチャネル領域109bの断面はその平面内に投影された導電性材料の部分117の断面内に含まれると仮定すると、そのため、それらの2つのトランジスタ101a、101b間の静電結合を行うことが可能であり、下側トランジスタ101aのゲート113aは、導電性部分117を介して上側トランジスタ101bのチャネル領域109bに極性を与えることができる。

【0042】

導電性部分117の寸法は、具体的には、集積回路100の実現の間に見られることがある位置ずれの関数として選択される。例えば、所与の技術においての場合、位置ずれ公差は、ゲート長の約40%を示し、導電性部分117の長さが、集積回路100のトランジスタ101a、101bのゲート113a、113bの長さ(図2Aおよび図2Bに示すX軸に沿う寸法)に対して少なくとも約40%だけ大きい、またはそれを超えるように、その部分117を製造することが可能である。以下のTable(表1)は、許容される位置ずれ(nmで)の種々のゲート長(nmで)、ならびに導電

10

20

30

40

50

性部分117(nmで)の長さについての例を示す。

【0043】

【表1】

L _{ゲート}	27	24	22	18	17	15	14	13
位置ずれ	11	10	9.9	9	7.1	6.3	5.6	5
L _{導電性部分}	38	34	31.9	27	34.1	21.3	19.6	18

10

【0044】

図2Aおよび図2Bの例では、集積回路100は、2つのレベルのMOSトランジスタを含み、例えばトランジスタ101aおよび101bに類似する複数のトランジスタは、それぞれの段の上に製造可能である。この場合では、上側トランジスタのチャンネルと、それらの下側トランジスタのゲートとの間の静電結合を達成するために、導電性材料の一部分は、下側レベルからトランジスタのそれぞれのゲートに、または下側レベルからトランジスタの一部にのみ電氣的に接続されることが可能である。導電性材料は、得ることが望ましい静電結合に応じて、トランジスタごとに類似していても、または異なってもよい。

【0045】

20

図2Aおよび図2Bの例では、集積回路100は、2つのレベルの重ね合わせられたMOSトランジスタを含む。集積回路100は、3つ以上のレベルの重ね合わせられたトランジスタを含むことが可能である。したがって、第1のレベルにおけるトランジスタが、それ自体第3のレベルからのトランジスタなどと静電的に結合可能な第2のレベルからのトランジスタと静電的に結合可能である。

【0046】

次に、1つの具体的な実施形態による集積回路100を製造するためのある方法のステップを示している図3Aから図3Jを参照することにする。

【0047】

図3Aに示すように、まず、例えば、SOI基板から下側MOSトランジスタ101aを実現する。このトランジスタ101aは、当業者によって知られているステップを実行することによって得られ、ここでは詳細を説明しない。

30

【0048】

次いで、例えばSi₃N₄などの窒化物から成る第1の誘電体層により、例えばCVD(化学蒸着)タイプの共形堆積で下側トランジスタ101aをカバーする(図3B)。この第1の誘電体層121は、半導体層104aの上側面106aにおいて、少なくともソース領域105aおよびドレイン領域107a、ならびにスペーサ115aおよび下側トランジスタ101aのゲート113aをカバーする。例えば、約5nmと50nmとの間のこの第1の誘電体層121のほぼ一定の厚さは、後に製造されることになる導電性部分117の所望の長さにより選択される。それは、例えば、ゲート長と、導電性部分の長さとの間の寸法の差の約半分に等しい。

40

【0049】

第1の誘電体層121は、例えばCVDタイプの堆積を実装することによって堆積される、例えばSiO₂などの酸化物から成る第2の誘電体層123によってカバーされる(図3C)。トランジスタが、SOIの高レベルの埋め込まれた酸化物においてSOI基板上に製造される場合では、第2の誘電体層123の厚さは、例えば、ゲート113aの上部と、対応するアクティブゾーンの横方絶縁体の表面との間の立ち上がり部の少なくとも2.5倍よりも大きいように選択される。典型的には、この厚さは、約150nmの立ち上がり部に対して400nm程度である。第1の誘電体層121の材料および第2の誘電体層123の材料は、具体的には、第1の誘電体層121に対して、第2の誘電体層123の選択的なエッチングを可能にするように選択可能である。

【0050】

50

図3Dに示すように、第2の誘電体層123は、例えばCMP(化学機械平坦化)を実装することによって平坦化され、次いで、第1の誘電体層121上のストップによるエッチングを可能にし、第2の誘電体部分125を形成する。これらの第2の誘電体部分は、後に、トランジスタ101aおよび101bを互いから絶縁する誘電体層103の一部分を形成することになる。

【0051】

第1の誘電体層121は、次いで、選択的に第2の誘電体部分125に対して、例えば化学エッチングによってエッチングされる(図3E)。このエッチングは、下側トランジスタ101aのゲート113aの尖部だけを暴露するように適時に停止される。このエッチングは、ソース領域105aおよびドレイン領域107aならびにスペーサ115aをカバーする第1の誘電体部分119を形成する。

【0052】

図3Fに示すように、次いで、1つまたは複数の導電性材料、この場合、例えば、タンゲステンと、チタンと、窒化チタンとから成る3層のスタック127の堆積を行い、ゲート113aの尖部ならびに第2の誘電体部分125と、第2の誘電体部分125によってカバーされていない第1の誘電体部分119の一部とをカバーする。

【0053】

スタック127は、次いで、第2の誘電体部分125上のストップによりCMPによって平坦化される(図3G)。スタック127の残りの部分は、ゲート113aと電氣的に接触する導電性部分117を形成する。さらには、導電性部分117は、第2の誘電体部分125相互間に配置される。

【0054】

図3Hに示すように、例えば、 SiO_2 などの酸化物、または高K酸化物から成る第3の誘電体層129が、次いで、第2の誘電体層125上に、および導電性部分117上に堆積される。第3の誘電体層129の厚さは、例えば、約1nmと500nmとの間であり、有利には、特にこの第3の誘電体層129が SiO_2 から成る場合では、約5nmと50nmとの間であり、それは後に、下側トランジスタ101aのゲート113aと、上側トランジスタ101bのチャネル109bとの間の静電結合を行うことを可能にすることになる。この第3の誘電体層129はまた、種々の材料から形成される複数の誘電体層のスタックによって形成可能である。この第3の誘電体層129および第2の誘電体部分125はともに、下側トランジスタ101aを上側トランジスタ101bから電氣的に絶縁するように設計されている誘電体層103を形成する。

【0055】

この方法の利点の1つは、第2の誘電体部分125を、実行されるCMPのためのストップ層として使用することによって、結合誘電体129の厚さを精巧に制御することを可能にすることである。次いで、第3の誘電体層129に堆積し、それはまさに後に、層104bを、例えば接着することによって貼り付ける誘電体として必要なものであり、それによって、優れた結合を確実にする。

【0056】

次いで、半導体層104bを誘電体層103上に貼り付ける(図3I)。このような貼付けを行うために実装される技術は、例えば、P. Batudeらによる文献「3D CMOS Integration: Introduction of Dynamic coupling and Application to Compact and Robust 4T SRAM」Integrated Circuit Design and Technology and Tutorial、2008. ICICDT 2008; IEEE International Conference on Volume、2~4、2008年6月; 281~284頁に記載されているものに類似している。

【0057】

最後には、図3Jに示すように、集積回路100は、例えば、下側トランジスタ101aを製造するために実装されるステップに類似しているステップによって、アクティブな半導体層104bから上側トランジスタ101bを製造することによって完了される。図3Jに示す集積回路100のトランジスタ101aおよび101bは、ここでは、図2Aの例におけるように、互いに対してよく位置合わせされる。しかし、図2Bの例におけるように、位置ずれが、これらのトランジスタ間に見られることがあり得る。しかし、この位置ずれは、下側トランジスタ101aのゲート113aと、上側トランジスタ101bのチャネル109bとの間の静電結合が、下側トラン

10

20

30

40

50

ジスタ101aのゲート113aに接して配置される導電性部分117によって確実にされることを仮定すると、いずれの重要性も持つことにならない。

【0058】

電気接点および/または相互接続レベルを製造するための後半のステップは、次いで、集積回路100の製造を完了するために実行可能である。

【0059】

もちろん、他の技術が、例えば標準フォトリソグラフィ技術を使用して、導電性部分117を製造するために使用可能である。これらの導電性部分はまた、例えばポリシリコンから成るゲートから、シリコンまたはゲルマニウムエピタキシーを取り戻すことによって製造可能である。

10

【0060】

このような集積回路100は、例えばSRAM、またはZRAMもしくはFPM(高速ページモード)タイプの例えばメモリセル、あるいはCMOS論理ゲートを有する論理回路である。

【符号の説明】

【0061】

1 集積回路

3a 下側トランジスタ

3b 上側トランジスタ

5 誘電体層

7 誘電体層

20

9a ソース領域

9b ソース領域

11a ドレイン領域

11b ドレイン領域

13a チャネル領域

13b チャネル領域

15a ゲート誘電体

15b ゲート誘電体

17a ゲート

17b ゲート

30

19a スペース

19b スペース

100 集積回路

101a 下側トランジスタ

101b 上側トランジスタ

103 誘電体層

104a 半導体層

104b 半導体層

105a ソース領域

105b ソース領域

40

106a 一次面

106b 一次面

107a ドレイン領域

107b ドレイン領域

108a 一次面

108b 一次面

109a チャネル領域

109b チャネル領域

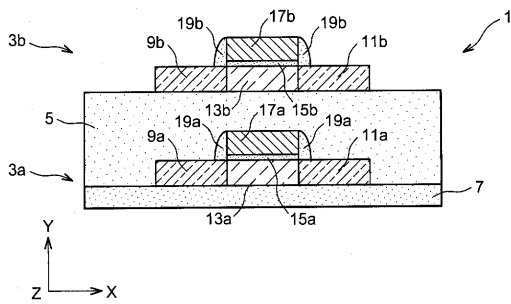
111a ゲート誘電体

111b ゲート誘電体

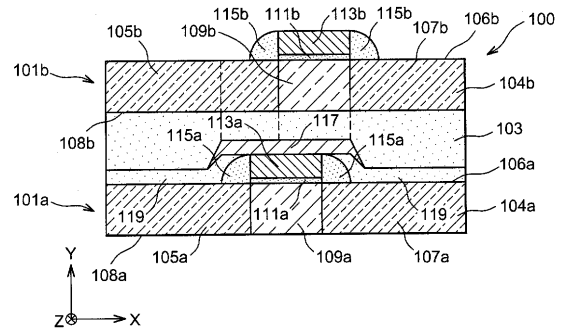
50

- 113a ゲート
- 113b ゲート
- 115a スペース
- 115b スペース
- 117 導電性部分
- 119 誘電体部分
- 121 誘電体層
- 123 誘電体層
- 125 誘電体部分
- 127 スタック

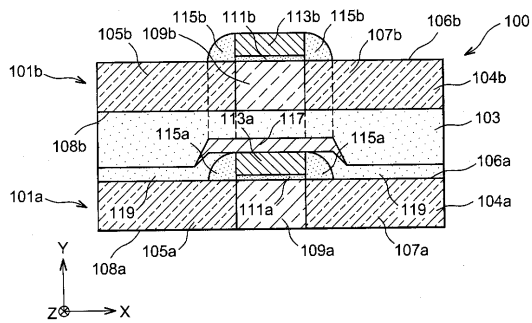
【図1】



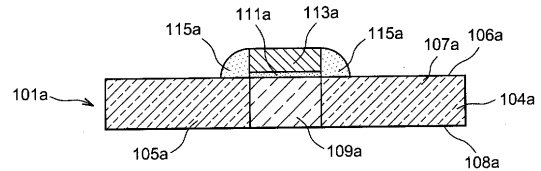
【図2B】



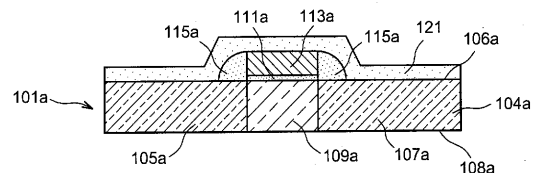
【図2A】



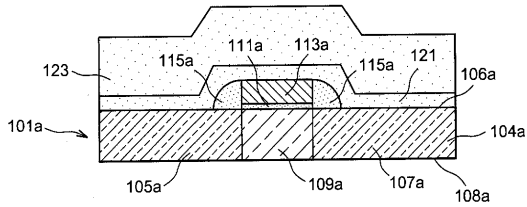
【図3A】



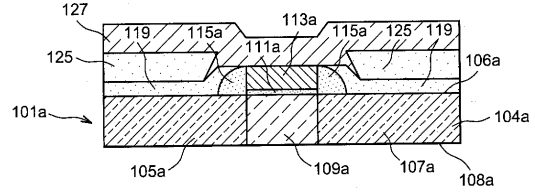
【図3B】



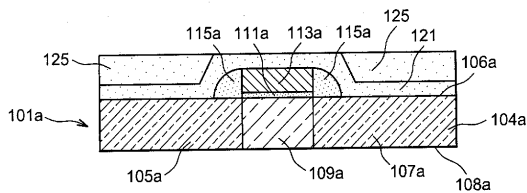
【図3C】



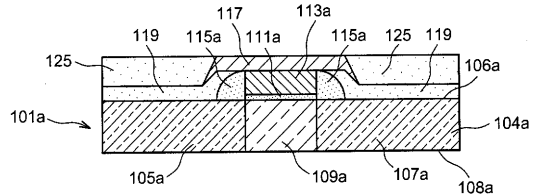
【図3F】



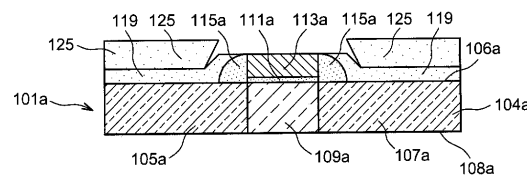
【図3D】



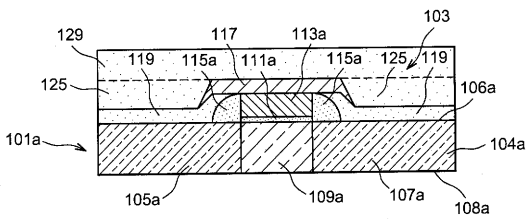
【図3G】



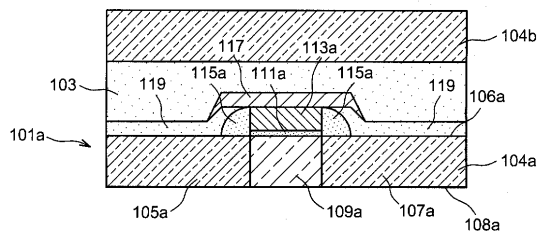
【図3E】



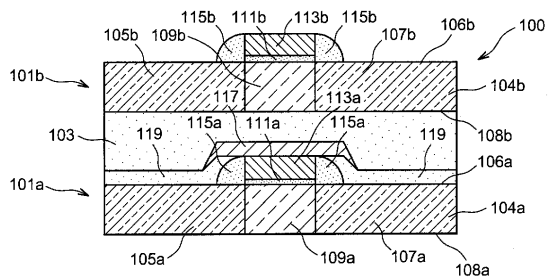
【図3H】



【図3I】



【図3J】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	21/336	(2006.01)	H 0 1 L	29/78 6 1 7 N
H 0 1 L	29/786	(2006.01)	H 0 1 L	29/44 L
H 0 1 L	29/41	(2006.01)		

(72)発明者 エマニュエル・オジャンドル
フランス・38330・モンボノ・アレ・デ・マルタゴン・79

(72)発明者 モード・ヴィネ
フランス・38140・リーヴ・シュマン・デ・ヴィーニュ・171ペー

(72)発明者 ローラン・クラヴリエ
フランス・38000・グルノーブル・リュ・アンペール・28ペー

(72)発明者 ペリーヌ・バトゥードゥ
フランス・21000・ディジョン・アレ・ポール・ヴァレリー・2

審査官 市川 武宜

(56)参考文献 国際公開第2007/139862(WO, A1)
特開平07-094743(JP, A)
特開2007-141905(JP, A)
特開2009-004519(JP, A)
特開平10-209389(JP, A)
特開2008-103613(JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 8 2 3 4
H 0 1 L	2 1 / 0 2
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 7 / 0 8
H 0 1 L	2 7 / 0 8 8
H 0 1 L	2 7 / 1 2
H 0 1 L	2 9 / 4 1
H 0 1 L	2 9 / 7 8 6