



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

229 202

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 27 12 79
(21) PV 9336-79

(51) Int. Cl.³ H 03 K 19/086

(40) Zveřejněno 10 09 81

(45) Vydáno 01 03 86

(75)

Autor vynálezu

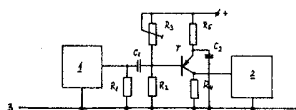
HEJDUK KAREL ing., PRAHA

(54)

Zapojení pro převod úrovní číslicové integrované logiky typu ECL na úrovně logiky typu TTL

Vynález se týká zapojení pro převod úrovní číslicové integrované logiky typu ECL na úrovně číslicové integrované logiky typu TTL pomocí tranzistoru typu PNP, zejména pro frekvence řádu MHz a desítek MHz. Mezi výstup logiky typu ECL a bázi tranzistoru je zapojen oddělovací kondenzátor, jehož oba konce jsou přes první a druhý odpor připojeny na společný vodič. Mezi bázi tranzistoru a napájecí vodič je zapojen třetí odpor a mezi kolektor tranzistoru, který je zapojen na vstup logiky typu TTL a společný vodič, je zapojen pracovní odpor. Emitter tranzistoru je spojen se společným vodičem přes blokovací kondenzátor a s napájecím vodičem přes emitorový odpor.

Zapojení podle vynálezu je vhodné zejména pro logické obvody typu J - K.



Vynález se týká zapojení pro převod úrovní číslicové integrované logiky typu ECL na úrovně číslicové integrované logiky typu TTL tranzistorem typu PNP, zejména pro frekvence řádu MHz a desítek MHz.

Jsou známá zapojení k převodu úrovní logiky typu ECL na logiky typu TTL pomocí tranzistoru typu PNP v zapojení se společným emitorem, jehož vstup je přímo vázán s výstupem logiky typu ECL a s jehož kolektorovým odporem je přímo vázán vstup logiky typu TTL. Uvedený tranzistor v tomto zapojení volbou odporů v emitoru a kolektoru jen stejnosměrně posouvá úrovně logické 0 a 1, přičemž zachovává jejich rozdíl. V některých případech výstup z logiky ECL, například u děliče kmitočtu oscilátorů, nestačí vybudit navazující logiku TTL a zařízení přestává být schopné provozu. Tento stav se zhoršuje s rostoucí frekvencí, protože klesá logický zisk obvodů.

Vpředu uvedené nevýhody odstraňuje zapojení pro převod úrovní číslicové integrované logiky typu ECL na logiky typu TTL pomocí tranzistoru typu PNP, ^{podle vynálezu} jehož podstata spočívá v tom, že mezi výstup logiky typu ECL a bází tranzistoru je zapojen oddělovací kondenzátor, jehož oba konce jsou přes první a druhý odpor připojeny na společný vodič. Mezi bází tranzistoru a napájecí vodič je zapojen třetí odpor a mezi kolektor tranzistoru, který je zapojen na vstup logiky typu TTL a společný vodič, je zapojen pracovní odpor. Emitor tranzistoru

je spojen se společným vodičem přes blokovací kondenzátor a s napájecím vodičem přes emitorový odpor.

Výhoda zapojení podle vynálezu spočívá v tom, že tranzistor pracuje s plným ziskem, jelikož emitorový odpor je blokován kondenzátorem a navíc umožňuje zvolit několikanásobně vyšší napájecí napětí než u známého zapojení a tím dále zvýšit rozkmit napětí (zisk) na kolektorovém odporu tranzistoru.

Příklad zapojení podle vynálezu je dále popsán pomocí výkresu na němž mezi výstup logiky 1 typu ECL a bázi tranzistoru T je zapojen oddělovací kondenzátor C1, jehož oba konce jsou přes první a druhý odpor R1 a R2 připojeny na společný vodič 3. Mezi bázi tranzistoru T a napájecí vodič + je zapojen třetí odpor R3 a mezi kolektor tranzistoru T, který je zapojen na vstup logiky 2 typu TTL a společný vodič 3 je zapojen pracovní odpor R4. Emitor tranzistoru T je spojen se společným vodičem 3 přes blokovací kondenzátor C2 a s napájecím vodičem + přes emitorový odpor R5.

Výstup logiky 1 typu ECL je pomocí oddělovacího kondenzátoru C1 střídavě vázán s tranzistorem T typu PNP v zapojení se společným emitorem, na jehož pracovní odpor R4 kolektoru je vázána logika 2 typu TTL. Emitorový odpor R5 je proti střídavému průběhu blokován blokovacím kondenzátorem C2. První odpor R1 je zatěžovacím odporem logiky 1 typu ECL a druhý a třetí odpor R2 a R3 určuje pracovní bod tranzistoru T.

Tranzistor T střídavě buzený přes oddělovací kondenzátor C1 pracuje jako střídavý zesilovač, jehož pracovní bod je určen odpory R2 a R3. Hodnota pracovního odporu R4 kolektoru definuje logickou 1 pro navazující logiku 2 TTL, čímž zajišťuje její správnou funkci. Blokovací kondenzátor C2 blokuje emitörový odpor R5 vůči střídavému průběhu a zajišťuje plný zisk zapojení. V zapojení podle vynálezu je možno zvolit napájecí napětí několikanásobně vyšší než u známého zapojení.

Zapojení podle vynálezu je vhodné zejména pro logické obvody typu J - K.

PŘEDMĚT VYNÁLEZU

229 202

Zapojení pro převod úrovní číslicové integrované logiky typu ECL na úrovně logiky typu TTL tranzistorem typu PNP, zejména pro frekvence řádu MHz a desítek MHz vyznačené tím, že mezi výstup logiky (1) typu ECL a bázi tranzistoru (T) je zapojen oddělovací kondenzátor (C1), jehož oba konce jsou přes první a druhý odpor (R1 , R2) připojeny na společný vodič (3), mezi bázi tranzistoru (T) a napájecí vodič (+) je zapojen třetí odpor (R3) a mezi kolektor tranzistoru (T), který je zapojen na vstup logiky (2) typu TTL a společný vodič (3), je zapojen pracovní odpor (R4), přičemž emitor tranzistoru (T) je spojen se společným vodičem (3) přes blokovací kondenzátor (C2) a s napájecím vodičem (+) přes emitorový odpor (R5).

1 výkres

