

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年3月22日 (22.03.2007)

PCT

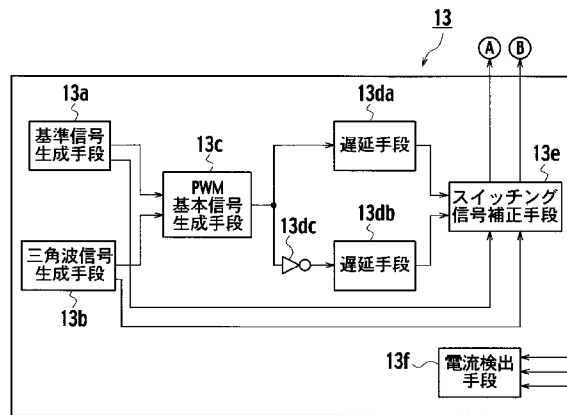
(10) 国際公開番号
WO 2007/032238 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01) H02M 1/08 (2006.01)
- (21) 国際出願番号: PCT/JP2006/317649
- (22) 国際出願日: 2006年9月6日 (06.09.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-265013 2005年9月13日 (13.09.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 東芝
キャリア株式会社 (TOSHIBA CARRIER CORPORA-
TION) [JP/JP]; 〒1058001 東京都港区芝浦一丁目 1 番
1号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 餅川 宏
(MOCHIKAWA, Hiroshi). 温品 治信 (NUKUSHINA,
Harunobu).
- (74) 代理人: 三好 秀和, 外 (MIYOSHI, Hidekazu et al.);
〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門
琴平タワー Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護
が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN,
HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ,
LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK,
MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG,
PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,

[続葉有]

(54) Title: POWER CONVERTER

(54) 発明の名称: 電力変換装置

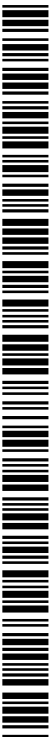


- 13a REFERENCE SIGNAL GENERATING MEANS
- 13b TRIANGULAR WAVE SIGNAL GENERATING MEANS
- 13c PWM BASIC SIGNAL GENERATING MEANS
- 13da DELAY MEANS
- 13db DELAY MEANS
- 13e SWITCHING SIGNAL CORRECTING MEANS
- 13f CURRENT DETECTING MEANS

(57) Abstract: A power converter is provided with a pair of main circuit switching elements (5) wherein at least one switching elements (5) is composed of a FET having a diode (6) connected in reverse-parallel; a means (13c) for generating a PWM basic signal; a delay means (13d) for delaying the on-signal of the PWM basic signal a prescribed time; a switching signal correcting means (13e) which compares the delay time with the on-time of the PWM basic signal, and maintains the on-status of the other switching element when the on-time of the PWM basic signal is shorter than the delay time; and a reverse voltage applying means (7) for applying a reverse voltage to the diode (6).

(57) 要約: 少なくとも一方のスイッチング素子 (5) が、ダイオード (6) が逆並列接続された FET からなる一対の主回路スイッチング素子 (5) と、PWM 基本信号を生成する手段 (13c) と、この PWM 基本信号の ON 信号を所定時間遅延させる遅延手段 (13d) と、遅延時間と PWM 基本信号の ON 時間を比較し、遅延時間よりも PWM 基

[続葉有]



WO 2007/032238 A1



SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 先の出願に基づく優先権を主張する出願人の資格に関する申立て(規則4.17(iii))

添付公開書類:

- 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

電力変換装置

技術分野

[0001] 本発明は、主回路スイッチング素子の少なくとも一方にFETが使用され、誘導性負荷に電力を供給する電力変換装置に関する。

背景技術

[0002] 従来、誘導性負荷を駆動する電力変換装置内のインバータ回路に設けられたスイッチング素子としてFETを使用する電力変換装置が提案されている(例えば、特開平10-327585号公報参照)。この提案における電力変換装置では、スイッチング素子であるMOSFETのON、OFFに従ってMOSFETに逆並列接続された寄生ダイオード(MOSFETの構造上、自然に回路上に作成されてしまうダイオード)に生じる逆方向電流による損失を低減するために逆電圧印加回路を設けている。すなわち、この逆電圧印加回路によって一方のMOSFETがONからOFFに変化した場合に、そのMOSFETと対になる他方のMOSFETのONタイミング前に寄生ダイオードへ逆電圧を印加する。印加される逆電圧は、三角波信号と基準周波数と基準電圧に基づく基準信号を比較して生成されたPWM(Pulse Wide Modulation:パルス幅変調)基本信号及び逆電圧を印加するMOSFETのOFF信号を組み合わせることで生成される駆動信号を基にしている。

発明の開示

[0003] ここで、上記特開平10-327585号公報では、PWM基本信号を加工した信号と、スイッチング素子の同時ONを防止するための遅延後のスイッチング信号とを逆電圧印加のための駆動信号の生成のために用いている。

[0004] 一般に、PWM基本信号のパルス幅と遅延回路の遅延時間との関係から逆電圧を印加するための駆動信号をうまく生成できない場合が生じる。

[0005] その状況を具体的に説明すると、図10は基準信号及び三角波信号から生成されたPWM基本信号に基づいて生成される各信号のON又はOFFの状態を示すタイムチャートである。PWM基本信号の各パルスには「t1」から「t6」までの符号が付され

ている。このタイムチャートにおいては、一对の主回路スイッチング素子をそれぞれ「上アーム」、「下アーム」と表記しており、「上アーム駆動信号」及び「下アーム駆動信号」は、スイッチング素子である各MOSFETを駆動するために出力される信号である。また、「上アーム逆電圧印加信号」及び「下アーム逆電圧印加信号」は、逆電圧印加回路に設けられ、各寄生ダイオードに逆電圧を印加するスイッチング素子(以下、「逆電流防止スイッチング素子」という。)に逆電圧の印加を指示するために出力される信号である。

[0006] 図10のタイムチャートの一番上に示すようなPWM基本信号が生成された場合に、上アームのMOSFETを駆動する上アーム駆動信号がONからOFFに変化したことを条件として、実線aに示すように上アームのMOSFETの寄生ダイオードに逆電圧が印加される(上アーム逆電圧印加信号がONとなる)。また、同様に、下アームのMOSFETを駆動する下アーム駆動信号がONからOFFに変化したことを条件として、実線bに示すように下アームのMOSFETの寄生ダイオードに逆電圧が印加される(下アーム逆電圧印加信号がONとなる)。

[0007] 通常、上下アームに設けられた一对のMOSFETに同時にON信号が印加されると短絡してしまうことから、上下アームのそれぞれに対して印加されるON信号のタイミングをずらすために、遅延回路によってPWM基本信号から実際のMOSFETのON信号は所定の時間遅延される(この時間を以下、「デッドタイム」或いは「遅延時間」と言い、その時間幅を「td」と表記する。)。図10の点線cに示すように、このデッドタイムの時間幅tdよりもPWM基本信号のパルス幅が小さくなると(PWM基本信号における「t5」のパルス参照)、下アームを駆動するためのON信号が生成されない。ところが、通常、逆電圧印加のための信号は基本的に遅延後のスイッチング素子のONからOFFへの変化タイミングがベースに用いられる。従って、下アーム駆動信号がOFFのままでは、ONからOFFになったことを条件に出力されるはずの下アーム逆電圧印加信号が生成されず(図10の「下アーム逆電流印加信号」において点線で表示)、下アームのMOSFETの寄生ダイオードに逆電圧が印加されないことになる。このため、このタイミングで生じる寄生ダイオードに流れる逆電流を制御することができなくなる。

[0008] なお、上記特開平10-327585号公報に記載のシステムでは、PWM基本信号を加工(遅延)した信号と遅延後のスイッチング素子の駆動信号を用いて逆電圧印加のための信号を生成しているが、同文献においては加工されたPWM基本信号をどのように生成するのか不明なため、上記のようなスイッチング素子の駆動信号が出力されない状況に対処できるかどうか明らかではない。

[0009] 本発明は上記課題を解決するためになされたものであり、本発明の目的は、デッドタイムよりもPWM基本信号のパルス幅が小さくなる場合に、スイッチング信号補正手段によってスイッチング信号を補正することで、ダイオード(寄生ダイオード)に逆方向電流が流れる状況にあるにもかかわらず逆電圧印加回路が動作しないという状況の発生を防止しダイオード(寄生ダイオード)に逆方向電流が流れることを抑制し、消費電力やノイズの低減を図ることができる電力変換装置を提供することである。

[0010] 本発明の実施の形態に係る特徴は、電力変換装置は、直流電圧源に直列接続され、少なくとも一方がFETからなり、スイッチング信号に基づくON又はOFF制御により誘導性負荷に電力を供給する一对の主回路スイッチング素子と、この一对の主回路スイッチング素子のそれぞれに逆並列接続されたダイオードと、一对の主回路スイッチング素子を駆動するためのPWM基本信号を生成するPWM基本信号生成手段と、PWM基本信号生成手段で生成されたPWM基本信号に基づき生成される各スイッチング信号のONタイミングを所定時間遅延させる遅延手段と、FETに対するPWM基本信号のON時間が遅延手段の遅延時間より短い場合にはFETと対となるスイッチング素子のON状態を維持するか又は前記FETが所定の時間ONするようにスイッチング信号を補正するスイッチング信号補正手段と、スイッチング信号補正手段による補正後のスイッチング信号に基づいてFETに逆並列接続されたダイオードに直流電源の電圧より低い逆電圧を印加する逆電圧印加手段とから構成される。

図面の簡単な説明

[0011] [図1]図1は、電力変換装置を示す全体構成図である。

[図2]図2は、第1及び第2の実施の形態におけるマイクロコンピュータの構成を示すブロック図である。

[図3]図3は、第1の実施の形態における判定手法を示すフローチャート及び各判定

結果に基づいて出力される波形を示した波形図である。

[図4]図4は、第2の実施の形態における判定手法を示すフローチャート及び各判定結果に基づいて出力される波形を示した波形図である。

[図5]図5は、第3の実施の形態におけるマイクロコンピュータの構成を示すブロック図である。

[図6]図6は、第3の実施の形態における電力変換装置を示す全体構成図である。

[図7]図7は、第3の実施の形態における判定手法を示すフローチャートである。

[図8]図8は、第3の実施の形態における各判定結果に基づいて流れる電流の流れを示した回路図である。

[図9]図9は、第3の実施の形態における各判定結果に基づいて流れる電流の流れを示した回路図である。

[図10]図10は、従来の実施の形態において主回路スイッチング素子及び寄生ダイオードに印可される信号を示すタイムチャートである。

発明を実施するための最良の形態

[0012] 以下、本発明の実施の形態について図面を参照して詳細に説明する。

[0013] (第1の実施の形態)

図1に示すように、本発明の第1の実施の形態に係る電力変換装置1においては、直流電圧源2の電源ラインにインバータ回路3が接続され、このインバータ回路3の出力側には、例えばモータなどの誘導性負荷4が接続されている。

[0014] このインバータ回路3には、主回路スイッチング素子である上側素子MOSFET5uないし5w及び下側素子MOSFET5xないし5zが三相ブリッジ接続される。ここではMOSFET5u及び5x、MOSFET5v及び5y、MOSFET5w及び5zがそれぞれ一対の主回路スイッチング素子を構成している。MOSFET5uないし5w及び5xないし5zのソース及びドレイン間には、ダイオード6uないし6w及び6xないし6zが逆並列に接続される。なお、このMOSFETにはON抵抗の小さいスーパージャンクション構造のMOSFETを用いることが効率面から望ましい。

[0015] ダイオード6uないし6w及び6xないし6zには、逆電圧印加手段としての逆電圧印加回路7uないし7w及び7xないし7zが接続されている。これら各逆電圧印加回路7

は、直流電圧源2よりも電圧値が低い低電圧直流電圧源8を有し、逆電圧印加回路7xないし7zにおいては低電圧直流電圧源8xを共用している。MOSFET5uないし5w及び5xないし5zのソース及びドレイン間に低電圧直流電圧源8の電源ラインがそれぞれ接続されている。また、X相ないしZ相において構成される逆電圧印加回路7の一方の電源ラインは直流電圧源2の電源ラインと共用化されている。

[0016] 逆電圧印加回路7の低電圧直流電圧源8と直列に抵抗9uないし9w及び9xないし9zが設けられ、さらにコンデンサ10uないし10w及び10xないし10zが並列に接続されている。抵抗9は、コンデンサ10のチャージに伴う突入電流を防止するために設けられている。また、逆電流防止スイッチング素子11uないし11w及び11xないし11z、電流の逆流を防ぐダイオード12uないし12w及び12xないし12zが低電圧直流電圧源8の電源ライン上に接続されている。ここで逆電流防止スイッチング素子11には、電力消費の少ないMOSFETが好適に使用される。

[0017] ワンショットパルス生成手段14uないし14w及び14xないし14z、ゲート駆動手段15uないし15w及び15xないし15zを介してマイクロコンピュータ13からスイッチング信号が出力され、この信号により逆電圧印加回路7が駆動される。このワンショットパルス生成手段14及びゲート駆動手段15は、スイッチング信号がONからOFFに変化した時点から若干遅延して逆電流防止スイッチング素子11にON信号を供給し、所定の短時間ONを継続し、その後、OFFするものである。この結果、逆電流防止スイッチング素子11は、対応するMOSFETと対になるMOSFETのON状態の前後にわたって逆電圧を印加することができる。この結果、MOSFETに逆並列接続された(寄生)ダイオードに流れる逆電流を抑制できる。

[0018] マイクロコンピュータ13は、後述するスイッチング信号補正手段13eから出力される補正されたスイッチング信号を、U相ないしW相の主回路スイッチング素子5及びU相ないしW相のワンショットパルス生成手段14、ゲート駆動手段15から逆電圧印加回路7に伝える出力A、C、Eと、X相ないしZ相の主回路スイッチング素子5及びX相ないしZ相のワンショットパルス生成手段14、ゲート駆動手段15から逆電圧印加回路7に伝える出力B、D、Fとを介して、インバータ回路3と接続されている。

[0019] 図2に示すように、マイクロコンピュータ13は、基準信号を生成する基準信号生成

手段13aと、三角波信号を生成する三角波信号生成手段13bと、一对の主回路スイッチング素子を駆動するためのPWM基本信号を生成するPWM基本信号生成手段13cと、このPWM基本信号を下側のスイッチング素子用のPWM基本信号とするために反転させるインバータ13dc、両方のPWM基本信号のONタイミングを所定時間(デッドタイム)遅延させる遅延手段13da、13dbと、PWM基本信号のパルス幅とデッドタイムとを比較して、一方のPWM基本信号のパルス幅がデッドタイムよりも短いと判断されたときは、一对の主回路スイッチング素子のうち他方のスイッチング素子のON状態を維持するスイッチング信号補正手段13eと電流検出手段13fとから構成される。この電流検出手段13fは、誘導性負荷であるモータの速度制御を行なうためにインバータ回路3と誘導性負荷4との間の各相ごとにおける電流値や電流の流れる方向を検出している。

- [0020] 基準信号生成手段13aと三角波信号生成手段13bは、それぞれPWM基本信号の基となる基準信号と三角波信号を生成する。本実施の形態においては、これら基準信号生成手段13aと三角波信号生成手段13bは、マイクロコンピュータ13内に設けた構成としているが、マイクロコンピュータ13の外に設けられていてもよい。
- [0021] PWM基本信号生成手段13cは、基準信号及び三角波信号からスイッチング素子に印加するスイッチング信号の基となるPWM基本信号を生成する。すなわち、上述した図10に示すように、PWM基本信号は基準信号と三角波信号との大小比較の結果を基準にON又はOFFを行うように生成される。
- [0022] 遅延手段13dは、スイッチング素子を駆動する際に、上下の一对のスイッチング素子の両者に同時にON信号が印加されることにより生じる短絡を防止するために、各素子のON信号を所定時間(デッドタイム)遅延させる。ちなみにOFF信号は遅延させることはない。なお、この所定時間(デッドタイム)は、効率面から、短絡を防止できる範囲で極力短い方が望ましい。
- [0023] 各スイッチング素子に合わせて遅延手段13dによって遅延されたPWM基本信号は、スイッチング信号補正手段13eに入力される。また、基準信号生成手段13aで生成された基準信号と三角波信号生成手段13bで生成された三角波信号もスイッチング信号補正手段13eに入力される。

- [0024] スwitching信号補正手段13eでは、PWM基本信号に付加されるデッドタイムと、基準信号及び三角波信号から生成されるPWM基本信号のパルス幅とを事前に比較し、一方のPWM基本信号のパルス幅がデッドタイムよりも短いと判断したときは、一对の主回路スイッチング素子のうち他方のスイッチング素子のON状態を維持するようにPWM基本信号を補正して出力する。この補正されたPWM基本信号は、補正されたスイッチング信号として一对の主回路スイッチング素子に印加される。
- [0025] なお、以下の説明は簡略化のために一对の主回路分のU相とX相のみを例示して説明するが、実際にはU相ないしW相及びX相ないしZ相の3つの主回路に対する出力が行なわれ、そのそれぞれについて遅延手段及びスイッチング信号補正手段13eが設けられ、各スイッチング素子に対応する出力Aないし出力Fを介して6つの出力が行なわれる。
- [0026] スwitching信号補正手段13eから出力された上側スイッチング素子用の補正されたスイッチング信号は、マイクロコンピュータの出力A、C、Eを介してU相ないしW相の各主回路スイッチング素子5u、5v、5wに入力される。出力A、C、Eからの信号は、U相ないしW相のワンショットパルス生成手段14u、14v、14wにも入力される。この補正されたスイッチング信号に基づき所定のタイミングで所定の時間、逆電圧印加回路7に設けられている逆電流防止スイッチング素子11がONされる。
- [0027] また、同様に下側スイッチング素子用に補正されたスイッチング信号は出力B、D、FからX相ないしZ相の主回路スイッチング素子5x、5y、5z及びX相ないしZ相のワンショットパルス生成手段14x、14y、14zに入力される。この補正されたスイッチング信号によりX相ないしZ相の主回路スイッチング素子5及び逆電圧印加回路7に設けられている逆電流防止スイッチング素子11がスイッチングされる。
- [0028] このワンショットパルス生成手段14は、逆電圧印加信号を出力するための波形を生成する手段であり、ここで生成された信号がさらにゲート駆動手段15を介して、逆電流防止スイッチング素子11に出力される。これにより逆電流防止スイッチング素子11からMOSFETに逆並列接続された各ダイオード6に逆電圧が印加され、ダイオード6に流れる逆電流を制御することができる。
- [0029] スwitching信号補正手段13eにおける具体的なPWM基本信号のパルス幅とデッ

ドタイムとの比較・判断手法は、第1の実施の形態では、以下の通りである。すなわち、図3ではフローチャート及び各態様における主回路スイッチング素子の導通状態を表わす波形を示しているが、まず基準信号が三角波信号を基に設定された上限値を超えたか否かが判断される(ST1)。この上限値 V_A は、例えば以下の式(1)から求められる。

[数1]

$$V_A = V_{tri} \times \frac{t_{pwm} - 2td}{t_{pwm}}$$

- [0030] V_{tri} は、三角波信号を表わす式、 t_{pwm} は、三角波の1周期、 td はデッドタイムをそれぞれ表わす。なお、以下においては理解の便宜のため電力変換装置1に設けられている一对の主回路スイッチング素子5のうち、U相及びX相の一对の主回路スイッチング素子を5u、5x例に挙げて説明を行う。V相及びY相、W相及びZ相の各一对の主回路スイッチング素子の動きはU相及びX相の場合と同一である。
- [0031] 基準信号がこの上限値 V_A を越えた場合は(ST1のY)、U相とX相が短絡することを防止するために付加されるデッドタイムよりもPWM基本信号のパルス幅が小さくなる場合を示している。
- [0032] 例えば、U相の主回路スイッチング素子5uがON状態にあり誘導性負荷4から電流が流れた後に主回路スイッチング素子5uがOFF状態となると、誘導性負荷4を流れる電流は、X相の主回路スイッチング素子5xに逆並列に接続されているダイオード6xに流れる。このとき、X相の主回路スイッチング素子5xを駆動するための駆動信号のON時間がデッドタイムよりも短いため、X相の主回路スイッチング素子5xを駆動するための駆動信号は生成されない。この結果、主回路スイッチング素子5xの駆動信号がOFFであることを条件に出力されるはずの逆電圧印加信号が生成されず、従って主回路スイッチング素子5xのダイオード6xに逆電圧が印加されない。ここで、再びU相の主回路スイッチング素子5uがON状態となると、U相から誘導性負荷4に流れる電流の一部がダイオード6xに大きな逆方向電流として流れてしまう。
- [0033] この場合において、主回路スイッチング素子5xのダイオード6xに逆方向電流が流

れるのは、X相に対応するU相の主回路スイッチング素子5uがOFF状態となる時間が生じてしまうからである。そこで、基準信号がこの上限値 V_A を越えた場合に、U相の主回路スイッチング素子5uに常にON状態となる駆動信号を出力する。このような判断をスイッチング信号補正手段13eが行うことで、OFF状態のない駆動信号がU相の主回路スイッチング素子5uに印加される(ST2)。この結果、X相の主回路スイッチング素子5xのダイオード6xには逆電流は流れない。なお、この際、X相の主回路スイッチング素子5xを駆動するための駆動信号は当然U相のスイッチング信号を反転したOFF状態が継続される。この状態は次の判断のタイミングまでそのまま維持される。

[0034] 図3のST2の下部には、U相及びX相のそれぞれに設けられている主回路スイッチング素子5u及び5xに印加される信号が示されている。それぞれ2段に分けられており、上部はスイッチング信号が印加されたON状態を示し、下部は信号が印加されないOFF状態を示す。この場合は、スイッチング素子5uには常にON状態となる駆動信号が出力され、一方スイッチング素子5xは駆動信号が生成されないことから常にOFF状態となっている。

[0035] 次に基準信号が上限値を超えていない場合は(ST1のN)、基準信号が三角波信号を基に設定された下限値を超えた(下限値未満)か否かが判断される(ST3)。この下限値 V_B は、例えば以下の式(2)から求められる。

[数2]

$$V_B = V_{tri} \times \frac{2td}{t_{pwm}}$$

[0036] 基準信号がこの下限値 V_B を超えた場合も(ST3のY)、U相とX相が短絡することを防止するために付加されるデッドタイムよりもPWM基本信号のパルス幅が小さくなった場合を示している。但し、上述の上限値 V_A の場合と異なり、U相の主回路スイッチング素子5uを駆動するための駆動信号が生成されない。

[0037] この場合において、主回路スイッチング素子5uのダイオード6uに逆方向電流が流れるのは、X相の主回路スイッチング素子5xがOFF状態となる時間が生じてしまうか

らである。そこで、基準信号がこの下限値 V_B を越えた場合に、X相の主回路スイッチング素子 $5x$ に常にON状態となる駆動信号を出力する。このような判断をスイッチング信号補正手段13eが行うことで、OFF状態のない駆動信号がX相の主回路スイッチング素子 $5x$ に印加される(ST4)。なお、この際、U相の主回路スイッチング素子 $5u$ を駆動するための駆動信号はOFF状態が継続される。この状態は次の判断のタイミングまでそのまま維持される。

[0038] すなわち、図3のST4の下部のスイッチング信号に示すとおり、スイッチング素子 $5x$ には常にON状態となる駆動信号が出力され、一方スイッチング素子 $5u$ は常にOFF状態となっている。

[0039] 次に、基準信号が上限値 V_A 及び下限値 V_B の間にある場合には(ST3のN)、スイッチング信号補正手段13eは、基準信号及び三角波信号の比較結果に基づくPWM基本信号を遅延手段13dで遅延させたスイッチング信号そのままに出力し、補正は行なわない(ST5)。図3の下部に示す波形に表わされているように、U相又はX相の主回路スイッチング素子 $5u$ 、 $5x$ にはそれぞれをON又はOFFする駆動信号が供給される。そして、この駆動信号に基づいて逆電圧印加信号が生成され、この信号に基づいてダイオード6に逆電圧が印加される。

[0040] このように、デッドタイムよりもPWM基本信号のパルス幅が小さくなることにより一方の主回路スイッチング素子へのON信号が生成されない場合には、スイッチング信号補正手段によってスイッチング信号を補正し、対をなす他方の主回路スイッチング素子へ常にON状態を維持する信号を生成し出力するため、主回路スイッチング素子への駆動信号とダイオードに逆電流の生じるタイミングを合わせることができ、確実にダイオード(寄生ダイオード)に逆方向電流が流れることを抑制することができる。また、マイクロコンピュータから出力されるスイッチング信号のみを用いてFETと逆並列接続されたダイオード(寄生ダイオード)に対して適切なタイミングで逆電圧を印加することができる。

[0041] (第2の実施の形態)

次に本発明における第2の実施の形態について説明する。なお、第2の実施の形態において、上述の第1の実施の形態において説明した構成要素と同一の構成要

素には同一の符号を付し、同一の構成要素の説明は重複するので省略する。

[0042] 第2の実施の形態では、図4に示すように、第1の実施の形態に示したスイッチング信号補正手段13eにおけるスイッチング信号の補正の手法が異なる。すなわち、第1の実施の形態では、基準値を超えた場合はいずれかの主回路スイッチング素子を連続して、常にON状態を維持するように信号を補正して出力していたのに対して、第2の実施の形態においては、基準値を超えた場合は、予め設定された幅の信号を出力するようにしている。

[0043] 上述したように、まずスイッチング信号補正手段13eは、基準信号が上限値を超えたかを判断する(ST11)。但し第2の実施の形態における上限値の意味は、第1の実施の形態とは異なる。ここでの上限値 V_C は、例えば以下の式(3)で表わされる値である。

[数3]

$$V_C = V_{tri} \times \frac{t_{pwm} - 2td - A}{t_{pwm}}$$

[0044] この式において、 V_{tri} は、三角波信号を表わす式、 t_{pwm} は、三角波の1周期、 td はデッドタイムをそれぞれ表わす。また、 A は、予め設定された幅の信号を出力させるために設定されたデューティ比である。基準信号がこの上限値 V_A を越えた場合は(ST11のY)、U相とX相が短絡することを防止するために付加されるデッドタイムよりもPWM基本信号のパルス幅が小さくなった場合を示している。

[0045] この場合、主回路スイッチング素子5xの駆動信号がOFFであることを条件に出力されるはずの逆電圧印加信号が生成されず、従って主回路スイッチング素子5xのMOSFET5xのダイオード6xに逆電圧が印加されない状態になる。

[0046] このような場合にX相の主回路スイッチング素子5xを必ずON又はOFFさせるための駆動信号を生成すべく、スイッチング信号補正手段13eは、遅延手段13da、dbの出力するスイッチング信号を無視し、予め設定された最小パルス幅 t_A のスイッチング信号に補正して出力する(ST12)。なお、このスイッチング信号の最小パルス幅 t_A を大きくとりすぎると、主回路の出力波形が正弦波から崩れるため、できるだけ短くして

おくことが望ましい。

[0047] この結果、一对の主回路スイッチング素子の両方が必ずON又はOFFするため、この補正後のスイッチング信号を用いて、逆電圧印加信号を生成することが可能となる。この判断は、各三角波周期ごとに実行される。

[0048] 図4のST12の下部にU相及びX相のそれぞれに設けられている主回路スイッチング素子5u及び5xに印加される信号が示されている。この場合は、スイッチング素子5xに最小パルス幅tAのスイッチング信号が供給される。一方スイッチング素子5uには、この最小パルス幅tAの反転信号に遅延時間を加味したスイッチング信号がスイッチング信号補正手段13eから供給される。

[0049] 次に基準信号が上限値を超えていない場合は(ST11のN)、基準信号が三角波信号を基に設定された下限値を超えた(下限値未満)か否かが判断される(ST13)。この下限値 V_D は、例えば以下の式(4)から求められる。

[数4]

$$V_D = V_{ri} \times \frac{2td + B}{t_{pwm}}$$

[0050] 基準信号がこの下限値 V_D を越えた場合も(ST13のY)、U相とX相が短絡することを防止するために付加されるデッドタイムよりもPWM基本信号のパルス幅が小さくなった場合を示している。但し、上述の上限値 V_C の場合と異なり、この場合、スイッチング信号補正手段13eはX相にではなくU相に最小パルス幅tBのスイッチング信号を生成する(ST14)。

[0051] 図4のST14の下部に主回路スイッチング素子5u及び5zに印加されるスイッチング信号が示されている。この場合、スイッチング信号補正手段13eからスイッチング素子5uに最小パルス幅tBのスイッチング信号が供給される。一方スイッチング素子5xには、この最小パルス幅tBの反転信号に遅延時間を加味したスイッチング信号がスイッチング信号補正手段13eから供給される。なお、基準信号が上限値 V_C 及び下限値 V_D の間にある場合には(ST13のNO)、スイッチング信号補正手段13eは遅延手段13dの出力するスイッチング信号をそのまま出力する(ST15)。

- [0052] このように、一对の主回路スイッチング素子の一方への駆動信号が生成されないことを防止すべく、少なくとも予め設定された最小パルス幅のON時間を持つスイッチング信号を必ず生成し出力することで、マイクロコンピュータから出力されるスイッチング信号のみを用いてFETと逆並列接続されたダイオード(寄生ダイオード)に対して適切なタイミングで逆電圧を印加することができ、ダイオードに逆方向電流が流れることを抑制し、消費電力やノイズの低減を図ることができる。
- [0053] (第3の実施の形態)
- 次に本発明における第3の実施の形態について説明する。なお、第1及び第2の実施の形態において、上述の第1及び第2の実施の形態において説明した構成要素と同一の構成要素には同一の符号を付し、同一の構成要素の説明は重複するので省略する。
- [0054] 第3の実施の形態では、インバータ回路3と誘導性負荷4との間で流れる電流の向きによって逆電流防止スイッチング素子11の動作或いは非動作を制御する点に特徴がある。
- [0055] すなわち、ダイオード6に逆電流が流れるのは、一方の主回路スイッチング素子5に逆並列接続されたダイオード6に順方向に電流が流れている状態で、対となる他方の主回路スイッチング素子5がONした場合のみである。このことから、電流の向きを予め検出または予測し、必要な場合のみ逆電流防止スイッチング素子11を動作させ、不要な場合には非動作とすることで逆電流防止スイッチング素子11の駆動回数を低減し、この回路における消費電力を低減することができる。
- [0056] 図5に示すように、第3の実施の形態にかかるマイクロコンピュータ13には、電流検出手段13fに接続されて判断手段13gが設けられている。判断手段13gは、電流検出手段13fによって検出された電流の向きや電流値を基に、いずれの主回路スイッチング素子5の逆電圧印加回路7に設けられている逆電流防止スイッチング素子11の制御を行うかを判断する。また、判断手段13gが逆電流防止スイッチング素子11の制御を行なわないと判断した場合、スイッチング信号を補正する必要もないため、スイッチング信号補正手段13eに対しても補正を禁止する。
- [0057] 判断手段13gにおける判断は、次のスイッチング信号が生成される前の電流検出

手段13fによって検出された出力に基づき、次のスイッチング信号が印加されることによって主回路スイッチング素子5に逆接続されたダイオード6に逆電流が流れる可能性があるかどうかを判別することで実行される。そしてこの判別結果に基づき、逆電流が流れる可能性があると判断された場合には、該当するダイオード6に対応する逆電流防止スイッチング素子11の動作を許可する指令に対応するワンショットパルス生成手段14に供給し、逆電流が流れる可能性がないと判断された場合にはその逆電流防止スイッチング素子11の動作を禁止するよう、対応するワンショットパルス生成手段14に動作を禁止する指令を供給する。また、このように、逆電流が流れる可能性がないと判断された場合には対応するスイッチング信号の補正も不要となるため、判断手段13gは、スイッチング信号補正手段13eに対しても同時に補正禁止の信号を出す。

[0058] すなわち、図6に示すマイクロコンピュータ13とワンショットパルス生成手段14とを接続する出力Gないし出力Lを介して、制御動作の許可或いは禁止の指令が判断手段13gからワンショットパルス生成手段14に出力される。具体的にはワンショットパルス生成手段14の動作又は禁止入力に入力される。同時に判断手段13gは、制御動作の許可或いは禁止の指令をスイッチング信号補正手段13eにも供給する。

[0059] また、この実施例においては、図5に示すように、スイッチング信号補正手段13eを遅延手段13da、dbの前に配置し、PWM基本信号生成手段13cで生成され、遅延時間が付加される前のPWM基本信号に対して補正を行うようにしている。この構成によれば、上側と下側素子のそれぞれに印加されるスイッチング信号に対して補正をかける必要がなく、一对の主回路スイッチング素子に対する単一のPWM基本信号を補正すればよいため、構成が大幅に簡単になるという効果がある。

[0060] なお、この構成によれば、スイッチング信号補正手段13eから第2の実施の形態のように最小パルス幅の信号を出力させる場合には、そのパルス幅として第2の実施の形態における最小パルス幅 t_A 、 t_B のそれぞれに遅延時間を加算した時間幅のパルスを設定する必要がある。

[0061] 図7のフローチャートに示すように、現在インバータ回路3と誘導性負荷4との間で流れる電流 I_U が $+I_a$ 以上であるか否かを判断する(ST21)。 $+I_a$ 以上である場合には

(ST21のY)、インバータ回路3から誘導性負荷4に向かって電流が流れていると判断し、ST22に移行する。ここにいう $+I_a$ はインバータ回路3から誘導性負荷4へ電流が流れることを示している。なお、この電流の向きは、第3の実施の形態において便宜上定めた向きであって、電流の向きの判断が可能であればどのような定め方であっても良い。

[0062] この場合には、図8に示すように、U相における主回路スイッチング素子5uを経由して、また、X相におけるダイオード6xを経由して誘導性負荷4に電流が流れる。そのため、X相に対応する逆電流防止スイッチング素子11xに適切なタイミングで駆動信号を供給し、ダイオード6xに逆電圧を印加して逆方向電流の防止を図るよう制御する必要がある。そこで、判断手段13gは出力Hを介してワンショットパルス生成手段14xに逆電圧印加の動作を許可する信号を供給する(ST22)。一方U相では、ダイオード6uに電流が流れることはないため、ワンショットパルス生成手段14uに動作を禁止する信号を出力Gから供給する(ST22)。この結果、この間逆電流防止スイッチング素子11uは動作しない。

[0063] 一方、現在インバータ回路3と誘導性負荷4との間で流れる電流 I_U が $+I_a$ 以上ではない場合、次に現在インバータ回路3と誘導性負荷4との間で流れる電流 I_U が $-I_a$ 以下であるか否かを判断する(ST23)。すなわち、ここにいう $-I_a$ は誘導性負荷4からインバータ回路3へ電流が流れることを示している。 $-I_a$ 以下である場合には(ST23のY)、図9に示すように誘導性負荷4からインバータ回路3に向かって電流が流れていると判断し、逆電流防止スイッチング素子11uの逆電圧印加動作を行なわせるよう、出力Gから許可信号を出力する(ST24)。一方X相に対しては、ワンショットパルス生成手段14xに逆電圧印加の動作を禁止する信号を出力Hから供給する(ST24)。

[0064] 現在インバータ回路3と誘導性負荷4との間で流れる電流 I_U が $-I_a$ 以下であるか否かを判断した結果 $-I_a$ 以下でもなかった場合には、さらに細かい判断を行うこともでき、例えば以下のような式(5)に基づいて判断を行う(ST25)。

[数5]

$$I_U + \frac{I_U - I_{U0}}{2} \geq 0$$

- [0065] ここで、 I_U は最新の測定電流値、 I_{U0} は前回測定した電流値を示す。また、左辺第2項は、予測される電流値を指す。また、2で除しているのは、各信号はPWM基本信号の1周期の中心で波形を変えていることが多く、この位置、すなわち1周期の1/2の付近で電流値を予測するのが最も信頼性が高いと考えられるからである。
- [0066] 左辺が右辺よりも大きい場合は、電流の流れる方向が+、すなわち、図8に示すようにインバータ回路3から誘導性負荷4へ電流が流れる向きに電流が流れている場合であり(ST25のY)、X相の逆電流防止スイッチング素子11xに逆電圧印加信号の出力を許可し、ダイオード6xに逆電圧を印加して逆方向電流が流れることを抑制する(ST22)。一方U相では、ダイオード6uに電流が流れることはなく、逆電圧印加回路7uに逆電圧印加の動作を禁止する(ST22)。
- [0067] 右辺が左辺よりも大きい場合は、電流の流れる方向が-、すなわち、図9に示すように誘導性負荷4からインバータ回路3の向きに電流が流れている場合であり(ST25のN)、U相の逆電流防止スイッチング素子11uの動作を許可し、逆電流防止スイッチング素子11xに逆電圧を印加する動作を禁止する(ST24)。
- [0068] このようにして、もともと誘導性負荷4の制御のために設けられている電流検出手段13fを用いて必要な場合にのみ逆電流防止スイッチング素子11を動作させるようにしたため、逆電流の流れる可能性のない状態で逆電流防止スイッチング素子11を無駄にONさせて電力損失を増やすことがない。
- [0069] なお、第3の実施の形態とは異なり、マイクロコンピュータ内にワンショットパルス生成手段14及びゲート駆動手段15の機能を取り込み、マイクロコンピュータの出力端子から直接逆電流防止スイッチング素子11を駆動するようにしても良い。
- [0070] また、各実施例においては、一对の主回路スイッチング素子5の両方にMOSFETを採用した例で説明したが、主回路スイッチング素子5の上下のいずれか一方のみをMOSFETとし、対となる他方の素子をIGBT (Insulated Gate Bipolar Transistor) やトランジスタとしてもよい。この場合、MOSFETの寄生ダイオードに対して逆電流が流れるタイミングとなるスイッチング信号のみをスイッチング信号補正手段が補正すればよい。さらに、本発明の実施の形態ではモータを駆動する三相インバータを例としているが、モータに限らず誘導性負荷であれば本発明は適用可能である。また単

相インバータにも適用可能である。以上、本発明の実施の形態を説明したが、この発明は、上記実施の形態そのままに限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で構成要素を変形して具体化できる。また、上記実施の形態に開示されている複数の構成要素を適宜組み合わせることにより種々の発明を形成できる。例えば、実施の形態に示される全構成要素から幾つかの構成要素を削除してもよい。更に、異なる実施の形態に亘る構成要素を適宜組み合わせてもよい。

産業上の利用の可能性

[0071] 本発明は、例えば、インバータ装置やコンバータ装置などの種々の電力変換装置に用いることができる。

請求の範囲

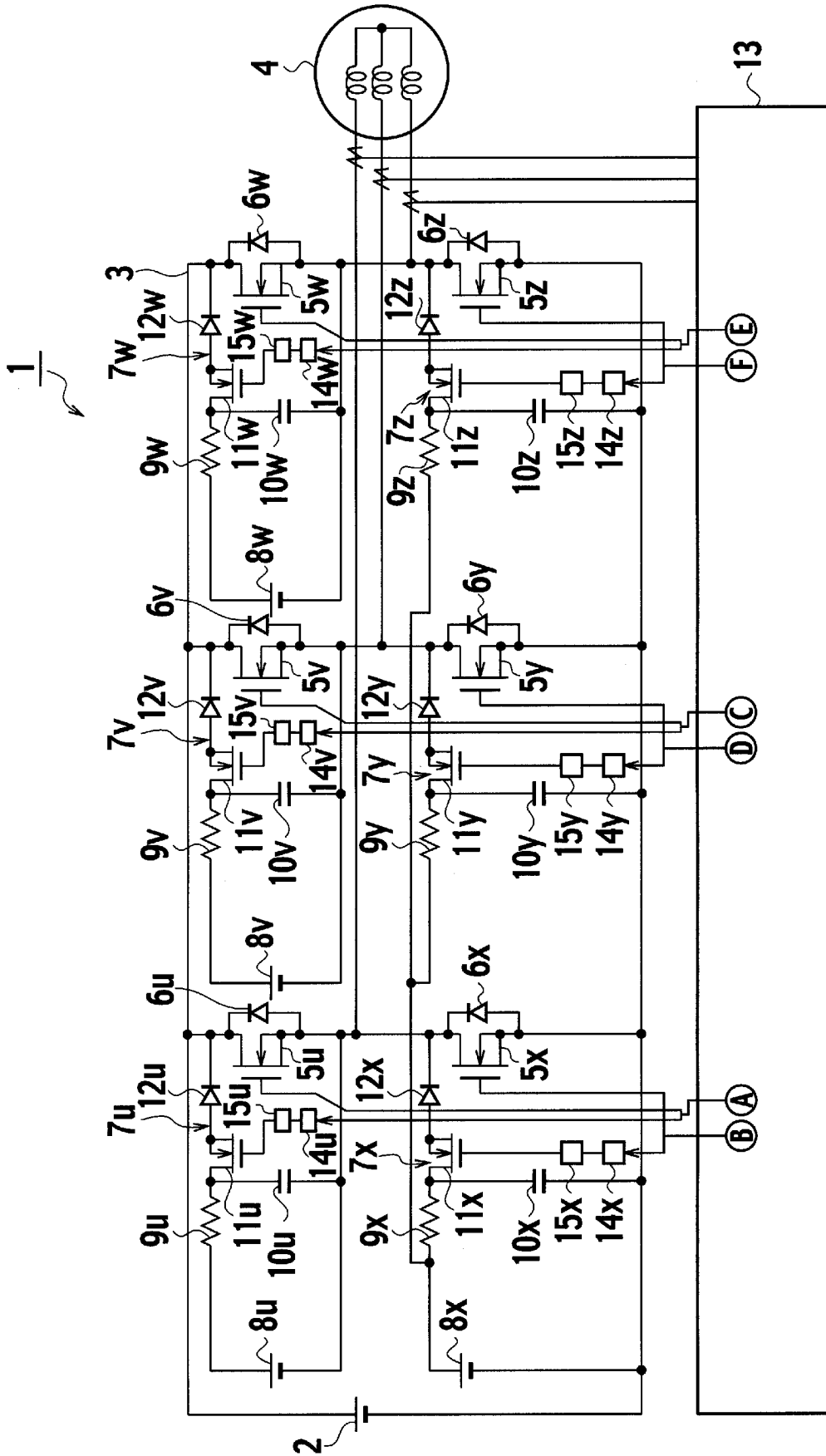
- [1] 直流電圧源に直列接続され、少なくとも一方がFETからなり、スイッチング信号に基づくON又はOFF制御により誘導性負荷に電力を供給する一対の主回路スイッチング素子と、
- 前記一対の主回路スイッチング素子のそれぞれに逆並列接続されたダイオードと、
- 前記一対の主回路スイッチング素子を駆動するためのPWM基本信号を生成するPWM基本信号生成手段と、
- 前記PWM基本信号生成手段で生成されたPWM基本信号に基づき生成される前記スイッチング信号のONタイミングを所定時間遅延させる遅延手段と、
- 前記FETに対する前記PWM基本信号のON時間が遅延時間より短い場合には、前記FETと対となるスイッチング素子のON状態を維持するように前記スイッチング信号を補正するスイッチング信号補正手段と、
- 前記スイッチング信号補正手段による補正後のスイッチング信号に基づいて前記FETに逆並列接続された前記ダイオードに前記直流電源の電圧より低い逆電圧を印加する逆電圧印加手段と、
- を備えることを特徴とする電力変換装置。
- [2] 直流電圧源に直列接続され、少なくとも一方がFETからなり、スイッチング信号に基づくON又はOFF制御により誘導性負荷に電力を供給する一対の主回路スイッチング素子と、
- 前記一対の主回路スイッチング素子のそれぞれに逆並列接続されたダイオードと、
- 前記一対の主回路スイッチング素子を駆動するためのPWM基本信号を生成するPWM基本信号生成手段と、
- 前記PWM基本信号生成手段で生成されたPWM基本信号に基づき生成される前記スイッチング信号のONタイミングを所定時間遅延させる遅延手段と、
- 前記FETに対する前記PWM基本信号のON時間が遅延時間より短い場合には、前記FETが所定の時間ONするように前記スイッチング信号を補正するスイッチング信号補正手段と、
- 前記スイッチング信号補正手段による補正後のスイッチング信号に基づいて前記FE

Tに逆並列接続された前記ダイオードに前記直流電源の電圧より低い逆電圧を印加する逆電圧印加手段と

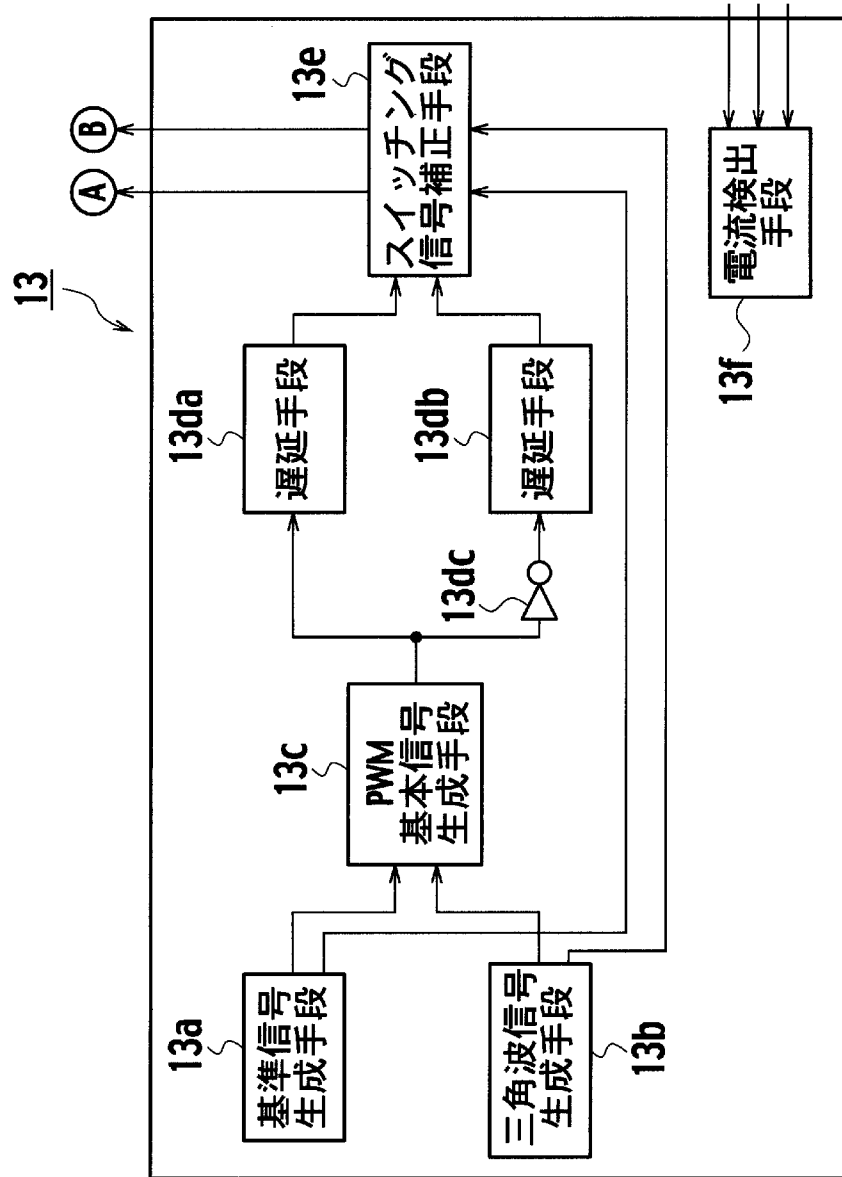
を備えることを特徴とする電力変換装置。

- [3] 前記スイッチング信号補正手段によるスイッチング信号の補正及び前記逆電圧印加手段による前記ダイオードへの逆電圧の印加を行う制御は、前記主回路スイッチング素子と前記誘導性負荷との間における電流方向の判断を行う判断手段の判断結果に基づいて行われることを特徴とする請求項1または2に記載の電力変換装置。

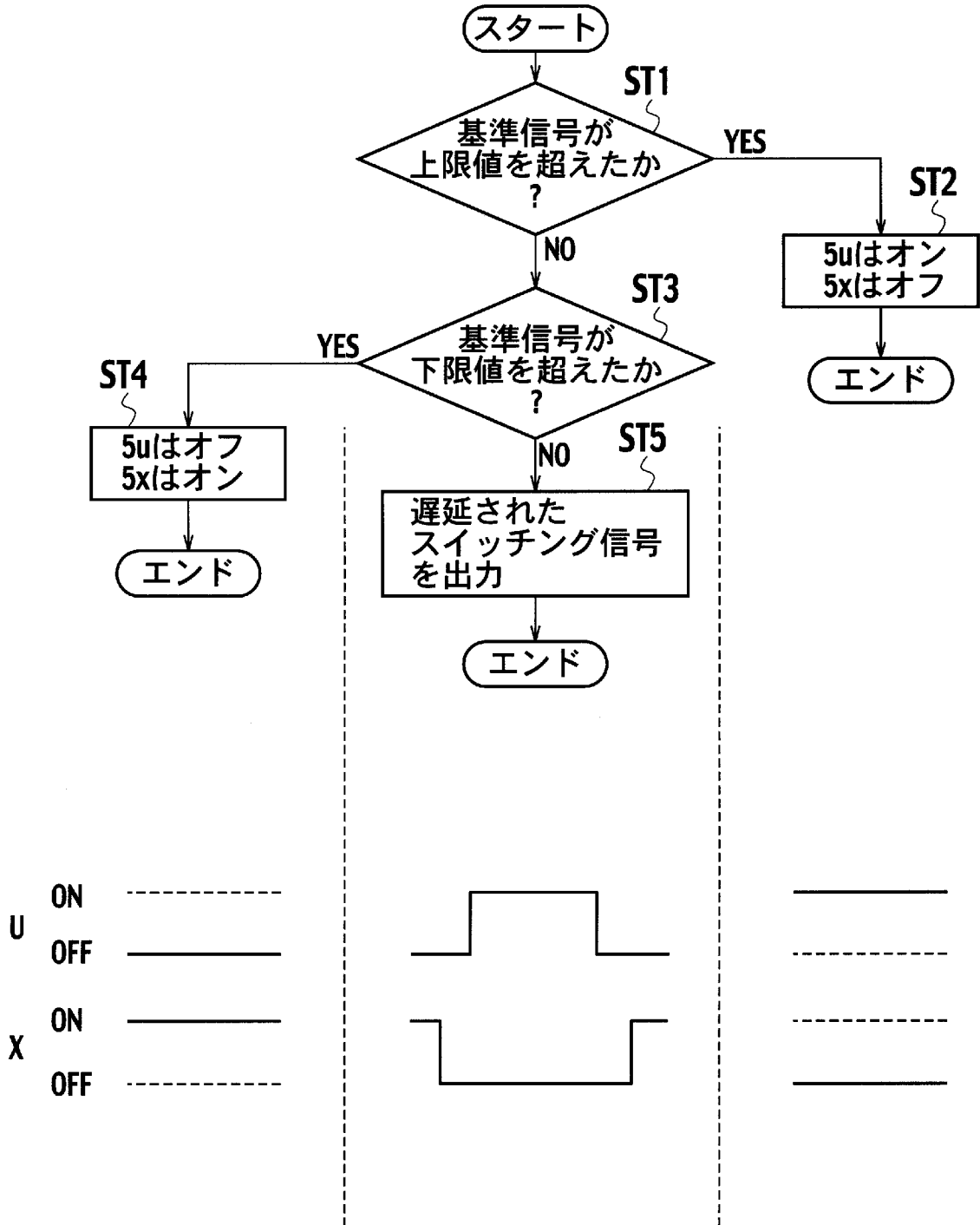
[図1]



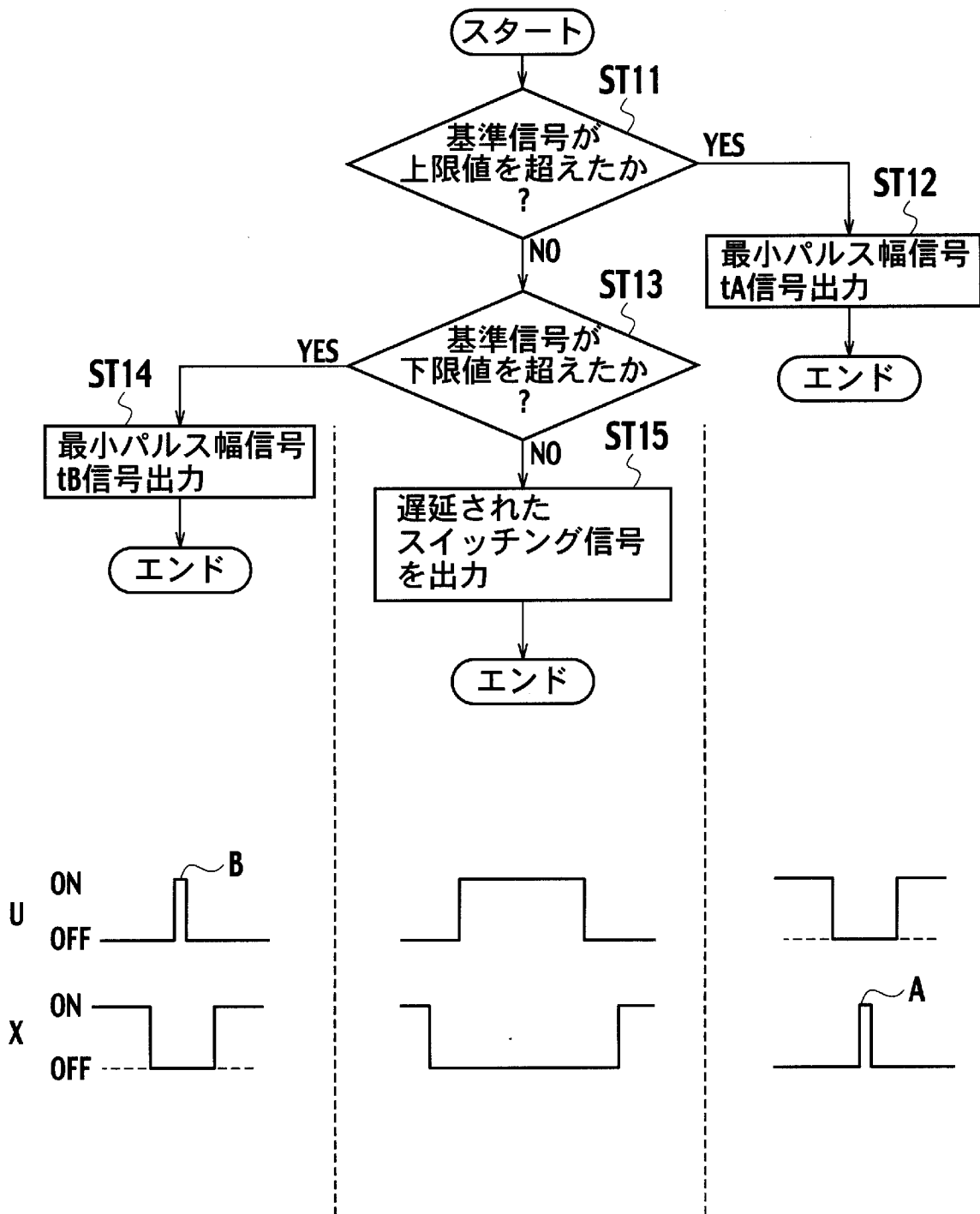
[図2]



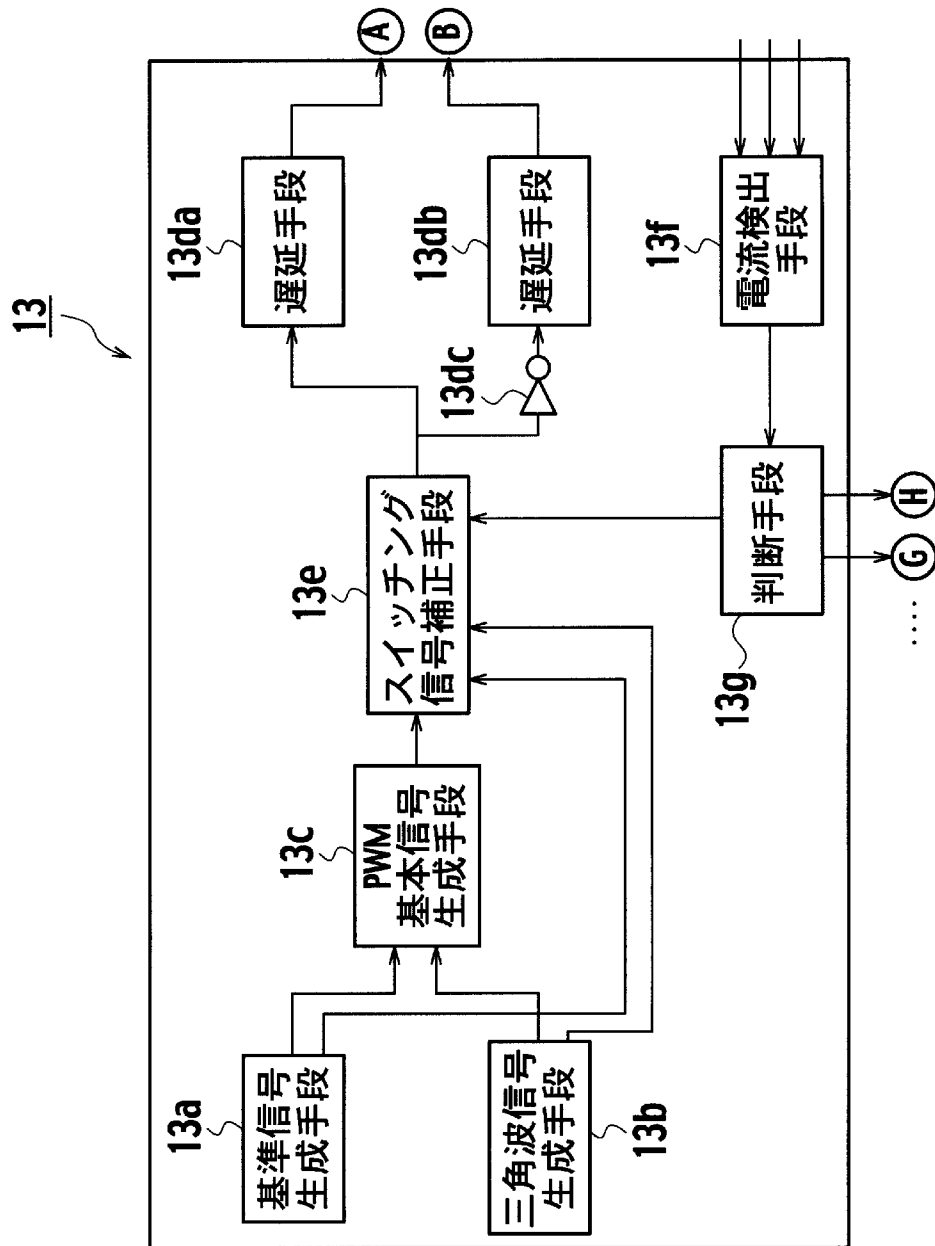
[図3]



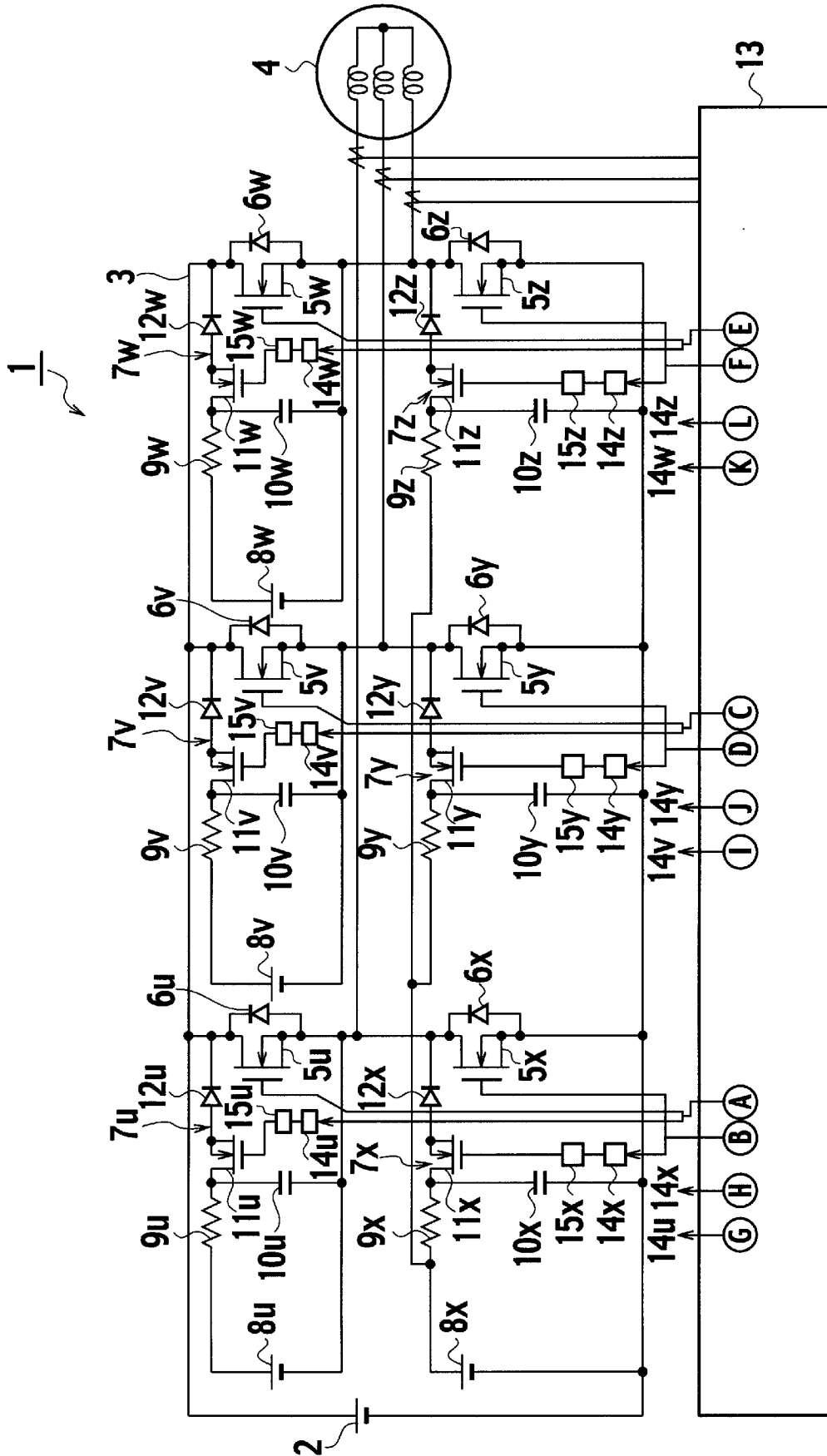
[図4]



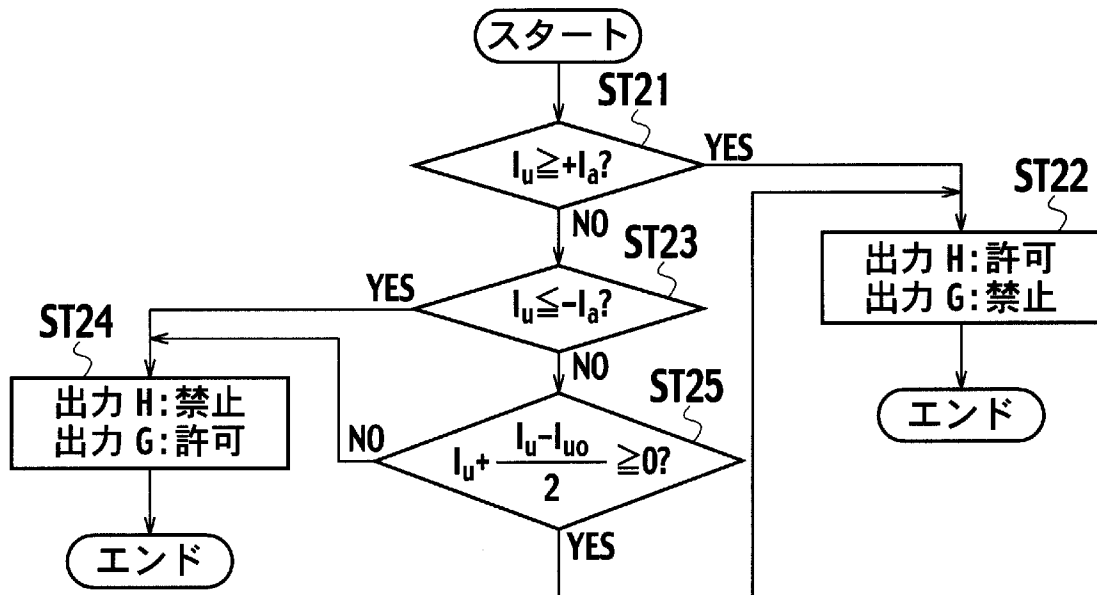
[図5]



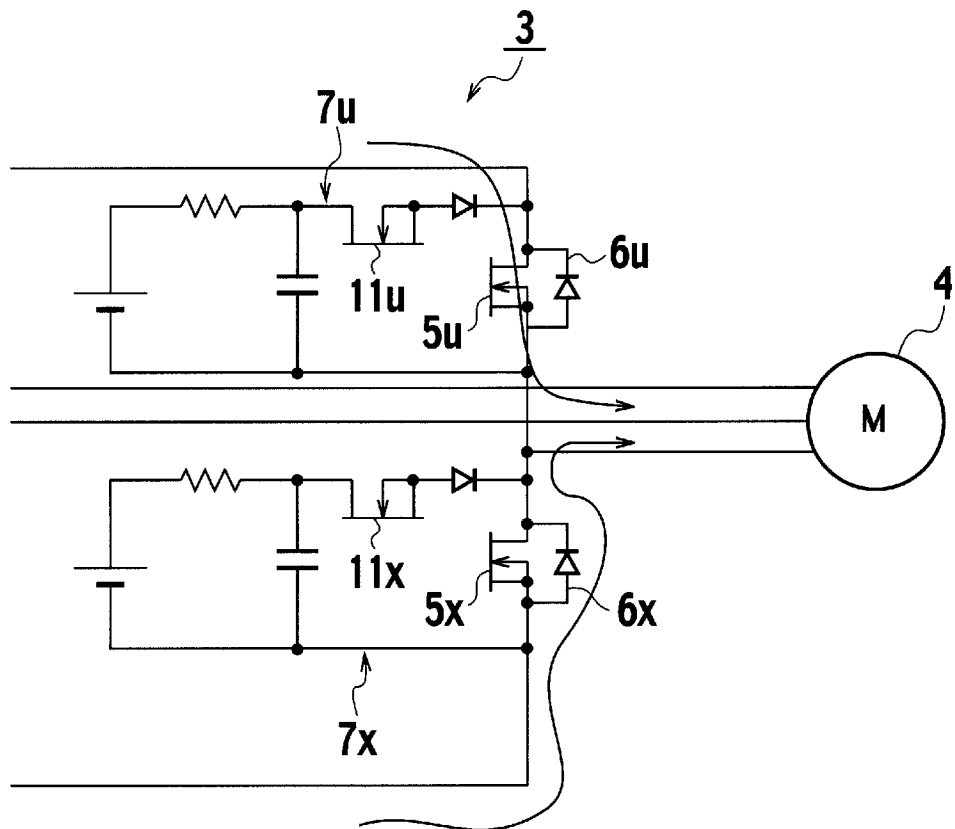
[図6]



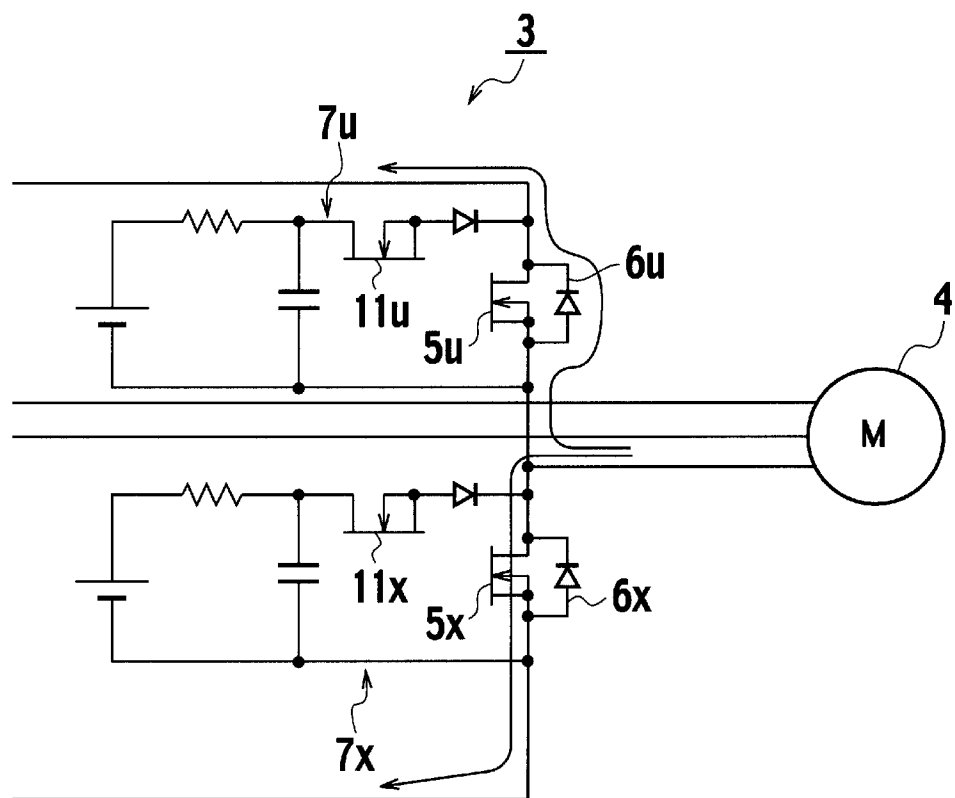
[図7]



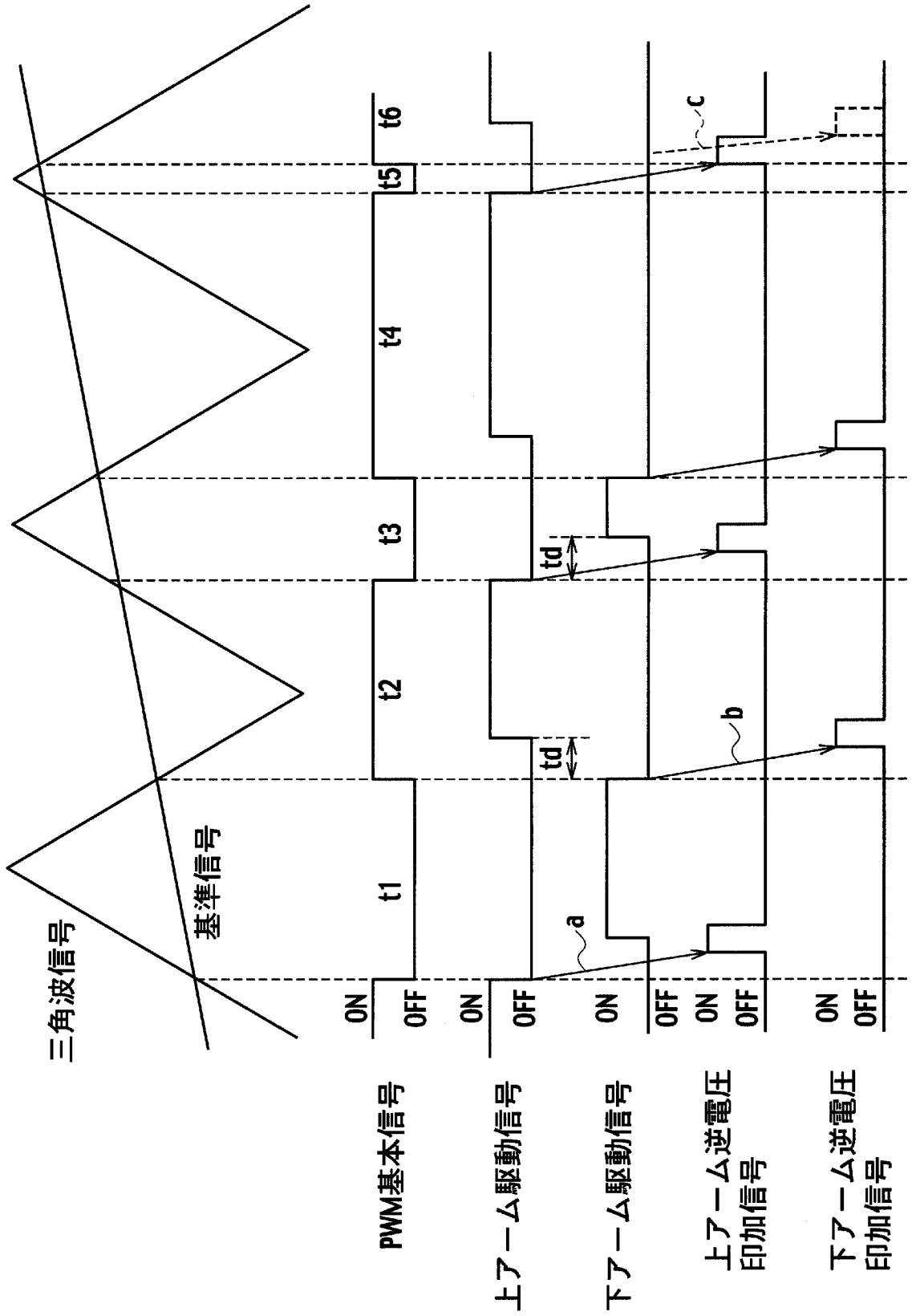
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/317649

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i, H02M1/08 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48, H02M1/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 10-327585 A (Toshiba Corp.), 08 December, 1998 (08.12.98), Full text; all drawings & US 6058037 A & EP 0880221 A2	2, 3 1
Y A	JP 5-49263 A (Matsushita Electric Industrial Co., Ltd.), 26 February, 1993 (26.02.93), Full text; all drawings (Family: none)	2, 3 1

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
20 November, 2006 (20.11.06)

Date of mailing of the international search report
28 November, 2006 (28.11.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H02M7/48(2007.01)i, H02M1/08(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H02M7/48, H02M1/08			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2006年 日本国実用新案登録公報 1996-2006年 日本国登録実用新案公報 1994-2006年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y A	JP 10-327585 A (株式会社東芝) 1998. 12. 08, 全文、全図 & US 6058037 A & EP 0880221 A2	2, 3 1	
Y A	JP 5-49263 A (松下電器産業株式会社) 1993. 02. 26, 全文、全図 (ファミリーなし)	2, 3 1	
☐ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。	
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 20. 11. 2006		国際調査報告の発送日 28. 11. 2006	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 杉浦 貴之 電話番号 03-3581-1101 内線 3358	3V 9723