

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4564434号
(P4564434)

(45) 発行日 平成22年10月20日 (2010.10.20)

(24) 登録日 平成22年8月6日 (2010.8.6)

(51) Int.Cl. F I
 HO 1 L 21/3205 (2006.01) HO 1 L 21/88 J
 HO 1 L 23/52 (2006.01)

請求項の数 9 (全 27 頁)

(21) 出願番号	特願2005-289267 (P2005-289267)	(73) 特許権者	308033711
(22) 出願日	平成17年9月30日 (2005.9.30)		OKIセミコンダクタ株式会社
(65) 公開番号	特開2007-103521 (P2007-103521A)		東京都八王子市東浅川町550番地1
(43) 公開日	平成19年4月19日 (2007.4.19)	(74) 代理人	100079049
審査請求日	平成20年3月5日 (2008.3.5)		弁理士 中島 淳
		(74) 代理人	100084995
			弁理士 加藤 和詳
		(74) 代理人	100085279
			弁理士 西元 勝一
		(74) 代理人	100099025
			弁理士 福田 浩志
		(72) 発明者	閑野 義則
			東京都港区虎ノ門1丁目7番12号 沖電 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

体積中心を通る第1軸に垂直に延びており素子が形成される第1面と、前記第1軸に垂直に延びており前記第1面と反対側の面である第2面とを有する半導体基板と、

前記半導体基板の周辺部に形成された複数の貫通孔を備え、

前記複数の貫通孔の全てが、前記第1面から前記第2面へ向かうに従って前記第1軸に近づくように貫通して形成された、半導体装置。

【請求項2】

前記複数の貫通孔は、

前記第1面において開口された第1開口部と、

前記第2面において開口された第2開口部と、

前記第1開口部と前記第2開口部との間に設けられた内壁面と、

をそれぞれ有し、

前記第1開口部を前記第1軸に平行に前記第2面へ投影した部分である第1投影部分の一部は、前記第2開口部の少なくとも一部に重なる、請求項1に記載の半導体装置。

【請求項3】

前記第1開口部を前記第1軸に平行に前記内壁面へ投影した部分である第2投影部分の少なくとも一部を通るように、前記第1面から前記第2面に連続して形成された第1絶縁層と、

前記第1絶縁層の上において、前記第2投影部分の少なくとも一部を通るように前記第

1面から前記第2面に連続して形成された導電層と、をさらに備えた、請求項2に記載の半導体装置。

【請求項4】

前記複数の貫通孔の内部を埋めるように、前記第1絶縁層及び前記導電層の上に形成された第2絶縁層をさらに備えた、請求項3に記載の半導体装置。

【請求項5】

体積中心を通る第1軸に垂直に延びており素子が形成される第1面と、前記第1軸に垂直に延びており前記第1面と反対側の面である第3面とを有する半導体基板が準備される第1ステップと、

前記半導体基板の前記第1面に素子が形成される第2ステップと、

前記半導体基板の周辺部において、前記第1面から前記第3面へ向かうに従って前記第1軸に近づく方向に複数の傾斜孔が形成される第3ステップと、

前記第3面が研磨されて、前記第1軸に略垂直に延びており前記第1面と反対側の面である第2面が露出されるとともに、前記複数の傾斜孔が前記第1面から前記第2面へ貫通するように加工される第4ステップと、を備えた、半導体装置の製造方法であって、

前記第3ステップでは、前記周辺部の複数の傾斜孔の全てが、前記第1面から前記第2面へ向かうに従って前記第1軸に近づくように貫通して形成される、半導体装置の製造方法。

【請求項6】

前記第3ステップでは、前記半導体基板の周辺部において、前記第1面に近づくに従って前記第1軸に近づく方向から前記第1面にレーザーが照射されて、前記複数の傾斜孔が形成される、請求項5に記載の半導体装置の製造方法。

【請求項7】

前記傾斜孔が前記第1面に開口している部分である第1開口部を介して、前記第1開口部を前記第1軸に平行に前記内壁面へ投影した部分である第2投影部分の少なくとも一部を通るように、前記第1面から前記第2面に連続して第1絶縁層が形成される第5ステップと、

前記第1絶縁層の上において、前記第2投影部分の少なくとも一部を通るように前記第1面から前記第2面に連続して導電層が形成される第6ステップと、

をさらに備えた、請求項5又は6に記載の半導体装置の製造方法。

【請求項8】

前記第5ステップでは、インクジェット方式を用いて前記第2投影部分の少なくとも一部へ絶縁物質が吹き付けられて、前記第1絶縁層が形成され、

前記第6ステップでは、インクジェット方式を用いて前記第2投影部分の少なくとも一部へ導電物質が吹き付けられて、前記導電層が形成される

請求項7に記載の半導体装置の製造方法。

【請求項9】

前記複数の傾斜孔の内部を埋めるように、前記第1絶縁層及び前記導電層の上に第2絶縁層が形成される第7ステップをさらに備えた、請求項7又は8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び半導体装置の製造方法に関する。

【背景技術】

【0002】

従来から、半導体基板の表面から裏面へ貫通孔が形成された半導体装置が提案されている(例えば、特許文献1、2参照)。

【特許文献1】特開2003-318178(第1-5頁、第1-8図)

【特許文献2】特開2003-347502(第1-7頁、第1-9図)

10

20

30

40

50

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかし、特許文献1の技術では、開口から深さ方向に先細りになるテーパが付けられて貫通孔が形成されている。ここで、開口は、表面（素子形成面）に形成されると素子を形成する部分はその分減って半導体基板の表面の面積の低減が困難となる傾向にあるので、裏面に形成されることがある。このとき、裏面の端部から貫通孔までの距離が確保しにくくなるので、裏面の端部にクラックが発生した場合に、そのクラックが貫通孔に到達して貫通孔の信頼性が低下することがある。

【0004】

また、特許文献2の技術では、半導体基板の周辺部のX方向に沿った2辺とY方向に沿った2辺とに貫通孔が形成されている。ここで、X方向に沿った2辺では、貫通孔がX方向へ一様に傾けて形成され、Y方向に沿った2辺では、貫通孔がY方向へ一様に傾けて形成されている。このとき、裏面の端部から貫通孔までの距離が確保しにくくなることがあり、裏面の端部にクラックが発生した場合に、そのクラックが貫通孔に到達して貫通孔の信頼性が低下することがある。

【0005】

本発明の課題は、貫通孔の信頼性が低下することを抑制できる半導体装置及び半導体装置の製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本発明に係る半導体装置は、半導体基板と、貫通孔とを備える。半導体基板は、第1面と、第2面とを有する。第1面は、第1軸に垂直に延びており素子が形成される。第1軸は、体積中心を通る。第2面は、第1軸に垂直に延びており第1面と反対側の面である。半導体基板の周辺部に形成された複数の貫通孔の全てが、第1面から第2面へ向かうに従って第1軸に近づくように貫通して形成されている。

【0007】

この半導体装置では、貫通孔は、半導体基板の周辺部の付近において、第1面から第2面へ向かうに従って第1軸に近づくように貫通して形成されている。これにより、第2面の端部から貫通孔までの距離を確保することができるので、第2面の端部にクラックが発生した場合でも、そのクラックが貫通孔に到達することを低減できる。

【0008】

このように、クラックが貫通孔に到達することを低減できるので、貫通孔の信頼性が低下することを抑制できる。

【0009】

本発明に係る半導体装置の製造方法は、第1ステップと、第2ステップと、第3ステップと、第4ステップとを備える。第1ステップでは、半導体基板が準備される。半導体基板は、第1面と、第3面とを有する。第1面は、第1軸に垂直に延びており素子が形成される。第1軸は、体積中心を通る。第3面は、第1軸に垂直に延びており第1面と反対側の面である。第2ステップでは、半導体基板の第1面に素子が形成される。第3ステップでは、半導体基板の周辺部において、第1面から第3面へ向かうに従って第1軸に近づく方向に複数の傾斜孔が形成される。この際には、周辺部の複数の傾斜孔の全てが、前記第1面から前記第2面へ向かうに従って前記第1軸に近づくように貫通して形成される。第4ステップでは、第3面が研磨されて、第2面が露出されるとともに、複数の傾斜孔が第1面から第2面へ貫通するように加工される。第2面は、第1軸に垂直に延びており第1面と反対側の面である。

【0010】

この半導体装置の製造方法では、傾斜孔は、半導体基板の周辺部の付近において、第1面から第2面へ向かうに従って第1軸に近づくように貫通して形成される。これにより、第2面の端部から傾斜孔までの距離を確保することができるので、第2面の端部にクラッ

10

20

30

40

50

クが発生した場合でも、そのクラックが傾斜孔に到達することを低減できる。

【0011】

このように、クラックが傾斜孔に到達することを低減できるので、貫通孔の信頼性が低下することを抑制できる。

【発明の効果】

【0012】

本発明に係る半導体装置では、クラックが貫通孔に到達することを低減できるので、貫通孔の信頼性が低下することを抑制できる。

【0013】

本発明に係る半導体装置の製造方法では、クラックが傾斜孔に到達することを低減できるので、貫通孔の信頼性が低下することを抑制できる。

10

【発明を実施するための最良の形態】

【0014】

<本発明の前提となる半導体装置の構成及び動作>

本発明の前提となる半導体装置1の断面図を図1に示す。

【0015】

(半導体装置の概略構成)

半導体装置1は、ウェハレベルチップサイズパッケージと称され、主として、半導体チップ10、導電層20(21, 22, 23, ...)、第1絶縁層31、第3絶縁層34、第4絶縁層35、第1再配線層群(41, 43, ...)、第2再配線層群(42, 44, ...)、金属ポスト群50(51, 52, 53, 54, ...)、封止部60、半田ボール群70(71, 72, 73, 74, ...)、スルーホール群(5, 6, ...)及びランド群80(81, 82, ...)を備える。

20

【0016】

半導体チップ10は、表面10aと裏面10bとを有する。表面10aは、第1軸CAに略垂直に延びている。第1軸CAは、体積中心VCを通る。表面10aには、素子(図示せず)が形成されている。裏面10bは、第1軸CAに略垂直に延びており、表面10aと反対側の面である。

【0017】

第3絶縁層34は、半導体チップ10の表面10aに沿って延びている。第1再配線層群(41, 43, ...)は、第3絶縁層34の半導体チップ10から遠い側において、半導体チップ10の表面10aに平行に延びている。これにより、第1再配線層群(41, 43, ...)と半導体チップ10とが短絡しないようになっている。

30

【0018】

第4絶縁層35は、半導体チップ10の裏面10bに沿って延びている。第2再配線層群(42, 44, ...)は、第4絶縁層35の半導体チップ10から遠い側において、半導体チップ10の裏面10bに平行に延びている。これにより、第2再配線層群(42, 44, ...)と半導体チップ10とが短絡しないようになっている。

【0019】

スルーホール群(5, ...)は、半導体チップ10の表面10aから裏面10bへ貫通して形成されている。スルーホール群(5, ...)には、導電層20の一部と第1絶縁層31とが充填されている。導電層20は、第1再配線層群(41, 43, ...)と第2再配線層群(42, 44, ...)とを電氣的に接続している。

40

【0020】

第1再配線層群(41, 43, ...)には、金属ポスト群50(51, 52, 53, 54, ...)を介して、半田ボール群70(71, 72, 73, 74, ...)が接続されている。また、第2再配線層群(42, 44, ...)には、ランド群80(81, 82, ...)が接続されている。これらにより、半田ボール群70(71, 72, 73, 74, ...)やランド群80(81, 82, ...)を介して外部から半導体装置1に信号を供給することができるようになっている。

50

【0021】

封止部60は、第3絶縁膜34の半導体チップ10から遠い側において、モールド樹脂などにより形成されている。封止部60は、金属ポスト51、・・・を互いに絶縁している。また、封止部60は、外部からの衝撃が素子に直接伝わらないようにしている。

【0022】

(半導体装置の概略動作)

半田ボール71、・・・に信号が供給された場合、その信号は、金属ポスト51、・・・を介して第1再配線層41、・・・へ伝達される。そして、その信号は、導電層20を介して第2再配線層42、・・・へ伝達された後、ランド81、・・・へさらに伝達される。

10

【0023】

あるいは、ランド81、・・・に信号が供給された場合、その信号は、第2再配線層42、・・・を介して導電層20へ伝達される。そして、その信号は、導電層20を介して第1再配線層41、・・・へ伝達された後、金属ポスト51、・・・を介して半田ボール71、・・・へさらに伝達される。

【0024】

これらにより、半導体装置1が複数積層された場合でも、上側の半導体装置1の半田ボール71、・・・と、その下側の半導体装置1のランド81、・・・とが接触するようにされれば、上側の半導体装置1や下側の半導体装置1へ外部から信号が供給されるようになっている。

20

【0025】

(スルーホール群、第1絶縁層及び導電層の詳細構成)

図1のA部分の拡大断面図を図2に示す。

【0026】

スルーホール群(5、・・・)の各スルーホール5、・・・は、半導体チップ10の周辺部の付近において、表面10aから裏面10bに貫通して形成されている。スルーホール5、・・・は、第1軸CAに略平行に、貫通して形成されている。すなわち、スルーホール5、・・・は、表面10aから裏面10bへ向かうに従って、第1軸CAへの距離が一定に保たれるように形成されている。

30

【0027】

導電層20は、主として、連絡配線21、第1電極22及び第2電極23を備える。導電層20は、連絡配線21と第1電極22と第2電極23とで、第1軸CAに平行な断面視において略チャンネル形状に形成されている。すなわち、第1電極22は、半導体チップ10の表面10aに平行に延びている。第2電極23は、半導体チップ10の裏面10bに平行に延びている。連絡配線21は、スルーホール5、・・・が半導体チップ10を貫通している方向に沿って形成されており、第1電極22と第2電極23とを接続している。そして、第1電極22は第1再配線層41に接続されており、第2電極23は第2再配線層42に接続されている。

【0028】

また、連絡配線21と半導体チップ10との間には、第1絶縁層31が形成されている。これにより、連絡配線21と半導体チップ10とが短絡しないようになっている。

40

【0029】

(スルーホール群、第1絶縁層及び導電層の詳細動作)

金属ポスト51、・・・を介して第1再配線層41、・・・に信号が供給された場合、その信号は、第1電極22へ伝達される。第1電極22へ伝達された信号は、連絡配線21を介して、第2電極23へ伝達される。第2電極23へ伝達された信号は、第2電極23に接続された第2再配線層42、・・・へ伝達される。

【0030】

あるいは、第2再配線層42、・・・に信号が供給された場合、その信号は、第2電極23へ伝達される。第2電極23へ伝達された信号は、連絡配線21を介して、第1電極

50

22へ伝達される。第1電極22へ伝達された信号は、第1再配線層41、・・・へさらに伝達される。

【0031】

これらにより、導電層20を介して、第1再配線層41、・・・と第2再配線層42、・・・との間で信号を受け渡しすることができるようになっている。

【0032】

ここで、スルーホール5、・・・は、半導体チップ10が半導体ウェハ(図示せず)になっている状態で、第1軸CAに略平行に、貫通して形成されている。すなわち、スルーホール5、・・・は、表面10aから裏面10bへ向かうに従って、第1軸CAへの距離が一定に保たれるように形成されている。これにより、裏面10bの端部10dからスルーホール5、・・・までの距離を確保しにくくなっている。そして、スルーホール5、・・・には、連絡配線21及び第1絶縁層31が充填されている。

10

【0033】

それに対して、半導体チップ10は、パッケージングされる前に、半導体ウェハの裏面10bがテープに貼り付けられた状態で側面10e、・・・がダイシングされることにより、半導体ウェハから切り出される。これにより、半導体チップ10では、裏面10bの端部10dから体積中心VC(図1参照)へ近づく方向へクラックが発生することがある。このとき、そのクラックがスルーホール5に到達することがあり、第1絶縁層31や連絡配線21が損傷を受けることがある。これにより、連絡配線21と半導体チップ10とが短絡したり、連絡配線21が断線したりする。

20

【0034】

このように、裏面10bの端部10dからスルーホール5、・・・までの距離を確保しにくくなっているため、裏面10bの端部10dにクラックが発生した場合に、そのクラックがスルーホール5、・・・に到達してスルーホール5、・・・の信頼性が低下することがある。

【0035】

(半導体装置の製造方法)

半導体装置の製造方法を、図1及び図2を参照しながら説明する。

【0036】

まず、準備工程では、半導体ウェハ(図示せず)が準備される。ここで、半導体ウェハは、半導体チップ10を含んでいる。半導体ウェハ(図示せず)は、表面10aと、初期裏面10c(後述の図5参照)とを有している。

30

【0037】

素子形成工程では、半導体ウェハの表面10aに素子(図示せず)が形成される。例えば、ソース領域、ドレイン領域、ゲート電極などが形成される。

【0038】

スルーホール開口工程では、第1軸CAに平行な方向から半導体ウェハの表面10aにレーザーが照射されてスルーホール5、・・・が開口される。ここで、スルーホール5、・・・は、半導体チップ10の表面10aと裏面10bとの幅よりも深くまで、表面10aから開口されている。ただし、スルーホール5、・・・は、表面10aから初期裏面10cまでは貫通していない。

40

【0039】

裏面研磨工程では、半導体ウェハの初期裏面10cが研磨されて、裏面10bが露出されるとともに、スルーホール5、・・・が表面10aから裏面10bへ貫通するように加工される。

【0040】

第1絶縁層形成工程では、第1絶縁膜31が形成される。すなわち、第1絶縁膜31は、内側の部分が上下に貫通した空洞となるように、スルーホール5、・・・の内壁に沿った略円筒状に形成される。

【0041】

50

導電層形成工程では、導電層 20 が形成される。すなわち、電界メッキ法により、第 1 絶縁膜 31 の内側の空洞に連絡配線 21 が充填される。さらに、連絡配線 21 に接続されるように、第 1 電極 22 や第 2 電極 23 がスパッタ法などにより形成される。

【0042】

保護膜形成工程では、CVD法により、半導体チップ 10 の表面 10a に第 3 絶縁膜 34 が形成され、裏面 10b に第 4 絶縁膜 35 が形成される。ここで、第 3 絶縁膜 34 は、素子を保護する保護膜として形成される。

【0043】

ダイシング工程では、裏面 10b がテープに貼り付けられた状態で半導体ウェハから側面 10e、・・・がダイシングにより切断されて半導体チップ 10 が切り出される。これにより、半導体チップ 10 では、裏面 10b の端部 10d から体積中心 VC (図 1 参照) へ近づく方向へクラックが発生することがある。

10

【0044】

樹脂封止工程では、第 1 再配線層 41、・・・、第 2 再配線層 42、・・・、金属ポスト 51、・・・及びランド 81、・・・が形成された後、第 3 絶縁膜 34 の上にモールド樹脂などが樹脂封止されて、封止部 60 が形成される。

【0045】

これらのようにして、半導体装置 1 は製造される。ここで、ダイシング工程において、裏面 10b の端部 10d で発生したクラックがスルーホール 5 に到達することがあり、第 1 絶縁層 31 や連絡配線 21 が損傷を受けることがある。これにより、連絡配線 21 と半導体チップ 10 とが短絡したり、連絡配線 21 が断線したりする。

20

【0046】

また、導電層形成工程において、電界メッキ法により連絡配線 21 が形成されているので、連絡配線 21 に“す”が発生することがあり、連絡配線 21 の導通信頼性が十分でないことがある。そして、電界メッキ法では、連絡配線 21 に“す”が発生しないような条件出しが困難なことが多い。

【0047】

<本発明の第 1 実施形態に係る半導体装置の構成及び動作>

本発明の第 1 実施形態に係る半導体装置について、図 3 ~ 図 9 を参照しながら、本発明の前提となる上記の半導体装置と異なる点を中心に説明する。

30

【0048】

本発明の第 1 実施形態に係る半導体装置の断面図を図 3 に示す。

【0049】

(半導体装置の概略構成)

半導体装置 100 は、導電層 20 の代わりに導電層 120 を備え、第 1 絶縁層 31 の代わりに第 1 絶縁層 131 を備え、第 3 絶縁層 34 の代わりに第 3 絶縁層 134 を備え、第 4 絶縁層 35 の代わりに第 4 絶縁層 135 を備え、第 1 再配線層群 (41, 43, ...) の代わりに第 1 再配線層群 (141, 143, ...) を備え、第 2 再配線層群 (42, 44, ...) の代わりに第 2 再配線層群 (142, 144, ...) を備え、スルーホール群 (5, 6, ...) の代わりにスルーホール群 (105, 106, ...) を備える。

40

【0050】

第 3 絶縁層 134 は、半導体チップ 10 の表面 10a に沿って延びている。第 1 再配線層群 (141, 143, ...) は、第 3 絶縁層 134 の半導体チップ 10 から遠い側において、半導体チップ 10 の表面 10a に平行に延びている。

【0051】

第 4 絶縁層 135 は、半導体チップ 10 の裏面 10b に沿って延びている。第 2 再配線層群 (142, 144, ...) は、第 4 絶縁層 135 の半導体チップ 10 から遠い側において、半導体チップ 10 の裏面 10b に平行に延びている。

【0052】

50

スルーホール群(105, ...)は、半導体チップ10の表面10aから裏面10bへ貫通して形成されている。

【0053】

他の点は、本発明の前提となる半導体装置1と同様である。

【0054】

(半導体装置の概略動作)

本発明の前提となる半導体装置1と同様である。

【0055】

(スルーホール群、第1絶縁層及び導電層の詳細構成)

図3のB部分の拡大断面図を図4に示す。

10

【0056】

スルーホール群(105, ...)の各スルーホール105, ...は、主として、第1開口部105a, 第2開口部105b及び内壁面105cを備える。

【0057】

半導体チップ10の周辺部の付近において、表面10aから裏面10bに貫通して形成されている。スルーホール105, ...は、傾斜しながら貫通して形成されている。すなわち、スルーホール105, ...は、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように貫通して形成されている(図9参照)。例えば、半導体チップ10の表面10aと裏面10bとの幅CW(図6参照)が50μmであり、スルーホール105, ...の内径が30~50μmである場合に、スルーホール105, ...は、第1軸CAと平行な方向に対して25度~45度の角度をなすように傾斜して形成される。

20

【0058】

具体的には、内壁面105cは、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように傾斜して延びている。すなわち、第2開口部105bの中心RC2と第1軸CAとの距離D2は、第1開口部105aの中心RC1と第1軸CAとの距離D1よりも小さくなっている。また、第1投影部分PA1(図6参照)の一部(重複部分OR)は、第2開口部105bの一部に重なる(図9参照)。第1投影部分PA1は、第1開口部105aを第1軸CAに平行に裏面10bへ投影した部分である。

【0059】

導電層120は、連絡配線21の代わりに連絡配線121を備え、第1電極22の代わりに第1電極122を備え、第2電極23の代わりに第2電極123を備える。導電層120は、第1軸CAに平行な断面視において略チャンネル形状に形成されている。すなわち、第1電極122は、半導体チップ10の表面10aに平行に延びている。第2電極123は、半導体チップ10の裏面10bに平行に延びている。連絡配線121は、スルーホール105, ...が半導体チップ10を貫通している方向に沿って、表面10aから裏面10bへ向かうに従って第1軸CAに近づくように傾斜して形成されており、第1電極122と第2電極123とを接続している。そして、第1電極122は第1再配線層141に接続されており、第2電極123は第2再配線層142に接続されている。

30

【0060】

また、導電層120と半導体チップ10の間には、第1絶縁層131が形成されている。第1絶縁層131は、主として、第1電極絶縁層131a, 第2電極絶縁層131b及び連絡配線絶縁層131cを備える。第1電極絶縁層131aは、第1電極122と半導体チップ10との間に形成されている。これにより、第1電極122と半導体チップ10とが短絡しないようになっている。第2電極絶縁層131bは、第2電極123と半導体チップ10との間に形成されている。これにより、第2電極123と半導体チップ10とが短絡しないようになっている。連絡配線絶縁層131cは、連絡配線121と半導体チップ10との間に形成されている。これにより、連絡配線121と半導体チップ10とが短絡しないようになっている。

40

【0061】

50

ここで、第1絶縁層131は、第2投影部分PA2(図9参照)の一部を通るように、表面10aから裏面10bに連続して形成されている。第2投影部分PA2は、第1開口部105aを第1軸CAに平行に内壁面105cへ投影した部分である。また、導電層120は、第1絶縁層131の上において、第2投影部分PA2の一部を通るように、表面10aから裏面10bに連続して形成されている。

【0062】

(スルーホール群、第1絶縁層及び導電層の詳細動作)

金属ポスト51、・・・を介して第1再配線層141、・・・に信号が供給された場合、その信号は、第1再配線層141、・・・に接続された第1電極122へ伝達される。第1電極122へ伝達された信号は、連絡配線121を介して、第2電極123へ伝達される。第2電極123へ伝達された信号は、第2電極123に接続された第2再配線層142、・・・へ伝達される。

10

【0063】

あるいは、第2再配線層142、・・・に信号が供給された場合、その信号は、第2再配線層142、・・・に接続された第2電極123へ伝達される。第2電極123へ伝達された信号は、連絡配線121を介して、第1電極122へ伝達される。第1電極122へ伝達された信号は、第1電極122に接続された第1再配線層141、・・・へ伝達される。

【0064】

これらにより、導電層120を介して、第1再配線層141、・・・と第2再配線層142、・・・との間で信号を受け渡しすることができるようになっている。

20

【0065】

ここで、スルーホール105、・・・は、半導体チップ10が半導体ウェハ(図示せず)になっている状態で、表面10aから裏面10bへ向かうに従って、第1軸CAに近くように貫通して形成されている。これにより、裏面10bの端部10dからスルーホール105、・・・までの距離を確保しやすくなっている。このため、裏面10bの端部10dから体積中心VC(図3参照)へ近づく方向へクラックが発生した場合でも、そのクラックがスルーホール105、・・・に到達することは低減されている。

【0066】

また、スルーホール105、・・・には、連絡配線121及び連絡配線絶縁層131cが充填されている。ここで、クラックがスルーホール105、・・・に到達することが低減されているので、連絡配線121と半導体チップ10とが短絡したり、連絡配線121が断線したりすることも低減されている。

30

【0067】

このように、裏面10bの端部10dからスルーホール105、・・・までの距離を確保しやすくなっているため、裏面10bの端部10dにクラックが発生した場合でも、そのクラックがスルーホール105、・・・に到達することは低減されている。このため、スルーホール105、・・・の信頼性が低下するは抑制されている。

【0068】

(半導体装置の製造方法)

半導体装置の製造方法を、図5～図8を参照しながら説明する。

40

【0069】

準備工程及び素子形成工程は、本発明の前提となる半導体装置1と同様である。

【0070】

スルーホール開口工程では、図5に示すように、表面10aに近づくに従って第1軸CA(図3参照)に近づく方向から半導体ウェハの表面10aにレーザーが照射されてスルーホール105、・・・が開口される。ここで、スルーホール105、・・・は、半導体チップ10の表面10aと裏面10bとの幅CW(図6参照)よりも深い深さHD(>CW)まで、表面10aから開口されている。ただし、スルーホール105、・・・は、表面10aから初期裏面10cまでは貫通していない。

50

【 0 0 7 1 】

裏面研磨工程では、半導体ウェハの初期裏面 1 0 c が研磨されて、図 6 に示すように、裏面 1 0 b が露出されるとともに、スルーホール 1 0 5 , . . . が表面 1 0 a から裏面 1 0 b へ貫通するように加工される。ここで、スルーホール 1 0 5 , . . . は、表面 1 0 a から裏面 1 0 b へ向かうに従って、第 1 軸 C A に近づくように貫通して形成されることになる。そして、第 1 投影部分 P A 1 の一部 (重複部分 O R) は、第 2 開口部 1 0 5 b の一部に重なるようになっている (図 9 参照) 。

【 0 0 7 2 】

第 1 絶縁層形成工程では、図 7 に示すように、第 1 絶縁膜 1 3 1 が形成される。すなわち、インクジェット方式を用いて、第 1 軸 C A に平行に表面 1 0 a に近づく方向 (破線の矢印で示す方向) から絶縁物質が吹き付けられて、第 1 電極絶縁層 1 3 1 a 及び連絡配線絶縁層 1 3 1 c が形成される。また、インクジェット方式を用いて、第 1 軸 C A に平行に裏面 1 0 b に近づく方向 (一点鎖線の矢印で示す方向) から絶縁物質が吹き付けられて、第 2 電極絶縁層 1 3 1 b が形成される。

10

【 0 0 7 3 】

導電層形成工程では、図 8 に示すように、導電層 1 2 0 が形成される。すなわち、インクジェット方式を用いて、第 1 軸 C A に平行に表面 1 0 a に近づく方向 (破線の矢印で示す方向) から導電物質が吹き付けられて、第 1 電極 1 2 2 及び連絡配線 1 2 1 が形成される。また、インクジェット方式を用いて、第 1 軸 C A に平行に裏面 1 0 b へ近づく方向 (一点鎖線の矢印で示す方向) から導電物質が吹き付けられて、第 2 電極 1 2 3 が形成される。

20

【 0 0 7 4 】

保護膜形成工程、ダイシング工程及び樹脂封止工程は、本発明の前提となる半導体装置 1 と同様である。

【 0 0 7 5 】

これらのようにして、半導体装置 1 0 0 は製造される。ここで、ダイシング工程において、裏面 1 0 b の端部 1 0 d でクラックが発生することがある。この場合でも、裏面 1 0 b の端部 1 0 d からスルーホール 1 0 5 , . . . までの距離を確保しやすくなっているため、そのクラックがスルーホール 1 0 5 , . . . に到達することは低減されている。このため、スルーホール 1 0 5 , . . . の信頼性が低下するは抑制されている。

30

【 0 0 7 6 】

また、導電層形成工程において、インクジェット方式を用いて連絡配線 1 2 1 が形成されているので、連絡配線 1 2 1 に “ す ” が発生することが低減されており、連絡配線 1 2 1 の導通信頼性が確保されている。そして、インクジェット方式では、連絡配線 1 2 1 に “ す ” が発生しないような条件出しが容易であり、製造コストの点でも本発明の前提となる半導体装置 1 に対して有利である。

【 0 0 7 7 】

(半導体装置に関する特徴)

(1)

ここでは、スルーホール 1 0 5 , . . . は、半導体チップ 1 0 の周辺部の付近において、表面 1 0 a から裏面 1 0 b へ向かうに従って第 1 軸 C A に近づくように貫通して形成されている。これにより、裏面 1 0 b の端部 1 0 d からスルーホール 1 0 5 , . . . までの距離を確保しやすくなっているため、裏面 1 0 b の端部 1 0 d にクラックが発生した場合でも、そのクラックがスルーホール 1 0 5 , . . . に到達することは低減されている。

40

【 0 0 7 8 】

このように、クラックがスルーホール 1 0 5 , . . . に到達することが低減されているので、スルーホール 1 0 5 , . . . の信頼性が低下することは抑制されている。

【 0 0 7 9 】

(2)

ここでは、第 1 投影部分 P A 1 の一部は、第 2 開口部 1 0 5 b の一部に重なる (図 6 ,

50

図9参照)。これにより、第1軸CAに平行に表面10aから裏面10bに近づく方向にインクジェット方式で絶縁物質や導電物質をスルーホール105,・・・に吹き付けることにより、内壁面105cの一部に第1絶縁層131や導電層120は容易に形成される。

【0080】

(3)

ここでは、導電層120は、第1絶縁層131の上において、第2投影部分PA2の一部を通るように表面10aから裏面10bに連続して形成されている。これにより、表面10aと裏面10bとに電極(第1電極122,第2電極123)が形成されることにより、複数積層された場合でも、電気信号が供給されるようになっている。

10

【0081】

(4)

ここでは、スルーホール開口工程において、半導体チップ10の周辺部の付近において、表面10aに近づくに従って第1軸CAに近づく方向から表面10aにレーザーが照射されて、スルーホール105,・・・が形成される。これにより、半導体チップ10に与えるダメージを抑えながらスルーホール105,・・・が形成される。

【0082】

(5)

ここでは、第1絶縁層形成工程において、インクジェット方式を用いて第2投影部分PA2の一部へ絶縁物質が吹き付けられて、第1絶縁層131が形成される。これにより、第1絶縁層131が容易に形成される。

20

【0083】

また、導電層形成工程において、インクジェット方式を用いて第2投影部分PA2の一部へ導電物質が吹き付けられて、導電層120が形成される。これにより、導電層120が容易に形成される。

【0084】

(第1実施形態の変形例)

(A)図9に示す第1投影部分PA1の一部は、第2開口部の全部に重なっても良い。すなわち、第2開口部が重複部分ORと同じ形状であっても良い。この場合でも、第2投影部分PA2の一部に第1絶縁層131及び導電層120が形成されれば、裏面10bの端部10dから第1絶縁層131及び導電層120までの距離は確保される。

30

【0085】

(B)第1絶縁層131及び導電層120は、第2投影部分PA2の全部に形成されても良い。この場合でも、インクジェット方式を用いて第1絶縁層131及び導電層120を形成することができるようになっているので、第1絶縁層131及び導電層120は容易に形成される。

【0086】

<本発明の第2実施形態に係る半導体装置の構成及び動作>

本発明の第2実施形態に係る半導体装置について、図10～図16を参照しながら、本発明の前提となる上記の半導体装置と異なる点を中心に説明する。

40

【0087】

本発明の第2実施形態に係る半導体装置の断面図を図10に示す。

【0088】

(半導体装置の概略構成)

半導体装置200は、導電層20の代わりに導電層220を備え、第1絶縁層31の代わりに第1絶縁層231を備え、第3絶縁層34の代わりに第3絶縁層234を備え、第4絶縁層35の代わりに第4絶縁層235を備え、第1再配線層群(41,43,・・・)の代わりに第1再配線層群(141,143,・・・)を備え、第2再配線層群(42,44,・・・)の代わりに第2再配線層群(142,144,・・・)を備え、スルーホール群(5,6,・・・)の代わりにスルーホール群(105,106,・・・)を備

50

える。

【0089】

第3絶縁層234は、半導体チップ10の表面10aに沿って延びている。第1再配線層群(141, 143, ...)は、第3絶縁層234の半導体チップ10から遠い側において、半導体チップ10の表面10aに平行に延びている。

【0090】

第4絶縁層235は、半導体チップ10の裏面10bに沿って延びている。第2再配線層群(142, 144, ...)は、第4絶縁層235の半導体チップ10から遠い側において、半導体チップ10の裏面10bに平行に延びている。

【0091】

スルーホール群(105, ...)は、半導体チップ10の表面10aから裏面10bへ貫通して形成されている。

【0092】

他の点は、本発明の前提となる半導体装置1と同様である。

【0093】

(半導体装置の概略動作)

本発明の前提となる半導体装置1と同様である。

【0094】

(スルーホール群、第1絶縁層及び導電層の詳細構成)

図10のC部分の拡大断面図を図11に示す。

【0095】

スルーホール群(105, ...)の各スルーホール105, ...は、主として、第1開口部105a, 第2開口部105b及び内壁面105cを備える。

【0096】

半導体チップ10の周辺部の付近において、表面10aから裏面10bに貫通して形成されている。スルーホール105, ...は、傾斜しながら貫通して形成されている。すなわち、スルーホール105, ...は、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように貫通して形成されている(図9参照)。例えば、半導体チップ10の表面10aと裏面10bとの幅CW(図6参照)が50μmであり、スルーホール105, ...の内径が30~50μmである場合に、スルーホール105, ...は、第1軸CAと平行な方向に対して25度~45度の角度をなすように傾斜して形成される。

【0097】

具体的には、内壁面105cは、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように傾斜して延びている。また、第1投影部分PA1(図15参照)の一部(重複部分OR)は、第2開口部105bの一部に重なる(図9参照)。第1投影部分PA1は、第1開口部105aを第1軸CAに平行に裏面10bへ投影した部分である。

【0098】

導電層220は、連絡配線21の代わりに連絡配線221を備え、第1電極22の代わりに第1電極222を備え、第2電極23の代わりに第2電極223を備える。導電層220は、第1軸CAに平行な断面視において略チャンネル形状に形成されている。すなわち、第1電極222は、半導体チップ10の表面10aに平行に延びている。第2電極223は、半導体チップ10の裏面10bに平行に延びている。連絡配線221は、スルーホール105, ...が半導体チップ10を貫通している方向に沿って、表面10aから裏面10bへ向かうに従って第1軸CAに近づくように傾斜して形成されており、第1電極222と第2電極223とを接続している。そして、第1電極222は第1再配線層141に接続されており、第2電極223は第2再配線層142に接続されている。

【0099】

また、導電層220と半導体チップ10の間には、第1絶縁層231が形成されている。第1絶縁層231は、主として、第1電極絶縁層231a, 第2電極絶縁層231b

10

20

30

40

50

及び連絡配線絶縁層 231c を備える。第 1 電極絶縁層 231a は、第 1 電極 222 と半導体チップ 10 との間に形成されている。これにより、第 1 電極 222 と半導体チップ 10 とが短絡しないようになっている。第 2 電極絶縁層 231b は、第 2 電極 223 と半導体チップ 10 との間に形成されている。これにより、第 2 電極 223 と半導体チップ 10 とが短絡しないようになっている。連絡配線絶縁層 231c は、連絡配線 221 と半導体チップ 10 との間に形成されている。これにより、連絡配線 221 と半導体チップ 10 とが短絡しないようになっている。

【0100】

ここで、第 1 絶縁層 231 は、第 2 投影部分 PA2 (図 9 参照) の一部を通るように、表面 10a から裏面 10b に連続して形成されている。第 2 投影部分 PA2 は、第 1 開口部 105a を第 1 軸 CA に平行に内壁面 105c へ投影した部分である。また、導電層 220 は、第 1 絶縁層 231 の上において、第 2 投影部分 PA2 の一部を通るように、表面 10a から裏面 10b に連続して形成されている。

【0101】

(スルーホール群、第 1 絶縁層及び導電層の詳細動作)

金属ポスト 51, . . . を介して第 1 再配線層 141, . . . に信号が供給された場合、その信号は、第 1 電極 222 へ伝達される。第 1 電極 222 へ伝達された信号は、連絡配線 221 を介して、第 2 電極 223 へ伝達される。第 2 電極 223 へ伝達された信号は、第 2 再配線層 142, . . . へさらに伝達される。

【0102】

あるいは、第 2 再配線層 142, . . . に信号が供給された場合、その信号は、第 2 電極 223 へ伝達される。第 2 電極 223 へ伝達された信号は、連絡配線 221 を介して、第 1 電極 222 へ伝達される。第 1 電極 222 へ伝達された信号は、第 1 再配線層 141, . . . へさらに伝達される。

【0103】

これらにより、導電層 220 を介して、第 1 再配線層 141, . . . と第 2 再配線層 142, . . . との間で信号を受け渡しすることができるようになっている。

【0104】

ここで、スルーホール 105, . . . は、半導体チップ 10 が半導体ウェハ (図示せず) になっている状態で、表面 10a から裏面 10b へ向かうに従って、第 1 軸 CA に近づくように貫通して形成されている。これにより、裏面 10b の端部 10d からスルーホール 105, . . . までの距離を確保しやすくなっている。このため、裏面 10b の端部 10d から体積中心 VC (図 10 参照) へ近づく方向へクラックが発生した場合でも、そのクラックがスルーホール 105, . . . に到達することは低減されている。

【0105】

また、スルーホール 105, . . . には、連絡配線 221 及び連絡配線絶縁層 231c が充填されている。ここで、クラックがスルーホール 105, . . . に到達することが低減されているので、連絡配線 221 と半導体チップ 10 とが短絡したり、連絡配線 221 が断線したりすることも低減されている。

【0106】

このように、裏面 10b の端部 10d からスルーホール 105, . . . までの距離を確保しやすくなっているため、裏面 10b の端部 10d にクラックが発生した場合でも、そのクラックがスルーホール 105, . . . に到達することは低減されている。このため、スルーホール 105, . . . の信頼性が低下するは抑制されている。

【0107】

(半導体装置の製造方法)

半導体装置の製造方法を、図 12 ~ 図 16 を参照しながら説明する。

【0108】

準備工程及び素子形成工程は、本発明の前提となる半導体装置 1 と同様である。

【0109】

10

20

30

40

50

スルーホール開口工程では、図12に示すように、表面10aに近づくに従って第1軸CA(図3参照)に近づく方向から半導体ウェハの表面10aにレーザーが照射されてスルーホール105,・・・が開口される。ここで、スルーホール105,・・・は、半導体チップ10の表面10aと裏面10bとの幅CW(図15参照)よりも深い深さHD(>CW)まで、表面10aから開口されている。ただし、スルーホール105,・・・は、表面10aから初期裏面10cまでは貫通していない。

【0110】

第1絶縁層形成第1工程では、図13に示すように、第1絶縁層231のうち第1電極絶縁層231a及び連絡配線絶縁層231cが形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に表面10aに近づく方向(破線の矢印で示す方向)から絶縁物質が吹き付けられて、第1電極絶縁層231a及び連絡配線絶縁層231cが形成される。

10

【0111】

導電層形成第1工程では、図14に示すように、導電層220のうち第1電極222及び連絡配線221が形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に表面10aに近づく方向(破線の矢印で示す方向)から導電物質が吹き付けられて、第1電極222及び連絡配線221が形成される。

【0112】

裏面研磨工程では、半導体ウェハの初期裏面10cが研磨されて、図15に示すように、裏面10bが露出されるとともに、スルーホール105,・・・が表面10aから裏面10bへ貫通するように加工される。ここで、スルーホール105,・・・は、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように貫通して形成されることになる。そして、第1投影部分PA1の一部(重複部分OR)は、第2開口部105bの一部に重なるようになっている(図9参照)。

20

【0113】

第1絶縁層形成第2工程では、図16に示すように、第1絶縁膜231のうち第2電極絶縁層231bが形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に裏面10bに近づく方向(一点鎖線の矢印で示す方向)から絶縁物質が吹き付けられて、第2電極絶縁層231bが形成される。

【0114】

導電層形成第2工程では、図16に示すように、導電層220のうち第2電極223が形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に裏面10bに近づく方向(一点鎖線の矢印で示す方向)から導電物質が吹き付けられて、第2電極223が形成される。

30

【0115】

保護膜形成工程、ダイシング工程及び樹脂封止工程は、本発明の前提となる半導体装置1と同様である。

【0116】

これらのようにして、半導体装置200は製造される。ここで、ダイシング工程において、裏面10bの端部10dでクラックが発生することがある。この場合でも、裏面10bの端部10dからスルーホール105,・・・までの距離を確保しやすくなっているため、そのクラックがスルーホール105,・・・に到達することは低減されている。このため、スルーホール105,・・・の信頼性が低下するは抑制されている。

40

【0117】

また、導電層形成第1工程において、インクジェット方式を用いて連絡配線221が形成されているので、連絡配線221に“す”が発生することが低減されており、連絡配線221の導通信頼性が確保されている。そして、インクジェット方式では、連絡配線221に“す”が発生しないような条件出しが容易であり、製造コストの点でも本発明の前提となる半導体装置1に対して有利である。

【0118】

50

(半導体装置に関する特徴)

(1)

ここでは、スルーホール105,・・・は、半導体チップ10の周辺部の付近において、表面10aから裏面10bへ向かうに従って第1軸CAに近づくように貫通して形成されている。これにより、裏面10bの端部10dからスルーホール105,・・・までの距離を確保しやすくなっているため、裏面10bの端部10dにクラックが発生した場合でも、そのクラックがスルーホール105,・・・に到達することは低減されている。

【0119】

このように、クラックがスルーホール105,・・・に到達することが低減されているので、スルーホール105,・・・の信頼性が低下することは抑制されている。

10

【0120】

(2)

ここでは、第1投影部分PA1の一部は、第2開口部105bの一部に重なる(図15,図9参照)。これにより、第1軸CAに平行に表面10aから裏面10bに近づく方向にインクジェット方式で絶縁物質や導電物質をスルーホール105,・・・に吹き付けることにより、内壁面105cの一部に第1絶縁層231や導電層220は容易に形成される。

【0121】

(3)

ここでは、導電層220は、第1絶縁層231の上において、第2投影部分PA2の一部を通るように表面10aから裏面10bに連続して形成されている。これにより、表面10aと裏面10bとに電極(第1電極222,第2電極223)が形成されることにより、複数積層された場合でも、電気信号が供給されるようになっている。

20

【0122】

(4)

ここでは、スルーホール開口工程において、半導体チップ10の周辺部の付近において、表面10aに近づくに従って第1軸CAに近づく方向から表面10aにレーザーが照射されて、スルーホール105,・・・が形成される。これにより、半導体チップ10に与えるダメージを抑えながらスルーホール105,・・・が形成される。

【0123】

(5)

ここでは、第1絶縁層形成第1工程及び第1絶縁層形成第2工程において、インクジェット方式を用いて第2投影部分PA2の一部へ絶縁物質が吹き付けられて、第1絶縁層231が形成される。これにより、第1絶縁層231が容易に形成される。

30

【0124】

また、導電層形成第1工程及び導電層形成第2工程において、インクジェット方式を用いて第2投影部分PA2の一部へ導電物質が吹き付けられて、導電層220が形成される。これにより、導電層220が容易に形成される。

【0125】

<本発明の第3実施形態に係る半導体装置の構成及び動作>

40

本発明の第3実施形態に係る半導体装置について、図17~図21を参照しながら、本発明の前提となる上記の半導体装置と異なる点を中心に説明する。

【0126】

本発明の第3実施形態に係る半導体装置の断面図を図17に示す。

【0127】

(半導体装置の概略構成)

半導体装置300は、導電層20の代わりに導電層220を備え、第1絶縁層31の代わりに第1絶縁層231を備え、第3絶縁層34の代わりに第3絶縁層234を備え、第4絶縁層35の代わりに第4絶縁層235を備え、第1再配線層群(41,43,・・・)の代わりに第1再配線層群(141,143,・・・)を備え、第2再配線層群(42

50

, 44, ...) の代わりに第2再配線層群(142, 144, ...)を備え、スルーホール群(5, 6, ...)の代わりにスルーホール群(305, 306, ...)を備え、第2絶縁層390をさらに備える。

【0128】

第3絶縁層234は、半導体チップ10の表面10aに沿って延びている。第1再配線層群(141, 143, ...)は、第3絶縁層234の半導体チップ10から遠い側において、半導体チップ10の表面10aに平行に延びている。

【0129】

第4絶縁層235は、半導体チップ10の裏面10bに沿って延びている。第2再配線層群(142, 144, ...)は、第4絶縁層235の半導体チップ10から遠い側において、半導体チップ10の裏面10bに平行に延びている。

10

【0130】

スルーホール群(305, ...)は、半導体チップ10の表面10aから裏面10bへ貫通して形成されている。

【0131】

他の点は、本発明の前提となる半導体装置1と同様である。

【0132】

(半導体装置の概略動作)

本発明の前提となる半導体装置1と同様である。

【0133】

(スルーホール群、第1絶縁層、第2絶縁層及び導電層の詳細構成)

図17のD部分の拡大断面図を図18に示す。

20

【0134】

スルーホール群(305, ...)の各スルーホール305, ...は、主として、第1開口部305a, 第2開口部305b及び内壁面305cを備える。

【0135】

半導体チップ10の周辺部の付近において、表面10aから裏面10bに貫通して形成されている。スルーホール305, ...は、傾斜しながら貫通して形成されている。すなわち、スルーホール305, ...は、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように貫通して形成されている(図9参照)。例えば、半導体チップ10の表面10aと裏面10bとの幅CW(図6参照)が50 μ mであり、スルーホール305, ...の内径が30~50 μ mである場合に、スルーホール305, ...は、第1軸CAと平行な方向に対して25度~45度の角度をなすように傾斜して形成される。

30

【0136】

具体的には、内壁面305cは、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように傾斜して延びている。また、第1投影部分PA1(図20参照)の一部(重複部分OR)は、第2開口部305bの一部に重なる(図9参照)。第1投影部分PA1は、第1開口部305aを第1軸CAに平行に裏面10bへ投影した部分である。

【0137】

導電層220は、連絡配線21の代わりに連絡配線221を備え、第1電極22の代わりに第1電極222を備え、第2電極23の代わりに第2電極223を備える。導電層220は、第1軸CAに平行な断面視において略チャンネル形状に形成されている。すなわち、第1電極222は、半導体チップ10の表面10aに平行に延びている。第2電極223は、半導体チップ10の裏面10bに平行に延びている。連絡配線221は、スルーホール305, ...が半導体チップ10を貫通している方向に沿って、表面10aから裏面10bへ向かうに従って第1軸CAに近づくように傾斜して形成されており、第1電極222と第2電極223とを接続している。そして、第1電極222は第1再配線層141に接続されており、第2電極223は第2再配線層142に接続されている。

40

【0138】

50

また、導電層 220 と半導体チップ 10 との間には、第 1 絶縁層 231 が形成されている。第 1 絶縁層 231 は、主として、第 1 電極絶縁層 231 a, 第 2 電極絶縁層 231 b 及び連絡配線絶縁層 231 c を備える。第 1 電極絶縁層 231 a は、第 1 電極 222 と半導体チップ 10 との間に形成されている。これにより、第 1 電極 222 と半導体チップ 10 とが短絡しないようになっている。第 2 電極絶縁層 231 b は、第 2 電極 223 と半導体チップ 10 との間に形成されている。これにより、第 2 電極 223 と半導体チップ 10 とが短絡しないようになっている。連絡配線絶縁層 231 c は、連絡配線 221 と半導体チップ 10 との間に形成されている。これにより、連絡配線 221 と半導体チップ 10 とが短絡しないようになっている。

【0139】

10

ここで、第 1 絶縁層 231 は、第 2 投影部分 PA2 (図 9 参照) の一部を通るように、表面 10 a から裏面 10 b に連続して形成されている。第 2 投影部分 PA2 は、第 1 開口部 305 a を第 1 軸 CA に平行に内壁面 305 c へ投影した部分である。また、導電層 220 は、第 1 絶縁層 231 の上において、第 2 投影部分 PA2 の一部を通るように、表面 10 a から裏面 10 b に連続して形成されている。

【0140】

第 2 絶縁層 390 は、スルーホール 305, … の内部を埋めるように、第 1 絶縁層 231 及び導電層 220 の上に形成されている。

【0141】

(スルーホール群、第 1 絶縁層、第 2 絶縁層及び導電層の詳細動作)

20

金属ポスト 51, … を介して第 1 再配線層 141, … に信号が供給された場合、その信号は、第 1 再配線層 141, … に接続された第 1 電極 222 へ伝達される。第 1 電極 222 へ伝達された信号は、連絡配線 221 を介して、第 2 電極 223 へ伝達される。第 2 電極 223 へ伝達された信号は、第 2 電極 223 に接続された第 2 再配線層 142, … へ伝達される。

【0142】

あるいは、第 2 再配線層 142, … に信号が供給された場合、その信号は、第 2 再配線層 142, … に接続された第 2 電極 223 へ伝達される。第 2 電極 223 へ伝達された信号は、連絡配線 221 を介して、第 1 電極 222 へ伝達される。第 1 電極 222 へ伝達された信号は、第 1 電極 222 に接続された第 1 再配線層 141, … へ伝達される。

30

【0143】

これらにより、導電層 220 を介して、第 1 再配線層 141, … と第 2 再配線層 142, … との間で信号を受け渡しすることができるようになっている。

【0144】

ここで、スルーホール 305, … は、半導体チップ 10 が半導体ウェハ (図示せず) になっている状態で、表面 10 a から裏面 10 b へ向かうに従って、第 1 軸 CA に近くように貫通して形成されている。これにより、裏面 10 b の端部 10 d からスルーホール 305, … までの距離を確保しやすくなっている。このため、裏面 10 b の端部 10 d から体積中心 VC (図 17 参照) へ近づく方向へクラックが発生した場合でも、そのクラックがスルーホール 305, … に到達することは低減されている。

40

【0145】

また、スルーホール 305, … には、連絡配線 221 及び連絡配線絶縁層 231 c が充填されている。ここで、クラックがスルーホール 305, … に到達することが低減されているので、連絡配線 221 と半導体チップ 10 とが短絡したり、連絡配線 221 が断線したりすることも低減されている。

【0146】

このように、裏面 10 b の端部 10 d からスルーホール 305, … までの距離を確保しやすくなっているため、裏面 10 b の端部 10 d にクラックが発生した場合でも、そのクラックがスルーホール 305, … に到達することは低減されている。このため、

50

スルーホール305, . . . の信頼性が低下するは抑制されている。

【0147】

(半導体装置の製造方法)

半導体装置の製造方法を、図12～図14及び図19～図21を参照しながら説明する。

【0148】

準備工程及び素子形成工程は、本発明の前提となる半導体装置1と同様である。

【0149】

スルーホール開口工程(図12参照)では、表面10aに近づくに従って第1軸CA(図17参照)に近づく方向から半導体ウェハの表面10aにレーザーが照射されてスルーホール305, . . . が開口される。ここで、スルーホール305, . . . は、半導体チップ10の表面10aと裏面10bとの幅CW(図20参照)よりも深い深さHD(>CW)まで、表面10aから開口されている。ただし、スルーホール305, . . . は、表面10aから初期裏面10cまでは貫通していない。

10

【0150】

第1絶縁層形成第1工程(図13参照)では、第1絶縁層231のうち第1電極絶縁層231a及び連絡配線絶縁層231cが形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に表面10aに近づく方向(破線の矢印で示す方向)から絶縁物質が吹き付けられて、第1電極絶縁層231a及び連絡配線絶縁層231cが形成される。

20

【0151】

導電層形成第1工程(図14参照)では、導電層220のうち第1電極222及び連絡配線221が形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に表面10aに近づく方向(破線の矢印で示す方向)から導電物質が吹き付けられて、第1電極222及び連絡配線221が形成される。

【0152】

第2絶縁層形成工程では、図19に示すように、第2絶縁層390が形成される。すなわち、CVD法などにより、スルーホール305, . . . の内部を埋めるように、連絡配線絶縁層231c及び連絡配線221の上に、第2絶縁層390が形成される。

【0153】

裏面研磨工程では、半導体ウェハの初期裏面10cが研磨されて、図20に示すように、裏面10bが露出されるとともに、スルーホール305, . . . が表面10aから裏面10bへ貫通するように加工される。ここで、スルーホール305, . . . は、表面10aから裏面10bへ向かうに従って、第1軸CAに近づくように貫通して形成されることになる。そして、第1投影部分PA1の一部(重複部分OR)は、第2開口部305bの一部に重なるようになっている(図9参照)。

30

【0154】

第1絶縁層形成第2工程では、図21に示すように、第1絶縁膜231のうち第2電極絶縁層231b形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に裏面10bに近づく方向(一点鎖線の矢印で示す方向)から絶縁物質が吹き付けられて、第2電極絶縁層231bが形成される。

40

【0155】

導電層形成第2工程では、図21に示すように、導電層220のうち第2電極223が形成される。すなわち、インクジェット方式を用いて、第1軸CAに平行に裏面10bに近づく方向(一点鎖線の矢印で示す方向)から導電物質が吹き付けられて、第2電極223が形成される。

【0156】

保護膜形成工程、ダイシング工程及び樹脂封止工程は、本発明の前提となる半導体装置1と同様である。

【0157】

50

これらのようにして、半導体装置300は製造される。ここで、ダイシング工程において、裏面10bの端部10dでクラックが発生することがある。この場合でも、裏面10bの端部10dからスルーホール305、・・・までの距離を確保しやすくなっているため、そのクラックがスルーホール305、・・・に到達することは低減されている。このため、スルーホール305、・・・の信頼性が低下するは抑制されている。

【0158】

また、導電層形成第1工程において、インクジェット方式を用いて連絡配線221が形成されているので、連絡配線221に“す”が発生することが低減されており、連絡配線221の導通信頼性が確保されている。そして、インクジェット方式では、連絡配線221に“す”が発生しないような条件出しが容易であり、製造コストの点でも本発明の前提となる半導体装置1に対して有利である。

10

【0159】

さらに、第2絶縁層形成工程において、連絡配線絶縁層231c及び連絡配線221の上に第2絶縁層390が形成されているので、樹脂封止工程で連絡配線絶縁層231c及び連絡配線221が保護されることになる。

【0160】

(半導体装置に関する特徴)

(1)

ここでは、スルーホール305、・・・は、半導体チップ10の周辺部の付近において、表面10aから裏面10bへ向かうに従って第1軸CAに近づくように貫通して形成されている。これにより、裏面10bの端部10dからスルーホール305、・・・までの距離を確保しやすくなっているため、裏面10bの端部10dにクラックが発生した場合でも、そのクラックがスルーホール305、・・・に到達することは低減されている。

20

【0161】

このように、クラックがスルーホール305、・・・に到達することが低減されているので、スルーホール305、・・・の信頼性が低下することは抑制されている。

【0162】

(2)

ここでは、第1投影部分PA1の一部は、第2開口部305bの一部に重なる(図20, 図9参照)。これにより、第1軸CAに平行に表面10aから裏面10bに近づく方向にインクジェット方式で絶縁物質や導電物質をスルーホール305、・・・に吹き付けることにより、内壁面305cの一部に第1絶縁層231や導電層220は容易に形成される。

30

【0163】

(3)

ここでは、導電層220は、第1絶縁層231の上において、第2投影部分PA2の一部を通るように表面10aから裏面10bに連続して形成されている。これにより、表面10aと裏面10bとに電極(第1電極222, 第2電極223)が形成されることにより、複数積層された場合でも、電気信号が供給されるようになっている。

【0164】

(4)

ここでは、スルーホール開口工程において、半導体チップ10の周辺部の付近において、表面10aに近づくに従って第1軸CAに近づく方向から表面10aにレーザーが照射されて、スルーホール305、・・・が形成される。これにより、半導体チップ10に与えるダメージを抑えながらスルーホール305、・・・が形成される。

40

【0165】

(5)

ここでは、第1絶縁層形成第1工程及び第1絶縁層形成第2工程において、インクジェット方式を用いて第2投影部分PA2の一部へ絶縁物質が吹き付けられて、第1絶縁層231が形成される。これにより、第1絶縁層231が容易に形成される。

50

【 0 1 6 6 】

また、導電層形成第 1 工程及び導電層形成第 2 工程において、インクジェット方式を用いて第 2 投影部分 P A 2 の一部へ導電物質が吹き付けられて、導電層 2 2 0 が形成される。これにより、導電層 2 2 0 が容易に形成される。

【 0 1 6 7 】

(6)

ここでは、第 2 絶縁層 3 9 0 は、スルーホール 3 0 5 , . . . の内部を埋めるように、第 1 絶縁層 2 3 1 及び導電層 2 2 0 の上に形成されている。これにより、表面 1 0 a の上にさらに樹脂などが封止される際（樹脂封止工程）に、第 1 絶縁層 2 3 1 及び導電層 2 2 0 は保護される。

10

【産業上の利用可能性】

【 0 1 6 8 】

本発明に係る半導体装置及び半導体装置の製造方法は、貫通孔の信頼性が低下することを抑制できるという効果を有し、半導体装置及び半導体装置の製造方法等として有用である。

【図面の簡単な説明】

【 0 1 6 9 】

【図 1】本発明の前提となる半導体装置の断面図。

【図 2】図 1 の A 部分の拡大断面図。

【図 3】本発明の第 1 実施形態に係る半導体装置の断面図。

20

【図 4】図 3 の B 部分の拡大断面図。

【図 5】半導体装置の製造方法を示す断面図。

【図 6】半導体装置の製造方法を示す断面図。

【図 7】半導体装置の製造方法を示す断面図。

【図 8】半導体装置の製造方法を示す断面図。

【図 9】スルーホールの傾斜を示す上面図。

【図 10】本発明の第 2 実施形態に係る半導体装置の断面図。

【図 11】図 10 の C 部分の拡大断面図。

【図 12】半導体装置の製造方法を示す断面図。

【図 13】半導体装置の製造方法を示す断面図。

30

【図 14】半導体装置の製造方法を示す断面図。

【図 15】半導体装置の製造方法を示す断面図。

【図 16】半導体装置の製造方法を示す断面図。

【図 17】本発明の第 3 実施形態に係る半導体装置の断面図。

【図 18】図 17 の D 部分の拡大断面図。

【図 19】半導体装置の製造方法を示す断面図。

【図 20】半導体装置の製造方法を示す断面図。

【図 21】半導体装置の製造方法を示す断面図。

【符号の説明】

【 0 1 7 0 】

40

1 , 1 0 0 , 2 0 0 , 3 0 0 半導体装置

5 等 , 1 0 5 等 , 3 0 5 等 スルーホール

5 a , 1 0 5 a , 3 0 5 a 第 1 開口部

5 b , 1 0 5 b , 3 0 5 b 第 2 開口部

5 c , 1 0 5 c , 3 0 5 c 内壁面

1 0 半導体チップ

1 0 a 表面

1 0 b 裏面

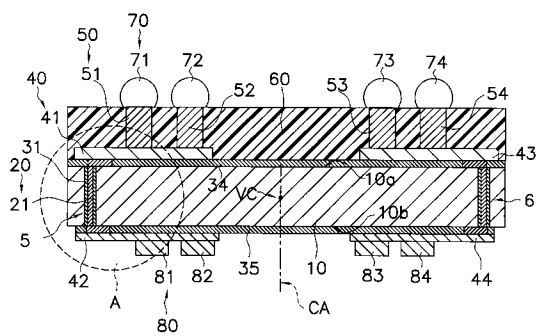
2 0 , 1 2 0 , 2 2 0 導電層

3 1 , 1 3 1 , 2 3 1 第 1 絶縁層

50

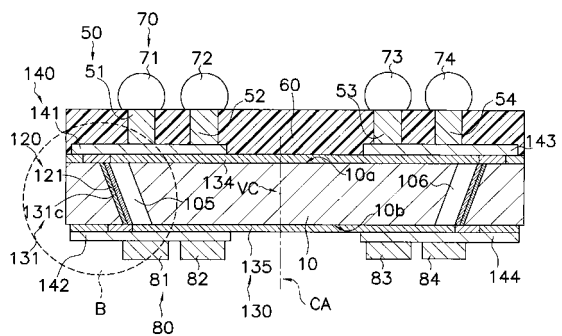
3 9 0 第 2 絶縁層

【 図 1 】



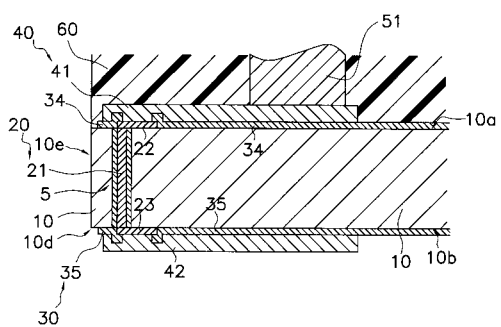
1

【 図 3 】

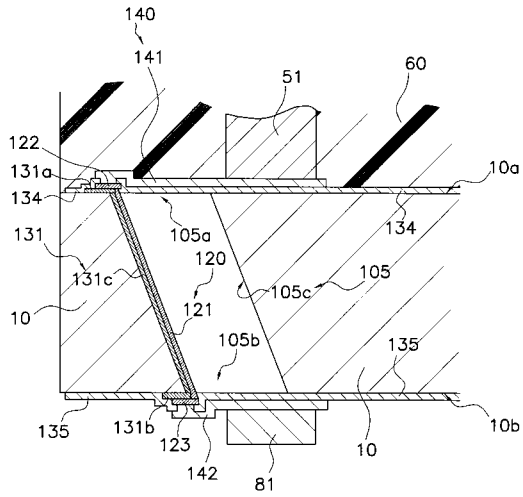


100

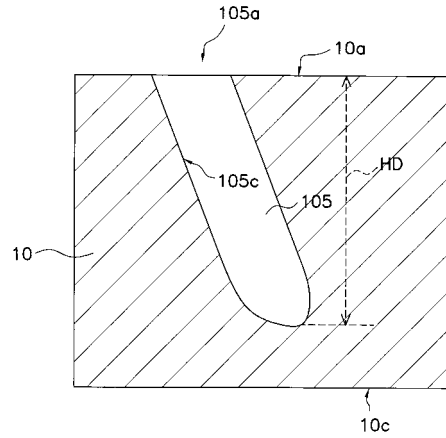
【 図 2 】



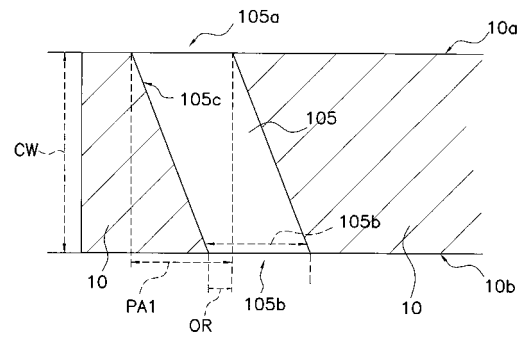
【 図 4 】



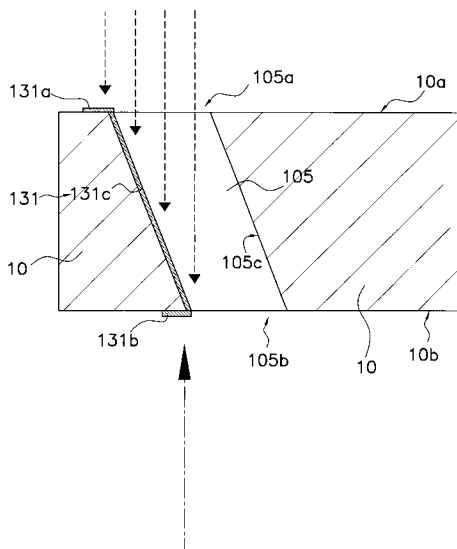
【 図 5 】



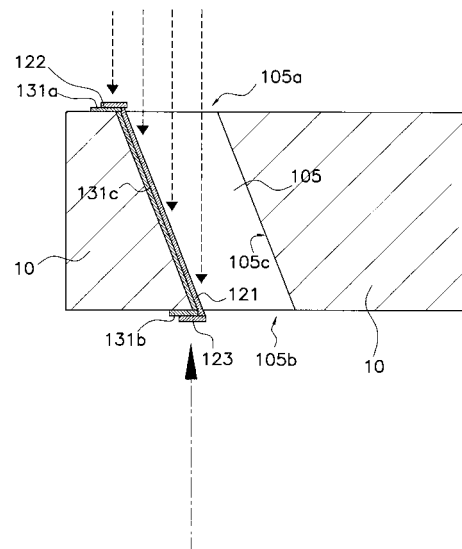
【 図 6 】



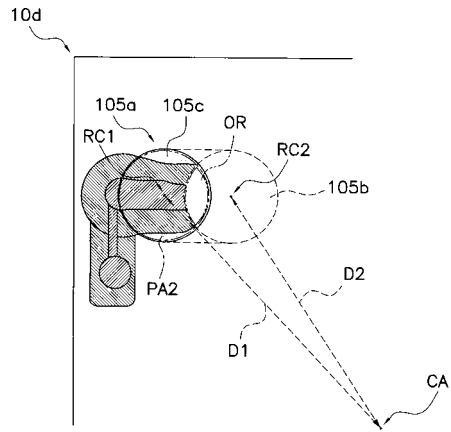
【 図 7 】



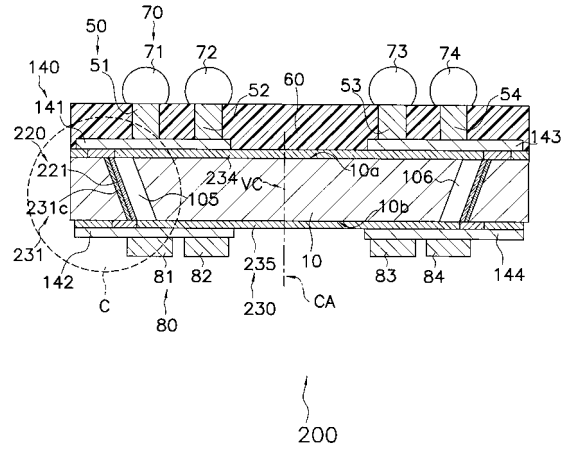
【 図 8 】



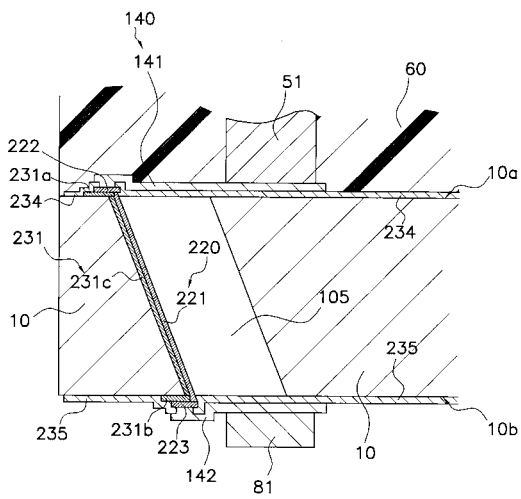
【図 9】



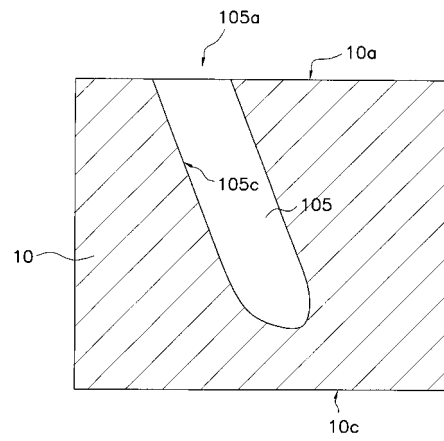
【図 10】



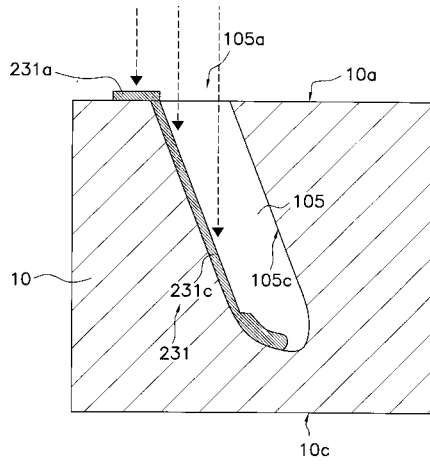
【図 11】



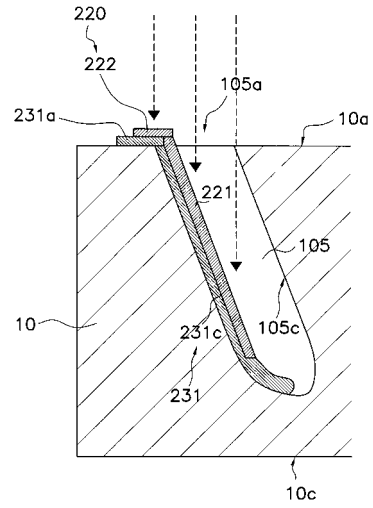
【図 12】



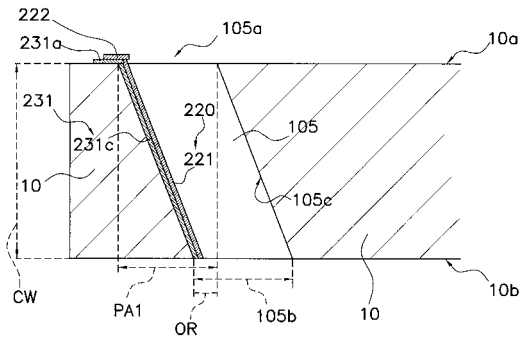
【図13】



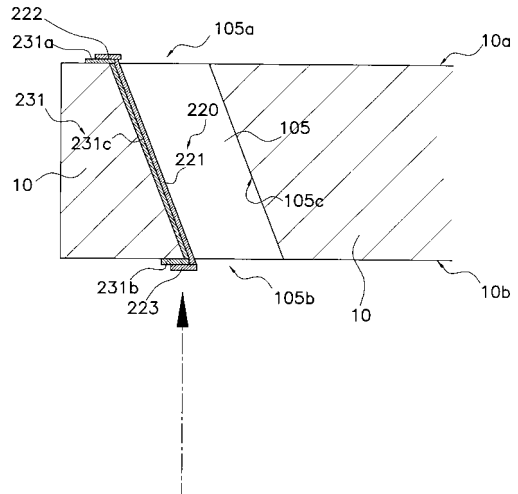
【図14】



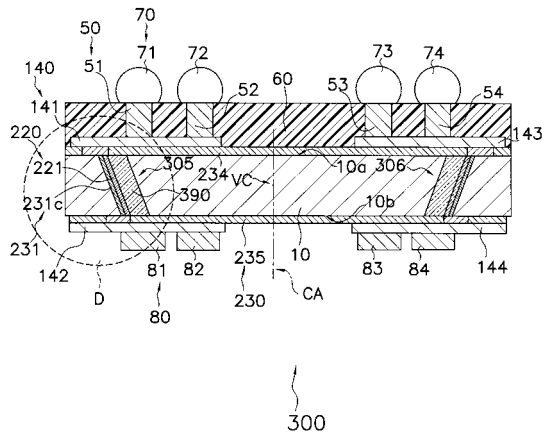
【図15】



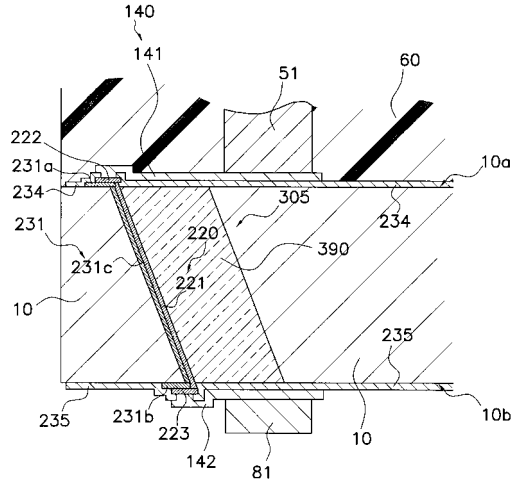
【図16】



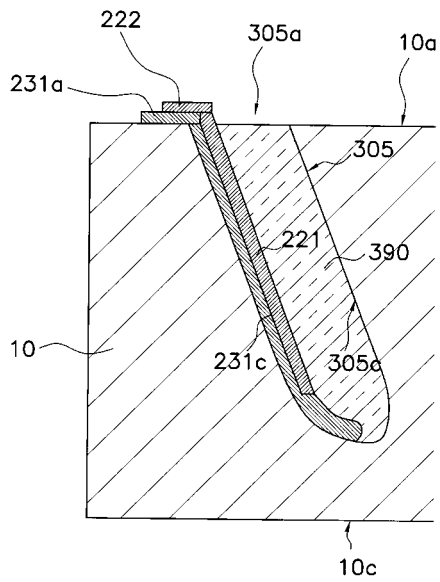
【図17】



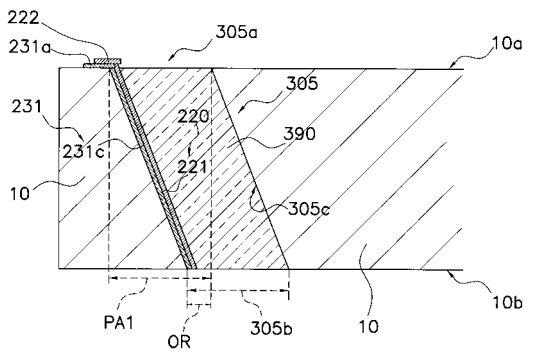
【図18】



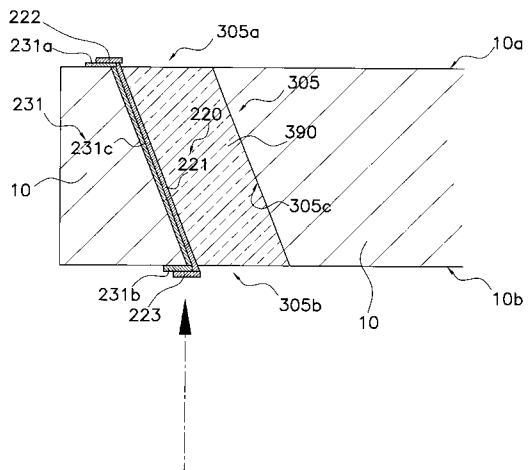
【図19】



【図20】



【 図 2 1 】



フロントページの続き

審査官 村岡 一磨

- (56)参考文献 特開2003-347502(JP,A)
特開2002-050735(JP,A)
特開平11-026464(JP,A)
特開2003-318178(JP,A)
特開2004-319821(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/3205
H01L 23/52