

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-209449

(P2012-209449A)

(43) 公開日 平成24年10月25日(2012.10.25)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 25/065 (2006.01)	H O 1 L 25/08	5 F O 6 1
H O 1 L 25/07 (2006.01)	H O 1 L 21/56	T
H O 1 L 25/18 (2006.01)	H O 1 L 21/56	E
H O 1 L 21/56 (2006.01)		

審査請求 未請求 請求項の数 13 O L (全 27 頁)

(21) 出願番号	特願2011-74494 (P2011-74494)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成23年3月30日 (2011.3.30)	(74) 代理人	100106909 弁理士 棚井 澄雄
		(74) 代理人	100108578 弁理士 高橋 詔男
		(74) 代理人	100138759 弁理士 大房 直樹
		(74) 代理人	100140774 弁理士 大浪 一徳
		(72) 発明者	渡部 光久 東京都中央区八重洲二丁目2番1号 エル ピーダメモリ株式会社内
		Fターム(参考)	5F061 AA01 BA03 CA21

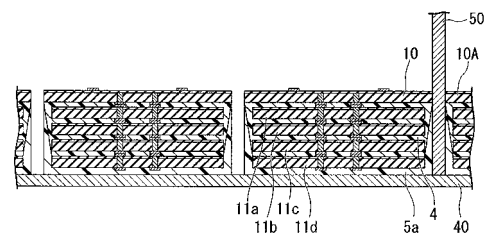
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】半導体チップへの熱の影響を低減できる半導体装置の製造方法を提供する。

【解決手段】半導体チップ10となる部分が複数並んで形成された半導体基板10Aの面上に、複数の半導体チップ11a~11dを半導体チップ10となる部分毎に積層する工程と、半導体基板10A及び複数の半導体チップ11a~11cの各隙間に第1の封止体4を充填しながら、複数の半導体チップ11a~11cを第1の封止体4で封止する工程と、半導体基板10Aを半導体チップ10となる部分毎に切断することによって個々のチップ積層体3Aに分割する工程とを含む。

【選択図】 図9



【特許請求の範囲】**【請求項 1】**

半導体チップとなる部分が複数並んで形成された半導体基板の面上に、複数の半導体チップを前記半導体チップとなる部分毎に積層する工程と、

前記半導体基板及び前記複数の半導体チップの各隙間に第 1 の封止体を充填しながら、前記複数の半導体チップを第 1 の封止体で封止する工程と、

前半導体基板を前記半導体チップとなる部分毎に個々のチップ積層体に分割する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項 2】

基材の一面から深さ方向の中途部に亘って埋め込まれた貫通電極と、前記基材の一面に位置して前記貫通電極と接続された第 1 の接続端子とが、前記半導体チップとなる部分毎に設けられた半導体基板を用意する工程と、

前記半導体基板の一面に接着層を介してサポート基板を貼着する工程と、

前記半導体基板の他面を前記貫通電極が露出するまで研削する工程と、

前記半導体基板の他面に前記貫通電極と接続された第 2 の接続端子を形成する工程とを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記半導体基板の前記半導体チップとなる部分毎に、基材を貫通する貫通電極と、前記基材の一面に前記貫通電極と接続された第 1 の接続端子と、前記基材の他面に前記貫通電極と接続された第 2 の接続端子とを有する半導体チップを、それぞれの一面と他面とを対向させながら、それぞれの間にある前記第 1 の接続端子と前記第 2 の接続端子とを接合して積層することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記第 1 の封止体で封止されたチップ積層体の全体を覆うように前記半導体基板の他面側を第 2 の封止体で封止する工程を含むことを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】

配線基板となる部分が複数並んで形成された母配線基板の一面に、前記第 1 及び第 2 の封止体で封止されたチップ積層体を前記配線基板となる部分毎に実装する工程と、

前記第 1 及び第 2 の封止体で封止されたチップ積層体の全体を覆うように前記母配線基板の一面側を第 3 の封止体で封止する工程と、

前記母配線基板を前記配線基板となる部分毎に切断することによって個々の半導体装置に分割する工程とを含むことを特徴とする請求項 4 に記載の半導体装置の製造方法。

【請求項 6】

基材の他面から深さ方向の中途部に亘って埋め込まれた貫通電極と、前記基材の他面に位置して前記貫通電極と接続された第 2 の接続端子とが、前記半導体チップとなる部分毎に設けられた半導体基板を用意する工程と、

前記半導体基板の前記半導体チップとなる部分毎に、基材を貫通する貫通電極と、前記基材の一面に前記貫通電極と接続された第 1 の接続端子と、前記基材の他面に前記貫通電極と接続された第 2 の接続端子とを有する半導体チップを、それぞれの一面と他面とを対向させながら、それぞれの間にある前記第 1 の接続端子と前記第 2 の接続端子とを接合して積層する工程と、

前記半導体基板の前記半導体チップとなる部分の分割線に沿って、前記基材の他面から深さ方向の中途部に亘って切り欠かれた溝部を形成する工程と、

前記半導体基板の他面側に接着層を介してサポート基板を貼着する工程と、

前記半導体基板の一面を前記貫通電極が露出するまで研削する工程と、

前記半導体基板の一面に前記貫通電極と接続された第 1 の接続端子を形成する工程とを含む、

前記研削時に前記溝部の間で前半導体基板が前記半導体チップとなる部分毎に分割されることを特徴とする請求項 1 に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 7】

配線基板となる部分が複数並んで形成された母配線基板の一面に、前記第 1 の封止体で封止されたチップ積層体を前記配線基板となる部分毎に実装する工程と、

前記第 1 の封止体で封止されたチップ積層体の全体を覆うように前記母配線基板の一面側を第 2 の封止体で封止する工程と、

前記母配線基板を前記配線基板となる部分毎に切断することによって個々の半導体装置に分割する工程とを含むことを特徴とする請求項 6 に記載の半導体装置の製造方法。

【請求項 8】

前記チップ積層体を前記母配線基板に実装する工程は、前記配線基板となる部分に第 3 の接続端子が設けられた母配線基板を用意し、この母配線基板の前記配線基板となる部分毎に、前記チップ積層体の最下層に位置する半導体チップを下方に向けた状態で、この半導体チップの一面と前記配線基板となる部分とを対向させながら、その間にある前記第 3 の接続端子と前記第 1 の接続端子とを接合することにより行うことを特徴とする請求項 5 又は 7 に記載の半導体装置の製造方法。

10

【請求項 9】

基材の他面に位置して第 2 の接続端子が、前記半導体チップとなる部分毎に設けられた半導体基板を用意する工程と、

前記半導体基板の前記半導体チップとなる部分毎に、基材を貫通する貫通電極と、前記基材の一面に前記貫通電極と接続された第 1 の接続端子と、前記基材の他面に前記貫通電極と接続された第 2 の接続端子とを有する半導体チップを、それぞれの一面と他面とを対向させながら、それぞれの間にある前記第 1 の接続端子と前記第 2 の接続端子とを接合して積層する工程とを含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

20

【請求項 10】

配線基板となる部分が複数並んで形成された母配線基板の一面に、前記第 1 の封止体で封止されたチップ積層体を前記配線基板となる部分毎に実装する工程と、

前記第 1 の封止体で封止されたチップ積層体の全体を覆うように前記母配線基板の一面側を第 2 の封止体で封止する工程と、

前記母配線基板を前記配線基板となる部分毎に切断することによって個々の半導体装置に分割する工程とを含むことを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

前記チップ積層体を前記母配線基板に実装する工程は、前記配線基板となる部分に第 3 の接続端子が設けられた母配線基板を用意し、この母配線基板の前記配線基板となる部分毎に、前記チップ積層体の最上層に位置する半導体チップを下方に向けた状態で、この半導体チップの他面と前記配線基板となる部分とを対向させながら、その間にある前記第 2 の接続端子と前記第 3 の接続端子とを接合することにより行うことを特徴とする請求項 10 に記載の半導体装置の製造方法。

30

【請求項 12】

前記チップ積層体を前記配線基板となる部分毎に実装する際に、前記チップ積層体と前記配線基板となる部分との間に接着部材を設け、この接着部材を介して前記チップ積層体を前記配線基板となる部分に接着固定することを特徴とする請求項 8 又は 11 に記載の半導体装置の製造方法。

40

【請求項 13】

前記母配線基板の他面側に前記配線基板となる部分毎に外部接続端子を配置する工程を含むことを特徴とする請求項 8 又は 11 に記載の半導体装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体装置の製造方法に関する。

【背景技術】**【0002】**

50

近年、半導体チップの集積度が年々向上し、それに伴ってチップサイズの大型化や、配線の微細化及び多層化などが進んでいる。一方、高密度実装化のためには、パッケージサイズの小型化及び薄型化が必要となっている。

【 0 0 0 3 】

このような要求に対して、M C P (Multi Chip Package) と呼ばれる 1 つの配線基板の上に複数の半導体チップを高密度実装する技術が開発されている。その中でも、T S V (Through Silicon Via) と呼ばれる貫通電極を有する半導体チップを積層したチップ積層体を配線基板の一面に実装した C o C (Chip on Chip) 型の半導体パッケージ (半導体装置) が注目されている。

【 0 0 0 4 】

C o C 型の半導体パッケージの製造方法としては、配線基板上にチップ積層体を構成する複数の半導体チップを順次積載し、積載した半導体チップの各隙間にアンダーフィル材 (第 1 の封止体) を充填した後、このアンダーフィル材を熱硬化させることで、チップ積層体を封止することが行われている。さらに、このアンダーフィル材を含むチップ積層体の全体を覆うように配線基板の一面をモールド樹脂 (第 2 の封止体) で封止することが行われている (特許文献 1 を参照。)。

【 0 0 0 5 】

一方、ベースウエハに複数の半導体チップを搭載し、ベース基板を切断することで、複数の半導体チップを得る技術が提案されている (特許文献 2 を参照。)。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 0 - 2 5 1 3 4 7 号 公 報

【 特許文献 2 】 特開 2 0 0 6 - 1 9 4 2 9 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

ところで、上述したチップ積層体を作製する工程において、吸着ステージ上に半導体チップを安定的に吸着保持できず、この半導体チップ上にボンディングツールを用いて半導体チップをフリップ実装する際に、超音波を印加することが困難となることがあった。この場合、高温 (例えば 3 0 0 程度) による熱圧着が必要となるため、半導体チップの信頼性が熱の影響により低下する懸念がある。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明に係る半導体装置の製造方法は、半導体チップとなる部分が複数並んで形成された半導体基板の面上に、複数の半導体チップを半導体チップとなる部分毎に積層する工程と、半導体基板及び複数の半導体チップの各隙間に第 1 の封止体を充填しながら、複数の半導体チップを第 1 の封止体で封止する工程と、半導体基板を半導体チップとなる部分毎に個々のチップ積層体に分割する工程とを含むことを特徴とする。

【 発明の効果 】

【 0 0 0 9 】

以上のように、本発明では、半導体基板の状態ですべての吸着ステージ上に安定的に吸着保持できるため、この半導体基板上にボンディングツールを用いて複数の半導体チップを積層する際に、従来のような高温による熱圧着が不要となり、それよりも低温で超音波を印加した熱圧着が可能となる。

【 0 0 1 0 】

したがって、本発明によれば、半導体チップへの熱の影響を低減できるため、信頼性の高い半導体装置を製造することが可能である。また、本発明によれば、個々のチップ積層体に分割されるまでの間、この半導体基板のまま取り扱うことができるため、組立工程の効率化を図ることが可能である。

10

20

30

40

50

【 0 0 1 1 】

【図 3 3】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

50

。

【図 3 4】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

。

【図 3 5】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

。

【図 3 6】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

。

【図 3 7】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

。

【図 3 8】図 2 9 に示す半導体パッケージの製造工程を順に説明するための断面図である

10

。

【発明を実施するための形態】

【0012】

以下、本発明を適用した半導体装置の製造方法について、図面を参照して詳細に説明する。

なお、以下の説明で用いる図面は、特徴をわかりやすくするために、便宜上特徴となる部分を拡大して示している場合があり、各構成要素の寸法比率などが実際と同じであるとは限らない。また、以下の説明において例示される材料、寸法等は一例であって、本発明はそれらに必ずしも限定されるものではなく、その要旨を変更しない範囲で適宜変更して実施することが可能である。

20

【0013】

[第1の実施形態]

(半導体装置)

先ず、第1の実施形態として図1に示すC o C型の半導体パッケージ1 Aについて説明する。

この半導体パッケージ1 Aは、図1に示すように、配線基板2と、この配線基板2の一面(上面)に実装されたチップ積層体3 Aと、このチップ積層体3 Aを封止する第1の封止体4と、この第1の封止体4を覆った状態で配線基板2の一面を封止する第2の封止体5 a及び第3の封止体5 bと、配線基板2の他面(下面)に配置された複数のはんだボール(外部接続端子)6とを備えることによって、B G A (Ball Grid Array)と呼ばれるパッケージ構造を有している。

30

【0014】

配線基板2は、平面視で矩形状を為すプリント配線板からなり、このプリント配線板は、例えばガラスエポキシ樹脂等からなる絶縁基材の面上にC u等の導電材料からなる導体パターン等を形成し、その表面をソルダーレジスト等の絶縁膜で被覆したものからなる。なお、本例では、厚み0.2 mm程度の配線基板2を用いている。

【0015】

この配線基板2の上面中央部には、チップ積層体3 Aが実装される実装領域2 aが設けられている。また、配線基板2の実装領域2 aには、複数のパッド電極(第3の接続端子)7が並んで設けられている。一方、配線基板2の他面(下面)には、複数の接続ランド8が並んで設けられている。そして、上記はんだボール6は、これら接続ランド8の上に配置されている。その他にも、配線基板2には、パッド電極7と接続ランド8との間を電氣的に接続するためのビア(貫通電極)や配線パターンなどの引回し配線部9(図1中において模式的に示す。)が設けられている。また、配線基板2の表面は、上述したパッド電極7や接続ランド8が形成された部分を除いて、絶縁膜(図示せず。)で被覆されている。

40

【0016】

チップ積層体3 Aは、配線基板2側から順に、I Fチップ(第1の半導体チップ)1 0と、複数(本例では4つ)のメモリーチップ(第2の半導体チップ)1 1 a ~ 1 1 dとが積層された構造を有している。

50

【 0 0 1 7 】

I Fチップ10は、各メモリーチップ11a～11dと配線基板2との間のインターフェースを取るためのI F (InterFace)回路などが形成されたものであり、平面視で矩形状を為すと共に、上記配線基板2よりも小さい形状を有している。また、I Fチップ10は、一面側に複数の第1のバンク電極（第1の接続端子）12aと、他面側に複数の第2のバンク電極（第2の接続端子）12bと、これら第1のバンク電極12aと第2のバンク電極12bとの間を接続する複数の貫通電極（TSV）13とを有している。さらに、I Fチップ10の第1のバンク電極12aは、配線基板2のパッド電極7との間隔に合わせて、第2のバンク電極12b及び貫通電極13よりも広い間隔（200μm以上）を有している。このため、I Fチップ10では、第1のバンク電極12aと貫通電極13との間に、再配線のための配線パターン（図示せず。）を設けて、配線基板2のパッド電極7との間隔調整を行っている。なお、本例では、厚み50μm程度のI Fチップ10を用いている。

【 0 0 1 8 】

メモリーチップ11a～11dは、D R A M (Dynamic Random Access Memory) 回路などが形成されたものであり、平面視で矩形状を為すと共に、I Fチップ10よりも小さい形状を有している。また、各メモリーチップ11a～11dは、それぞれ一面側に複数の第1のバンク電極（第1の接続端子）12aと、他面側に複数の第2のバンク電極（第2の接続端子）12bと、これら第1のバンク電極12aと第2のバンク電極12bとの間を接続する複数の貫通電極（TSV）13とを有している。なお、本例では、厚み50μm程度のメモリーチップ11a～11dを用いている。

【 0 0 1 9 】

そして、これらI Fチップ10及び複数のメモリーチップ11a～11dは、それぞれの一面と他面とを対向させながら、それぞれの間にある第1のバンク電極12aと第2のバンク電極12bとを接合して積層されることによって、チップ積層体3Aを構成している。

【 0 0 2 0 】

また、チップ積層体3Aは、I Fチップ10を下方に向けた状態で、このI Fチップ10の一面と配線基板2の一面（実装領域2a）とを対向させながら、その間にある第1のバンク電極12aとパッド電極7とを接合することによって、配線基板2の一面に実装されている。さらに、このチップ積層体3Aは、配線基板2の一面とI Fチップ10の一面との間に充填された絶縁性の接着部材14を介して配線基板2の実装領域2aに接着固定されている。なお、チップ積層体3Aは、配線基板2のパッド電極7上にワイヤーバンプ（接合部材）を設けて、このワイヤーバンプを介して第1のバンク電極12aとパッド電極7とを接合することによって、配線基板2の一面に実装することも可能である。

【 0 0 2 1 】

第1の封止体4は、チップ積層体3Aを構成するI Fチップ10及び複数のメモリーチップ11a～11dの各隙間に充填されたアンダーフィル材によって、チップ積層体3Aを封止している。

【 0 0 2 2 】

第2の封止体5aは、第1の封止体4で封止された複数のメモリーチップ11a～11dの全体を覆うモールド樹脂によって、チップ積層体3Aの他面側を全面的に封止している。

【 0 0 2 3 】

第3の封止体5bは、第1及び第2の封止体4，5aで封止されたチップ積層体3Aの全体を覆うモールド樹脂によって、配線基板2の一面側を全面的に封止している。

【 0 0 2 4 】

（半導体装置の製造方法）

次に、本発明を適用した半導体装置の製造方法として、上記図1に示す半導体パッケージ1Aの製造工程について説明する。

10

20

30

40

50

上記半導体パッケージ 1 A を製造する際は、先ず、上述した I F チップ 1 0 の上に複数のメモリーチップ 1 1 a ~ 1 1 d が積層されたチップ積層体 3 A を作製する。

【 0 0 2 5 】

具体的には、先ず、図 2 に示すように、上記 I F チップ 1 0 となる部分が複数並んで設けられた半導体基板 1 0 A を用意する。この半導体基板 1 0 A は、上記 I F チップ 1 0 よりも大きい厚みを有するシリコン基材 1 0 a からなり、上記 I F チップ 1 0 となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン（分割線）L に沿って切断することで、上記 I F チップ 1 0 となる部分を個々の I F チップ 1 0 として切り出すことが可能となっている。また、半導体基板 1 0 A の上記 I F チップ 1 0 となる部分には、それぞれシリコン基材 1 0 a の一面から深さ方向の中途部に亘って C u 等の導体が埋め込まれた貫通電極 1 3 と、シリコン基材 1 0 a の一面に位置して貫通電極 1 3 と接続された第 1 のパンプ電極 1 2 a とが設けられている。

10

【 0 0 2 6 】

次に、図 3 に示すように、この半導体基板 1 0 A の一面、すなわち第 1 のパンプ電極 1 2 a が形成された側の面に、接着層 3 0 を介してサポート基板 3 1 を貼着する。接着層 3 0 には、例えば紫外線（U V）硬化型のアクリル系接着剤を用いることができ、この接着層 3 0 は、シリコン基材 1 0 a の一面に所定の厚み（例えば 2 0 μ m 程度）で形成された上記第 1 のパンプ電極 1 2 a を覆うのに十分な厚み（例えば 5 0 μ m 程度）を有している。サポート基板 3 1 には、半導体基板 1 0 A を支持するのに十分な剛性を有するガラス等の透明基板を用いることができる。

20

【 0 0 2 7 】

次に、図 4 に示すように、半導体基板 1 0 A の他面を貫通電極 1 3 が露出するまで研削（バックグラインド）する。本例では、半導体基板 1 0 A が 5 0 μ m 程度の厚みとなるまで研削する。その後、この薄型化された半導体基板 1 0 A の他面に上記貫通電極 1 3 と配線パターンを介して接続される第 2 のパンプ電極 1 2 b を形成する。

【 0 0 2 8 】

次に、図 5 に示すように、この半導体基板 1 0 A の面上に、上記複数のメモリーチップ 1 1 a ~ 1 1 d を上記 I F チップ 1 0 となる部分毎に積層搭載（フリップ実装）する。

【 0 0 2 9 】

具体的には、吸着ステージ（図示せず。）上に、サポート基板 3 1 側を下方に向けた状態で、半導体基板 1 0 A を載置する。これにより、半導体基板 1 0 A は、吸着ステージに設けられた複数の吸引孔により吸引されながら、この吸着ステージ上に安定的に保持される。

30

【 0 0 3 0 】

この状態から、半導体基板 1 0 A 上の上記 I F チップ 1 0 となる部分に、ボンディングツール（図示せず。）を用いて、1 層目のメモリーチップ 1 1 a を積層搭載（フリップチップ実装）する。

【 0 0 3 1 】

このフリップチップ実装では、ボンディングツールに設けられた吸引孔により 1 層目のメモリーチップ 1 1 a を吸引保持しながら、このボンディングツールがメモリーチップ 1 1 a を第 1 のパンプ電極 1 2 a が形成された面（一面）を下方に向けた状態で保持する。

40

【 0 0 3 2 】

このボンディングツールは、1 層目のメモリーチップ 1 1 a の一面と、その下にある上記 I F チップ 1 0 となる部分の他面とを対向させながら、その間にある第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との位置を合わせた状態で、1 層目のメモリーチップ 1 1 a を上記 I F チップ 1 0 となる部分に載置する。

【 0 0 3 3 】

そして、この状態でボンディングツールが所定の温度（例えば常温 ~ 1 5 0 程度）で加熱しながら荷重及び超音波を印加することによって、第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b とを超音波熱圧着により接合（フリップチップボンディング）する。

50

【0034】

これにより、第1の bumps 電極 12 a と第2の bumps 電極 12 b との間が電氣的に接続（フリップチップ接続）されて、1層目のメモリーチップ 11 a が上記 IF チップ 10 となる部分にフリップチップ実装される。

【0035】

この状態から更に、上述した1層目のメモリーチップ 11 a をフリップチップ実装する場合と同様の方法を用いて、この1層目のメモリーチップ 11 a 上に2層目のメモリーチップ 11 b と、この2層目のメモリーチップ 11 b 上に3層目のメモリーチップ 11 c と、この3層目のメモリーチップ 11 c 上に4層目のメモリーチップ 11 d とを、順にフリップチップ実装する。そして、このようなボンディングツールを用いた操作を、半導体基板 10 A の上記 IF チップ 10 となる部分毎に繰り返す。

10

【0036】

次に、図6に示すように、半導体基板 10 A 上に積層された複数のメモリーチップ 11 a ~ 11 d の各隙間に、ディスペンサー（図示せず。）を用いて、上記第1の封止体 4 となる液状のアンダーフィル材を充填する。

【0037】

このとき、アンダーフィル材は、毛細管現象により各隙間に浸透しながら充填される。また、各隙間から周囲にはみ出したアンダーフィル材は、上層側から下層側に向かって漸次幅方向に広がった形状となる。

【0038】

20

この状態から、アンダーフィル材を例えば 150 程度で加熱（キュア）することで、このアンダーフィル材を硬化させる。これにより、半導体基板 10 A の上記 IF チップ 10 となる部分に積層された複数のメモリーチップ 11 a ~ 11 d の各隙間が上記第1の封止体 4 により封止される。そして、このようなディスペンサーを用いた操作を、半導体基板 10 A の上記 IF チップ 10 となる部分毎に繰り返す。

【0039】

次に、図7に示すように、上記第1の封止体 4 により封止された複数のメモリーチップ 11 a ~ 11 d を覆うように半導体基板 10 A の他面側を上記第2の封止体 5 a となるモールド樹脂で封止する。具体的には、トランスファモールド装置（図示せず。）を用いる。このトランスファモールド装置は、半導体基板 10 A の他面側を保持する下金型（固定型）と、半導体基板 10 A の他面側に対向してモールド樹脂が充填されるキャビティ空間を形成すると共に、下金型に対して相対的に接離自在に移動される上金型（可動型）とからなる一対の成型金型を備える。

30

【0040】

そして、このトランスファモールド装置の成型金型に、上記半導体基板 10 A をセットした後、成型金型内のキャビティ空間内に加熱溶融されたモールド樹脂を注入する。このモールド樹脂には、例えばエポキシ樹脂等の熱硬化性樹脂が用いられる。

【0041】

そして、この状態で、モールド樹脂を所定の温度（例えば 180 程度）で加熱（キュア）することで、モールド樹脂を硬化させる。さらに、所定の温度でベークすることで、モールド樹脂が完全に硬化される。これにより、半導体基板 10 A の他面側が上記第2の封止体 5 a となるモールド樹脂で完全に封止される。

40

【0042】

本発明では、上述したように、第1の封止体 4 で封止された複数のメモリーチップ 11 a ~ 11 d を半導体基板 10 A 上に実装した後、この半導体基板 10 A 上を上記第2の封止体 5 a となるモールド樹脂で一括的に封止することで、ボイド（気泡）の発生を低減できる。

【0043】

次に、図8に示すように、上記第2の封止体 5 a で封止された半導体基板 10 A の他面側にダイシングテープ 40 を貼着した後、サポート基板 31 側から紫外線を照射し、この

50

サポート基板 31 を透過する紫外線によって接着層 30 の接着力を低下させる。そして、この接着層 30 と共にサポート基板 31 を除去し、半導体基板 10 の一面を露出させる。

【0044】

次に、図 9 に示すように、ダイシングブレード 50 を用いて、半導体基板 10 A を第 2 の封止体 5 a と共にダイシングテープ 40 とは反対側からダイシングライン L に沿って切断し、上記 IF チップ 10 となる部分を個々のチップ積層体 3 A に分割する。そして、このチップ積層体 3 A をダイシングテープ 40 から引き剥がす。

【0045】

これにより、図 10 に示すように、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチップ積層体 3 A を一括して作製することができる。そして、このチップ積層体 3 A は、収納用トレイ（図示せず。）に収容されて、次工程へと送られる。

【0046】

次に、図 11 に示すように、上記配線基板 2 となる部分が複数並んで形成された母配線基板 2 A を用意する。この母配線基板 2 A は、例えばガラスエポキシ基板からなり、上記配線基板 2 となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン（分割線）L に沿って切断することで、上記配線基板 2 となる部分を個々の配線基板 2 として切り出すことが可能となっている。

【0047】

そして、この母配線基板 2 A の一面に、ディスペンサー（図示せず。）を用いて、NC P (Non Conductive Paste) と呼ばれる液状の接着部材 14 を上記配線基板 2 となる部分の実装領域 2 a 毎に塗布する。

【0048】

次に、図 12 に示すように、ボンディングツール（図示せず。）を用いて、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチップ積層体 3 A を母配線基板 2 A の上記配線基板 2 となる部分の実装領域 2 a にフリップ実装する。

【0049】

このフリップチップ実装では、ボンディングツールの吸引孔によりチップ積層体 3 A を吸引保持しながら、このボンディングツールが IF チップ 10 を下方に向けた状態でチップ積層体 3 A を保持する。

【0050】

このボンディングツールは、IF チップ 10 の一面と上記配線基板 2 となる部分の実装領域 2 a とを対向させながら、その間にある第 1 のパンプ電極 12 a とパッド電極 7 との位置を合わせた状態で、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチップ積層体 3 A を上記配線基板 2 となる部分の実装領域 2 a 上に載置する。そして、この状態でボンディングツールが加熱しながら荷重を加えることによって、第 1 のパンプ電極 12 a とパッド電極 7 とを熱圧着により接合（フリップチップボンディング）する。なお、この接合時には、荷重だけでなく、超音波も印加するようにしてもよい。

【0051】

これにより、第 1 のパンプ電極 12 a とパッド電極 7 との間が電氣的に接続（フリップチップ接続）されて、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチップ積層体 3 A が母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a にフリップチップ実装される。

【0052】

また、上記接着部材 14 は、母配線基板 2 A の一面と IF チップ 10 の一面との間からはみ出した状態で硬化される。これにより、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチップ積層体 3 A は、この接着部材 14 を介して母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a に接着固定される。そして、このようなボンディングツールを用いた操作を、母配線基板 2 A の上記配線基板 2 となる部分毎に繰り返す。

【0053】

次に、図 13 に示すように、上記第 1 及び第 2 の封止体 4, 5 a により封止されたチッ

ブ積層体 3 A を覆うように母配線基板 2 A の一面側を上記第 3 の封止体 5 b となるモールド樹脂で封止する。具体的には、トランスファモールド装置（図示せず。）を用いる。このトランスファモールド装置は、母配線基板 2 A の他面側を保持する下金型（固定型）と、母配線基板 2 A の一面側に対向してモールド樹脂が充填されるキャビティ空間を形成すると共に、下金型に対して相対的に接離自在に移動される上金型（可動型）とからなる一対の成型金型を備える。

【 0 0 5 4 】

そして、このトランスファモールド装置の成形金型に、上記第 1 及び第 2 の封止体 4 , 5 a により封止されたチップ積層体 3 A が実装された母配線基板 2 A をセットした後、成形金型内のキャビティ空間内に加熱溶融されたモールド樹脂を注入する。このモールド樹脂には、例えばエポキシ樹脂等の熱硬化性樹脂が用いられる。

10

【 0 0 5 5 】

そして、この状態で、モールド樹脂を所定の温度（例えば 1 8 0 程度）で加熱（キュア）することで、モールド樹脂を硬化させる。さらに、所定の温度でベークすることで、モールド樹脂が完全に硬化される。これにより、母配線基板 2 A の一面側が上記第 3 の封止体 5 b となるモールド樹脂で完全に封止される。

【 0 0 5 6 】

本発明では、上述したように、第 1 及び第 2 の封止体 4 , 5 a で封止されたチップ積層体 3 A を母配線基板 2 A 上に実装した後、この母配線基板 2 A 上を上記第 3 の封止体 5 b となるモールド樹脂で一括的に封止することで、ボイド（気泡）の発生を低減できる。

20

【 0 0 5 7 】

次に、図 1 4 に示すように、母配線基板 2 A の各配線基板 2 となる部分に設けられた上記接続ランド 8 上に、上記はんだボール 6 を配置する。具体的には、マウントツール（図示せず。）を用いて、複数のはんだボール 6 をマウントツールで吸着保持しながら、これら複数のはんだボール 6 にフラックスを転写形成した後、母配線基板 2 A の各配線基板 2 となる部分毎にはんだボール 6 を接続ランド 8 上に載置する。そして、母配線基板 2 A の全ての配線基板 2 となる部分にはんだボール 6 を載置した後、この母配線基板 2 A をリフローする。これにより、母配線基板 2 A の各配線基板 2 となる部分の接続ランド 8 上に、はんだボール 6 が配置される。

【 0 0 5 8 】

30

次に、図 1 5 に示すように、母配線基板 2 A の第 3 の封止体 5 b 側にダイシングテープ 6 0 を貼着した後、ダイシングブレード（図示せず。）を用いて、母配線基板 2 A を第 3 の封止体 5 b と共にダイシングテープ 6 0 とは反対側からダイシングライン L に沿って切断し、個々の半導体パッケージ 1 A 毎に分割する。そして、これら半導体パッケージ 1 A をダイシングテープ 6 0 から引き剥がすことで、上記図 1 に示す半導体パッケージ 1 A を一括して製造することができる。

【 0 0 5 9 】

以上のように、本発明では、上述した吸着ステージ上に半導体基板 1 0 A を安定的に吸引保持できるため、この半導体基板 1 0 A 上にボンディングツールを用いて複数のメモリーチップ 1 1 a ~ 1 1 d をフリップ実装する際に、従来のような高温（例えば 3 0 0 程度）による熱圧着が不要となり、例えば常温 ~ 1 5 0 程度での超音波熱圧着による接合が可能となる。

40

【 0 0 6 0 】

したがって、本発明によれば、これらメモリーチップ 1 1 a ~ 1 1 d への熱の影響を低減できるため、信頼性の高い半導体パッケージ 1 A を製造することが可能である。また、本発明によれば、半導体基板 1 0 A を切断して個々のチップ積層体 3 A に分割するまで、この半導体基板 1 0 A のまま取り扱うことができるため、組立工程の効率化を図ることが可能である。

【 0 0 6 1 】

[第 2 の実施形態]

50

(半導体装置)

次に、第2の実施形態として図16に示すC o C型の半導体パッケージ1Bについて説明する。なお、以下の説明では、上記半導体パッケージ1Aと同等の部位については、図面において同じ符号を付すものとする。

【0062】

この半導体パッケージ1Bは、図16に示すように、配線基板2と、この配線基板2の一面(上面)に実装されたチップ積層体3Bと、このチップ積層体3Bを封止する第1の封止体4と、この第1の封止体4を覆った状態で配線基板2の一面を封止する第2の封止体5と、配線基板2の他面(下面)に配置された複数のはんだボール(外部接続端子)6とを備えることによって、BGA(Ball Grid Array)と呼ばれるパッケージ構造を有している。

10

【0063】

配線基板2は、平面視で矩形状を為すプリント配線板からなり、このプリント配線板は、例えばガラスエポキシ樹脂等からなる絶縁基材の面上にCu等の導電材料からなる導体パターン等を形成し、その表面をソルダーレジスト等の絶縁膜で被覆したものからなる。なお、本例では、厚み0.2mm程度の配線基板2を用いている。

【0064】

この配線基板2の上面中央部には、チップ積層体3Bが実装される実装領域2aが設けられている。また、配線基板2の実装領域2aには、複数のパッド電極(第3の接続端子)7が並んで設けられている。一方、配線基板2の他面(下面)には、複数の接続ランド8が並んで設けられている。そして、上記はんだボール6は、これら接続ランド8の上に配置されている。その他にも、配線基板2には、パッド電極7と接続ランド8との間を電氣的に接続するためのビア(貫通電極)や配線パターンなどの引回し配線部9(図1中において模式的に示す。)が設けられている。また、配線基板2の表面は、上述したパッド電極7や接続ランド8が形成された部分を除いて、絶縁膜(図示せず。)で被覆されている。

20

【0065】

チップ積層体3Bは、配線基板2側から順に、IFチップ(第1の半導体チップ)10と、複数(本例では4つ)のメモリーチップ(第2の半導体チップ)11a~11dとが積層された構造を有している。

30

【0066】

IFチップ10は、各メモリーチップ11a~11dと配線基板2との間のインターフェースを取るためのIF(InterFace)回路などが形成されたものであり、平面視で矩形状を為すと共に、上記配線基板2よりも小さい形状を有している。また、IFチップ10は、一面側に複数の第1のバンプ電極(第1の接続端子)12aと、他面側に複数の第2のバンプ電極(第2の接続端子)12bと、これら第1のバンプ電極12aと第2のバンプ電極12bとの間を接続する複数の貫通電極(TSV)13とを有している。さらに、IFチップ10の第1のバンプ電極12a及び貫通電極13は、配線基板2のパッド電極7との間隔に合わせて、第2のバンプ電極12bよりも広い間隔(200μm以上)を有している。このため、IFチップ10では、第2のバンプ電極12bと貫通電極13との間に、再配線のための配線パターン(図示せず。)を設けて、配線基板2のパッド電極7との間隔調整を行っている。なお、本例では、厚み50μm程度のIFチップ10を用いている。

40

【0067】

メモリーチップ11a~11dは、DRAM(Dynamic Random Access Memory)回路などが形成されたものであり、平面視で矩形状を為すと共に、IFチップ10よりも小さい形状を有している。また、各メモリーチップ11a~11dは、それぞれ一面側に複数の第1のバンプ電極(第1の接続端子)12aと、他面側に複数の第2のバンプ電極(第2の接続端子)12bと、これら第1のバンプ電極12aと第2のバンプ電極12bとの間を接続する複数の貫通電極(TSV)13とを有している。なお、本例では、厚み50μ

50

m程度のメモリーチップ11a~11dを用いている。

【0068】

そして、これらIFチップ10及び複数のメモリーチップ11a~11dは、それぞれの一面と他面とを対向させながら、それぞれの間にある第1のバンパ電極12aと第2のバンパ電極12bとを接合して積層されることによって、チップ積層体3Bを構成している。

【0069】

また、チップ積層体3Bは、IFチップ10を下方に向けた状態で、このIFチップ10の一面と配線基板2の一面(実装領域2a)とを対向させながら、その間にある第1のバンパ電極12aとパッド電極7とを接合することによって、配線基板2の一面に実装されている。さらに、このチップ積層体3Bは、配線基板2の一面とIFチップ10の一面との間に充填された絶縁性の接着部材14を介して配線基板2の実装領域2aに接着固定されている。なお、チップ積層体3Bは、配線基板2のパッド電極7上にワイヤーバンパ(接合部材)を設けて、このワイヤーバンパを介して第1のバンパ電極12aとパッド電極7とを接合することによって、配線基板2の一面に実装することも可能である。

【0070】

第1の封止体4は、チップ積層体3Bを構成するIFチップ10及び複数のメモリーチップ11a~11dの各隙間に充填されたアンダーフィル材によって、チップ積層体3Bを封止している。

【0071】

第2の封止体5は、第1の封止体4で封止されたチップ積層体3Bの全体を覆うモールド樹脂によって、配線基板2の一面側を全面的に封止している。

【0072】

(半導体装置の製造方法)

次に、本発明を適用した半導体装置の製造方法として、上記図16に示す半導体パッケージ1Bの製造工程について説明する。

上記半導体パッケージ1Bを製造する際は、先ず、上述したIFチップ10の上に複数のメモリーチップ11a~11dが積層されたチップ積層体3Bを作製する。

【0073】

具体的には、先ず、図17に示すように、上記IFチップ10となる部分が複数並んで設けられた半導体基板10Bを用意する。この半導体基板10Bは、上記IFチップ10よりも大きい厚みを有するシリコン基材10aからなり、上記IFチップ10となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン(分割線)Lに沿って切断することで、上記IFチップ10となる部分を個々のIFチップ10として切り出すことが可能となっている。また、半導体基板10Bの上記IFチップ10となる部分には、シリコン基材10aの他面から深さ方向の中途部に亘ってCu等の導体が埋め込まれた貫通電極13と、シリコン基材10aの他面に位置して貫通電極13と配線パターン(図示せず。)を介して接続された第2のバンパ電極12bとが設けられている。

【0074】

次に、図18に示すように、この半導体基板10Bの面上に、上記複数のメモリーチップ11a~11dを上記IFチップ10となる部分毎に積層搭載(フリップ実装)する。

【0075】

具体的には、吸着ステージ(図示せず。)上に、サポート基板31側を下方に向けた状態で、半導体基板10Bを載置する。これにより、半導体基板10Bは、吸着ステージに設けられた複数の吸引孔により吸引されながら、この吸着ステージ上に安定的に保持される。

【0076】

この状態から、半導体基板10B上の上記IFチップ10となる部分に、ボンディングツール(図示せず。)を用いて、1層目のメモリーチップ11aを積層搭載(フリップチップ実装)する。

10

20

30

40

50

【 0 0 7 7 】

このフリップチップ実装では、ボンディングツールに設けられた吸引孔により 1 層目のメモリーチップ 1 1 a を吸引保持しながら、このボンディングツールがメモリーチップ 1 1 a を第 1 のパンプ電極 1 2 a が形成された面（一面）を下方に向けた状態で保持する。

【 0 0 7 8 】

このボンディングツールは、1 層目のメモリーチップ 1 1 a の一面と、その下にある上記 IF チップ 1 0 となる部分の他面とを対向させながら、その間にある第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との位置を合わせた状態で、1 層目のメモリーチップ 1 1 a を上記 IF チップ 1 0 となる部分に載置する。

【 0 0 7 9 】

そして、この状態でボンディングツールが所定の温度（例えば常温～150 程度）で加熱しながら荷重及び超音波を印加することによって、第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b とを超音波熱圧着により接合（フリップチップボンディング）する。

【 0 0 8 0 】

これにより、第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との間が電氣的に接続（フリップチップ接続）されて、1 層目のメモリーチップ 1 1 a が上記 IF チップ 1 0 となる部分にフリップチップ実装される。

【 0 0 8 1 】

この状態から更に、上述した 1 層目のメモリーチップ 1 1 a をフリップチップ実装する場合と同様の方法を用いて、この 1 層目のメモリーチップ 1 1 a 上に 2 層目のメモリーチップ 1 1 b と、この 2 層目のメモリーチップ 1 1 b 上に 3 層目のメモリーチップ 1 1 c と、この 3 層目のメモリーチップ 1 1 c 上に 4 層目のメモリーチップ 1 1 d とを、順にフリップチップ実装する。そして、このようなボンディングツールを用いた操作を、半導体基板 1 0 B の上記 IF チップ 1 0 となる部分毎に繰り返す。

【 0 0 8 2 】

次に、図 1 9 に示すように、半導体基板 1 0 B 上に積層された複数のメモリーチップ 1 1 a ～ 1 1 d の各隙間に、ディスペンサー（図示せず。）を用いて、上記第 1 の封止体 4 となる液状のアンダーフィル材を充填する。

【 0 0 8 3 】

このとき、アンダーフィル材は、毛細管現象により各隙間に浸透しながら充填される。また、各隙間から周囲にはみ出したアンダーフィル材は、上層側から下層側に向かって漸次幅方向に広がった形状となる。

【 0 0 8 4 】

この状態から、アンダーフィル材を例えば 150 程度で加熱（キュア）することで、このアンダーフィル材を硬化させる。これにより、半導体基板 1 0 B の上記 IF チップ 1 0 となる部分に積層された複数のメモリーチップ 1 1 a ～ 1 1 d の各隙間が上記第 1 の封止体 4 により封止される。そして、このようなディスペンサーを用いた操作を、半導体基板 1 0 B の上記 IF チップ 1 0 となる部分毎に繰り返す。

【 0 0 8 5 】

次に、図 2 0 に示すように、ダイシングブレード（図示せず。）を用いたハーフカットダイシングにより、半導体基板 1 0 B の上記 IF チップ 1 0 となる部分のダイシングライン L に沿って、シリコン基材 1 0 a の他面から深さ方向の中途部に亘って切り欠かれた溝部 1 0 b を形成する。

【 0 0 8 6 】

次に、図 2 1 に示すように、半導体基板 1 0 B の他面側に接着層 3 0 を介してサポート基板 3 1 を貼着する。接着層 3 0 には、例えば紫外線（UV）硬化型のアクリル系接着剤を用いることができ、この接着層 3 0 は、最上層に位置するメモリーチップ 1 1 d の他面に所定の厚み（例えば 20 μm 程度）で形成された上記第 2 のパンプ電極 1 2 b を覆うのに十分な厚み（例えば 50 μm 程度）を有している。サポート基板 3 1 には、半導体基板 1 0 B を支持するのに十分な剛性を有するガラス等の透明基板を用いることができる。

10

20

30

40

50

【 0 0 8 7 】

次に、図 2 2 に示すように、半導体基板 1 0 B の一面を貫通電極 1 3 が露出するまで研削（バックグラインド）する。本例では、半導体基板 1 0 B が 5 0 μ m 程度の厚みとなるまで研削する。その後、この薄型化された半導体基板 1 0 B の他面に上記貫通電極 1 3 と配線パターンを介して接続される第 1 のパンプ電極 1 2 a を形成する。

【 0 0 8 8 】

そして、サポート基板 3 1 側から紫外線を照射し、このサポート基板 3 1 を透過する紫外線によって接着層 3 0 の接着力を低下させた後、この接着層 3 0 と共にサポート基板 3 1 を除去する。これにより、図 2 3 に示すように、上記第 1 の封止体 4 により封止されたチップ積層体 3 B を一括して作製することができる。そして、このチップ積層体 3 B は、
10 収納用トレイ（図示せず。）に収容されて、次工程へと送られる。

【 0 0 8 9 】

次に、図 2 4 に示すように、上記配線基板 2 となる部分が複数並んで形成された母配線基板 2 A を用意する。この母配線基板 2 A は、例えばガラスエポキシ基板からなり、上記配線基板 2 となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン（分割線）L に沿って切断することで、上記配線基板 2 となる部分を個々の配線基板 2 として切り出すことが可能となっている。

【 0 0 9 0 】

そして、この母配線基板 2 A の一面に、ディスペンサー（図示せず。）を用いて、N C P (Non Conductive Paste) と呼ばれる液状の接着部材 1 4 を上記配線基板 2 となる部分の
20 実装領域 2 a 毎に塗布する。

【 0 0 9 1 】

次に、図 2 5 に示すように、ボンディングツール（図示せず。）を用いて、上記第 1 の封止体 4 により封止されたチップ積層体 3 B を母配線基板 2 A の上記配線基板 2 となる部分の実装領域 2 a にフリップ実装する。

【 0 0 9 2 】

このフリップチップ実装では、ボンディングツールの吸引孔によりチップ積層体 3 B を吸引保持しながら、このボンディングツールが I F チップ 1 0 を下方に向けた状態でチップ積層体 3 B を保持する。

【 0 0 9 3 】

このボンディングツールは、I F チップ 1 0 の一面と上記配線基板 2 となる部分の実装領域 2 a とを対向させながら、その間にある第 1 のパンプ電極 1 2 a とパッド電極 7 との位置を合わせた状態で、上記第 1 の封止体 4 により封止されたチップ積層体 3 B を上記配線基板 2 となる部分の実装領域 2 a 上に載置する。そして、この状態でボンディングツールが加熱しながら荷重を加えることによって、第 1 のパンプ電極 1 2 a とパッド電極 7 とを熱圧着により接合（フリップチップボンディング）する。なお、この接合時には、荷重だけでなく、超音波も印加するようにしてもよい。
30

【 0 0 9 4 】

これにより、第 1 のパンプ電極 1 2 a とパッド電極 7 との間が電氣的に接続（フリップチップ接続）されて、上記第 1 の封止体 4 により封止されたチップ積層体 3 B が母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a にフリップチップ実装される。
40

【 0 0 9 5 】

また、上記接着部材 1 4 は、母配線基板 2 A の一面と I F チップ 1 0 の一面との間からはみ出した状態で硬化される。これにより、上記第 1 の封止体 4 により封止されたチップ積層体 3 B は、この接着部材 1 4 を介して母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a に接着固定される。そして、このようなボンディングツールを用いた操作を、母配線基板 2 A の上記配線基板 2 となる部分毎に繰り返す。

【 0 0 9 6 】

次に、図 2 6 に示すように、上記第 1 の封止体 4 により封止されたチップ積層体 3 B を覆うように母配線基板 2 A の一面側を上記第 2 の封止体 5 となるモールド樹脂で封止する
50

。具体的には、トランスファモールド装置（図示せず。）を用いる。このトランスファモールド装置は、母配線基板 2 A の他面側を保持する下金型（固定型）と、母配線基板 2 A の一面側に対向してモールド樹脂が充填されるキャビティ空間を形成すると共に、下金型に対して相対的に接離自在に移動される上金型（可動型）とからなる一対の成型金型を備える。

【 0 0 9 7 】

そして、このトランスファモールド装置の成形金型に、上記第 1 の封止体 4 により封止されたチップ積層体 3 B が実装された母配線基板 2 A をセットした後、成形金型内のキャビティ空間内に加熱溶融されたモールド樹脂を注入する。このモールド樹脂には、例えばエポキシ樹脂等の熱硬化性樹脂が用いられる。

10

【 0 0 9 8 】

そして、この状態で、モールド樹脂を所定の温度（例えば 1 8 0 程度）で加熱（キュア）することで、モールド樹脂を硬化させる。さらに、所定の温度でベークすることで、モールド樹脂が完全に硬化される。これにより、母配線基板 2 A の一面側が上記第 2 の封止体 5 となるモールド樹脂で完全に封止される。

【 0 0 9 9 】

本発明では、上述したように、第 1 の封止体 4 で封止されたチップ積層体 3 B を母配線基板 2 A 上に実装した後、この母配線基板 2 A 上を上記第 2 の封止体 5 となるモールド樹脂で一括的に封止することで、ボイド（気泡）の発生を低減できる。

【 0 1 0 0 】

20

次に、図 2 7 に示すように、母配線基板 2 A の各配線基板 2 となる部分に設けられた上記接続ランド 8 上に、上記はんだボール 6 を配置する。具体的には、マウントツール（図示せず。）を用いて、複数のはんだボール 6 をマウントツールで吸着保持しながら、これら複数のはんだボール 6 にフラックスを転写形成した後、母配線基板 2 A の各配線基板 2 となる部分毎にはんだボール 6 を接続ランド 8 上に載置する。そして、母配線基板 2 A の全ての配線基板 2 となる部分にはんだボール 6 を載置した後、この母配線基板 2 A をリフローする。これにより、母配線基板 2 A の各配線基板 2 となる部分の接続ランド 8 上に、はんだボール 6 が配置される。

【 0 1 0 1 】

次に、図 2 8 に示すように、母配線基板 2 A の第 2 の封止体 5 側にダイシングテープ 6 0 を貼着した後、ダイシングブレード（図示せず。）を用いて、母配線基板 2 A を第 2 の封止体 5 と共にダイシングテープ 6 0 とは反対側からダイシングライン L に沿って切断し、個々の半導体パッケージ 1 B 毎に分割する。そして、これら半導体パッケージ 1 B をダイシングテープ 6 0 から引き剥がすことで、上記図 1 6 に示す半導体パッケージ 1 B を一括して製造することができる。

30

【 0 1 0 2 】

以上のように、本発明では、上述した吸着ステージ上に半導体基板 1 0 B を安定的に吸引保持できるため、この半導体基板 1 0 B 上にボンディングツールを用いて複数のメモリーチップ 1 1 a ~ 1 1 d をフリップ実装する際に、従来のような高温（例えば 3 0 0 程度）による熱圧着が不要となり、例えば常温 ~ 1 5 0 程度での超音波熱圧着による接合が可能となる。

40

【 0 1 0 3 】

したがって、本発明によれば、これらメモリーチップ 1 1 a ~ 1 1 d への熱の影響を低減できるため、信頼性の高い半導体パッケージ 1 B を製造することが可能である。また、本発明によれば、半導体基板 1 0 B を切断して個々のチップ積層体 3 B に分割するまで、この半導体基板 1 0 B のまま取り扱うことができるため、組立工程の効率化を図ることが可能である。

【 0 1 0 4 】

また、本発明によれば、研削時に溝部 1 0 b の間で半導体基板 1 0 B が I F チップ 1 0 となる部分毎に分割されるため、チップ欠け等の発生を抑制しながら、上記 I F チップ 1

50

0 となる部分を個々のチップ積層体 3 B に分割することが可能である。さらに、上記第 1 の実施形態に示す半導体パッケージ 1 A を作製する場合よりも、モールド樹脂で封止する工程を減らすことが可能である。

【0105】

(半導体装置)

次に、第 3 の実施形態として図 29 に示す C o C 型の半導体パッケージ 1 C について説明する。なお、以下の説明では、上記半導体パッケージ 1 A , 1 B と同等の部位については、図面において同じ符号を付すものとする。

【0106】

この半導体パッケージ 1 C は、図 29 に示すように、配線基板 2 と、この配線基板 2 の一面(上面)に実装されたチップ積層体 3 C と、このチップ積層体 3 C を封止する第 1 の封止体 4 と、この第 1 の封止体 4 を覆った状態で配線基板 2 の一面を封止する第 2 の封止体 5 と、配線基板 2 の他面(下面)に配置された複数のはんだボール(外部接続端子) 6 とを備えることによって、B G A (Ball Grid Array)と呼ばれるパッケージ構造を有している。

10

【0107】

配線基板 2 は、平面視で矩形状を為すプリント配線板からなり、このプリント配線板は、例えばガラスエポキシ樹脂等からなる絶縁基材の面上に C u 等の導電材料からなる導体パターン等を形成し、その表面をソルダーレジスト等の絶縁膜で被覆したものからなる。

20

【0108】

この配線基板 2 の上面中央部には、チップ積層体 3 C が実装される実装領域 2 a が設けられている。また、配線基板 2 の実装領域 2 a には、複数のパッド電極(第 3 の接続端子) 7 が並んで設けられている。一方、配線基板 2 の他面(下面)には、複数の接続ランド 8 が並んで設けられている。そして、上記はんだボール 6 は、これら接続ランド 8 の上に配置されている。その他にも、配線基板 2 には、パッド電極 7 と接続ランド 8 との間を電氣的に接続するためのビア(貫通電極)や配線パターンなどの引回し配線部 9 (図 1 中において模式的に示す。)が設けられている。また、配線基板 2 の表面は、上述したパッド電極 7 や接続ランド 8 が形成された部分を除いて、絶縁膜(図示せず。)で被覆されている。

30

【0109】

チップ積層体 3 C は、配線基板 2 側から順に、I F チップ(第 3 の半導体チップ) 1 1 e と、複数(本例では 3 つ)の第 2 のメモリーチップ(第 2 の半導体チップ) 1 1 c ~ 1 1 a と、第 1 のメモリーチップ(第 1 の半導体チップ) 1 1 0 とが順次積層された構造を有している。

【0110】

第 1 及び第 2 のメモリーチップ 1 1 0 , 1 1 a ~ 1 1 c は、D R A M (Dynamic Random Access Memory) 回路などが形成されたものであり、平面視で矩形状を為すと共に、配線基板 2 よりも小さい形状を有している。このうち、第 1 のメモリーチップ 1 1 0 は、一面側に複数の第 2 のパンプ電極(第 2 の接続端子) 1 2 b を有している。一方、第 2 のメモリーチップ 1 1 a ~ 1 1 c は、第 1 のメモリーチップ 1 1 0 よりも小さい形状を有し、それぞれ一面側に複数の第 1 のパンプ電極(第 1 の接続端子) 1 2 a と、他面側に複数の第 2 のパンプ電極(第 2 の接続端子) 1 2 b と、これら第 1 のパンプ電極 1 2 a と第 2 のパンプ電極 1 2 b との間を接続する複数の貫通電極(T S V) 1 3 とを有している。なお、本例では、厚み 300 μ m 以上の第 1 のメモリーチップ 1 1 0 と、厚み 50 μ m 程度の第 2 のメモリーチップ 1 1 a ~ 1 1 c とを用いている。

40

【0111】

I F チップ 1 1 e は、各メモリーチップ 1 1 0 , 1 1 a ~ 1 1 c と配線基板 2 との間インターフェースを取るための I F (InterFace) 回路などが形成されたものであり、平面視で矩形状を為すと共に、上記第 2 のメモリーチップ 1 1 a ~ 1 1 c よりも小さい形状を

50

有している。また、ＩＦチップ１１ｅは、一面側に複数の第１のポンプ電極（第１の接続端子）１２ａと、他面側に複数の第２のポンプ電極（第２の接続端子）１２ｂと、これら第１のポンプ電極１２ａと第２のポンプ電極１２ｂとの間を接続する複数の貫通電極（ＴＳＶ）１３とを有している。さらに、ＩＦチップ１１ｅの第２のポンプ電極１２ｂは、配線基板２のパッド電極７との間隔に合わせて、第１のポンプ電極１２ａ及び貫通電極１３よりも広い間隔（２００μｍ以上）を有している。このため、ＩＦチップ１１ｅでは、第２のポンプ電極１２ｂと貫通電極１３との間に、再配線のための配線パターン（図示せず。）を設けて、配線基板２のパッド電極７との間隔調整を行っている。なお、本例では、厚み５０μｍ程度のＩＦチップ１１ｅを用いている。

【０１１２】

そして、これら第１のメモリーチップ１１０、第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅは、それぞれの一面と他面とを対向させながら、それぞれの間にある第１のポンプ電極１２ａと第２のポンプ電極１２ｂとを接合して積層されることによって、チップ積層体３Ｃを構成している。

【０１１３】

また、チップ積層体３Ｃは、ＩＦチップ１１ｅを下方に向けた状態で、このＩＦチップ１１ｅの他面と配線基板２の一面（実装領域２ａ）とを対向させながら、その間にある第２のポンプ電極１２ｂとパッド電極７とを接合することによって、配線基板２の一面に実装されている。さらに、このチップ積層体３Ｃは、配線基板２の一面とＩＦチップ１１ｅの他面との間に充填された絶縁性の接着部材１４を介して配線基板２の実装領域２ａに接着固定されている。なお、チップ積層体３Ｃは、配線基板２のパッド電極７上にワイヤーバンプ（接合部材）を設けて、このワイヤーバンプを介して第２のポンプ電極１２ｂとパッド電極７とを接合することによって、配線基板２の一面に実装することも可能である。

【０１１４】

第１の封止体４は、チップ積層体３Ｃを構成する第１のメモリーチップ、第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅの各隙間に充填されたアンダーフィル材によって、チップ積層体３Ｃを封止している。

【０１１５】

第２の封止体５は、第１の封止体４で封止されたチップ積層体３Ｃの全体を覆うモールド樹脂によって、配線基板２の一面側を全面的に封止している。

【０１１６】

（半導体装置の製造方法）

次に、本発明を適用した半導体装置の製造方法として、上記図２９に示す半導体パッケージ１Ｃの製造工程について説明する。

上記半導体パッケージ１Ｃを製造する際は、先ず、上述した第１のメモリーチップ１１０の上に複数の第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅが積層されたチップ積層体３Ｃを作製する。

【０１１７】

具体的には、先ず、図３０に示すように、上記第１のメモリーチップ１１０となる部分が複数並んで設けられた半導体基板１１０Ａを用意する。この半導体基板１１０Ａは、上記第２のメモリーチップ１１ａ～１１ｃよりも大きい厚み（３００μｍ以上）を有するシリコン基材１１０ａからなり、上記第１のメモリーチップ１１０となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン（分割線）Ｌに沿って切断することで、上記第１のメモリーチップ１１０となる部分を個々の第１のメモリーチップ１１０として切り出すことが可能となっている。また、半導体基板１１０Ａの上記第１のメモリーチップ１１０となる部分には、シリコン基材１１０ａの他面に位置して第２のポンプ電極１２ｂが設けられている。

【０１１８】

次に、図３１に示すように、この半導体基板１１０Ａの面上に、上記複数の第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅを上記第１のメモリーチップ１１０とな

10

20

30

40

50

る部分毎に積層搭載（フリップ実装）する。

【0119】

具体的には、吸着ステージ（図示せず。）上に、一面側を下方に向けた状態で半導体基板110Aを載置する。これにより、半導体基板110Aは、吸着ステージに設けられた複数の吸引孔により吸引されながら、この吸着ステージ上に安定的に保持される。

【0120】

この状態から、半導体基板110A上の上記第1のメモリーチップ110となる部分に、ボンディングツール（図示せず。）を用いて、1層目の第2のメモリーチップ11aを積層搭載（フリップチップ実装）する。

【0121】

このフリップチップ実装では、ボンディングツールに設けられた吸引孔により1層目の第2のメモリーチップ11aを吸引保持しながら、このボンディングツールが第2のメモリーチップ11aを第1のポンプ電極12aが形成された面（一面）を下方に向けた状態で保持する。

【0122】

このボンディングツールは、1層目の第2のメモリーチップ11aの一面と、その下にある上記第1のメモリーチップ110となる部分の他面とを対向させながら、その間にある第1のポンプ電極12aと第2のポンプ電極12bとの位置を合わせた状態で、1層目の第2のメモリーチップ11aを上記第1のメモリー110となる部分に載置する。

【0123】

そして、この状態でボンディングツールが所定の温度（例えば常温～150 程度）で加熱しながら荷重及び超音波を印加することによって、第1のポンプ電極12aと第2のポンプ電極12bとを超音波熱圧着により接合（フリップチップボンディング）する。

【0124】

これにより、第1のポンプ電極12aと第2のポンプ電極12bとの間が電氣的に接続（フリップチップ接続）されて、1層目の第2のメモリーチップ11aが上記第1のメモリーチップ10となる部分にフリップチップ実装される。

【0125】

この状態から更に、上述した1層目の第2のメモリーチップ11aをフリップチップ実装する場合と同様の方法を用いて、この1層目の第2のメモリーチップ11a上に2層目の第2のメモリーチップ11bと、この2層目の第2のメモリーチップ11b上に3層目の第2のメモリーチップ11cと、この3層目の第2のメモリーチップ11c上にIFチップ11eとを、順にフリップチップ実装する。そして、このようなボンディングツールを用いた操作を、半導体基板110Aの上記第1のメモリーチップ110となる部分毎に繰り返す。

【0126】

次に、図32に示すように、半導体基板110A上に積層された複数の第2のメモリーチップ11a～11c及びIFチップ11eの各隙間に、ディスペンサー（図示せず。）を用いて、上記第1の封止体4となる液状のアンダーフィル材を充填する。

【0127】

このとき、アンダーフィル材は、毛細管現象により各隙間に浸透しながら充填される。また、各隙間から周囲にはみ出したアンダーフィル材は、上層側から下層側に向かって漸次幅方向に広がった形状となる。

【0128】

この状態から、アンダーフィル材を例えば150 程度で加熱（キュア）することで、このアンダーフィル材を硬化させる。これにより、半導体基板110Aの上記第1のメモリーチップ110となる部分に積層された複数の第2のメモリーチップ11a～11c及びIFチップの各隙間が上記第1の封止体4により封止される。そして、このようなディスペンサーを用いた操作を、半導体基板110Aの上記第1のメモリーチップ110となる部分毎に繰り返す。

10

20

30

40

50

【 0 1 2 9 】

次に、図 3 3 に示すように、上記半導体基板 1 1 0 A の他面側にダイシングテープ 4 0 を貼着した後、ダイシングブレード（図示せず。）を用いて、半導体基板 1 1 0 A をダイシングテープ 4 0 とは反対側からダイシングライン L に沿って切断し、上記第 1 のメモリーチップ 1 1 0 となる部分を個々のチップ積層体 3 C に分割する。

【 0 1 3 0 】

そして、このチップ積層体 3 C をダイシングテープ 4 0 から引き剥がすことによって、上記第 1 の封止体 4 により封止されたチップ積層体 3 C を一括して作製することができる。そして、このチップ積層体 3 C は、収納用トレイ（図示せず。）に収容されて、次工程へと送られる。

10

【 0 1 3 1 】

次に、図 3 4 に示すように、上記配線基板 2 となる部分が複数並んで形成された母配線基板 2 A を用意する。この母配線基板 2 A は、例えばガラスエポキシ基板からなり、上記配線基板 2 となる部分がマトリックス状に複数並んで形成されると共に、最終的にダイシングライン（分割線）L に沿って切断することで、上記配線基板 2 となる部分を個々の配線基板 2 として切り出すことが可能となっている。

【 0 1 3 2 】

そして、この母配線基板 2 A の一面に、ディスペンサー（図示せず。）を用いて、N C P (Non Conductive Paste) と呼ばれる液状の接着部材 1 4 を上記配線基板 2 となる部分の実装領域 2 a 毎に塗布する。

20

【 0 1 3 3 】

次に、図 3 5 に示すように、ボンディングツール（図示せず。）を用いて、上記第 1 の封止体 4 により封止されたチップ積層体 3 C を母配線基板 2 A の上記配線基板 2 となる部分の実装領域 2 a にフリップ実装する。

【 0 1 3 4 】

このフリップチップ実装では、ボンディングツールの吸引孔によりチップ積層体 3 C を吸引保持しながら、このボンディングツールが I F チップ 1 1 e を下方に向けた状態でチップ積層体 3 C を保持する。

【 0 1 3 5 】

このボンディングツールは、I F チップ 1 1 e の他面と上記配線基板 2 となる部分の実装領域 2 a とを対向させながら、その間にある第 2 のパンプ電極 1 2 b とパッド電極 7 との位置を合わせた状態で、上記第 1 の封止体 4 により封止されたチップ積層体 3 C を上記配線基板 2 となる部分の実装領域 2 a 上に載置する。そして、この状態でボンディングツールが加熱しながら荷重を加えることによって、第 2 のパンプ電極 1 2 b とパッド電極 7 とを熱圧着により接合（フリップチップボンディング）する。なお、この接合時には、荷重だけでなく、超音波も印加するようにしてもよい。

30

【 0 1 3 6 】

これにより、第 2 のパンプ電極 1 2 b とパッド電極 7 との間が電氣的に接続（フリップチップ接続）されて、上記第 1 の封止体 4 により封止されたチップ積層体 3 C が母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a にフリップチップ実装される。

40

【 0 1 3 7 】

また、上記接着部材 1 4 は、母配線基板 2 A の一面と I F チップ 1 1 e の一面との間からはみ出した状態で硬化される。これにより、上記第 1 の封止体 4 により封止されたチップ積層体 3 C は、この接着部材 1 4 を介して母配線基板 2 A の配線基板 2 となる部分の実装領域 2 a に接着固定される。そして、このようなボンディングツールを用いた操作を、母配線基板 2 A の上記配線基板 2 となる部分毎に繰り返す。

【 0 1 3 8 】

次に、図 3 6 に示すように、上記第 1 の封止体 4 により封止されたチップ積層体 3 C を覆うように母配線基板 2 A の一面側を上記第 2 の封止体 5 となるモールド樹脂で封止する。具体的には、トランスファモールド装置（図示せず。）を用いる。このトランスファモ

50

ールド装置は、母配線基板 2 A の他面側を保持する下金型（固定型）と、母配線基板 2 A の一面側に対向してモールド樹脂が充填されるキャビティ空間を形成すると共に、下金型に対して相対的に接離自在に移動される上金型（可動型）とからなる一对の成型金型を備える。

【0139】

そして、このトランスファモールド装置の成形金型に、上記第 1 の封止体 4 により封止されたチップ積層体 3 C が実装された母配線基板 2 A をセットした後、成形金型内のキャビティ空間内に加熱溶融されたモールド樹脂を注入する。このモールド樹脂には、例えばエポキシ樹脂等の熱硬化性樹脂が用いられる。

【0140】

そして、この状態で、モールド樹脂を所定の温度（例えば 180 程度）で加熱（キュア）することで、モールド樹脂を硬化させる。さらに、所定の温度でベークすることで、モールド樹脂が完全に硬化される。これにより、母配線基板 2 A の一面側が上記第 2 の封止体 5 となるモールド樹脂で完全に封止される。

【0141】

本発明では、上述したように、第 1 の封止体 4 で封止されたチップ積層体 3 C を母配線基板 2 A 上に実装した後、この母配線基板 2 A 上を上記第 2 の封止体 5 となるモールド樹脂で一括的に封止することで、ボイド（気泡）の発生を低減できる。

【0142】

次に、図 37 に示すように、母配線基板 2 A の各配線基板 2 となる部分に設けられた上記接続ランド 8 上に、上記はんだボール 6 を配置する。具体的には、マウントツール（図示せず。）を用いて、複数のはんだボール 6 をマウントツールで吸着保持しながら、これら複数のはんだボール 6 にフラックスを転写形成した後、母配線基板 2 A の各配線基板 2 となる部分毎にはんだボール 6 を接続ランド 8 上に載置する。そして、母配線基板 2 A の全ての配線基板 2 となる部分にはんだボール 6 を載置した後、この母配線基板 2 A をリフローする。これにより、母配線基板 2 A の各配線基板 2 となる部分の接続ランド 8 上に、はんだボール 6 が配置される。

【0143】

次に、図 38 に示すように、母配線基板 2 A の第 2 の封止体 5 側にダイシングテープ 60 を貼着した後、ダイシングブレード（図示せず。）を用いて、母配線基板 2 A を第 2 の封止体 5 と共にダイシングテープ 60 とは反対側からダイシングライン L に沿って切断し、個々の半導体パッケージ 1 C 毎に分割する。そして、これら半導体パッケージ 1 C をダイシングテープ 60 から引き剥がすことで、上記図 16 に示す半導体パッケージ 1 C を一括して製造することができる。

【0144】

以上のように、本発明では、上述した吸着ステージ上に半導体基板 110 A を安定的に吸引保持できるため、この半導体基板 110 A 上にボンディングツールを用いて複数の第 2 のメモリーチップ 11 a ~ 11 c 及び I F チップ 11 e をフリップ実装する際に、従来のような高温（例えば 300 程度）による熱圧着が不要となり、例えば常温 ~ 150 程度での超音波熱圧着による接合が可能となる。

【0145】

したがって、本発明によれば、これら第 2 のメモリーチップ 11 a ~ 11 c 及び I F チップ 11 e への熱の影響を低減できるため、信頼性の高い半導体パッケージ 1 C を製造することが可能である。また、本発明によれば、半導体基板 110 A を切断して個々のチップ積層体 3 C に分割するまで、この半導体基板 110 A のまま取り扱うことができるため、組立工程の効率化を図ることが可能である。

【0146】

また、本発明によれば、上述したサポート基板 31 を用いることなく半導体基板 110 A を取り扱うことができる。さらに、上記第 1 の実施形態に示す半導体パッケージ 1 A を作製する場合よりも、モールド樹脂で封止する工程を減らすことができる。

10

20

30

40

50

【 0 1 4 7 】

また、本発明によれば、ＩＦチップ１１ｅを小型化できるため、熱膨張率の異なる配線基板２とチップ積層体３Ｃとの接続領域を小さくして、これら配線基板２とチップ積層体３Ｃとの接続部分に加わる熱応力を低減することが可能である。

【 0 1 4 8 】

さらに、上記チップ積層体３Ｃでは、第２のメモリーチップ１１ａ～１１ｃよりも厚みの大きい第１のメモリーチップ１１０を最上層に配置することで、実装後の加熱より各第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅを厚み方向に貫通する貫通電極１３が熱膨張した場合でも、これら第２のメモリーチップ１１ａ～１１ｃ及びＩＦチップ１１ｅに加わる応力を貫通電極１３が形成されていない第１のメモリーチップ１１０が受けることになる。したがって、このチップ積層体３Ｃの各チップ１１０，１１ａ～１１ｃ，１１ｅに加わる応力を低減し、これらチップ１１０，１１ａ～１１ｃ，１１ｅにクラック等が発生することを抑制することが可能である。

10

【 0 1 4 9 】

なお、本発明は、上記実施形態のものに必ずしも限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば、本発明は、上述した５段構成のチップ積層体３Ａ～３Ｃの構成に必ずしも限定されるものではなく、４段以下や６段以上とすることも可能である。また、第１のバンプ電極１２ａ、貫通電極１３及び第２のバンプ電極１２ｂの配置や数についても、上記チップ積層体３Ａ～３Ｃの構成に限らず、適宜変更して実施することが可能である。

20

【 0 1 5 0 】

また、本発明は、上記ＢＧＡ型の半導体パッケージ１Ａ～１Ｃに限らず、例えば、ＬＧＡ（Land Grid Array）型やＣＳＰ（Chip Size Package）型などの半導体パッケージにも適用可能である。

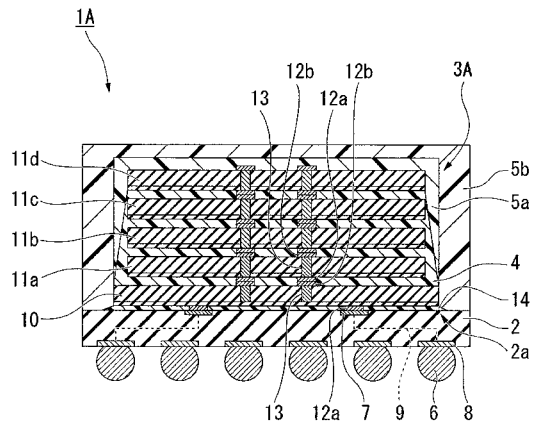
【 符号の説明 】

【 0 1 5 1 】

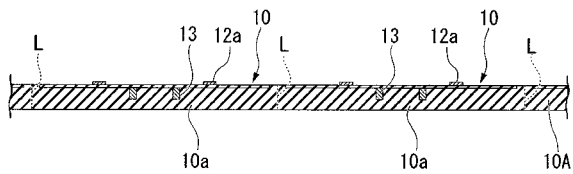
１Ａ，１Ｂ，１Ｃ…半導体パッケージ（半導体装置） ２Ａ…母配線基板 ２…配線基板 ２ａ…実装領域 ３Ａ，３Ｂ，３Ｃ…チップ積層体 ４…第１の封止体 ５ａ，５…第２の封止体 ５ｂ…第３の封止体 ６…はんだボール（外部接続端子） ７…パッド電極（第３の接続端子） ８…接続ランド ９…引回し配線部 １０Ａ，１０Ｂ，１１０Ａ…半導体基板 １０…ＩＦチップ（第１の半導体チップ） １０ａ…シリコン基材 １０ｂ…溝部 １１０…第１のメモリーチップ（第１の半導体チップ） １１０Ａ…半導体基板 １１０ａ…シリコン基材 １１ａ～１１ｄ…メモリーチップ（第２の半導体チップ） １１ｅ…ＩＦチップ（第３の半導体チップ） １２ａ…第１のバンプ電極（第１の接続端子） １２ｂ…第２のバンプ電極（第２の接続端子） １３…貫通電極 １４…接着部材

30

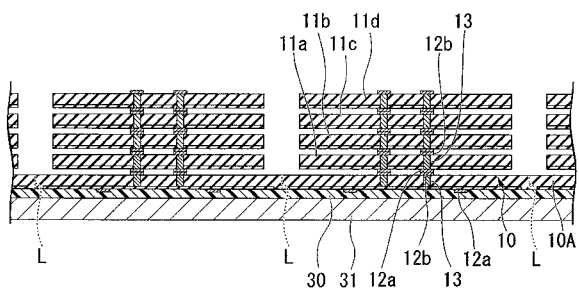
【図 1】



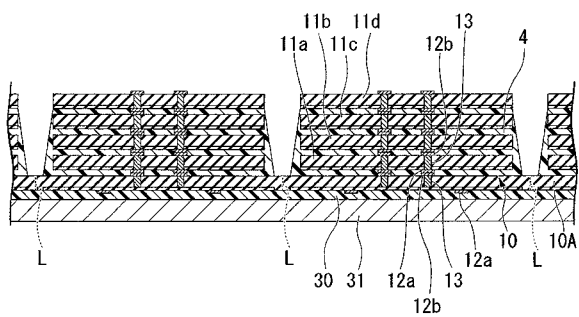
【図 2】



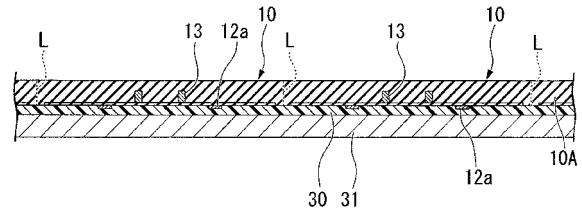
【図 5】



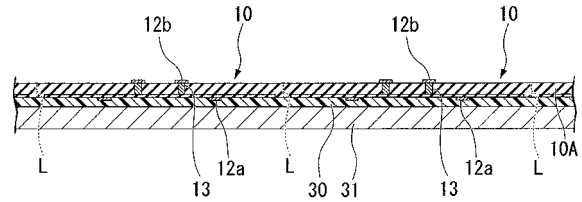
【図 6】



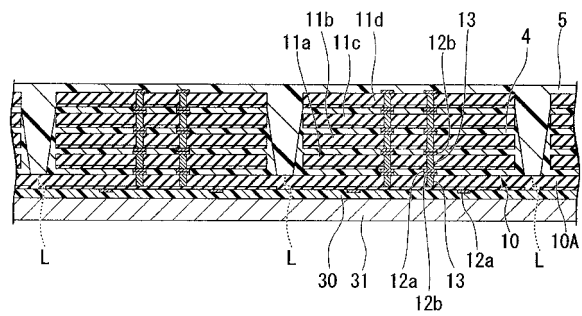
【図 3】



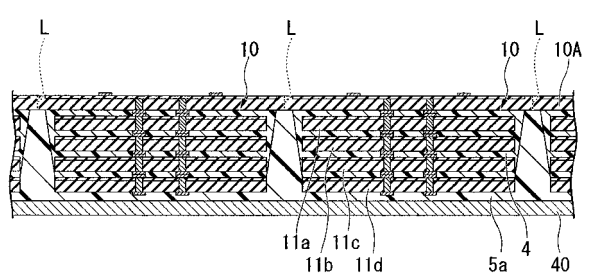
【図 4】



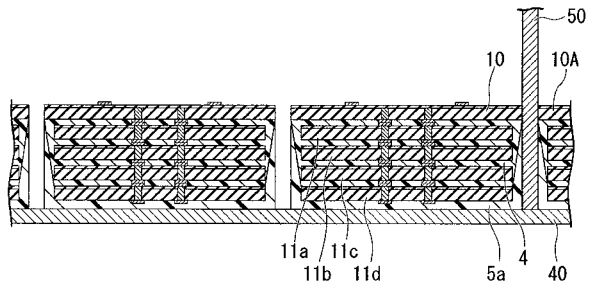
【図 7】



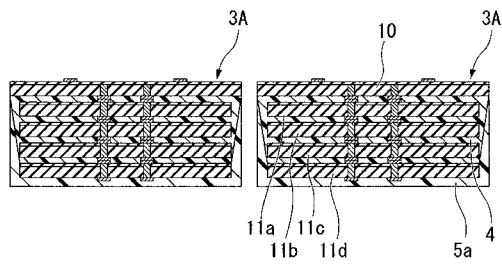
【図 8】



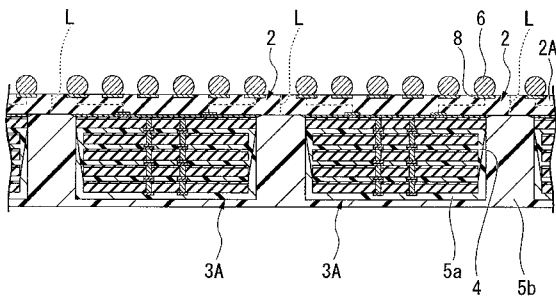
【図 9】



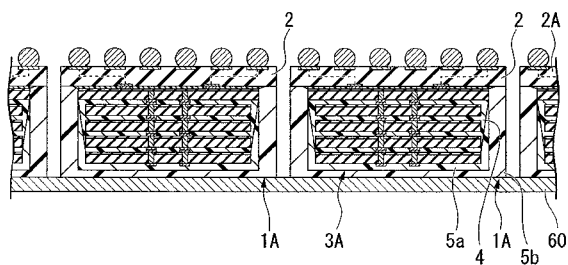
【図 10】



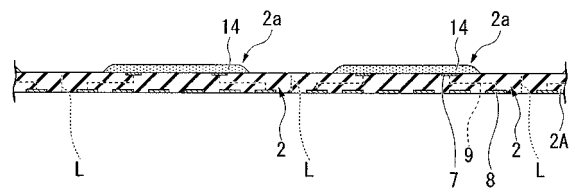
【図 14】



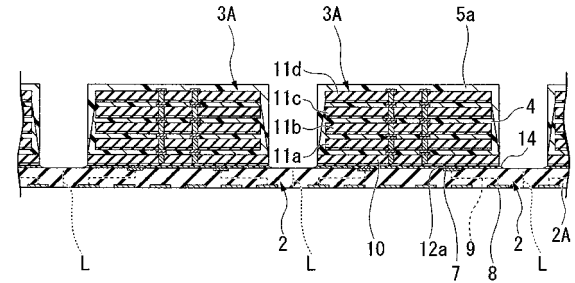
【図 15】



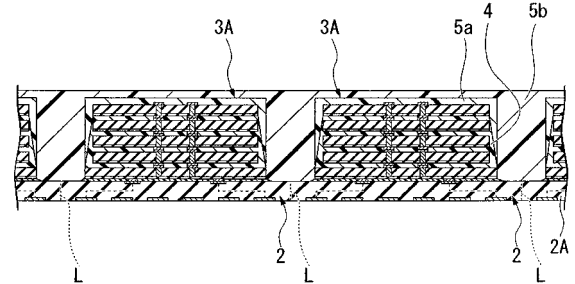
【図 11】



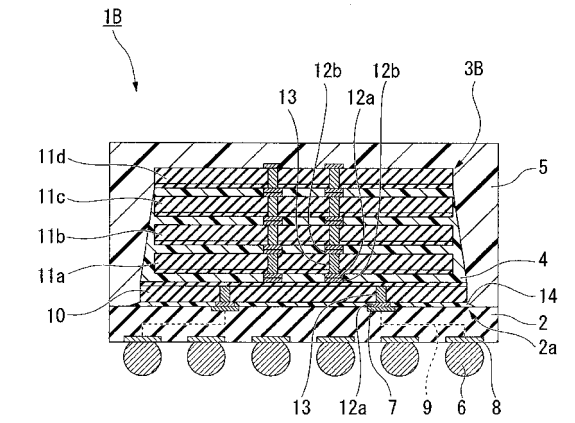
【図 12】



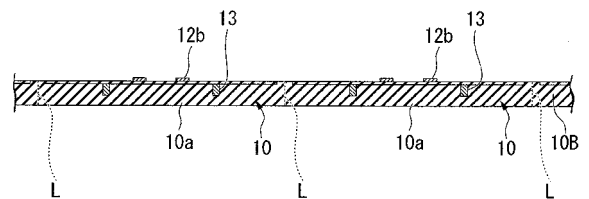
【図 13】



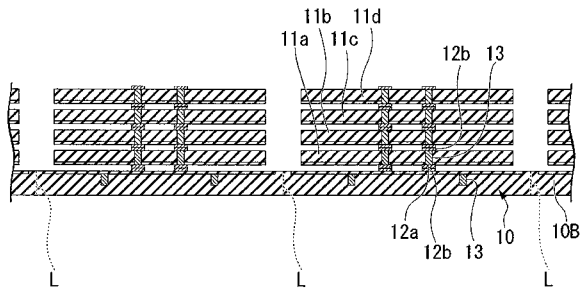
【図 16】



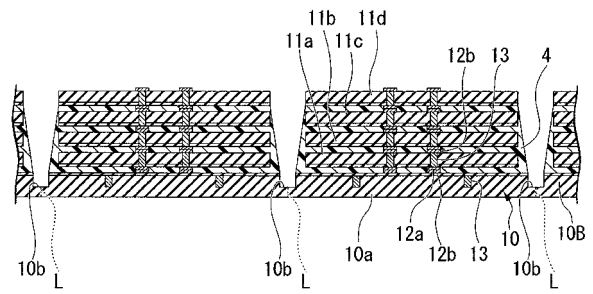
【図 17】



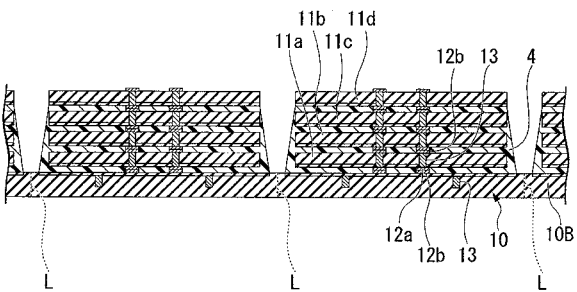
【図 18】



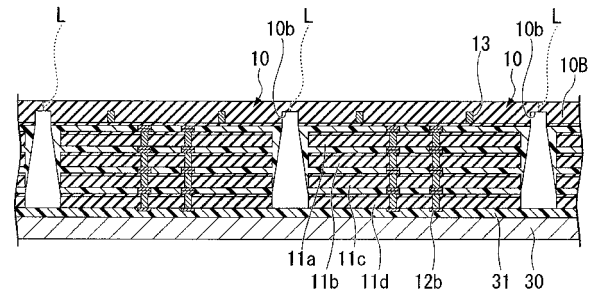
【図 20】



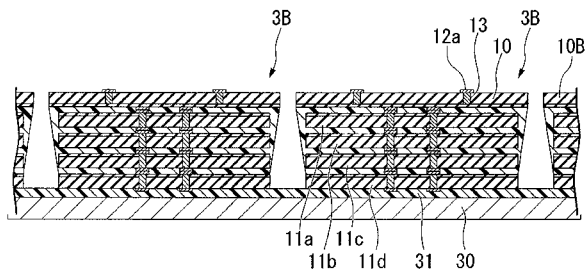
【図 19】



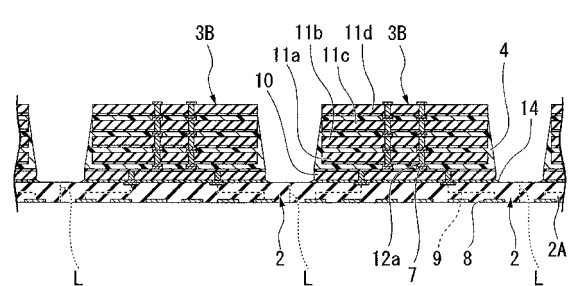
【図 21】



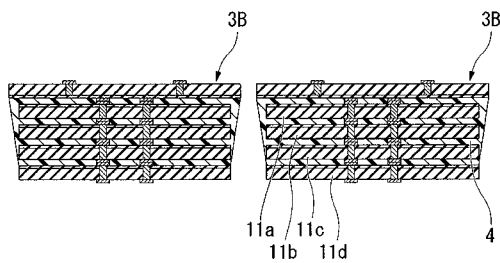
【図 22】



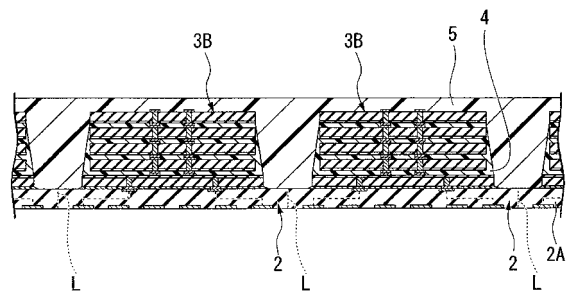
【図 25】



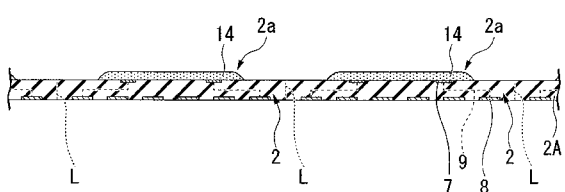
【図 23】



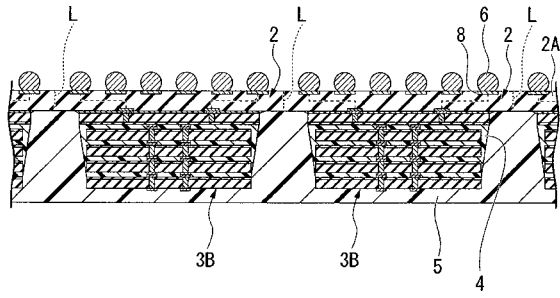
【図 26】



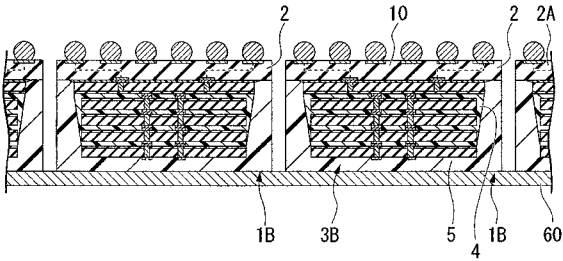
【図 24】



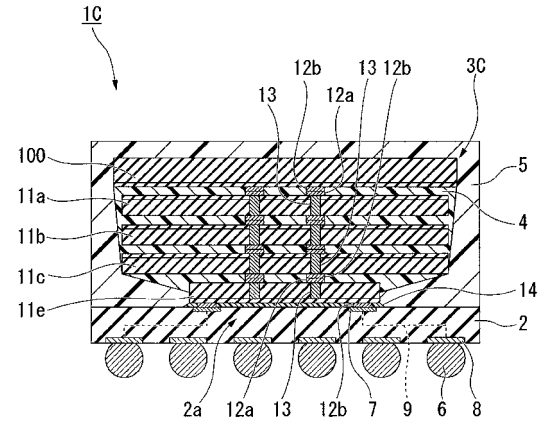
【図 27】



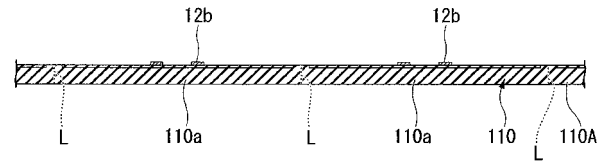
【図 28】



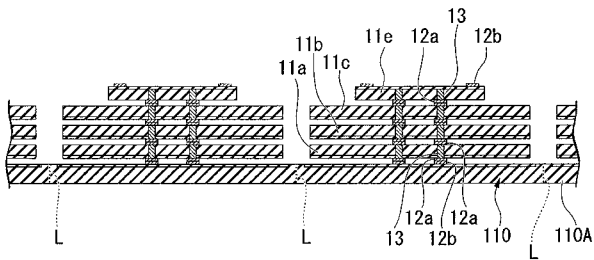
【図 29】



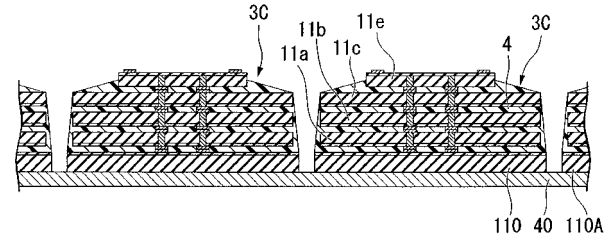
【図 30】



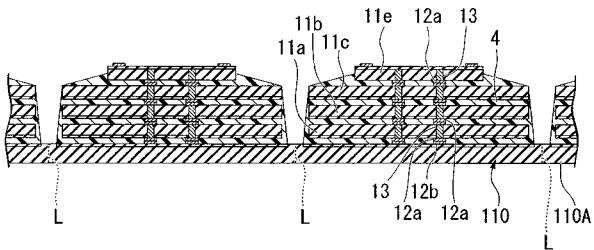
【図 31】



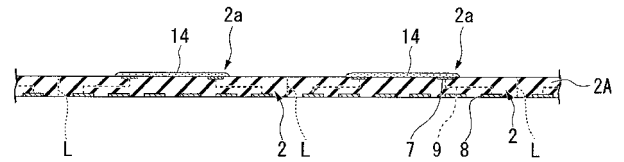
【図 33】



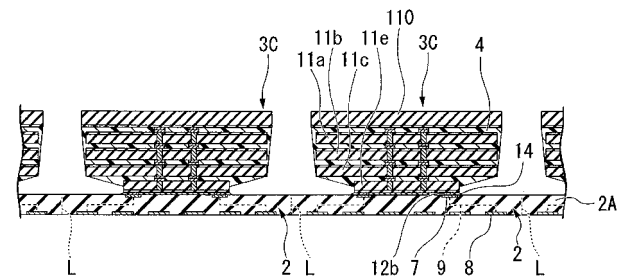
【図 32】



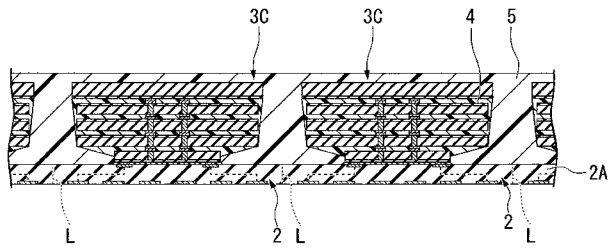
【図 34】



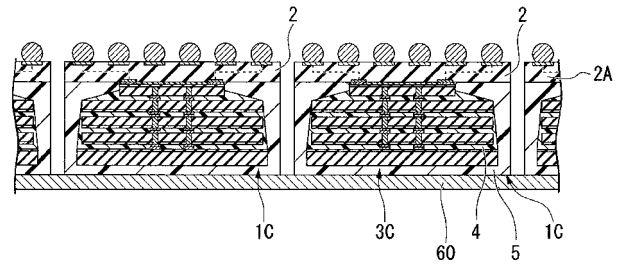
【図 35】



【図 3 6】



【図 3 8】



【図 3 7】

