



(12) 发明专利

(10) 授权公告号 CN 114788174 B

(45) 授权公告日 2025. 04. 22

(21) 申请号 201980102950.6

(22) 申请日 2019.12.17

(65) 同一申请的已公布的文献号
申请公布号 CN 114788174 A

(43) 申请公布日 2022.07.22

(85) PCT国际申请进入国家阶段日
2022.06.13

(86) PCT国际申请的申请数据
PCT/JP2019/049423 2019.12.17

(87) PCT国际申请的公布数据
W02021/124450 JA 2021.06.24

(73) 专利权人 株式会社索思未来
地址 日本神奈川县

(72) 发明人 藤村拓弥 加纳英树

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

专利代理师 舒艳君

(51) Int.Cl.
H03F 3/45 (2006.01)

(56) 对比文件
CN 1883112 A, 2006.12.20
JP 2010141589 A, 2010.06.24

审查员 宫玉龙

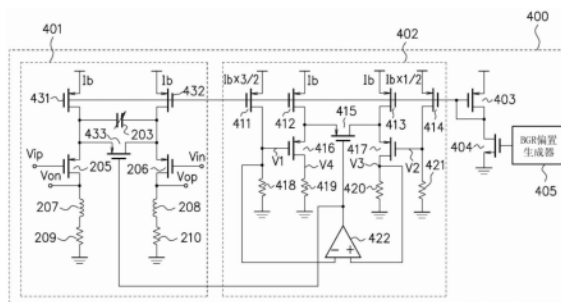
权利要求书4页 说明书8页 附图5页

(54) 发明名称

差动放大电路、接收电路以及半导体集成电路

(57) 摘要

差动放大电路部具有：第一以及第二晶体管 (205、206)，设置在电流源电路与负载电路之间，在栅极接受差动输入信号，在漏极生成差动输出信号；以及第三晶体管 (433)，连接在第一以及第二晶体管的源极之间，在栅极接受控制信号，复制放大电路部具有：电压生成电路，生成第一以及第二基准电压；第一以及第二复制晶体管 (416、417)，是第一以及第二晶体管的复制品，在栅极接受第一以及第二基准电压，在漏极生成复制输出信号；第三复制晶体管 (415)，连接在第一以及第二复制晶体管的源极之间，在栅极接受控制信号；以及运算放大器 (422)，根据第一以及第二基准电压中的至少一方与复制输出信号之差，生成控制信号。



1. 一种差动放大电路,其中,具有:
差动放大电路部;以及
复制放大电路部,
上述差动放大电路部具有:
第一晶体管以及第二晶体管,设置在电流源电路与负载电路之间,在栅极接受差动输入信号,在漏极生成差动输出信号;以及
第三晶体管,连接在上述第一晶体管以及第二晶体管的源极之间,在栅极接受控制信号,
上述复制放大电路部具有:
电压生成电路,生成第一基准电压以及第二基准电压;
第一复制晶体管以及第二复制晶体管,是上述第一晶体管以及第二晶体管的复制品,在栅极接受上述第一基准电压以及第二基准电压,在漏极生成复制输出信号;
第三复制晶体管,连接在上述第一复制晶体管以及第二复制晶体管的源极之间,在栅极接受上述控制信号;以及
运算放大器,根据上述第一基准电压以及第二基准电压中的至少一方与上述复制输出信号之差,生成上述控制信号,
上述运算放大器生成上述控制信号,以使得上述复制放大电路部的增益恒定。
2. 根据权利要求1所述的差动放大电路,其中,
上述电流源电路具有第四晶体管以及第五晶体管,
上述负载电路具有第一负载电路以及第二负载电路,
上述第一晶体管的源极与上述第四晶体管的漏极连接,
上述第一晶体管的漏极与上述第一负载电路连接,
上述第二晶体管的源极与上述第五晶体管的漏极连接,
上述第二晶体管的漏极与上述第二负载电路连接,
上述第四晶体管的栅极与上述第五晶体管的栅极相互连接,并被供给第一偏置电压。
3. 根据权利要求2所述的差动放大电路,其中,
上述复制放大电路部具有:
第四复制晶体管,漏极与上述第一复制晶体管的源极连接;
第五复制晶体管,漏极与上述第二复制晶体管的源极连接;
第三负载电路,与上述第一复制晶体管的漏极连接;以及
第四负载电路,与上述第二复制晶体管的漏极连接,
上述第四复制晶体管的栅极与上述第五复制晶体管的栅极相互连接,并被供给上述第一偏置电压。
4. 根据权利要求3所述的差动放大电路,其中,
上述电压生成电路具有:
第六晶体管,漏极与上述第一复制晶体管的栅极连接,栅极与上述第四复制晶体管的栅极连接;
第一电阻,与上述第一复制晶体管的栅极连接;
第七晶体管,漏极与上述第二复制晶体管的栅极连接,栅极与上述第五复制晶体管的

栅极连接;以及

第二电阻,与上述第二复制晶体管的栅极连接。

5.根据权利要求4所述的差动放大电路,其中,

上述第六晶体管的栅极和上述第七晶体管的栅极被供给上述第一偏置电压。

6.根据权利要求4所述的差动放大电路,其中,

上述第一晶体管~第七晶体管和上述第一复制晶体管~第五复制晶体管是p沟道场效应晶体管,

上述第四晶体管~第七晶体管的源极和上述第四复制晶体管以及第五复制晶体管的源极与电源电位节点连接,

上述第一负载电路连接在上述第一晶体管的漏极与电位比上述电源电位节点低的基准电位节点之间,

上述第二负载电路连接在上述第二晶体管的漏极与上述基准电位节点之间,

上述第三负载电路连接在上述第一复制晶体管的漏极与上述基准电位节点之间,

上述第四负载电路连接在上述第二复制晶体管的漏极与上述基准电位节点之间。

7.根据权利要求6所述的差动放大电路,其中,还具有:

第八晶体管,源极与上述电源电位节点连接,栅极以及漏极相互连接;

第九晶体管,漏极与上述第八晶体管的漏极连接,源极与上述基准电位节点连接;以及偏置生成器,对上述第九晶体管的栅极供给第二偏置电压,

在上述第八晶体管的栅极生成上述第一偏置电压。

8.根据权利要求4所述的差动放大电路,其中,

上述第一晶体管~第七晶体管和上述第一复制晶体管~第五复制晶体管是n沟道场效应晶体管,

上述第四晶体管~第七晶体管的源极和上述第四复制晶体管以及第五复制晶体管的源极与基准电位节点连接,

上述第一负载电路连接在上述第一晶体管的漏极与电位比上述基准电位节点高的电源电位节点之间,

上述第二负载电路连接在上述第二晶体管的漏极与上述电源电位节点之间,

上述第三负载电路连接在上述第一复制晶体管的漏极与上述电源电位节点之间,

上述第四负载电路连接在上述第二复制晶体管的漏极与上述电源电位节点之间。

9.根据权利要求8所述的差动放大电路,其中,还具有:

第八晶体管,源极与上述基准电位节点连接,栅极以及漏极相互连接;

第九晶体管,漏极与上述第八晶体管的漏极连接,源极与上述电源电位节点连接;以及偏置生成器,对上述第九晶体管的栅极供给第三偏置电压,

在上述第八晶体管的栅极生成上述第一偏置电压。

10.根据权利要求1~9中的任意一项所述的差动放大电路,其中,

上述差动放大电路部具有连接在上述第一晶体管的漏极与上述第二晶体管的漏极之间的电容。

11.根据权利要求3~9中的任意一项所述的差动放大电路,其中,

上述第一负载电路是第三电阻与第一电感器的串联连接电路,

上述第二负载电路是第四电阻与第二电感器的串联连接电路，
上述第三负载电路是第五电阻，
上述第四负载电路是第六电阻。

12. 根据权利要求3~9中的任意一项所述的差动放大电路，其中，
上述第一负载电路是第三电阻，
上述第二负载电路是第四电阻，
上述第三负载电路是第五电阻，
上述第四负载电路是第六电阻。

13. 根据权利要求1~9中的任意一项所述的差动放大电路，其中，
上述第一基准电压以及第二基准电压是相互不同的电压。

14. 一种接收电路，其中，具有：

连续时间线性均衡器；

判定反馈型均衡器，输入上述连续时间线性均衡器的输出信号；

时钟生成器，向上述判定反馈型均衡器输出时钟信号；以及

解复用器，输入上述判定反馈型均衡器的输出信号，

上述连续时间线性均衡器具有差动放大电路，

上述差动放大电路具有：

差动放大电路部；以及

复制放大电路部，

上述差动放大电路部具有：

第一晶体管以及第二晶体管，设置在电流源电路与负载电路之间，在栅极接受差动输入信号，在漏极生成差动输出信号；以及

第三晶体管，连接在上述第一晶体管以及第二晶体管的源极之间，在栅极接受控制信号，

上述复制放大电路部具有：

电压生成电路，生成第一基准电压以及第二基准电压；

第一复制晶体管以及第二复制晶体管，是上述第一晶体管以及第二晶体管的复制品，在栅极接受上述第一基准电压以及第二基准电压，在漏极生成复制输出信号；

第三复制晶体管，连接在上述第一复制晶体管以及第二复制晶体管的源极之间，在栅极接受上述控制信号；以及

运算放大器，根据上述第一基准电压以及第二基准电压中的至少一方与上述复制输出信号之差，生成上述控制信号，

上述运算放大器生成上述控制信号，以使得上述复制放大电路部的增益恒定。

15. 一种半导体集成电路，其中，具有：

接收电路；以及

内部电路，对上述接收电路的输出信号进行处理，

上述接收电路具有：

连续时间线性均衡器；

判定反馈型均衡器，输入上述连续时间线性均衡器的输出信号；

时钟生成器,向上述判定反馈型均衡器输出时钟信号;以及
解复用器,输入上述判定反馈型均衡器的输出信号,
上述连续时间线性均衡器具有差动放大电路,
上述差动放大电路具有:
差动放大电路部;以及
复制放大电路部,
上述差动放大电路部具有:
第一晶体管以及第二晶体管,设置在电流源电路与负载电路之间,在栅极接受差动输入信号,在漏极生成差动输出信号;以及
第三晶体管,连接在上述第一晶体管以及第二晶体管的源极之间,在栅极接受控制信号,
上述复制放大电路部具有:
电压生成电路,生成第一基准电压以及第二基准电压;
第一复制晶体管以及第二复制晶体管,是上述第一晶体管以及第二晶体管的复制品,在栅极接受上述第一基准电压以及第二基准电压,在漏极生成复制输出信号;
第三复制晶体管,连接在上述第一复制晶体管以及第二复制晶体管的源极之间,在栅极接受上述控制信号;以及
运算放大器,根据上述第一基准电压以及第二基准电压中的至少一方与上述复制输出信号之差,生成上述控制信号,
上述运算放大器生成上述控制信号,以使得上述复制放大电路部的增益恒定。

差动放大电路、接收电路以及半导体集成电路

技术领域

[0001] 本发明涉及差动放大电路、接收电路以及半导体集成电路。

背景技术

[0002] 在专利文献1中公开了具有差动放大器和控制信号生成器的高速差动放大器。差动放大器放大第一输入信号与第二输入信号之间的电压差,生成输出信号。控制信号生成器包括作为差动放大器的复制品的复制差动放大器,生成控制差动放大器以及复制差动放大器的增益的控制信号。

[0003] 在专利文献2中公开了具有第一晶体管、第二晶体管、电阻器、第三晶体管的增益放大器。第一晶体管具有第一控制端口、第一输入端口以及第一输出端口。第二晶体管具有第二控制端口、第二输入端口以及第二输出端口。电阻器具有与第一输出端口连接的第一端、以及与第二输出端口连接的第二端。第三晶体管与第一输出端口以及第二输出端口连接,并且与电阻器并联连接。在对第三晶体管施加控制电压,并对第一控制端口施加输入电压时,第二控制端口在第一输入端口以及第二输入端口通过控制电压被选择性地修正,以生成所希望的输出。

[0004] 在专利文献3中公开了具有第一放大电路、第二放大电路、第三放大电路以及电流镜电路的可变增益放大电路。第一放大电路具有:在控制端子输入差动输入电压的第一晶体管以及第二晶体管、连接在第一晶体管与第二晶体管之间并在控制端子输入增益控制信号的第三晶体管、以及输出与在第一晶体管流过的电流和在第二晶体管流过的电流分别对应的第一输出电流与第二输出电流的差动电流的输出部。第二放大电路具有:在控制端子分别输入第一电压以及第二电压的第四晶体管以及第五晶体管、连接在第四晶体管与第五晶体管之间并在控制端子输入上述的增益控制信号的第六晶体管、以及输出与在第四晶体管流过的电流和在第五晶体管流过的电流分别对应的第一电流与比第一电流小的第二电流的差动电流的输出部。第三放大电路具有:在控制端子分别输入第三电压以及第四电压的第七晶体管以及第八晶体管、连接在第七晶体管与第八晶体管之间的电阻元件、以及输出与在第七晶体管流过的电流和在第八晶体管流过的电流分别对应的第三电流与比第三电流小的第四电流的差动电流的输出部。电流镜电路根据第一电流与第四电流的合成电流和第二电流与第三电流的合成电流,生成上述的增益控制信号。

[0005] 专利文献1:美国专利申请公开第2011/0001562号说明书

[0006] 专利文献2:日本特表2018-522490号公报

[0007] 专利文献3:日本特开2002-198755号公报

[0008] 差动放大电路的增益根据温度而变动。在使用参数,将差动放大电路的增益控制为恒定的情况下,有参数数量增加,控制变得复杂,响应速度降低的课题。

发明内容

[0009] 本发明的目的在于,在差动放大电路中,利用简单的控制,并且在保持动作的高速

性的同时,使差动放大电路部的增益恒定。

[0010] 差动放大电路具有差动放大电路部和复制放大电路部,上述差动放大电路部具有:第一晶体管以及第二晶体管,设置在电流源电路与负载电路之间,在栅极接受差动输入信号,在漏极生成差动输出信号;以及第三晶体管,连接在上述第一晶体管以及第二晶体管的源极之间,在栅极接受控制信号,上述复制放大电路部具有:电压生成电路,生成第一基准电压以及第二基准电压;第一复制晶体管以及第二复制晶体管,是上述第一晶体管以及第二晶体管的复制品,在栅极接受上述第一基准电压以及第二基准电压,在漏极生成复制输出信号;第三复制晶体管,连接在上述第一复制晶体管以及第二复制晶体管的源极之间,在栅极接受上述控制信号;以及运算放大器,根据上述第一基准电压以及第二基准电压中的至少一方与上述复制输出信号之差,生成上述控制信号,上述运算放大器生成上述控制信号,以使得上述复制放大电路部的增益恒定。

[0011] 在差动放大电路中,能够利用简单的控制,并且在保持动作的高速性的同时,使差动放大电路部的增益恒定。

附图说明

[0012] 图1是表示第一实施方式的半导体集成电路的构成例的图。

[0013] 图2是表示图1的CTLE内的差动放大电路部的构成例的电路图。

[0014] 图3是表示图2的差动放大电路部的相对于频率的增益的特性的图。

[0015] 图4是表示第一实施方式的差动放大电路的构成例的电路图。

[0016] 图5是表示第二实施方式的差动放大电路的构成例的电路图。

[0017] 图6是表示第三实施方式的差动放大电路的构成例的电路图。

具体实施方式

[0018] (第一实施方式)

[0019] 图1是表示第一实施方式的半导体集成电路100的构成例的图。半导体集成电路100具有接收电路101和内部电路102。接收电路101具有终端电路113、连续时间线性均衡器(Continuous Time Linear Equalizer,CTLE)114、判定反馈型均衡器(Decision Feedback Equalizer,DFE)115、时钟生成器116以及解复用器117。

[0020] 差动输入端子111以及112接收差动信号。终端电路113连接在差动输入端子111以及112间。终端电路113例如由电阻元件构成。CTLE114对差动输入端子111以及112接收的差动信号在时间轴上连续地进行均衡处理。DFE115输入CTLE114的输出信号,并对CTLE114的输出信号进行基于反馈环的均衡处理和二值判定。时钟生成器116向DFE115输出时钟信号。解复用器117输入DFE115的输出信号,并将DFE115的输出信号从串行数据转换为并行数据。内部电路102对解复用器117的输出信号进行处理。

[0021] 图2是表示图1的CTLE114内的差动放大电路部的构成例的电路图。差动放大电路部具有电流源201、202、可变电容203、电阻204、p沟道场效应晶体管205、206、电感器207、208、以及电阻209、210。差动放大电路部放大输入到差动输入端子 V_{ip} 以及 V_{in} 的差动信号,并从差动输出端子 V_{op} 以及 V_{on} 输出放大后的差动信号。

[0022] 图3是表示图2的差动放大电路部的相对于频率的增益的特性的图。差动放大电路

部是高频均衡器,高频带的增益较高。增益的特性301是 -40°C 的情况下的特性。增益的特性302是 25°C 的情况下的特性。增益的特性303是 125°C 的情况下的特性。差动放大电路部的增益根据温度而变动。若根据温度而差动放大电路部的增益变动,则成为接收电路101的接收错误的原因。优选差动放大电路部的增益不管温度如何而恒定。

[0023] 差动放大电路部能够通过控制可变电容203的值,来控制高频带的增益。另外,差动放大电路部能够通过控制电阻204的值,来控制直流的增益。在使电阻204的电阻值可变,控制电阻204的值以使得差动放大电路部的直流的增益恒定的情况下,有用于可变地设定电阻值的参数的数量增加,控制变得复杂,而响应速度降低的课题。以下,参照图4,对能够利用简单的控制,并且高速地使差动放大电路部的直流的增益恒定的差动放大电路进行说明。

[0024] 图4是表示第一实施方式的差动放大电路400的构成例的电路图。图1的CTLE114具有差动放大电路400。差动放大电路400具有差动放大电路部401、复制放大电路部402、p沟道场效应晶体管403、n沟道场效应晶体管404、以及BGR(带隙基准)偏置生成器405。

[0025] 差动放大电路部401是对图2的差动放大电路部设置相当于电流源201以及202的p沟道场效应晶体管431以及432,并设置相当于电阻204的p沟道场效应晶体管433的电路。差动放大电路部401具有p沟道场效应晶体管431~433、可变电容203、p沟道场效应晶体管205、206、电感器207、208、以及电阻209、210。

[0026] p沟道场效应晶体管431为电流源电路,源极与电源电位节点连接。p沟道场效应晶体管432为电流源电路,源极与电源电位节点连接,栅极与p沟道场效应晶体管431的栅极连接。

[0027] 可变电容203连接在p沟道场效应晶体管431的漏极与p沟道场效应晶体管432的漏极之间。p沟道场效应晶体管433的源极与p沟道场效应晶体管205的源极连接,栅极与运算放大器422的输出端子连接,漏极与p沟道场效应晶体管206的源极连接。p沟道场效应晶体管433在栅极接受运算放大器422输出的控制信号,根据该控制信号,改变漏极以及源极间的电阻。

[0028] p沟道场效应晶体管205的源极与p沟道场效应晶体管431的漏极连接,栅极与差动输入端子 V_{ip} 连接,漏极与差动输出端子 V_{on} 连接。p沟道场效应晶体管206的源极与p沟道场效应晶体管432的漏极连接,栅极与差动输入端子 V_{in} 连接,漏极与差动输出端子 V_{op} 连接。

[0029] 电感器207与电阻209的串联连接电路为负载电路,连接在p沟道场效应晶体管205的漏极与基准电位节点之间。基准电位节点例如是接地电位节点,是电位比电源电位节点低的节点。电感器208与电阻210的串联连接电路为负载电路,连接在p沟道场效应晶体管206的漏极与基准电位节点之间。

[0030] p沟道场效应晶体管205以及206在栅极的差动输入端子 V_{ip} 以及 V_{in} 接受差动输入信号,在漏极的输出端子 V_{op} 以及 V_{on} 生成差动输出信号。通过运算放大器422控制p沟道场效应晶体管433的栅极的控制信号,从而控制p沟道场效应晶体管433的漏极以及源极间的电阻,将差动放大电路部401的直流的增益控制为恒定。

[0031] 复制放大电路部402是差动放大电路部401的复制品。复制放大电路部402具有p沟道场效应晶体管411~417、电阻418~421、以及运算放大器422。

[0032] p沟道场效应晶体管412是p沟道场效应晶体管431的复制晶体管,源极与电源电位

节点连接,栅极与p沟道场效应晶体管431以及432的栅极连接。p沟道场效应晶体管413是p沟道场效应晶体管432的复制晶体管,源极与电源电位节点连接,栅极与p沟道场效应晶体管431以及432的栅极连接。

[0033] p沟道场效应晶体管415是p沟道场效应晶体管433的复制晶体管,源极与p沟道场效应晶体管416的源极连接,栅极与运算放大器422的输出端子连接,漏极与p沟道场效应晶体管417的源极连接。

[0034] p沟道场效应晶体管416是p沟道场效应晶体管205的复制晶体管,源极与p沟道场效应晶体管412的漏极连接。p沟道场效应晶体管417是p沟道场效应晶体管206的复制晶体管,源极与p沟道场效应晶体管413的漏极连接。

[0035] 电阻419是负载电路,是电阻209的复制品。电阻419连接在p沟道场效应晶体管416的漏极与基准电位节点之间。

[0036] 电阻420是负载电路,是电阻210的复制品。电阻420连接在p沟道场效应晶体管417的漏极与基准电位节点之间。

[0037] p沟道场效应晶体管411和电阻418是电压生成电路,生成基准电压V1。p沟道场效应晶体管416的栅极接受基准电压V1。p沟道场效应晶体管411的源极与电源电位节点连接,栅极与p沟道场效应晶体管431以及432的栅极连接,漏极与p沟道场效应晶体管416的栅极连接。电阻418连接在p沟道场效应晶体管411的漏极与基准电位节点之间。

[0038] p沟道场效应晶体管414和电阻421为电压生成电路,生成基准电压V2。p沟道场效应晶体管417的栅极接受基准电压V2。p沟道场效应晶体管414的源极与电源电位节点连接,栅极与p沟道场效应晶体管431以及432的栅极连接,漏极与p沟道场效应晶体管417的栅极连接。电阻421连接在p沟道场效应晶体管414的漏极与基准电位节点之间。

[0039] 运算放大器422的一输入端子与p沟道场效应晶体管416的栅极连接,+输入端子与p沟道场效应晶体管417的漏极连接,输出端子与p沟道场效应晶体管415以及433的栅极连接。

[0040] p沟道场效应晶体管403的源极与电源电位节点连接,栅极以及漏极相互连接。p沟道场效应晶体管404的漏极与p沟道场效应晶体管403的漏极连接,栅极与BGR偏置生成器405连接,源极与基准电位节点连接。另外,p沟道场效应晶体管403的栅极与p沟道场效应晶体管431以及432的栅极连接。

[0041] BGR偏置生成器405生成BGR(Band Gap Reference:带隙基准)电压,并将生成的BGR电压作为偏置电压(第二偏置电压)供给至p沟道场效应晶体管404的栅极。由此,在p沟道场效应晶体管403的栅极生成电流源电路用的偏置电压(第一偏置电压),并且所生成的偏置电压被供给至p沟道场效应晶体管411~414、431、432的各栅极。

[0042] p沟道场效应晶体管403、411~414、431以及432是电流镜电路。在p沟道场效应晶体管412、413、431以及432流过电流 I_b 。在p沟道场效应晶体管411,例如通过晶体管尺寸的调整,流过电流量为电流 I_b 的 $3/2$ 倍的电流 $I_b \times 3/2$ 。在p沟道场效应晶体管414,例如通过晶体管尺寸的调整,流过电流量为电流 I_b 的 $1/2$ 倍的电流 $I_b \times 1/2$ 。

[0043] 向p沟道场效应晶体管416的栅极输入基准电压V1。向p沟道场效应晶体管417的栅极输入基准电压V2。基准电压V1以及V2是相互不同的电压。基准电压V1比基准电压V2高。

[0044] p沟道场效应晶体管416以及417在栅极接受基准电压V1以及V2,在漏极生成复制

输出信号V3以及V4。复制输出信号V3是p沟道场效应晶体管417的漏极的信号。复制输出信号V4是p沟道场效应晶体管416的漏极的信号。复制放大电路部402放大基准电压V1以及V2的差动输入信号,输出复制输出信号V3以及V4的差动输出信号。复制放大电路部402由于不具有可变电容203以及电感器207、208的复制品,所以增益相对于频率大致恒定。

[0045] 运算放大器422根据复制输出信号V3与基准电压V1之差,向p沟道场效应晶体管415以及433的栅极供给控制信号。运算放大器422生成控制信号,以使得复制放大电路部402的增益恒定。

[0046] 此外,运算放大器422也可以根据复制输出信号V4与基准电压V2之差,输出控制信号。

[0047] 放大电路部401以及复制放大电路部402的增益根据温度而变动。例如,放大电路部401以及复制放大电路部402的增益上升,差动输出端子Vop的信号以及复制输出信号V3上升。这样一来,复制输出信号V3与基准电压V1之差增大,运算放大器422输出的控制信号上升。这样一来,p沟道场效应晶体管415的漏极以及源极间的电阻提高,复制放大电路部402的增益下降。其结果是,复制输出信号V3下降。通过上述的控制,运算放大器422生成控制信号,以使得复制放大电路部402的增益恒定。

[0048] 同样地,p沟道场效应晶体管433的漏极以及源极间的电阻提高,差动放大电路部401的增益下降。其结果是,差动输出端子Vop的信号下降。放大电路部401的直流的增益不管温度如何,而控制为恒定。

[0049] 差动放大电路400通过使用复制放大电路部402,能够利用简单的控制,使差动放大电路部401的直流的增益恒定。另外,差动放大电路部401使用p沟道场效应晶体管433控制直流的增益,所以没有对一对输入节点Vip以及Vin追加连接的元件,输入负载不增加,所以在差动放大电路400中能够保持动作的高速性。

[0050] (第二实施方式)

[0051] 图5是表示第二实施方式的差动放大电路500的构成例的电路图。图1的CTLE114具有差动放大电路500。差动放大电路500是相对于图4的差动放大电路400,代替p沟道场效应晶体管而设置n沟道场效应晶体管,代替n沟道场效应晶体管而设置的p沟道场效应晶体管的电路。

[0052] 差动放大电路500具有差动放大电路部501、复制放大电路部502、n沟道场效应晶体管503、p沟道场效应晶体管504、以及BGR偏置生成器405。

[0053] 差动放大电路部501具有n沟道场效应晶体管531~533、可变电容203、n沟道场效应晶体管534、535、电感器207、208、以及电阻209、210。

[0054] n沟道场效应晶体管531是电流源电路,源极与基准电位节点连接。n沟道场效应晶体管532是电流源电路,源极与基准电位节点连接,栅极与n沟道场效应晶体管531的栅极连接。

[0055] 可变电容203连接在n沟道场效应晶体管531的漏极与n沟道场效应晶体管532的漏极之间。n沟道场效应晶体管533的源极与n沟道场效应晶体管535的源极连接,栅极与运算放大器422的输出端子连接,漏极与n沟道场效应晶体管534的源极连接。n沟道场效应晶体管533在栅极接受运算放大器422输出的控制信号,根据该控制信号,改变漏极以及源极间的电阻。

[0056] n沟道场效应晶体管534的源极与n沟道场效应晶体管531的漏极连接,栅极与差动输入端子Vip连接,漏极与差动输出端子Von连接。n沟道场效应晶体管535的源极与n沟道场效应晶体管532的漏极连接,栅极与差动输入端子Vin连接,漏极与差动输出端子Vop连接。

[0057] 电感器207与电阻209的串联连接电路是负载电路,连接在n沟道场效应晶体管534的漏极与电源电位节点之间。电感器208与电阻210的串联连接电路是负载电路,连接在n沟道场效应晶体管535的漏极与电源电位节点之间。

[0058] n沟道场效应晶体管534以及535在栅极的差动输入端子Vip以及Vin接受差动输入信号,在漏极的输出端子Vop以及Von生成差动输出信号。通过运算放大器422控制n沟道场效应晶体管533的栅极的控制信号,从而控制n沟道场效应晶体管533的漏极以及源极间的电阻,将差动放大电路部501的直流的增益控制为恒定。

[0059] 复制放大电路部502是差动放大电路部501的复制品。复制放大电路部502具有n沟道场效应晶体管511~517、电阻418~421、以及运算放大器422。

[0060] n沟道场效应晶体管512是n沟道场效应晶体管531的复制晶体管,源极与基准电位节点连接,栅极与n沟道场效应晶体管531以及532的栅极连接。n沟道场效应晶体管513是n沟道场效应晶体管532的复制晶体管,源极与基准电位节点连接,栅极与n沟道场效应晶体管531以及532的栅极连接。

[0061] n沟道场效应晶体管515是n沟道场效应晶体管533的复制晶体管,源极与n沟道场效应晶体管517的源极连接,栅极与运算放大器422的输出端子连接,漏极与n沟道场效应晶体管516的源极连接。

[0062] n沟道场效应晶体管516是n沟道场效应晶体管534的复制晶体管,源极与n沟道场效应晶体管512的漏极连接。n沟道场效应晶体管517是n沟道场效应晶体管535的复制晶体管,源极与n沟道场效应晶体管513的漏极连接。

[0063] 电阻419是负载电路,是电阻209的复制品。电阻419连接在n沟道场效应晶体管516的漏极与电源电位节点之间。

[0064] 电阻420是负载电路,是电阻210的复制品。电阻420连接在n沟道场效应晶体管517的漏极与电源电位节点之间。

[0065] n沟道场效应晶体管511和电阻418是电压生成电路,生成基准电压V1。n沟道场效应晶体管516的栅极接受基准电压V1。n沟道场效应晶体管511的源极与基准电位节点连接,栅极与n沟道场效应晶体管531以及532的栅极连接,漏极与n沟道场效应晶体管516的栅极连接。电阻418连接在n沟道场效应晶体管511的漏极与电源电位节点之间。

[0066] n沟道场效应晶体管514和电阻421是电压生成电路,生成基准电压V2。n沟道场效应晶体管517的栅极接受基准电压V2。n沟道场效应晶体管514的源极与基准电位节点连接,栅极与n沟道场效应晶体管531以及532的栅极连接,漏极与n沟道场效应晶体管517的栅极连接。电阻421连接在n沟道场效应晶体管514的漏极与电源电位节点之间。

[0067] 运算放大器422的-输入端子与n沟道场效应晶体管516的栅极连接,+输入端子与n沟道场效应晶体管517的漏极连接,输出端子与n沟道场效应晶体管515以及533的栅极连接。

[0068] n沟道场效应晶体管503的源极与基准电位节点连接,栅极以及漏极与n沟道场效应晶体管514的栅极连接。p沟道场效应晶体管504的漏极与n沟道场效应晶体管503的漏极

连接,栅极与BGR偏置生成器405连接,源极与电源电位节点连接。

[0069] BGR偏置生成器405生成BGR电压,并将生成的BGR电压作为偏置电压(第三偏置电压)供给至n沟道场效应晶体管504的栅极。由此,在n沟道场效应晶体管503的栅极,生成电流源电路用的偏置电压(第一偏置电压),并且所生成的偏置电压被供给至n沟道场效应晶体管511~514、531、532的各栅极。

[0070] n沟道场效应晶体管503、511~514、531以及532是电流镜电路。在n沟道场效应晶体管512、513、531以及532流过电流 I_b 。在n沟道场效应晶体管511流过电流 $I_b \times 3/2$ 。在n沟道场效应晶体管514流过电流 $I_b \times 1/2$ 。

[0071] 在n沟道场效应晶体管516的栅极输入基准电压 V_1 。在n沟道场效应晶体管517的栅极输入基准电压 V_2 。基准电压 V_1 以及 V_2 是相互不同的电压。基准电压 V_1 比基准电压 V_2 低。

[0072] n沟道场效应晶体管516以及517在栅极接受基准电压 V_1 以及 V_2 ,在漏极生成复制输出信号 V_3 以及 V_4 。复制输出信号 V_3 是n沟道场效应晶体管517的漏极的信号。复制输出信号 V_4 是n沟道场效应晶体管516的漏极的信号。复制放大电路部502放大基准电压 V_1 以及 V_2 的差动输入信号,输出复制输出信号 V_3 以及 V_4 的差动输出信号。复制放大电路部502由于不具有可变电容203以及电感器207、208的复制品,所以增益相对于频率大致恒定。

[0073] 运算放大器422根据复制输出信号 V_3 与基准电压 V_1 之差,向n沟道场效应晶体管515以及533的栅极供给控制信号。运算放大器422生成控制信号,以使得复制放大电路部502的增益恒定。

[0074] 此外,运算放大器422也可以根据复制输出信号 V_4 与基准电压 V_2 之差,输出控制信号。

[0075] 放大电路部501以及复制放大电路部502的增益根据温度而变动。例如,放大电路部501以及复制放大电路部502的增益减少,差动输出端子 V_{op} 的信号以及复制输出信号 V_3 上升。这样一来,复制输出信号 V_3 与基准电压 V_1 之差增大,运算放大器422输出的控制信号上升。这样一来,n沟道场效应晶体管515的漏极以及源极间的电阻降低,复制放大电路部502的增益提高。其结果是,复制输出信号 V_3 下降。通过上述的控制,运算放大器422生成控制信号,以使得复制放大电路部502的增益恒定。

[0076] 同样地,n沟道场效应晶体管533的漏极以及源极间的电阻降低,差动放大电路部501的增益提高。其结果是,差动输出端子 V_{op} 的信号下降。放大电路部501的直流的增益不管温度如何而控制为恒定。

[0077] 差动放大电路500通过使用复制放大电路部502,能够利用简单的控制,使差动放大电路部501的直流的增益恒定。另外,差动放大电路部501使用n沟道场效应晶体管533控制直流的增益,所以没有对一对输入节点 V_{ip} 以及 V_{in} 追加连接的元件,输入负载不增加,所以在差动放大电路500中能够保持动作的高速性。

[0078] (第三实施方式)

[0079] 图6是表示第三实施方式的差动放大电路400的构成例的电路图。图6的差动放大电路400是相对于图4的差动放大电路400,删除了可变电容203和电感器207、208后的电路。电阻209是负载电路,连接在p沟道场效应晶体管205的漏极与基准电位节点之间。电阻210是负载电路,连接在p沟道场效应晶体管206的漏极与基准电位节点之间。差动放大电路部401的增益相对于频率大致恒定。

[0080] 在第三实施方式中,与第一实施方式相同,运算放大器422生成控制信号,以使得不管温度如何,而差动放大电路部401和复制放大电路部402的增益恒定。差动放大电路400通过使用复制放大电路部402,能够利用简单的控制,使差动放大电路部401的增益恒定。另外,差动放大电路部401使用p沟道场效应晶体管433控制直流的增益,所以没有对一对输入节点Vip以及Vin追加连接的元件,输入负载不增加,所以能够在差动放大电路400中保持动作的高速性。

[0081] 此外,在图5的差动放大电路500中,也能够删除可变电容203和电感器207、208。

[0082] 上述实施方式均仅为示出实施本发明时的具体化的例子的实施方式,并不通过这些实施方式对本发明的技术范围进行限定性解释。即,本发明能够在不脱离其技术思想或者其主要的特征的范围,以各种方式实施。

[0083] 产业上的可利用性

[0084] 在差动放大电路中,能够利用简单的控制,并且在保持动作的高速性的同时,使差动放大电路部的增益恒定。

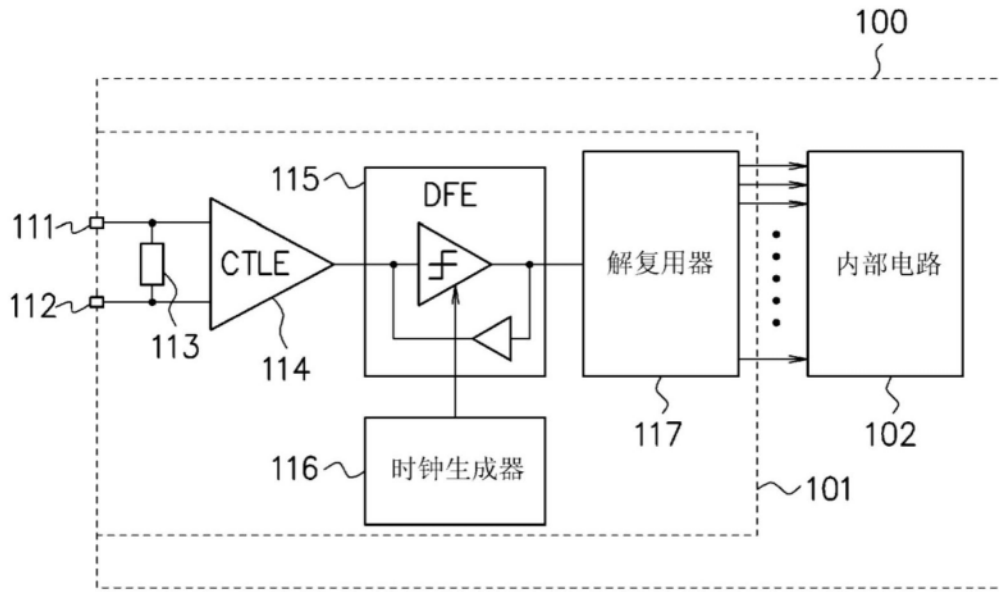


图1

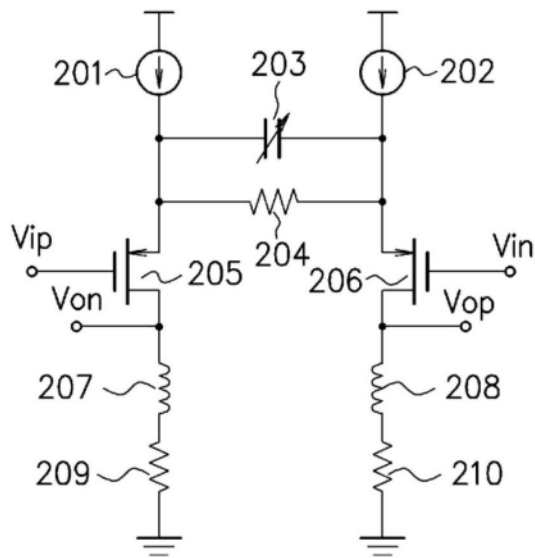


图2

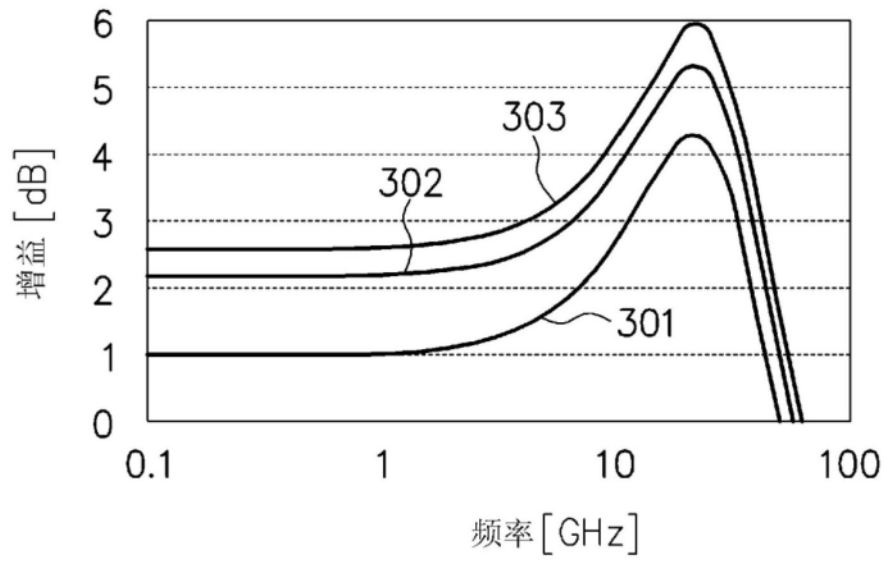


图3

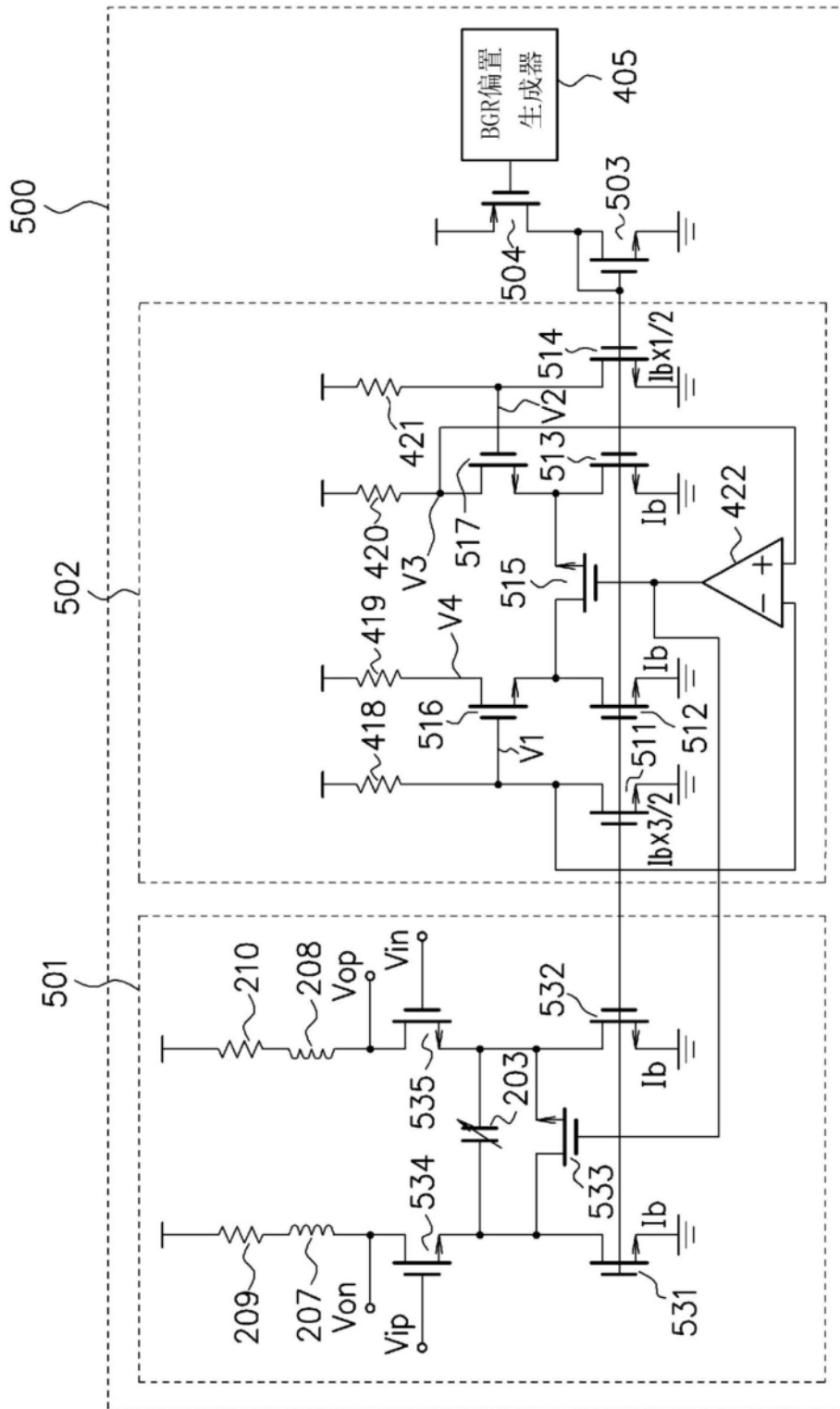


图5

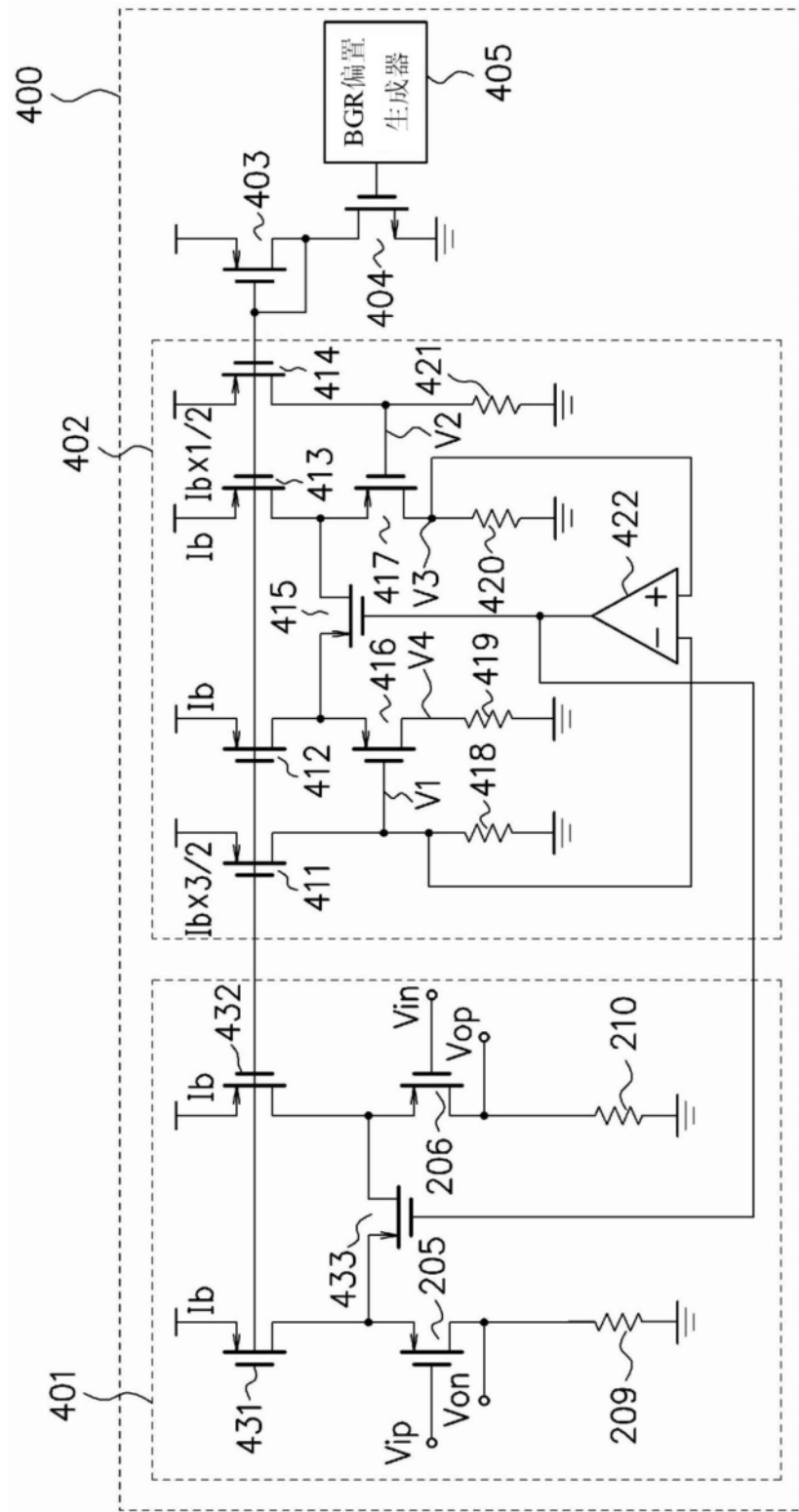


图6