



[12] 实用新型专利说明书

[21] ZL 专利号 200420066216. X

[45] 授权公告日 2005 年 8 月 24 日

[11] 授权公告号 CN 2720637Y

[22] 申请日 2004. 6. 23
 [21] 申请号 200420066216. X
 [30] 优先权
 [32] 2003. 9. 4 [33] US [31] 10/654, 757
 [73] 专利权人 台湾积体电路制造股份有限公司
 地址 台湾省新竹科学工业园区
 [72] 设计人 余振华 曾鸿辉 章勋明 胡正明

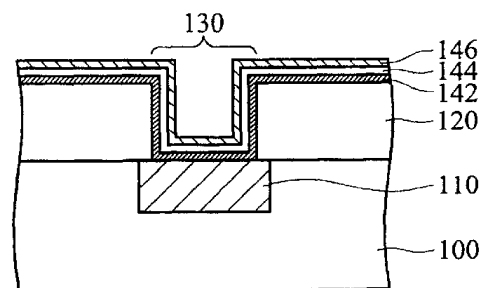
[74] 专利代理机构 北京三友知识产权代理有限公司
 代理人 王一斌

权利要求书 2 页 说明书 11 页 附图 5 页

[54] 实用新型名称 内联机结构

[57] 摘要

本实用新型一种内联机结构，是在介电层中形成一开口，再以原子层沉积法 (ALD) 在开口侧壁与底部上形成扩散阻挡层与低阻值金属层作为复合式扩散阻挡层，以阻隔后续形成的铜导线扩散并增进其附着力。较佳的复合式扩散阻挡层为以原子层沉积法形成的双层式 TiN、双层式 TaN、三层式 Ta/TaN/富 Ta 的 TaN 复合层或三层式 Ta/TaN/Ta 复合层。



ISSN 1008-4274

1. 一种内联机结构，其特征是，包含：
 - 一半导体基底，其上具有一第一导体；
 - 一介电层，覆盖于该半导体基底上，该介电层上具有一开口，以露出该
 - 5 第一导体；
 - 一复合式扩散阻挡层，是以原子层沉积法形成，内衬于该开口的侧壁与底部；以及
 - 一第二导体，填充于该开口中，以与该第一导体成电性连结。
2. 根据权利要求1所述的内联机结构，其特征是，该第一导体是选择自由
- 10 由铜、铜合金、铝、铝合金、钛、钽、钨、金属硅化物、合金或金属化合物所组成的族群中。
3. 根据权利要求1所述的内联机结构，其特征是，该开口的宽度为100-800Å。
4. 根据权利要求1所述的内联机结构，其特征是，该复合式扩散阻挡层
- 15 的厚度为20-200Å。
5. 根据权利要求1所述的内联机结构，其特征是，该复合式扩散阻挡层为双层或三层式迭层结构，其各层是选择自由钛、钽、钨、氮化钛、氮化钽与富钽的氮化钽所组成的族群中。
6. 根据权利要求1所述的内联机结构，其特征是，该复合式扩散阻挡层
- 20 包含富钽的氮化钽。
7. 根据权利要求1所述的内联机结构，其特征是，该第二导体是选择自由铜、铜合金、铝与铝合金所组成的族群中。
8. 根据权利要求1所述的内联机结构，其特征是，含一碳硅化物保护层，覆盖于该介电层与该第二导体之上。
- 25 9. 根据权利要求1所述的内联机结构，其特征是，更包含一导电性保护

层覆盖于该第二导体上。

10. 根据权利要求1所述的内联机结构,其特征是,该复合式扩散屏障层的厚度为20-200Å。

11. 一种内联机结构,其特征是,包含:

5 一半导体基底;

一第一低介电常数介电层,覆盖于该半导体基底上,该第一低介电常数介电层中嵌有一第一导体;

一第二低介电常数介电层,覆盖于该第一低介电常数介电层上;

10 一第二导体,是由铜或铜合金构成,是嵌入于该第二低介电常数介电层中,并与该第二导体成电性连结,且该第二低介电常数介电层的表面低于该第二导体表面; 以及

一低阻值金属层,是由原子层沉积法形成,厚度为10-100Å,设置于该第二导体与该第二低介电常数介电层之间。

15 12. 根据权利要求11所述的内联机结构,其特征是,该低阻值金属层包含Ta或Ti。

13. 根据权利要求11所述的内联机结构,其特征是,该第二低介电常数介电层的介电常数值小于该第一低介电常数介电层的介电常数值。

14. 根据权利要求11所述的内联机结构,其特征是,该第二低介电常数介电层的表面低于该第二导体100-500Å。

20

内联机结构

5 技术领域

本实用新型是关于半导体结构，特别有关于一种铜金属内联机结构，藉以加强其导线与介电层间的扩散屏障效果与附着度。

10 背景技术

在集成电路的金属内联机制程中，铝与铝合金被广泛用于内联机的导线。然而，对于半导体组件而言，作为内联机结构的导线材料的阻值越低时，可提升半导体组件的讯号传播。因此，铜金属则由于其阻值低，可避免电致迁移 (electromigration, EM) 与抗应力等优点，目前成为大型与超大规模集成电路的内联机导线的主要材料。

目前，铜内联机结构通常藉由所谓“镶嵌”或“双镶嵌” (dual damascene) 制程所形成，以取代现有的铝内联机结构。简要而言，镶嵌式的金属联机制程乃在半导体芯片表面先形成开口或沟槽，再将铜金属或铜合金填入这些开口中而形成导线结构。然而，铜制程会遇到铜扩散至相邻的绝缘材料中，例如扩散至氧化硅层或含氧聚合物层等问题，而导致铜导线的腐蚀，造成后续附着力不佳，剥落，产生孔洞或线路的电性问题等。因此，对于铜内联机结构而言，需要形成扩散屏障层以隔离铜导线与介电层。

因此，在现有技术中，半导体基底上形成的半导体组件，如MOS晶体管，或导电组件等，其上通常覆盖有绝缘材料，例如氧化物层。而在特定区域上的氧化物层则进一步被蚀刻形成开口以露出其下的导电层。一般在开口的侧壁与底部上会先形成一阻障层作为扩散阻障层并可增加绝缘层与后续金属导线间的附着力。接着在内衬层上形成一导电晶种层，例如铜晶种层。铜晶种层乃作为后续电镀形成铜内联机结构的导电基础层。当沉积铜金属后，绝缘层表面多余的铜金属则以化学机械研磨去除并平坦化。最后在绝缘层与金属导线表面形成一保护层。类似的制程重多次后，则形成多重金属内联机结构。

在现有技术中，阻障层，例如Ta₂N₅，通常藉由物理气相沉积法(PVD)或化学气相沉积法(CVD)形成于半导体基底上。以PVD形成阻障层时，其优点在于可以形成高纯度且均匀的Ta₂N₅薄膜。然而其缺点在于PVD的阶梯覆盖性较差，亦即，较难均匀的覆盖高深宽比的开口。

此外，为了增进电路效能，目前的集成电路制程也引入低介电常数材料取代一般的介电常数材料，以提供较一般氧化硅层更低的电容，并因此增进电路的速度。一般的低介电常数材料包含旋涂式硅玻璃(spin-on-glasses, SOG)，是以旋涂式涂布后，再经过烘烤而形成相对多孔式的氧化硅结构。其它的多孔式硅玻璃目前也被研发出来，例如德州仪器公司所研发的xerogels材料等，并应用于双镶嵌制程中，最低可使介电层的介电常数低至1.3左右。而目前一般用的介电层的介电常数值约介于4。

有机与半有机材料，例如 polysilsesquioxanes、氟化硅玻璃(fluorinated silica glass, FSG)与氟化聚对二甲苯乙醚(fluorinated polyarylene ethers)等可作为低介电常数与超低介电常数材料。而纯有机，非硅杂质的材料，例如氟化聚对二甲苯乙醚，因其介电性质与容易加工等特

性，目前也逐渐应用于半导体制程中。另外，有机硅玻璃(Organosilicate glass, OSGs)，例如应用材料公司所提供的黑钻石(Black Diamond)，其介电常数则介于2.6-2.8之间。

此外，TaN阻障层直接沉积于特定低介电常数材料上时，例如沉积于氟化
5 低介电常数材料FSG或OSG材料，如黑钻石上时，其附着力不佳。这会导致阻障层沉积后立刻剥落，或者在后续制程中发生剥落的问题。剥落问题可能肇因于TaN阻障层与低介电常数材料间的高张力(tensile stress)与低键结力(weak bonding)。

镶嵌制程中的阻障层材料除了需具备上述所提的对铜良好的阻隔、良好
10 的覆盖能力(coverage)与附着力等条件外，阻障层材料更必须具备良好的沉积顺应性(conformality)、连续性以及可以形成厚度极薄的薄膜以降低阻值。

实用新型内容

15 本实用新型的一个目的在于提供一种对低介电常数介电层的附着力佳的阻障层。

本实用新型的再一个目的在于提供一种具有良好的阶梯覆盖率(step coverage)的阻障层，以降低电致迁移(electromigration, EM)。

本实用新型的另一个目的在于提供一种顺应性与连续性佳，且厚度薄与
20 低阻值的阻障层，做为铜晶种层与低介电常数介电层之间的中间层，以增加其附着力与做为铜扩散阻障层。

为达上述目的，本实用新型提供数种复合式的扩散阻障层，适用于内联机结构中。在本说明书中，「复合式」一词是指一迭层结构(laminated layer)，

是指由多层依序相迭而成，而其中该迭层中的每一次层(sub-layer)可以为相同或不同的材料。

根据本实用新型的一内联机结构中包含：一半导体基底，其上具有导电区；一介电层覆盖于该半导体基底上，并具有介层洞露出导电区；一扩散障层及/或一附着层内衬于介层洞的内壁上；以及，一导电插塞填充于介层洞中。在较佳实施例中，扩散障层乃藉由原子层沉积法(atomic layer deposition, ALD)形成复合式的导电层，内衬于介电层开口内壁，作为扩散障层及/或提高附着力的中间层。

较佳的复合式扩散障层可为以ALD依序在介电层上形成的迭层式双TiN层或双Ta₂N₃层、Ti与TiN或Ta与Ta₂N₃组合的双层结构、三层式的Ta/Ta₂N₃/富Ta的Ta₂N₃迭层或Ta/Ta₂N₃/Ta迭层。该复合式障层的总厚度可为20-200Å。

在另一较佳实施例中，可于形成上述复合式扩散障层前，先在介电层的镶嵌开口内壁上，形成一低阻值金属层，例如Ti或Ta金属层。

此外，本实用新型更提供一种内联机结构，包含：一半导体基底，其上具有导电区；一介电层覆盖于该半导体基底上，并具有介层洞露出导电区；一低阻值金属层内衬于介层洞的内壁上；以及，一导电插塞填充于介层洞中。在较佳实施例中，低阻值金属层乃藉由原子层沉积法(atomic layer deposition, ALD)形成Ti或Ta金属层，厚度介于10-100Å，内衬于介电层开口内壁，作为扩散障层及/或提高附着力的中间层。

原子层沉积法(ALD)，例如原子层化学气相沉积法(ALCVD)的优点在于其制程温度低且控制沉积厚度以形成超薄的薄膜。上述藉由ALD形成的单层、双层或三层式复合式扩散障层，具有杂质含量低与均匀度佳、阶梯覆盖性高、低针孔密度(low pin-hole density)、以及与介电层与导电层之间的接触阻

值低(low contact resistivity)等优点。

附图说明

5 图1-图7所示为根据本实用新型的第一实施例中，一种制造内联机结构的剖面流程图。

图2A至图2C所示为根据本实用新型的复合式扩散阻挡层结构。

图8所示为根据本实用新型的第二实施例中，一种双层内联机结构剖面图。

10 符号说明

100: 半导体基底、110: 导电区、120: 低介电常数介电层、130: 开口、
142: 第一扩散阻挡层、142': 扩散阻挡层、144: 第二扩散阻挡层、146: 第
三扩散阻挡层、140: 复合式扩散阻挡层、150: 晶种层、160: 导电层、170:
保护层、180: 蚀刻终止层、190: 低介电常数介电层、200: 复合式扩散阻挡
15 层、210: 晶种层、220: 导电插塞、230: 保护层、240: 蚀刻终止层。

具体实施方式

为了让本实用新型的上述目的、特征、及优点能更明显易懂，以下配合
20 所附图式，作详细说明如下：

下述实施例乃藉以说明根据本实用新型以镶嵌制程在半导体基底上制造一内联机结构。为了说明方便，以下仅以单镶嵌制程为例，说明本实用新型的手段与功效，但本实用新型并非以此为限。熟悉本领域的人士自可根据以

下实施例，将本实用新型应用于双镶嵌制程中。

第一实施例

图1所示为一半导体基底100，例如一硅基底或涂布于一绝缘基材上的硅层(silicon-on-insulator substrate, SOI)。在半导体基底100上具有一导电区110，例如一MOS组件上的导电接触区(contact region)或一内联机结构。导电区110可为铜(Cu)、铝(Al)、钛(Ti)、钽(Ta)、钨(W)或其合金或其金属化合物等材料。

如图1所示，在该半导体基底100上沉积具有平坦表面的介电层120，覆盖于导电区110之上。该介电层120可以为单层或迭层的含硅材料或有机介电材料。较佳者，介电层120为低介电常数(low k)的介电材料，例如介电常数低于3.5的氧化硅材料，更佳者为介电常数为2.8或更低的介电材料。较佳的低介电常数材料可为有机硅玻璃(organo silicate glass)、掺氟硅玻璃(fluorinated silica glass, FSG)、有机旋涂涂布玻璃(organic spin-on glass)、化学气相沉积法形成的无机介电材料或上述材料的迭层组合物，但本实用新型并非以此为限。

另外，更可选择性的在介电层120沉积前，先在半导体基底100上形成一蚀刻终止层(未显示)。蚀刻终止层可藉由电浆增强型化学气相沉积法(PECVD)，以氩气作为携带气体(carrier gas)，形成硅氮氧化物(silicon oxynitride)或富硅的氮氧化物层(silicon-rich oxynitride)。

接着以微影与蚀刻制程，定义并蚀刻介电层120，以形成一接触开口130露出半导体基底100上的导电区110。在蚀刻形成接触开口130时，蚀刻终止层(未显示)可预防过度蚀刻损伤底下的导电区110。接触开口130可以为介层洞开口或一双镶嵌开口(亦即同时具有一介层洞与一沟槽图样的开口)等，其开

口型式可以根据联机需要而定义。而开口130与导电区相接触的底部宽度，较佳者介于100-800Å。

而在开口130中填入导电晶种层与导电材料之前，先于开口内壁中形成导电内衬层，以作为扩散屏障层与附着层。根据本实用新型，扩散屏障层乃藉由原子层沉积法(ALD)所形成单层、双层或多层的结构。参见图2A，所示为一种双层式的扩散屏障层。双层式的扩散屏障层可以选择由ALD所形成的Ti、Ta、W、TiN、TaN、非晶形TaN或非晶形TiN材料，而两层可以为相同或不同材料。在一较佳实施例中，双层式扩散屏障层142与142'乃为相同材料，但分两次沉积而成。例如，先以原子层化学气相沉积法(ALCVD)形成厚度约100~150Å的第一TaN层142，内衬于开口130中的侧壁与底部上，再将该第一TaN层142暴露于空气或氧气中一段时间。在较佳实施例中，第一TaN层142先暴露于含氢气的空气中并进行一电浆处理。接着，续于第一TaN层142上，形成厚度约为100~150Å的第二TaN层142'。相似地，亦可根据上述方法，形成双层式的TiN层作为扩散屏障层。又或者，可形成Ti与TiN或Ta与TaN的双层式扩散屏障层。

在另一实施例中，在形成复合式的扩散屏障层前，先于开口130内壁上中形成低阻值导电层。如图2B所示，以自离子化电浆溅镀法(self ionized plasma (SIP) sputtering)或离子化金属电浆溅镀法(ionized metal plasma (IMP) sputtering)或ALD形成厚度10-100Å的第一层Ta或Ti金属层142，内衬于开口130的内壁中。接着再以ALD形成第二层复合式扩散屏障层144，覆盖于第一层低阻值金属层142表面。相似地，复合式扩散屏障层144可以为双层式或三层式的复合层，其可由ALD所形成的Ti、Ta、W、TiN、非晶形TaN或非晶形TiN所构成，其双层或三层可选择自相同或相异材料。

在一较佳实施例中，该复合式扩散屏障层为迭层式三层结构。如图2C所

示，在开口130中，先形成低阻值的Ta金属层作为第一层扩散阻挡层142。接着在Ta金属层142上沉积一TaN层，作为第二层扩散阻挡层144。接着在其上形成Ta金属或富Ta的TaN层作为第三扩散阻挡层146。而所有的扩散阻挡层142至146均由ALD形成。而所形成的三层复合式扩散阻挡层的厚度介于20-200Å间。

5 根据本实用新型，利用Ta或Ti金属层作为开口130内壁的第一层内衬层的优点在于可增进与介电层120间的附着力，特别是增进低介电常数介电层与后续填入的铜金属或铜合金层间的附着度。另外的优点之一在于Ta或Ti金属的低阻值，可以降低与后续导电层的接触阻值(contact resistivity)。

根据图2A、图2B或图2C形成一复合式扩散阻挡层140后，接着可在选择性
10 的沉积一金属晶种层150于其上，衬于开口130的内壁上，如图3所示。较佳的金属晶种层为铜金属、铜合金或其组合物的晶种层，可藉由物理气相沉积法(PVD)、化学气相沉积法(CVD)、原子层化学气相沉积法(ALCVD)或湿式电镀法形成(wet plating)。

接着，如图4所示，在开口130中填入导电材料160，以与半导体基底100
15 上的导电区110成电性连结。导电材料160可以为金属、金属化合物、合金、掺杂的多晶硅、多晶金属硅化物等导电材料，但并非以此为限。较佳的导电材料则为铜或铜合金。铜金属或铜合金导体可以藉由在开口130中填入过量的铜金属或铜合金，接着再将开口130之外的多余导电材料以回蚀刻(etching back)或化学机械研磨(CMP)去除后形成，如图5所示。而铜金属或铜合金的沉
20 积，可藉由物理气相沉积法(PVD)、化学气相沉积法(CVD)或电化学沉积法(electrochemical deposition, ECD)等方式所形成。而在铜金属或铜合金导电插塞160形成后，可在150-400°C下进行退火程序，以降低铜金属或铜合金导电插塞160的阻值。

如图6所示，在一较佳实施例中，更可将介电层120的表面适度的回蚀刻100-500Å，以露出扩散阻挡层140上方部分侧壁，而较佳的回蚀刻方式可采用化学机械研磨(CMP)法进行。

在图7中，接着在半导体基底100表面形成一保护层170与一蚀刻终止层180以覆盖该介电层120与导电插塞160。较佳的保护层170可为碳含量高于20%的硅氮化物(silicon carbide)。而较佳的蚀刻终止层180可以为含碳氧薄膜(carbon-oxygen containing film)，厚度介于500-2000Å之间，较佳厚度为500-1000Å之间。

在另一实施例中，可以形成一导电性保护层(未显示)仅覆盖于该导电插塞160上作为帽盖层(capping layer)。而较佳者，该导电性保护层可以藉由自对准制程形成。

第二实施例

图8所示为本实用新型的另一实施例中的两层式内联机结构，其是藉由如第一实施例中的方法所形成。如图8所示，在半导体基底100覆盖有一低介电常数介电层120(如： $k \leq 2.8$)，其中嵌有一导电插塞160。较佳者，在该低介电常数介电层120与导电插塞160之间具有一复合式扩散阻挡层140，而较佳者，该第一低介电常数介电层120的表面略低于该导电插塞160约100-500Å左右。而在该第一介电层120的表面上，依序覆盖一蚀刻终止层180与第二低介电常数介电层190(如： $k \leq 2.8$)。而在第二低介电常数介电层190中，则嵌有第二导电插塞220，以与第一介电层120中的导电插塞160成电性连结。该第二导电插塞220的较佳宽度为200-1000Å。在较佳情况中，该第二导电插塞220的侧壁与底部以ALD形成的金属晶种层210与复合式扩散阻挡层200所包覆。而更佳者，第二低介电常数介电层190的表面略低于第二导电插塞220约100-500

Å。而在半导体基底100表面，则形成一保护层230与一蚀刻终止层240，以覆盖该第二低介电常数介电层190与第二导电插塞220。如图8所示，较佳的保护层230可为碳含量高于20%的碳硅化物。而较佳的蚀刻终止层180与240可为含碳氧薄膜(carbon-oxygen containing film)，厚度介于500-2000Å之间，较佳厚度为500-1000Å之间。

在一较佳实施例中，第一导电插塞160可为一钨插塞，用以连结MOS组件的源极/漏极、栅极或金属硅化物等处。而第一低介电常数介电层可为掺磷硅玻璃(phosphorus-doped silicon glass, PSG)、未掺杂硅玻璃(un-doped silicon glass, USG)、富硅的硅氧化物、硅氧氮化物(silicon oxynitride)、富硅的硅氧氮化物(silicon-rich oxynitride)、氮化硅(silicon nitride)、富硅的氮化硅或其组合物等。第二导电插塞220则可为铜金属、铜合金、贵金属、铝合金等构成的金属插塞或双镶嵌导线。而该第二低介电常数层可以为介电常数小于2.8的含硅氧材料、有机硅玻璃(organosilicate glass)、掺氟硅玻璃(fluorinated silica glass, FSG)、有机旋涂涂布玻璃(organic spin-on glass)、化学气相沉积法形成的无机介电材料或上述材料的迭层组合物。而在较佳实施例中，第二低介电常数介电层190的介电常数(k)小于第一低介电常数介电层120。而该第一与第二复合式扩散阻挡层140与160，则可如图2A、图2B或图2C所示，以ALD形成迭层结构。

在另一实施例中，图8所示的第一与第二导电插塞160与220为铜金属或铜合金插塞，而第一与第二介电层120与190均为介电常数(k) ≤ 2.8的介电材料。而更佳者，第二介电层190的介电常数值低于第一介电层120者。藉此，可强化内联机结构的应力耐受度。

虽然本实用新型已以较佳实施例揭露如上，然其并非用以限定本实用新

型，任何熟习此技艺者，在不脱离本实用新型的精神和范围内，当可作些许的更动与润饰，因此本实用新型的保护范围当视所附的权利要求范围所界定者为准。

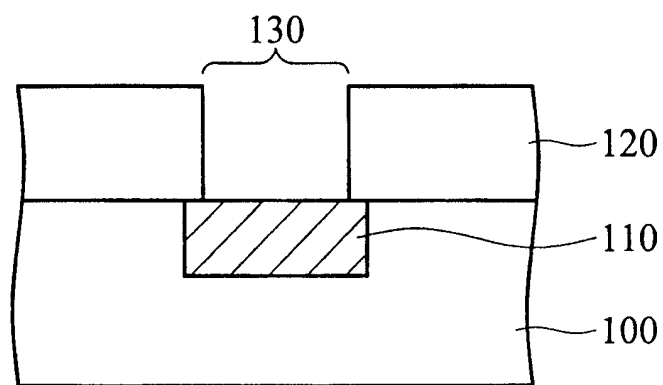


图 1

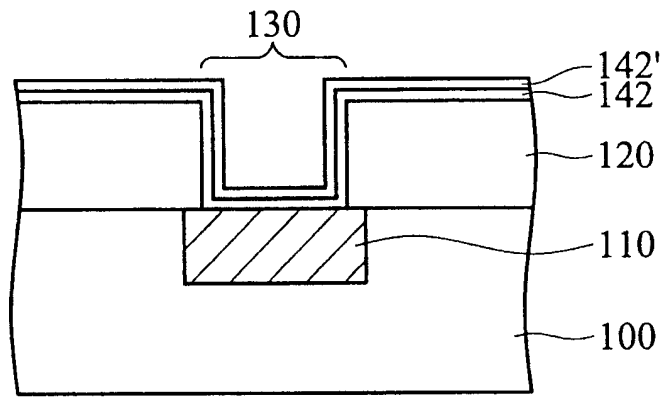


图 2A

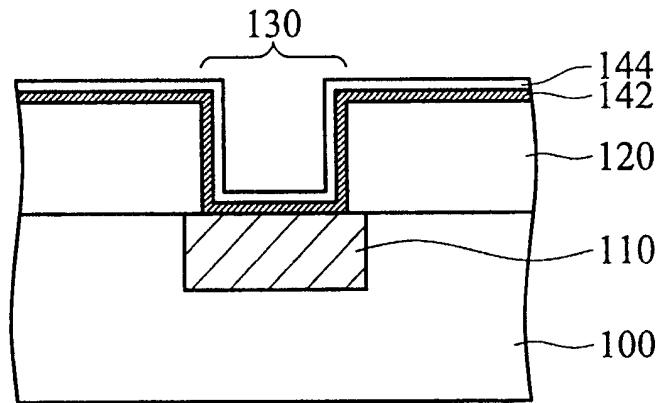


图 2B

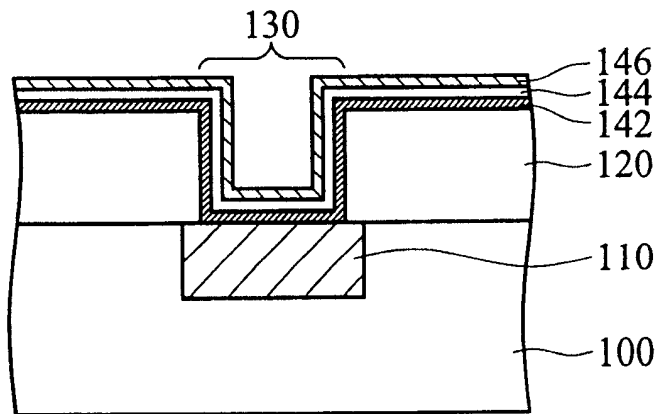


图 2C

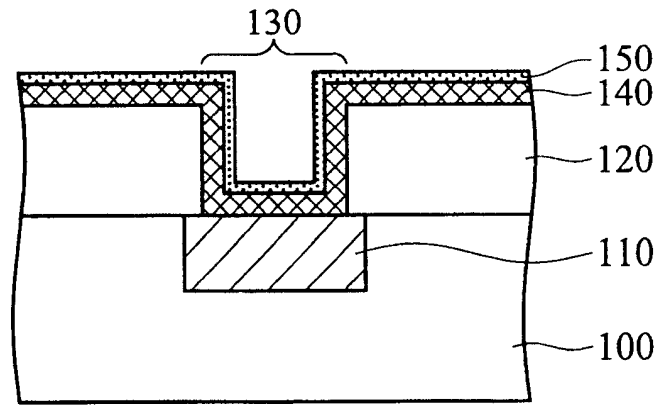


图 3

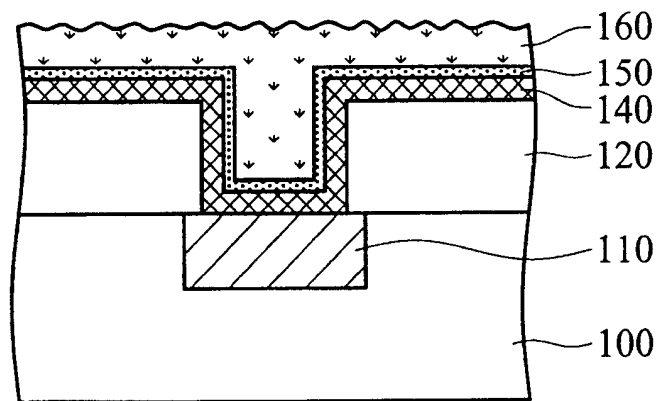


图 4

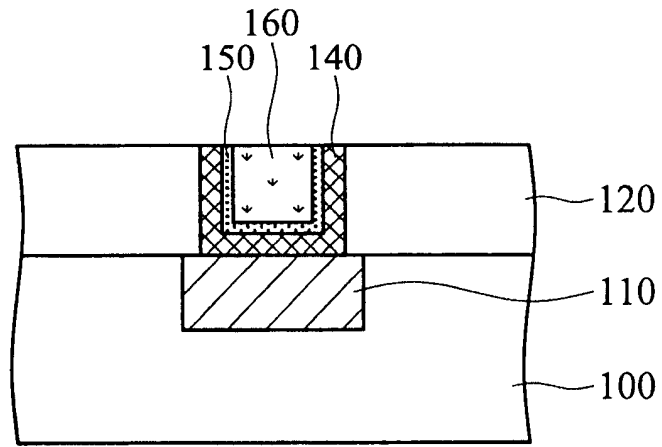


图 5

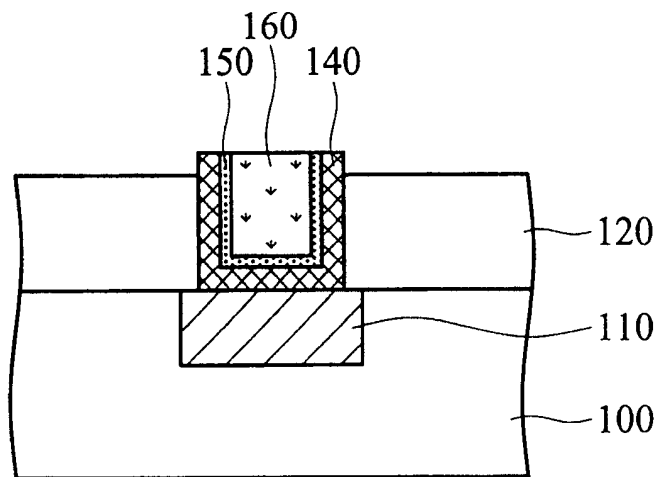


图 6

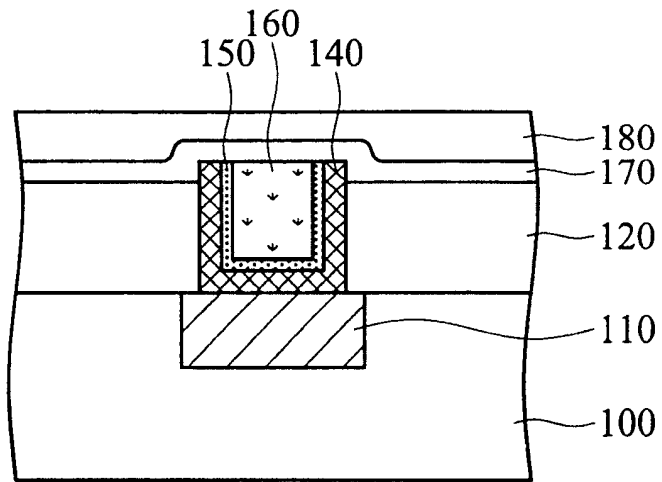


图 7

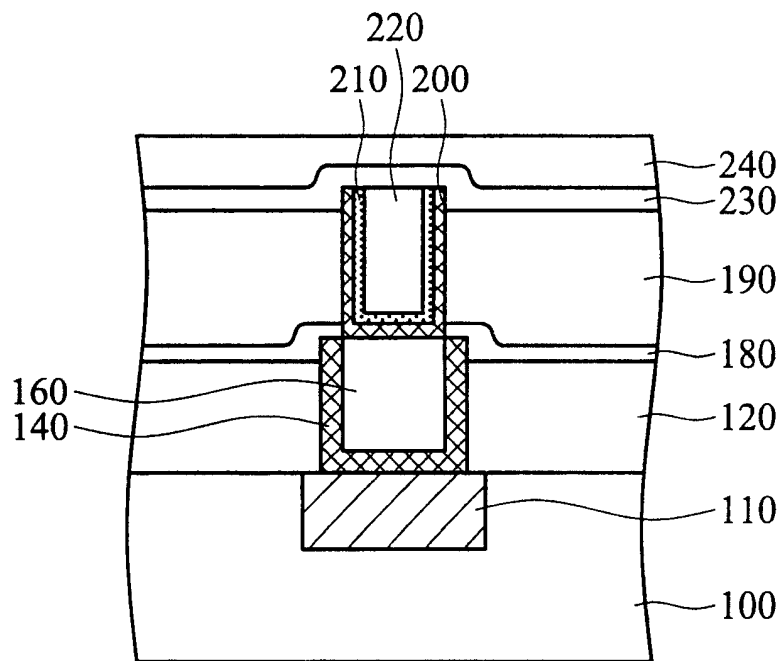


图 8